

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月18日(18.04.2024)

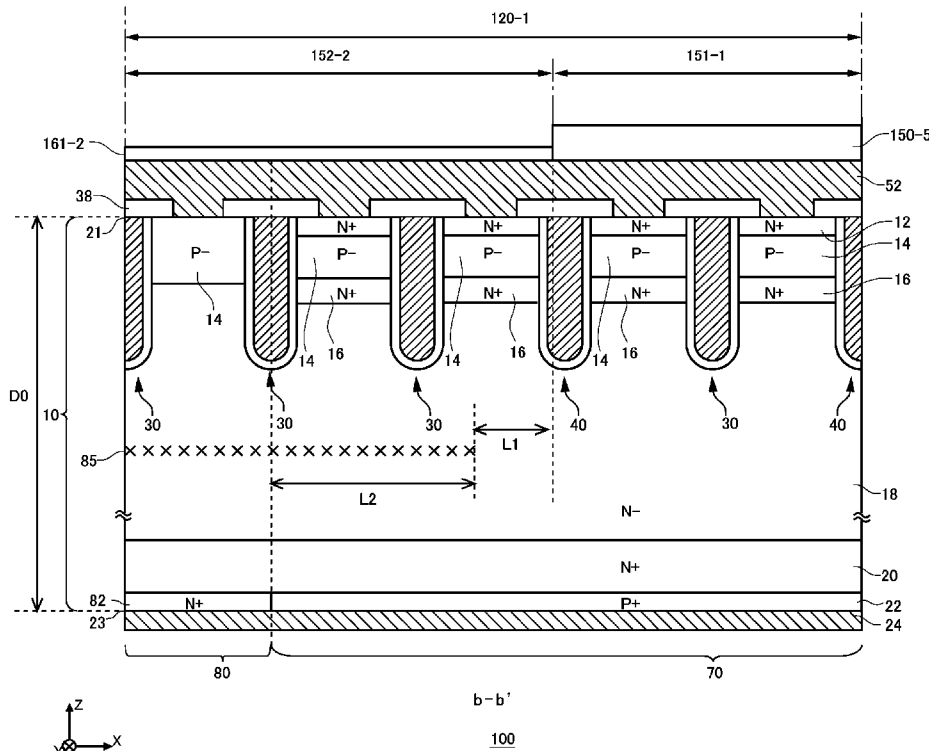


(10) 国際公開番号
WO 2024/080002 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/861 (2006.01)
H01L 21/336 (2006.01) H01L 29/868 (2006.01)
H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2023/030566
- (22) 国際出願日: 2023年8月24日(24.08.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-164444 2022年10月13日(13.10.2022) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 吉田 崇一 (YOSHIDA Soichi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人 R Y U K A 国際特許事務所 (RYUKA & PARTNERS); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: A semiconductor device (100) comprises a semiconductor substrate (10), an emitter electrode (52), and a polyimide protection film (150). The semiconductor substrate has: an active part (120) that has alternating transistor parts (70) and diode parts (80); and a plurality of trench parts (30, 40) that extend in the extension direction of the transistor parts and the diode parts. The emitter electrode is provided above a front surface of the semiconductor substrate, and the protection film is provided on a top surface of the emitter electrode. The diode parts have a lifetime control region

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 補正された請求の範囲 (条約第19条(1))

(85) that includes a lifetime killer that has been irradiated from the front surface side of the semiconductor substrate. The active part has protected regions (151-1) at which the protection film is provided and unprotected regions (152-2) at which the protection film is not provided. The diode parts are in the unprotected regions, and the protected regions are at the transistor parts.

(57) 要約: 半導体装置 (100) は、トランジスタ部 (70) およびダイオード部 (80) が交互に設けられた活性部 (120) を有し、前記トランジスタ部および前記ダイオード部の延伸方向に延伸する複数のトレンチ部 (30、40) が設けられた半導体基板 (10) と、前記半導体基板のおもて面の上方に設けられたエミッタ電極 (52) と、前記エミッタ電極の上面に設けられたポリイミドの保護膜 (150) と、を備え、前記ダイオード部は、前記半導体基板のおもて面側から照射されたライフタイムキラーを含むライフタイム制御領域 (85) を有し、前記活性部は、前記保護膜が設けられた保護領域 (151-1) と、前記保護膜が設けられていない非保護領域 (152-2) とを有し、前記ダイオード部は前記非保護領域に含まれ、前記保護領域は前記トランジスタ部に含まれている。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 従来、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）等のトランジスタ部と、ダイオード部とを同一基板に形成した半導体装置において、ヘリウムイオン等の粒子線を半導体基板の所定深さ位置に照射し、ライフタイムキラを含むライフタイム制御領域を設ける技術が知られている（例えば、特許文献１）。また、アルミニウム薄膜からなる素子電極の表面に、十字状パターンとして形成されたポリイミド樹脂からなる保護膜が設けられた半導体装置が記載されている（例えば、特許文献２）。

[先行技術文献]

[特許文献]

[特許文献１] 特開２０１７－１３５３３９号公報

[特許文献２] 特開２００９－３８１４０号公報

解決しようとする課題

[0003] 半導体基板のおもて面側からヘリウムイオン等の軽イオンを照射する場合、ポリイミドの有無によって、半導体基板中の軽イオンの飛程が異なってしまう。

一般的開示

[0004] 本発明の第１の態様においては、半導体装置を提供する。半導体装置は、トランジスタ部およびダイオード部が交互に設けられた活性部を有し、前記トランジスタ部および前記ダイオード部の延伸方向に延伸する複数のトレンチ部が設けられた半導体基板と、前記半導体基板のおもて面の上方に設けられたエミッタ電極と、前記エミッタ電極の上面に設けられたポリイミドの保護膜と、を備え、前記ダイオード部は、前記半導体基板のおもて面側から照

射されたライフタイムキラーを含むライフタイム制御領域を有し、前記活性部は、前記保護膜が設けられた保護領域と、前記保護膜が設けられていない非保護領域とを有し、前記ダイオード部は前記非保護領域に含まれ、前記保護領域は前記トランジスタ部に含まれている。

[0005] トレンチ配列方向において、前記トランジスタ部の幅は、 $300\mu\text{m}$ 以上、 $2000\mu\text{m}$ 以下であってよい。

[0006] トレンチ配列方向において、前記ダイオード部の幅は、 $200\mu\text{m}$ 以上、 $2000\mu\text{m}$ 以下であってよい。

[0007] トレンチ配列方向において、前記保護領域の幅は、 $100\mu\text{m}$ 以上、 $1800\mu\text{m}$ 以下であってよい。

[0008] トレンチ配列方向において、前記保護領域と前記ダイオード部との間の距離は、前記半導体基板の厚さ以上であってよい。

[0009] 前記ライフタイム制御領域は、トレンチ配列方向において、前記ダイオード部から前記トランジスタ部の少なくとも一部に延伸して設けられており、トレンチ配列方向において、前記ライフタイム制御領域が前記トランジスタ部で延伸する距離は、前記半導体基板の厚さの 80% 以上、 250% 以下であってよい。

[0010] 前記半導体基板の厚さは、 $50\mu\text{m}$ 以上、 $150\mu\text{m}$ 以下であってよい。

[0011] 前記ライフタイム制御領域は、前記非保護領域のみに設けられており、トレンチ配列方向において、前記保護領域と前記ライフタイム制御領域との間の距離は、 $20\mu\text{m}$ 以上、 $1800\mu\text{m}$ 以下であってよい。

[0012] 前記エミッタ電極の上面に設けられ、前記保護膜を間に挟む第1めっき部および第2めっき部をさらに備え、前記エミッタ電極は、前記保護膜、前記第1めっき部および前記第2めっき部の下方を延伸して設けられていてよい。

[0013] 前記保護膜は、前記第1めっき部を間に挟む第1保護膜および第2保護膜を有し、前記第1保護膜および前記第2保護膜の厚さは、前記第1めっき部の厚さよりも大きくてよい。

- [0014] 前記非保護領域は、第1非保護領域および第2非保護領域を有し、前記保護領域は、前記第1非保護領域と前記第2非保護領域との間に挟まれていてよい。
- [0015] 本発明の第2の態様においては、半導体装置の製造方法を提供する。半導体装置の製造方法は、半導体基板にトランジスタ部およびダイオード部が交互に設けられた活性部を形成する段階と、前記半導体基板に、前記トランジスタ部および前記ダイオード部の延伸方向に延伸する複数のトレンチ部を形成する段階と、前記半導体基板のおもて面の上方にエミッタ電極を形成する段階と、前記エミッタ電極の上面にポリイミドの保護膜を形成する段階と、前記ダイオード部において、前記半導体基板のおもて面側からライフタイムキラーを照射してライフタイム制御領域を形成する段階と、を備え、前記活性部は、上面視で、前記保護膜が設けられた保護領域と、前記保護膜が設けられていない非保護領域とを有し、前記ダイオード部は前記非保護領域に含まれ、前記保護領域は前記トランジスタ部に含まれている。
- [0016] 前記ライフタイムキラーは、前記保護膜の上方に配置されたレジストを介して照射され、トレンチ配列方向において、前記レジストの幅は、前記保護膜の幅よりも大きくてよい。
- [0017] 前記レジストは、上面視で、前記保護膜の全体を少なくとも覆って配置されてよい。
- [0018] トレンチ配列方向において、前記レジストの端部と前記保護膜の端部との間の距離は、 $0\mu\text{m}$ 以上、 $1800\mu\text{m}$ 以下であってよい。
- [0019] 前記レジストは、前記ダイオード部から離間して前記トランジスタ部に配置され、トレンチ配列方向において、前記ダイオード部と前記レジストとの間の距離は、前記半導体基板の厚さの80%以上、250%以下であってよい。
- [0020] トレンチ配列方向において、前記ダイオード部と前記保護領域との間の距離は、前記半導体基板の厚さ以上であってよい。
- [0021] 前記半導体基板の厚さは、 $50\mu\text{m}$ 以上、 $150\mu\text{m}$ 以下であってよい。

[0022] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0023] [図1]実施例に係る半導体装置 100 のおもて面の各構成要素の配置の一例を示す。

[図2]半導体装置 100 のおもて面に設けられたエミッタ電極 52 の配置の一例を示す。

[図3]半導体装置 100 のおもて面に設けられた保護膜 150 の配置の一例を示す。

[図4]図 3 の a - a' 断面の一例を示す。

[図5]半導体装置 100 の上面図の一例を示す。

[図6]保護領域 151 - 1 付近における半導体基板 10 のおもて面の構造を概略的に示す。

[図7]図 6 の b - b' 断面の一例を示す。

[図8]半導体装置 100 の製造方法の一例を示す。

発明を実施するための形態

[0024] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0025] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「おもて」または「上」、他方の側を「裏」または「下」と称する。基板、層またはその他の部材の 2 つの主面のうち、一方の面を上面、他方の面を下面と称する。「おもて」、「上」、「裏」、および「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

[0026] 本明細書では、X 軸、Y 軸および Z 軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z 軸は地面に対する高さ

方向を限定して示すものではない。なお、 $+Z$ 軸方向と $-Z$ 軸方向とは互いに逆向きの方向である。正負を記載せず、 Z 軸方向と記載した場合、 $+Z$ 軸および $-Z$ 軸に平行な方向を意味する。また本明細書では、 $+Z$ 軸方向から見ることを上面視と称する場合がある。

[0027] 本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば10%以内である。

[0028] 本明細書においては、不純物がドーピングされたドーピング領域の導電性をP型またはN型として説明している。ただし、各ドーピング領域の導電性は、それぞれ逆の極性であってもよい。また、本明細書においてP+型またはN+型と記載した場合、P型またはN型よりもドーピング濃度が高いことを意味し、P-型またはN-型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。

[0029] 本明細書においてドーピング濃度とは、ドナーまたはアクセプタとして活性化した不純物の濃度を指す。本明細書において、ドナーおよびアクセプタの濃度差を、ドナーまたはアクセプタのうちの多い方の濃度とする場合がある。当該濃度差は、電圧-容量測定法（CV法）により測定できる。また、拡がり抵抗測定法（SR）により計測されるキャリア濃度を、ドナーまたはアクセプタの濃度としてよい。また、ドナーまたはアクセプタの濃度分布がピークを有する場合、当該ピーク値を当該領域におけるドナーまたはアクセプタの濃度としてよい。ドナーまたはアクセプタが存在する領域におけるドナーまたはアクセプタの濃度がほぼ均一な場合等においては、当該領域におけるドナー濃度またはアクセプタ濃度の平均値をドナー濃度またはアクセプタ濃度としてよい。

[0030] 図1は、実施例に係る半導体装置100のおもて面の各構成要素の配置の一例を示す。半導体装置100は、半導体基板10と、ゲートパッド50と、電流センスパッド172と、温度センス部178と、温度センス部178と電氣的に接続されたアノードパッド174およびカソードパッド176と

、双方向ダイオード部 210 と、出力比較ダイオード部 220 と、を備える。電流センスパッド 172、アノードパッド 174、カソードパッド 176、双方向ダイオード部 210 および出力比較ダイオード部 220 が設けられた領域を、パッド領域と総称することがある。

[0031] 半導体基板 10 は、端辺 102 を有する。本明細書において、図 1 の上面視における半導体基板 10 の 1 つの端辺 102-1 の方向を X 軸とし、X 軸に垂直な方向を Y 軸とする。本例では X 軸は、端辺 102-1 の方向に取られている。また、X 軸方向と Y 軸方向に対し垂直であり、右手系をなす方向を Z 軸方向と称する。本例の温度センス部 178 は、半導体基板 10 の +Z 軸方向に設けられている。

[0032] 半導体基板 10 は、シリコンまたは化合物半導体等の半導体材料で設けられている。半導体基板 10 において、温度センス部 178 が設けられる側をおもて面と称し、対向する側の面を裏面と称する。本明細書において、半導体基板 10 のおもて面と裏面とを結ぶ方向を深さ方向と称する。本例の半導体基板 10 は、おもて面において略矩形の形状を有するが、異なる形状を有していてもよい。

[0033] 半導体基板 10 は、活性部 120 を有する。活性部 120 は、半導体装置 100 をオン状態にした場合に半導体基板 10 のおもて面と裏面の間で、深さ方向に主電流が流れる領域である。活性部 120 の後述するゲート導電部 44 は、後述するゲート配線部によりゲートパッド 50 と電氣的に接続されている。

[0034] 活性部 120 は、上面視で、活性部 120-1 および活性部 120-2 に分割されて配置されてよい。本例の活性部 120-1 および活性部 120-2 は、半導体基板 10 のおもて面の中央 A c を通って Y 軸方向に延伸する分離部 90 により Y 軸方向に分離されている。ここで、活性部 120 の中央 A c とは、上面視における活性部 120 の幾何学的な重心である。活性部 120-1 および活性部 120-2 は、間にパッド領域を挟んで設けられてよい。

- [0035] 活性部120には、IGBT（絶縁ゲート型バイポーラトランジスタ）等のトランジスタ素子を含むトランジスタ部70およびFWD（還流ダイオード）等のダイオード素子を含むダイオード部80が設けられている。トランジスタ部70およびダイオード部80は、RC-IGBT（Reverse Conducting IGBT，逆導通型IGBT）を形成する。
- [0036] 図1では、活性部120において、トランジスタ部70が配置される領域には記号「I」が付されており、ダイオード部80が配置される領域には記号「F」が付されている。本例のトランジスタ部70およびダイオード部80は、活性部120の各領域において、X軸方向に交互に並んで配置されている。X軸方向において、トランジスタ部70の幅は、300 μ m以上、2000 μ m以下であり、ダイオード部80の幅は200 μ m以上、2000 μ m以下である。
- [0037] 半導体装置100は、おもて面において、活性部120の外周と端辺102との間にエッジ終端構造部を有する。エッジ終端構造部は、例えば、活性部120を囲んで環状に設けられるガードリング、フィールドプレート、およびこれらを組み合わせた構造を有する。
- [0038] 温度センス部178は、分離部90に配置されてよい。分離部90には、活性部120が設けられていない。半導体基板10の活性部120を集積化すると、活性部120に形成されたスイッチング素子からの発熱により半導体基板10の中央部が加熱しやすくなる。温度センス部178を中央付近の分離部90に設けることにより、トランジスタ部70の温度を監視できる。これにより、トランジスタ部70が通常動作温度範囲である接合温度を超えて過熱することを防止できる。
- [0039] 温度センス部178は、温度センスダイオードによって設けられてよい。一例として、温度センス部178は、ショットキーダイオードによって設けられている。また、温度センス部178は、半導体基板10の上方に絶縁膜を介して設けられた、多結晶シリコンによるPN接合ダイオードによって設けられてもよい。

- [0040] 温度センスダイオードのアノードおよびカソードには、それぞれ金属製のアノード配線 180 およびカソード配線 182 が接続されている。アノード配線 180 およびカソード配線 182 は、アルミニウム等の金属を含む配線である。アノード配線 180 およびカソード配線 182 は、温度センス配線の一例である。アノード配線 180 およびカソード配線 182 は、分離部 90 を延伸して設けられている。
- [0041] カソードパッド 176 は、カソード配線 182 を介して温度センス部 178 に接続されている。アノードパッド 174 は、アノード配線 180 を介して温度センス部 178 に接続されている。カソードパッド 176 およびアノードパッド 174 は、アルミニウム等の金属を含む電極である。
- [0042] 電流センスパッド 172 は、電流センス部 110 に電氣的に接続されている。電流センスパッド 172 は、おもて面電極の一例である。電流センス部 110 は、活性部 120 のトランジスタ部 70 と同様の構造を有しており、トランジスタ部 70 の動作を模擬する。電流センス部 110 には、トランジスタ部 70 に流れる電流に比例する電流が流れる。これにより、トランジスタ部 70 に流れる電流を監視できる。
- [0043] なお、電流センス部 110 には、トランジスタ部 70 と異なり、後述のエミッタ領域 12 が設けられていない。つまり、電流センス部 110 は、トランジスタとして動作しない。電流センス部 110 にはゲートトレンチ部が設けられている。電流センス部 110 のゲートトレンチ部は、ゲート配線部と電氣的に接続されている。
- [0044] 双方向ダイオード部 210 は、半導体装置 100 のおもて面において、アノードパッド 174 およびカソードパッド 176 の間に配置されている。双方向ダイオード部 210 は、アノードパッド 174 およびカソードパッド 176 の間に、直列双方向で電氣的に接続されたダイオードを含む。双方向ダイオード部 210 は、温度センス部 178 が静電気放電 (Electro-Static Discharge, ESD) により損傷することを防止する。

- [0045] 出力比較ダイオード部220は、アノードパッド174およびカソードパッド176の間に設けられている。出力比較ダイオード部220は、アノードパッド174およびカソードパッド176に電氣的に接続されている。出力比較ダイオード部220は、温度センス部178の温度センスダイオードのPN接合の方向とは、逆並列に接続されたPN接合の方向を有する出力比較ダイオードを含む。
- [0046] 出力比較ダイオード部220の出力比較ダイオードは、PN接合の方向を除き、温度センス部178のダイオードと同様の設計を有していてもよい。半導体装置100の動作時において、出力比較ダイオード部220には電流が通電されない。予め定められた周期ごとに、出力比較動作が行われる。出力比較動作の際に、出力比較ダイオード部220に電流が通電される。出力比較動作により、温度センス部178の温度センスダイオードの交換時期を把握できる。
- [0047] 出力比較ダイオード部220と並列に、順方向が出力比較ダイオード部220と同一の保護ダイオードが設けられてもよい。保護ダイオードは、温度センス部178の動作時に、ノイズ等により温度センス部178に対して過電圧の印加または過電流の流入が発生することを防止する。
- [0048] 図2は、半導体装置100のおもて面に設けられたエミッタ電極52の配置の一例を示す。エミッタ電極52は、アルミニウム等の金属の導体により設けられている。本例のエミッタ電極52は、予め定められた基準電位であるエミッタ電位に設定されている。あるいは、エミッタ電位は、接地電位に設定されてもよい。
- [0049] エミッタ電極52は、金属を含む導電性材料で形成されている。例えば、エミッタ電極52は、アルミニウムまたはアルミニウムを主成分とする合金（アルミニウム－シリコン、アルミニウム－シリコン－銅等の合金）で形成される。エミッタ電極52は、電流センスパッド172と同様に、おもて面電極の一例である。各電極は、アルミニウム等で形成された領域の下層にチタンまたはチタン化合物等で形成されたバリアメタルを有してよい。

- [0050] 図2において、エミッタ電極52は、斜線のハッチングが付された領域に配置されている。エミッタ電極52は、活性部120-1と活性部120-2とをY軸方向に互いに分離する分離部90の上方には設けられていない。同様に、パッド領域の上方にも、エミッタ電極52は設けられていない。
- [0051] 図3は、半導体装置100のおもて面の上方に設けられた保護膜150の配置の一例を示す。本例の保護膜150は、ポリイミドで形成されている。図3においては、保護膜150が配置される領域の輪郭を破線で示し、斜線のハッチングを付している。保護膜150は、エミッタ電極52の上面に接してよい。
- [0052] 本例の保護膜150は、ゲートパッド50が設けられた領域を覆う保護膜150-1と、パッド領域を覆う保護膜150-2とを有する。保護膜150-1は、ゲートパッド50の上面の一部を露出させる開口部を有してよい。さらに、保護膜150-1は、電流センスパッド172の上面の一部を露出させる開口部153と、アノードパッド174およびカソードパッド176の上面の一部を露出させる開口部154とを有してもよい。これにより、ゲートパッド50の上面にワイヤ等を接続できる。また、同様に、電流センスパッド172、アノードパッド174およびカソードパッド176の上面にも、ワイヤ等を接続できる。
- [0053] 保護膜150は、活性部120の外周と端辺102（端辺102-1～102-4）との間に設けられた保護膜150-3と、分離部90を覆う保護膜150-4をさらに有してよい。つまり、エミッタ電極52は、保護膜150-1、保護膜150-2、保護膜150-3および保護膜150-4によって囲まれた2つの領域に分割されている。
- [0054] 本例の保護膜150は、エミッタ電極52の上面をY軸方向に延伸して設けられた保護膜150-5および保護膜150-6をさらに有する。図3では、Y軸方向において、保護膜150-5は、保護膜150-2と保護膜150-3との間に挟まれ、保護膜150-6は、保護膜150-1と保護膜150-3との間に挟まれている。

[0055] 保護膜 150-5 および保護膜 150-6 は、半導体基板 10 のおもて面に設けられた他の保護膜 150 と異なり、エミッタ電極 52 の上面に設けられている。すなわち、保護膜 150 の中で保護膜 150-5 および保護膜 150-6 のみが、活性部 120 内に設けられている。活性部 120 は、保護膜が設けられた保護領域 151 と、保護膜が設けられていない非保護領域 152 とを有する。本例の活性部 120 は、保護膜 150-5 および保護膜 150-6 が設けられた保護領域 151-1 および保護領域 151-2 と、保護膜が設けられていない非保護領域 152-1、非保護領域 152-2 および非保護領域 152-3 とを有する。

[0056] 図 4 は、図 3 の a-a' 断面の一例を示す。a-a' 断面は、活性部 120-1 を通る XZ 面である。本例の活性部 120-1 は、上面視で中央付近に設けられた非保護領域 152-1 と、X 軸方向において非保護領域 152-1 の両側に位置する非保護領域 152-2 および非保護領域 152-3 とを有する。活性部 120-1 は、非保護領域 152-1 と非保護領域 152-2 との間に挟まれた保護領域 151-1 と、非保護領域 152-1 と非保護領域 152-3 との間に挟まれた保護領域 151-2 とをさらに有する。保護領域 151-1 および保護領域 151-2 には、それぞれ、保護膜 150-5 および保護膜 150-6 が設けられている。

[0057] エミッタ電極 52 の上面には、めっき部 161 が設けられている。一例において、めっき部 161 は、Ni 層上に Au 層が積層された Ni/Au である。めっき部 161 は、保護膜 150-5 および保護膜 150-6 によって、めっき部 161-1、めっき部 161-2 およびめっき部 161-3 に分離されている。めっき部 161-1、めっき部 161-2 およびめっき部 161-3 は、それぞれ、非保護領域 152-1 の両側に位置する非保護領域 152-2 および非保護領域 152-3 に設けられている。

[0058] 図 4 では、保護膜 150-5 がめっき部 161-1 とめっき部 161-2 との間に挟まれ、保護膜 150-6 がめっき部 161-1 とめっき部 161-3 との間に挟まれている。エミッタ電極 52 は、保護膜 150-5 および

保護膜 150-6、ならびにめっき部 161-1、めっき部 161-2 およびめっき部 161-3 の下方を延伸して設けられている。

[0059] X軸方向において、保護領域 151-1 の幅W1と保護領域 151-2 の幅W2とは、同じであってよい。本例において、保護領域 151-1 の幅W1および保護領域 151-2 の幅W2は、 $100\mu\text{m}$ 以上、 $1800\mu\text{m}$ 以下である。

[0060] 保護膜 150-5 の厚さD1と保護膜 150-6 の厚さD2とは、同じであってよい。ここで、厚さとは、エミッタ電極 52 の上面を基準とした、+Z軸方向の距離をいう。本例において、保護膜 150-5 の厚さD1および保護膜 150-6 の厚さD2は、保護膜 150-5 と保護膜 150-6 との間に挟まれためっき部 161-1 の厚さd1よりも大きい。保護膜 150-5 の厚さD1および保護膜 150-6 の厚さD2は、 $5\mu\text{m}$ 以上、 $15\mu\text{m}$ 以下である。めっき部 161-1 の厚さd1は、 $1\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下である。

[0061] 再び図2を参照すると、上面視で、非保護領域 152-1 の面積は、非保護領域 152-2 および非保護領域 152-3 のそれぞれの面積よりも大きい。従って、半導体装置 100 の実装時、リードフレーム等の配線を、非保護領域 152-1 のめっき部 161-1 上に設けたはんだ層を介して接合することにより、エミッタ電極 52 を容易に外部と電氣的に接続することができる。

[0062] また、保護膜 150-5 および保護膜 150-6 の高さはめっき部 161-1 の高さよりも大きいので、非保護領域 152-1 のめっき部 161-1 上のはんだ層等が、非保護領域 152-2 および非保護領域 152-3 に流れ出すことを抑制できる。また、非保護領域 152-1 を中心として非保護領域 152-2 および非保護領域 152-3 を反対側に設けることで、半導体基板 10 のおもて面におけるはんだ層等の位置の偏りを抑制できる。

[0063] 図4は活性部 120-1 を通るXZ面を示したが、活性部 120-2 を通るXZ面も同様の構成を有するので、ここでは説明を省略する。

- [0064] 図5は、半導体装置100の上面図の一例を示す。図5は、活性部120-2のY軸方向負側端部近傍を示す。半導体装置100は、IGBT等のトランジスタ素子を含むトランジスタ部70と、還流ダイオード(FWD)等のダイオード素子を含むダイオード部80とを有する半導体基板10を備える。
- [0065] 本例の半導体装置100は、半導体基板10のおもて面側の内部に設けられたゲートトレンチ部40、ダミートレンチ部30、ウェル領域130、エミッタ領域12、ベース領域14およびコンタクト領域15を備える。ゲートトレンチ部40およびダミートレンチ部30は、それぞれがトレンチ部の一例である。
- [0066] また、本例の半導体装置100は、半導体基板10のおもて面の上方に設けられたゲート金属層48およびエミッタ電極52を備える。ゲート金属層48およびエミッタ電極52も、おもて面電極の一例である。ゲート金属層48およびエミッタ電極52は、互いに分離して設けられている。ゲート金属層48とエミッタ電極52とは、電氣的に絶縁されている。
- [0067] エミッタ電極52およびゲート金属層48と、半導体基板10のおもて面との間には層間絶縁膜が設けられているが、図5では省略している。本例の層間絶縁膜には、コンタクトホール49、54および56が、当該層間絶縁膜を貫通して設けられている。図5においては、それぞれのコンタクトホールに斜線のハッチングを付している。
- [0068] エミッタ電極52は、ゲートトレンチ部40、ダミートレンチ部30、ウェル領域130、エミッタ領域12、ベース領域14およびコンタクト領域15の上方に設けられている。エミッタ電極52は、コンタクトホール54によって、半導体基板10のおもて面におけるエミッタ領域12、ベース領域14およびコンタクト領域15と電氣的に接続されている。また、エミッタ電極52は、コンタクトホール56によってダミートレンチ部30内のダミー導電部と接続されている。
- [0069] ゲート金属層48は、活性部120の外周に沿って環状に設けられてよい

。本例のゲート金属層48は、活性部120-1および活性部120-2のそれぞれの外周に沿って設けられている。ゲート金属層48は、コンタクトホール49によってゲートトレンチ部40内のゲート導電部と接続されている。

[0070] エミッタ電極52またはゲート金属層48等のおもて面電極は、金属を含む導電性材料で形成される。例えば、アルミニウムまたはアルミニウムシリコン合金で形成される。各電極は、アルミニウム等で形成された領域の下層にチタンやチタン化合物等で形成されたバリアメタルを有してよい。

[0071] 各電極は、コンタクトホール内においてタングステン等で形成されたプラグを有してもよい。プラグは、半導体基板10に接する側にバリアメタルを有し、バリアメタルに接するようにタングステンを埋め込み、タングステン上にアルミニウム等で形成されてよい。

[0072] なおプラグは、コンタクト領域15またはベース領域14に接するコンタクトホールに設けられている。また、プラグのコンタクトホールの下には、コンタクト領域15よりドーピング濃度が高いP++型のプラグ領域が設けられてよい。これにより、バリアメタルとコンタクト領域15との接触抵抗を改善することができる。また、プラグ領域の深さは約0.1 μm 以下であり、コンタクト領域15の深さと比べて10%以下の小さい領域である。

[0073] プラグ領域が接触抵抗を改善することにより、トランジスタ部70の動作において、ラッチアップ耐量が向上する。一方、ダイオード部80の動作においては、導通損失、スイッチング損失の上昇を抑制することができる。

[0074] エミッタ電極52またはゲート金属層48等のおもて面電極と、半導体基板10とを電氣的に接続する接続部25がさらに設けられてよい。一例において、接続部25は、ゲート金属層48とゲート導電部との間の、コンタクトホール49内を含む領域に設けられている。接続部25は、エミッタ電極52とダミー導電部との間の、コンタクトホール56内を含む領域にも設けられてよい。

[0075] 接続部25は、タングステンなどの金属や不純物がドーパされたポリシリ

コン等の、導電性を有する材料である。また接続部25は、窒化チタンなどのバリアメタルを有していてもよい。ここでは、接続部25は、N型の不純物がドーピングされたポリシリコン(N+)である。接続部25は、酸化膜等の絶縁膜等を介して、半導体基板10のおもて面の上方に設けられている。

[0076] ウェル領域130は、後述するドリフト領域18よりも半導体基板10のおもて面側に設けられている。本例のウェル領域130は、P+型である。本例のウェル領域130は、エッジ終端構造部および分離部90に設けられている。また、ウェル領域130は、活性部120-1および活性部120-2の外周から内部へ、予め定められた範囲に設けられている。ウェル領域130は、エミッタ電極52と電氣的に接続されている。ウェル領域130は、半導体基板10のおもて面から、ベース領域14の下端よりも深い位置まで設けられている。

[0077] トランジスタ部70およびダイオード部80のそれぞれは、配列方向に複数配列されたトレンチ部を有する。本例のトランジスタ部70には、配列方向に沿って1以上のゲートトレンチ部40と1以上のダミートレンチ部30とが交互に設けられている。本例のダイオード部80には、複数のダミートレンチ部30が、配列方向に沿って設けられている。

[0078] 本例において、トレンチ部の配列方向はX軸方向であり、配列方向と垂直な延伸方向はY軸方向である。本例のゲートトレンチ部40は、延伸方向に沿って延伸する2つの延伸部分39（延伸方向に沿って直線状であるトレンチの部分）と、2つの延伸部分39を接続する接続部分41を有してよい。

[0079] 接続部分41の少なくとも一部は、上面視において曲線状に設けられてよい。2つの延伸部分39のY軸方向における端部同士を接続部分41がゲート金属層48と接続することで、ゲートトレンチ部40へのゲート電極として機能する。一方、接続部分41を曲線状にすることにより延伸部分39で完結するよりも、端部における電界集中を緩和できる。

[0080] トランジスタ部70において、ダミートレンチ部30はゲートトレンチ部40のそれぞれの延伸部分39の間に設けられている。図4の例では、それ

それぞれの延伸部分 39 の間に 1 本のダミートレンチ部 30 が設けられているが、2 本以上のダミートレンチ部 30 が設けられてもよい。

[0081] またそれぞれの延伸部分 39 の間には、ダミートレンチ部 30 が設けられなくてもよく、ゲートトレンチ部 40 が設けられてもよい。このような構造により、エミッタ領域 12 からの電子電流を増大することができるため、オン電圧が低減する。

[0082] ダミートレンチ部 30 は、延伸方向に延伸する直線形状を有してよく、ゲートトレンチ部 40 と同様に、延伸部分 29 と接続部分 31 とを有していてもよい。図 4 に示した半導体装置 100 は、接続部分 31 を有するダミートレンチ部 30 のみが配列されているが、他の例においては、半導体装置 100 は、接続部分 31 を有さない直線形状のダミートレンチ部 30 を含んでもよい。

[0083] ウェル領域 130 の拡散深さは、ゲートトレンチ部 40 およびダミートレンチ部 30 の深さよりも深くてもよい。ゲートトレンチ部 40 およびダミートレンチ部 30 の Y 軸方向の端部は、上面視においてウェル領域 130 に設けられている。つまり、各トレンチ部の Y 軸方向の端部において、各トレンチ部の深さ方向（-Z 軸方向）の底部は、ウェル領域 130 に覆われている。これにより、各トレンチ部の当該底部における電界集中を緩和できる。

[0084] 配列方向において各トレンチ部の間には、メサ部が設けられている。メサ部は、半導体基板 10 の内部において、トレンチ部に挟まれた領域を指す。一例としてメサ部の深さ位置は、半導体基板のおもて面からトレンチ部の下端までである。

[0085] 本例のメサ部は、X 軸方向において隣接するトレンチ部に挟まれ、半導体基板 10 のおもて面においてトレンチに沿って延伸方向（Y 軸方向）に延伸して設けられている。

[0086] それぞれのメサ部には、ベース領域 14 が設けられている。それぞれのメサ部には、上面視においてベース領域 14 に挟まれた領域に、エミッタ領域 12 およびコンタクト領域 15 の少なくとも一方が設けられてよい。本例の

ベース領域 14 は P-型であり、エミッタ領域 12 は N+型であり、コンタクト領域 15 は P+型である。ベース領域 14 は、ウェル領域 130 に接して設けられている。エミッタ領域 12 およびコンタクト領域 15 は、深さ方向において、ベース領域 14 と半導体基板 10 のおもて面との間に設けられてよい。エミッタ領域 12 のドーパントは、一例としてヒ素 (As)、リン (P)、アンチモン (Sb) 等である。

[0087] トランジスタ部 70 のメサ部は、半導体基板 10 のおもて面に露出したエミッタ領域 12 を有する。エミッタ領域 12 は、ゲートトレンチ部 40 に接して設けられている。ゲートトレンチ部 40 に接するメサ部には、半導体基板 10 のおもて面に露出したコンタクト領域 15 が設けられている。

[0088] メサ部におけるコンタクト領域 15 およびエミッタ領域 12 のそれぞれは、X軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられている。一例として、メサ部のコンタクト領域 15 およびエミッタ領域 12 は、トレンチ部の延伸方向 (Y軸方向) に沿って交互に配置されている。

[0089] 他の例においては、メサ部のコンタクト領域 15 およびエミッタ領域 12 は、トレンチ部の延伸方向 (Y軸方向) に沿ってストライプ状に設けられていてもよい。例えばトレンチ部に接する領域にエミッタ領域 12 が設けられ、エミッタ領域 12 に挟まれた領域にコンタクト領域 15 が設けられている。

[0090] ダイオード部 80 のメサ部には、エミッタ領域 12 が設けられていない。ダイオード部 80 のメサ部の上面には、ベース領域 14 が設けられてよい。ベース領域 14 は、ダイオード部 80 のメサ部全体に配置されてよい。ダイオード部 80 のベース領域 14 は、アノードとして動作する。

[0091] それぞれのメサ部の上方には、コンタクトホール 54 が設けられている。コンタクトホール 54 は、その延伸方向 (Y軸方向) においてベース領域 14 に挟まれた領域に配置されている。本例のコンタクトホール 54 は、コンタクト領域 15、ベース領域 14 およびエミッタ領域 12 の各領域の上方に設けられている。コンタクトホール 54 は、メサ部の配列方向 (X軸方向)

における中央に配置されてよい。

[0092] ダイオード部 80 において、半導体基板 10 の裏面には、N+型のカソード領域 82 が設けられている。半導体基板の裏面において、カソード領域 82 が設けられていない領域には、P+型のコレクタ領域 22 が設けられてよい。図 5 においては、カソード領域 82 およびコレクタ領域 22 の境界を破線で示している。

[0093] 図 6 は、保護領域 151-1 付近における半導体基板 10 のおもて面の構造を概略的に示す。図 6 では、半導体基板 10 のおもて面の上方に設けられたエミッタ電極 52 等は省略している。なお、図 6 では活性部 120-1 の保護領域 151-1 付近の構造を例示しているが、活性部 120-2 も同様の構造を有するので、説明を省略する。ダイオード部 80 では、半導体基板 10 の裏面にカソード領域 82 が設けられている。

[0094] 非保護領域 152-1 は、上述したように、活性部 120-1 の中央付近に設けられ、非保護領域 152-2 は、パッド領域の Y 軸方向正側において、パッド領域、保護領域 151-1 およびゲート金属層 48 の間に設けられている。非保護領域 152-1 および非保護領域 152-2 には、トランジスタ部 70 とダイオード部 80 とが交互に設けられている。

[0095] なお、図 6 では、簡略化のため、非保護領域 152-1 および非保護領域 152-2 のそれぞれにトランジスタ部 70 およびダイオード部 80 が 1 つずつ図示されているが、これに限られない。非保護領域 152-1 および非保護領域 152-2 のそれぞれには、複数のトランジスタ部 70 およびダイオード部 80 が交互に設けられてよい。

[0096] Y 軸方向において、非保護領域 152-1 の長さは、非保護領域 152-2 の長さよりも大きい。換言すると、非保護領域 152-2 は、非保護領域 152-1 およびパッド領域が設けられていないチップのコーナー部分に設けられた領域であり、このような部分に活性部 120-1 を拡張することで、チップ上の面積を有効活用することができる。

[0097] 保護領域 151-1 は、非保護領域 152-1 と非保護領域 152-2 と

の間に挟まれている。本例の保護領域 151-1 には、トランジスタ部 70 のみが設けられ、ダイオード部 80 は設けられていない。保護領域 151-1 は、トランジスタ部 70 の中央部に設けられてよい。

[0098] 図 7 は、図 6 の b-b' 断面の一例を示す。b-b' 断面は、トランジスタ部 70 およびダイオード部 80 の一部を通る XZ 面であり、トランジスタ部 70 においてエミッタ領域 12 を通過する。

[0099] 本例の半導体装置 100 は、b-b' 断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52、保護膜 150-5、めっき部 161-2 およびコレクタ電極 24 を有する。半導体基板 10 のおもて面 21 の上方には層間絶縁膜 38 が形成され、エミッタ電極 52 は層間絶縁膜 38 の上方に形成される。

[0100] ドリフト領域 18 は、半導体基板 10 に設けられた領域である。本例のドリフト領域 18 は、一例として N-型である。ドリフト領域 18 は、半導体基板 10 において他のドーピング領域が形成されずに残存した領域であってよい。即ち、ドリフト領域 18 のドーピング濃度は半導体基板 10 のドーピング濃度であってよい。

[0101] バッファ領域 20 は、ドリフト領域 18 の下方に設けられた領域である。本例のバッファ領域 20 は、ドリフト領域 18 と同じ導電型であり、一例として N-型である。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ベース領域 14 の下面側から広がる空乏層がコレクタ領域 22 およびカソード領域 82 に到達することを防ぐフィールドストップ層として機能してよい。

[0102] コレクタ領域 22 は、トランジスタ部 70 においてバッファ領域 20 の下方に設けられる、ドリフト領域 18 と異なる導電型の領域である。カソード領域 82 は、ダイオード部 80 においてバッファ領域 20 の下方に設けられる、ドリフト領域 18 と同じ導電型の領域である。コレクタ領域 22 とカソード領域 82 との境界は、トランジスタ部 70 とダイオード部 80 との境界である。

- [0103] コレクタ電極 24 は、半導体基板 10 の裏面 23 に形成される。コレクタ電極 24 は、金属等の導電材料で形成される。
- [0104] ベース領域 14 は、メサ部においてドリフト領域 18 の上方に設けられる、ドリフト領域 18 と異なる導電型の領域である。本例のベース領域 14 は、一例として P 型である。ベース領域 14 は、ゲートトレンチ部 40 に接して設けられている。ベース領域 14 は、ダミートレンチ部 30 に接して設けられてよい。
- [0105] エミッタ領域 12 は、ベース領域 14 と半導体基板 10 のおもて面 21 との間に設けられている。本例のエミッタ領域 12 は、トランジスタ部 70 のメサ部に設けられており、ダイオード部 80 のメサ部には設けられていない。エミッタ領域 12 は、ゲートトレンチ部 40 と接して設けられている。エミッタ領域 12 は、ダミートレンチ部 30 と接してもよいし、接しなくてもよい。
- [0106] コンタクト領域 15 は、図 6 には示されていないが、トランジスタ部 70 のメサ部において、エミッタ領域 12 と交互に設けられている。コンタクト領域 15 は、エミッタ領域 12 よりも半導体基板 10 の深い位置まで設けられていてよい。
- [0107] 蓄積領域 16 は、ドリフト領域 18 よりも半導体基板 10 のおもて面 21 側に設けられる領域である。本例の蓄積領域 16 はドリフト領域 18 と同じ導電型であり、一例として N+ 型である。本例の蓄積領域 16 は、トランジスタ部 70 のみに設けられているが、ダイオード部 80 にも設けられてよい。また、蓄積領域 16 は、多段で設けられてもよい。
- [0108] 蓄積領域 16 は、ゲートトレンチ部 40 に接して設けられている。蓄積領域 16 は、ダミートレンチ部 30 に接してもよいし、接しなくてもよい。蓄積領域 16 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。蓄積領域 16 を設けることで、キャリア注入促進効果（IE 効果）を高めて、トランジスタ部 70 のオン電圧を低減できる。
- [0109] 1 つ以上のゲートトレンチ部 40 および 1 つ以上のダミートレンチ部 30

が、半導体基板 10 のおもて面 21 に設けられている。各トレンチ部は、半導体基板 10 のおもて面 21 からドリフト領域 18 まで設けられている。エミッタ領域 12、ベース領域 14、コンタクト領域 15 および蓄積領域 16 の少なくともいずれかが設けられる領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域 18 に到達する。

[0110] なお、トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通しているものに含まれる。

[0111] ゲートトレンチ部 40 は、半導体基板 10 のおもて面 21 に形成されたゲートトレンチ、ゲート絶縁膜 42 およびゲート導電部 44 を有する。ゲート絶縁膜 42 は、ゲートトレンチの内壁を覆って設けられている。ゲート絶縁膜 42 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 44 は、ゲートトレンチの内部においてゲート絶縁膜 42 よりも内側に設けられている。ゲート絶縁膜 42 は、ゲート導電部 44 と半導体基板 10 とを絶縁する。ゲート導電部 44 は、ポリシリコン等の導電材料で形成される。ゲートトレンチ部 40 は、半導体基板 10 のおもて面 21 において層間絶縁膜 38 により覆われている。

[0112] ゲート導電部 44 は、半導体基板 10 の深さ方向（ $-Z$ 軸方向）において、ゲート絶縁膜 42 を挟んでメサ部側で隣接するベース領域 14 と対向する領域を含む。ゲート導電部 44 に所定の電圧が印加されると、ベース領域 14 のうちゲートトレンチに接する界面の表層に、電子の反転層によるチャンネルが形成される。

[0113] ダミートレンチ部 30 は、ゲートトレンチ部 40 と同一の構造を有してよい。ダミートレンチ部 30 は、半導体基板 10 のおもて面 21 側に形成されたダミートレンチ、ダミー絶縁膜 32 およびダミー導電部 34 を有する。ダミー絶縁膜 32 は、ダミートレンチの内壁を覆って設けられている。ダミー導電部 34 は、ダミートレンチの内部に設けられ、且つ、ダミー絶縁膜 32

よりも内側に設けられている。ダミー絶縁膜 32 は、ダミー導電部 34 と半導体基板 10 とを絶縁する。ダミートレンチ部 30 は、半導体基板 10 のおもて面 21 において層間絶縁膜 38 により覆われる。

[0114] 層間絶縁膜 38 は、半導体基板 10 のおもて面 21 に設けられている。層間絶縁膜 38 の上方には、エミッタ電極 52 が設けられている。層間絶縁膜 38 には、エミッタ電極 52 と半導体基板 10 とを電氣的に接続するための 1 または複数のコンタクトホール 54 が設けられている。コンタクトホール 55 およびコンタクトホール 56 も同様に、層間絶縁膜 38 を貫通して設けられてよい。

[0115] ダイオード部 80 からトランジスタ部 70 の少なくとも一部にわたって、ライフタイムキラーを含むライフタイム制御領域 85 が、ドリフト領域 18 に設けられている。ライフタイム制御領域 85 は、ヘリウムイオン等を所定の深さ位置に注入することで、半導体基板 10 の内部に形成された結晶欠陥である。ライフタイム制御領域 85 は、ダイオード部 80 のターンオフ時に、ダイオード部 80 およびトランジスタ部 70 のベース領域 14 で発生する正孔とカソード領域 82 から注入される電子との再結合を促進し、キャリア消滅を促進することによって、逆回復時のピーク電流を抑制する。

[0116] 図 7 では、ライフタイムキラーの濃度分布の Z 軸方向におけるピーク位置が「×」の記号で示されている。Z 軸方向において、ライフタイムキラーの濃度分布のピーク位置は、ウェル領域 130 の下端と同じ深さであってよく、それより深くてもよい。ライフタイム制御領域 85 は、Z 軸方向にライフタイムキラーの濃度分布のピークを複数持つように形成されてもよい。

[0117] 本例のライフタイム制御領域 85 は、半導体基板 10 のおもて面 21 側からプロトンまたはヘリウムを照射することにより形成される。一例において、ライフタイム制御領域 85 は、ライフタイム制御領域 85 を形成しない領域をレジスト等のマスクで遮蔽し、ヘリウムイオンを照射することによって形成される。

[0118] 本例のライフタイム制御領域 85 は、非保護領域 152 のみに設けられて

おり、保護領域 151 には設けられていない。ライフタイム制御領域 85 は、保護領域 151 から離間しており、X 軸方向において、保護領域 151-1 とライフタイム制御領域 85 との間の距離 L_1 は、 $20\ \mu\text{m}$ 以上、 $1800\ \mu\text{m}$ 以下である。

[0119] 上述したように、ライフタイム制御領域 85 を形成するためには半導体基板 10 のおもて面 21 側からヘリウムイオンを照射する。しかしながら、ヘリウムイオンは軽イオンであるので、保護膜 150 が設けられた保護領域 151 では飛程が変化し、保護領域 151 と非保護領域 152 との間で、ライフタイム制御領域 85 の深さ方向位置にばらつきが生じてしまう。

[0120] そこで、本例では、保護領域 151 にはヘリウムイオンを照射せず、非保護領域 152 のみにヘリウムイオンを照射することにより、ライフタイム制御領域 85 の深さ方向位置を均一にし、ダイオード部 80 のターンオフ時にキャリア消滅を促進することによって、逆回復時のピーク電流を抑制することができる。

[0121] X 軸方向において、ライフタイム制御領域 85 がトランジスタ部 70 で延伸する距離 L_2 は、半導体基板 10 の厚さ D_0 の 80% 以上、250% 以下である。半導体基板 10 の厚さ D_0 は、半導体基板 10 の深さ方向（-Z 軸方向）において、おもて面 21 から裏面 23 までの距離をいう。本例の半導体基板 10 の厚さ D_0 は、 $50\ \mu\text{m}$ 以上、 $150\ \mu\text{m}$ 以下であってよく、 $70\ \mu\text{m}$ 以上、 $80\ \mu\text{m}$ 以下でもあってもよい。

[0122] ダイオード部 80 の動作時に、ダイオード部 80 から外部にキャリアが拡散する。一例において、キャリアは、半導体基板 10 のおもて面 21 から概ね 45° の角度で移動し、裏面 23 に向かう。本例では、ライフタイム制御領域 85 を距離 L_2 だけトランジスタ部 70 に延伸して設けることにより、ダイオード部 80 から拡散したキャリアを捕捉することができる。

[0123] また、X 軸方向において、保護領域 151-1 とダイオード部 80 との間の距離は、半導体基板 10 の厚さ D_0 以上である。保護膜 150 はポリイミドをオーバーエッチすることで形成されるが、仕上がり位置のばらつきが大

きい。そこで、マージンを設けることで、ばらつきが生じた場合であっても、性能への影響を抑制することができる。

[0124] このように、本例の保護領域 151 は、ダイオード部 80 およびライフタイム制御領域 85 から離間して、トランジスタ部 70 の内部に設けられている。これにより、保護膜 150 に影響されることなくライフタイム制御領域 85 を設け、ダイオード部 80 のターンオフ時にキャリア消滅を促進することによって、逆回復時のピーク電流を抑制することができる。

[0125] 図 8 は、半導体装置 100 の製造方法の一例を示す。ここでは、図 7 と同じ図 6 の b-b' 断面を例に、半導体装置 100 の製造方法のうち、ライフタイム制御領域 85 の形成プロセスを中心に説明する。

[0126] 本例の半導体装置 100 の製造方法は、半導体基板 10 にトランジスタ部 70 およびダイオード部 80 が交互に設けられた活性部 120（図 8 ではめっき部活性部 120-1）を形成する段階と、半導体基板 10 に複数のトレンチ部（図 8 ではゲートトレンチ部 40 およびダミートレンチ部 30）を形成する段階と、半導体基板 10 のおもて面 21 の上方にエミッタ電極 52 を形成する段階とを備える。

[0127] 活性部 120 を形成する段階は、半導体基板 10 にドーパントを注入して、エミッタ領域 12、ベース領域 14、コンタクト領域 15、蓄積領域 16 等の不純物注入領域を形成する段階を有する。複数のトレンチ部を形成する段階は、半導体基板 10 のおもて面 21 をエッチングすることによりトレンチを形成し、トレンチの内壁の半導体を酸化または窒化して絶縁膜（図 8 ではゲート絶縁膜 42 およびダミー絶縁膜 32）を形成し、絶縁膜の内側をポリシリコン等の導電材料で充填して導電部（図 8 ではゲート導電部 44 およびダミー導電部 34）を形成する段階を有する。活性部 120 を形成する段階と複数のトレンチ部を形成する段階とは、どちらが先に実施されてもよい。

[0128] エミッタ電極 52 を形成する段階は、半導体基板 10 のおもて面 21 の上方に BPSG 等で層間絶縁膜 38 を形成し、層間絶縁膜 38 をエッチングす

ることによりコンタクトホールを形成した後で、半導体基板 10 のおもて面 21 および層間絶縁膜 38 上に、アルミニウムまたはアルミニウムを主成分とする合金（例えば、アルミニウム－シリコン合金、アルミニウム－シリコン－銅合金等）で成膜する段階を有する。

[0129] 半導体装置 100 の製造方法は、エミッタ電極 52 の上面にポリイミドの保護膜 150（図 8 では保護膜 150－5）を形成する段階をさらに備える。半導体基板 10 のおもて面 21 に塗布したポリイミドをスピコートおよび硬化した後、非保護領域 152（図 8 では非保護領域 152－2）のポリイミドを除去することによって、保護膜 150 が保護領域 151（図 8 では保護領域 151－1）に形成される。

[0130] 非保護領域 152 において、エミッタ電極 52 の上面にめっき部 161（図 8 ではめっき部 161－2）が形成されてよい。本例のめっき部 161 は、無電解めっき処理により形成した Ni 膜上に、酸化防止のための Au 膜を浸漬で成長させた Ni / Au 膜である。

[0131] 本例のダイオード部 80 は非保護領域 152 に含まれ、保護領域 151 はトランジスタ部 70 に含まれている。X 軸方向において、ダイオード部 80 と保護領域 151 との間の距離は、半導体基板 10 の厚さ D0 以上である。半導体基板 10 の厚さは、50 μ m 以上、150 μ m 以下であってよく、70 μ m 以上、80 μ m 以下であってもよい。

[0132] 半導体装置 100 の製造方法は、ダイオード部 80 において、半導体基板 10 のおもて面 21 側からライフタイムキラーを照射してライフタイム制御領域 85 を形成する段階をさらに備える。一例において、ライフタイムキラーは、ヘリウムまたはプロトンである。

[0133] 本例では、ヘリウムイオンが、保護膜 150 の上方に配置されたレジスト 190 を介して照射される。X 軸方向において、レジスト 190 の幅は、保護膜 150 の幅よりも大きく、レジスト 190 は、上面視で、保護膜 150 の全体を少なくとも覆って配置される。

[0134] X 軸方向において、レジスト 190 の端部と保護膜 150 の端部との間の

距離 L_1 は、 $0\mu m$ 以上、 $1800\mu m$ 以下である。上面視で、レジスト190の端部は、ライフタイム制御領域85の端部と一致してよい。

[0135] レジスト190は、ダイオード部80から離間してトランジスタ部70に配置される。X軸配列方向において、ダイオード部80とレジスト190との間の距離は、半導体基板10の厚さ D_0 の80%以上、250%以下である。ライフタイム制御領域85の形成後、レジスト190は現像液によって除去される。

[0136] このように、本例の半導体装置100の製造方法によれば、保護領域151は、ダイオード部80およびライフタイム制御領域85から離間して、トランジスタ部70の内部に形成される。これにより、保護膜150に影響されることなくライフタイム制御領域85を形成し、ダイオード部80のターンオフ時にキャリア消滅を促進することによって、逆回復時のピーク電流を抑制することができる。

[0137] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0138] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0139] 10・・・半導体基板、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、18・・・ドリフト領域

、 20・・・バッファ領域、 21・・・おもて面、 22・・・コレクタ領域
、 23・・・裏面、 24・・・コレクタ電極、 25・・・接続部、 29・・・
・延伸部分、 30・・・ダミートレンチ部、 31・・・接続部分、 32・・・
・ダミー絶縁膜、 34・・・ダミー導電部、 38・・・層間絶縁膜、 39・・・
・延伸部分、 40・・・ゲートレンチ部、 41・・・接続部分、 42・・・
・ゲート絶縁膜、 44・・・ゲート導電部、 48・・・ゲート金属層、 4
9・・・コンタクトホール、 50・・・ゲートパッド、 52・・・エミッタ
電極、 54・・・コンタクトホール、 55・・・コンタクトホール、 56・・・
・コンタクトホール、 70・・・トランジスタ部、 80・・・ダイオード
部、 82・・・カソード領域、 85・・・ライフタイム制御領域、 90・・・
・分離部、 100・・・半導体装置、 102・・・端辺、 110・・・電流
センス部、 120・・・活性部、 130・・・ウェル領域、 150・・・保
護膜、 151・・・保護領域、 152・・・非保護領域、 153・・・開口
部、 154・・・開口部、 161・・・めっき部、 172・・・電流センス
パッド、 174・・・アノードパッド、 176・・・カソードパッド、 17
8・・・温度センス部、 180・・・アノード配線、 182・・・カソード
配線、 190・・・レジスト、 210・・・双方向ダイオード部、 220・・・
・出力比較ダイオード部

請求の範囲

- [請求項1] トランジスタ部およびダイオード部が交互に設けられた活性部を有し、前記トランジスタ部および前記ダイオード部の延伸方向に延伸する複数のトレンチ部が設けられた半導体基板と、
前記半導体基板のおもて面の上方に設けられたエミッタ電極と、
前記エミッタ電極の上面に設けられたポリイミドの保護膜と、
を備え、
前記ダイオード部は、前記半導体基板のおもて面側から照射されたライフタイムキラーを含むライフタイム制御領域を有し、
前記活性部は、前記保護膜が設けられた保護領域と、前記保護膜が設けられていない非保護領域とを有し、
前記ダイオード部は前記非保護領域に含まれ、前記保護領域は前記トランジスタ部に含まれている
半導体装置。
- [請求項2] トレンチ配列方向において、前記トランジスタ部の幅は、 $300\mu\text{m}$ 以上、 $2000\mu\text{m}$ 以下である
請求項1に記載の半導体装置。
- [請求項3] トレンチ配列方向において、前記ダイオード部の幅は、 $200\mu\text{m}$ 以上、 $2000\mu\text{m}$ 以下である
請求項1に記載の半導体装置。
- [請求項4] トレンチ配列方向において、前記保護領域の幅は、 $100\mu\text{m}$ 以上、 $1800\mu\text{m}$ 以下である
請求項1に記載の半導体装置。
- [請求項5] トレンチ配列方向において、前記保護領域と前記ダイオード部との間の距離は、前記半導体基板の厚さ以上である
請求項1に記載の半導体装置。
- [請求項6] 前記ライフタイム制御領域は、トレンチ配列方向において、前記ダイオード部から前記トランジスタ部の少なくとも一部に延伸して設け

られており、

トレンチ配列方向において、前記ライフタイム制御領域が前記トランジスタ部で延伸する距離は、前記半導体基板の厚さの80%以上、250%以下である

請求項1に記載の半導体装置。

[請求項7] 前記半導体基板の厚さは、 $50\mu\text{m}$ 以上、 $150\mu\text{m}$ 以下である
請求項5または6に記載の半導体装置。

[請求項8] 前記ライフタイム制御領域は、前記非保護領域のみに設けられており、

トレンチ配列方向において、前記保護領域と前記ライフタイム制御領域との間の距離は、 $20\mu\text{m}$ 以上、 $1800\mu\text{m}$ 以下である

請求項1に記載の半導体装置。

[請求項9] 前記エミッタ電極の上面に設けられ、前記保護膜を間に挟む第1めっき部および第2めっき部をさらに備え、

前記エミッタ電極は、前記保護膜、前記第1めっき部および前記第2めっき部の下方を延伸して設けられている

請求項1に記載の半導体装置。

[請求項10] 前記保護膜は、前記第1めっき部を間に挟む第1保護膜および第2保護膜を有し、

前記第1保護膜および前記第2保護膜の厚さは、前記第1めっき部の厚さよりも大きい

請求項9に記載の半導体装置。

[請求項11] 前記非保護領域は、第1非保護領域および第2非保護領域を有し、前記保護領域は、前記第1非保護領域と前記第2非保護領域との間に挟まれている

請求項1に記載の半導体装置。

[請求項12] 半導体基板にトランジスタ部およびダイオード部が交互に設けられた活性部を形成する段階と、

前記半導体基板に、前記トランジスタ部および前記ダイオード部の延伸方向に延伸する複数のトレンチ部を形成する段階と、

前記半導体基板のおもて面の上方にエミッタ電極を形成する段階と、

前記エミッタ電極の上面にポリイミドの保護膜を形成する段階と、
前記ダイオード部において、前記半導体基板のおもて面側からライフタイムキラを照射してライフタイム制御領域を形成する段階と、
を備え、

前記活性部は、上面視で、前記保護膜が設けられた保護領域と、前記保護膜が設けられていない非保護領域とを有し、

前記ダイオード部は前記非保護領域に含まれ、前記保護領域は前記トランジスタ部に含まれている

半導体装置の製造方法。

[請求項13] 前記ライフタイムキラは、前記保護膜の上方に配置されたレジストを介して照射され、

トレンチ配列方向において、前記レジストの幅は、前記保護膜の幅よりも大きい

請求項12に記載の半導体装置の製造方法。

[請求項14] 前記レジストは、上面視で、前記保護膜の全体を少なくとも覆って配置される

請求項13に記載の半導体装置の製造方法。

[請求項15] トレンチ配列方向において、前記レジストの端部と前記保護膜の端部との間の距離は、 $0\mu\text{m}$ 以上、 $1800\mu\text{m}$ 以下である

請求項14に記載の半導体装置の製造方法。

[請求項16] 前記レジストは、前記ダイオード部から離間して前記トランジスタ部に配置され、

トレンチ配列方向において、前記ダイオード部と前記レジストとの間の距離は、前記半導体基板の厚さの80%以上、250%以下であ

る

請求項 1 3 に記載の半導体装置の製造方法。

[請求項17] トレンチ配列方向において、前記ダイオード部と前記保護領域との間の距離は、前記半導体基板の厚さ以上である

請求項 1 3 に記載の半導体装置の製造方法。

[請求項18] 前記半導体基板の厚さは、 $50\mu\text{m}$ 以上、 $150\mu\text{m}$ 以下である
請求項 1 6 または 1 7 に記載の半導体装置の製造方法。

補正された請求の範囲
[2024年1月25日(25.01.2024) 国際事務局受理]

- [請求項1] トランジスタ部およびダイオード部が交互に設けられた活性部を有し、前記トランジスタ部および前記ダイオード部の延伸方向に延伸する複数のトレンチ部が設けられた半導体基板と、
 前記半導体基板のおもて面の上方に設けられたエミッタ電極と、
 前記エミッタ電極の上面に設けられたポリイミドの保護膜と、
 を備え、
 前記ダイオード部は、前記半導体基板のおもて面側から照射されたライフタイムキラーを含むライフタイム制御領域を有し、
 前記活性部は、前記保護膜が設けられた保護領域と、前記保護膜が設けられていない非保護領域とを有し、
 前記ダイオード部は前記非保護領域に含まれ、前記保護領域は前記トランジスタ部に含まれている
 半導体装置。
- [請求項2] トレンチ配列方向において、前記トランジスタ部の幅は、 $300\mu\text{m}$ 以上、 $2000\mu\text{m}$ 以下である
 請求項1に記載の半導体装置。
- [請求項3] トレンチ配列方向において、前記ダイオード部の幅は、 $200\mu\text{m}$ 以上、 $2000\mu\text{m}$ 以下である
 請求項1に記載の半導体装置。
- [請求項4] トレンチ配列方向において、前記保護領域の幅は、 $100\mu\text{m}$ 以上、 $1800\mu\text{m}$ 以下である
 請求項1に記載の半導体装置。
- [請求項5] トレンチ配列方向において、前記保護領域と前記ダイオード部との間の距離は、前記半導体基板の厚さ以上である
 請求項1に記載の半導体装置。

- [請求項6] 前記ライフタイム制御領域は、トレンチ配列方向において、前記ダイオード部から前記トランジスタ部の少なくとも一部に延伸して設けられており、
- トレンチ配列方向において、前記ライフタイム制御領域が前記トランジスタ部で延伸する距離は、前記半導体基板の厚さの80%以上、250%以下である
- 請求項1に記載の半導体装置。
- [請求項7] 前記半導体基板の厚さは、50 μm 以上、150 μm 以下である
- 請求項5または6に記載の半導体装置。
- [請求項8] 前記ライフタイム制御領域は、前記非保護領域のみに設けられており、
- トレンチ配列方向において、前記保護領域と前記ライフタイム制御領域との間の距離は、20 μm 以上、1800 μm 以下である
- 請求項1に記載の半導体装置。
- [請求項9] 前記エミッタ電極の上面に設けられ、前記保護膜を間に挟む第1めっき部および第2めっき部をさらに備え、
- 前記エミッタ電極は、前記保護膜、前記第1めっき部および前記第2めっき部の下方を延伸して設けられている
- 請求項1に記載の半導体装置。
- [請求項10] 前記保護膜は、前記第1めっき部を間に挟む第1保護膜および第2保護膜を有し、
- 前記第1保護膜および前記第2保護膜の厚さは、前記第1めっき部の厚さよりも大きい
- 請求項9に記載の半導体装置。
- [請求項11] 前記非保護領域は、第1非保護領域および第2非保護領域を有し、前記保護領域は、前記第1非保護領域と前記第2非保護領域との間に挟まれている
- 請求項1に記載の半導体装置。

- [請求項12] 半導体基板にトランジスタ部およびダイオード部が交互に設けられた活性部を形成する段階と、
- 前記半導体基板に、前記トランジスタ部および前記ダイオード部の延伸方向に延伸する複数のトレンチ部を形成する段階と、
- 前記半導体基板のおもて面の上方にエミッタ電極を形成する段階と、
- 前記エミッタ電極の上面にポリイミドの保護膜を形成する段階と、
- 前記ダイオード部において、前記半導体基板のおもて面側からライフタイムキラーを照射してライフタイム制御領域を形成する段階と、
- を備え、
- 前記活性部は、上面視で、前記保護膜が設けられた保護領域と、前記保護膜が設けられていない非保護領域とを有し、
- 前記ダイオード部は前記非保護領域に含まれ、前記保護領域は前記トランジスタ部に含まれている
- 半導体装置の製造方法。
- [請求項13] 前記ライフタイムキラーは、前記保護膜の上方に配置されたレジストを介して照射され、
- トレンチ配列方向において、前記レジストの幅は、前記保護膜の幅よりも大きい
- 請求項12に記載の半導体装置の製造方法。
- [請求項14] 前記レジストは、上面視で、前記保護膜の全体を少なくとも覆って配置される
- 請求項13に記載の半導体装置の製造方法。
- [請求項15] トレンチ配列方向において、前記レジストの端部と前記保護膜の端部との間の距離は、 $0\mu\text{m}$ 以上、 $1800\mu\text{m}$ 以下である
- 請求項14に記載の半導体装置の製造方法。
- [請求項16] 前記レジストは、前記ダイオード部から離間して前記トランジスタ部に配置され、
- トレンチ配列方向において、前記ダイオード部と前記レジストとの

間の距離は、前記半導体基板の厚さの80%以上、250%以下である

請求項13に記載の半導体装置の製造方法。

[請求項17] トレンチ配列方向において、前記ダイオード部と前記保護領域との間の距離は、前記半導体基板の厚さ以上である

請求項13に記載の半導体装置の製造方法。

[請求項18] 前記半導体基板の厚さは、50 μm 以上、150 μm 以下である

請求項16または17に記載の半導体装置の製造方法。

[請求項19] (追加)

前記延伸方向に平行に設けられた前記保護領域は前記非保護領域の間に挟まれ、且つ前記トランジスタ部の中央部に設けられる

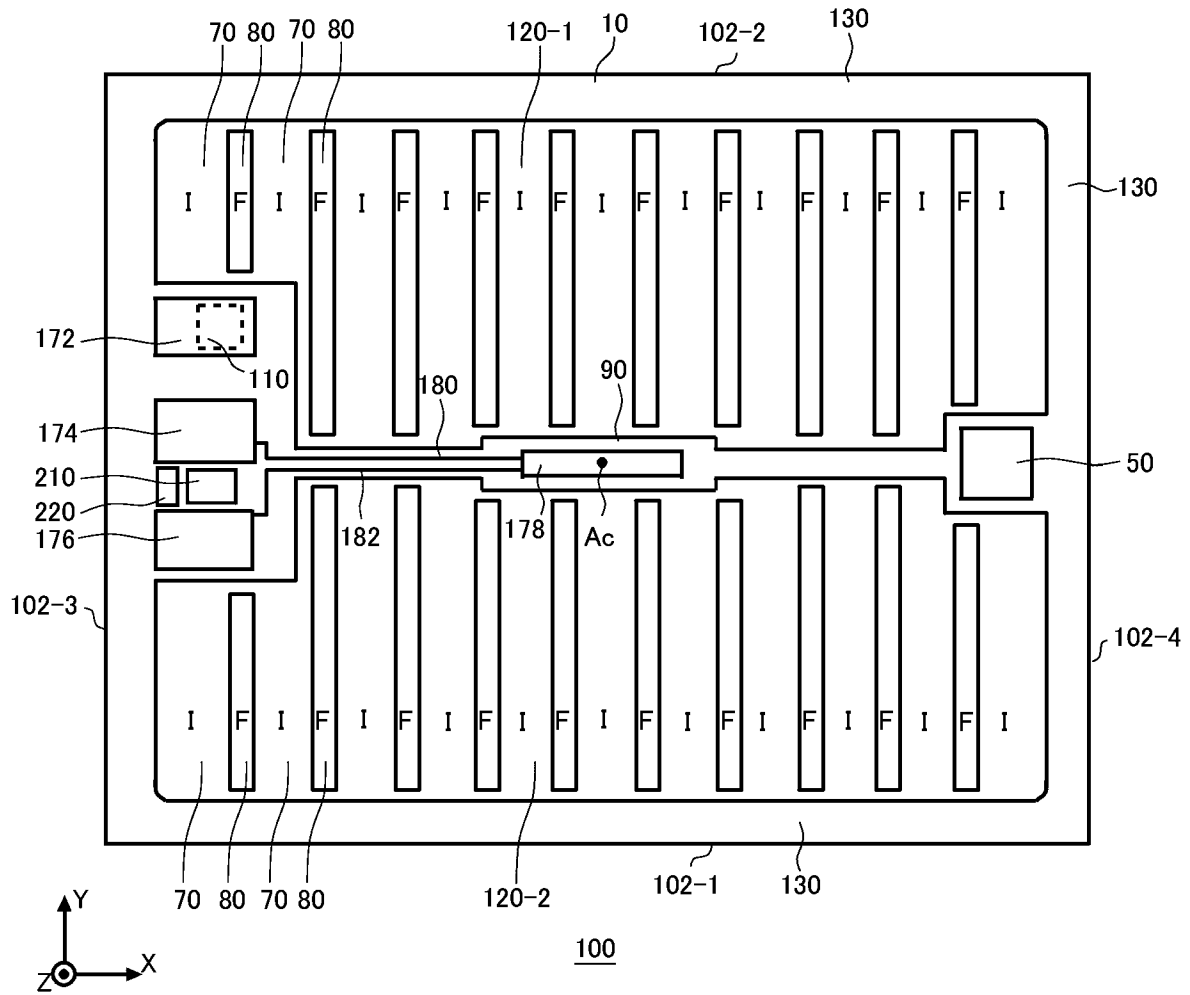
請求項1に記載の半導体装置。

[請求項20] (追加)

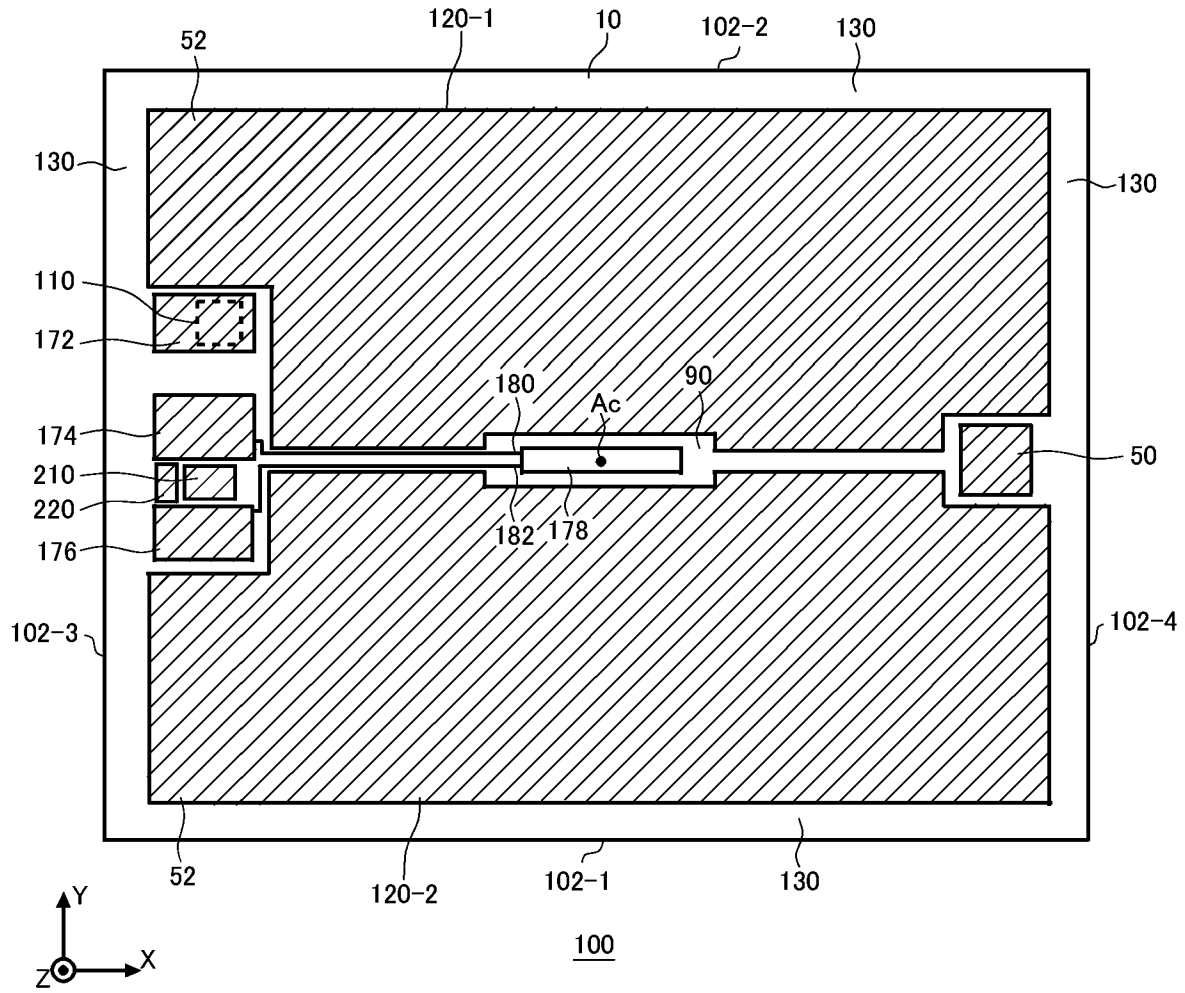
前記延伸方向に平行に設けられた前記保護領域は前記非保護領域の間に挟まれ、且つ前記トランジスタ部の中央部に設けられる

請求項12に記載の半導体装置の製造方法。

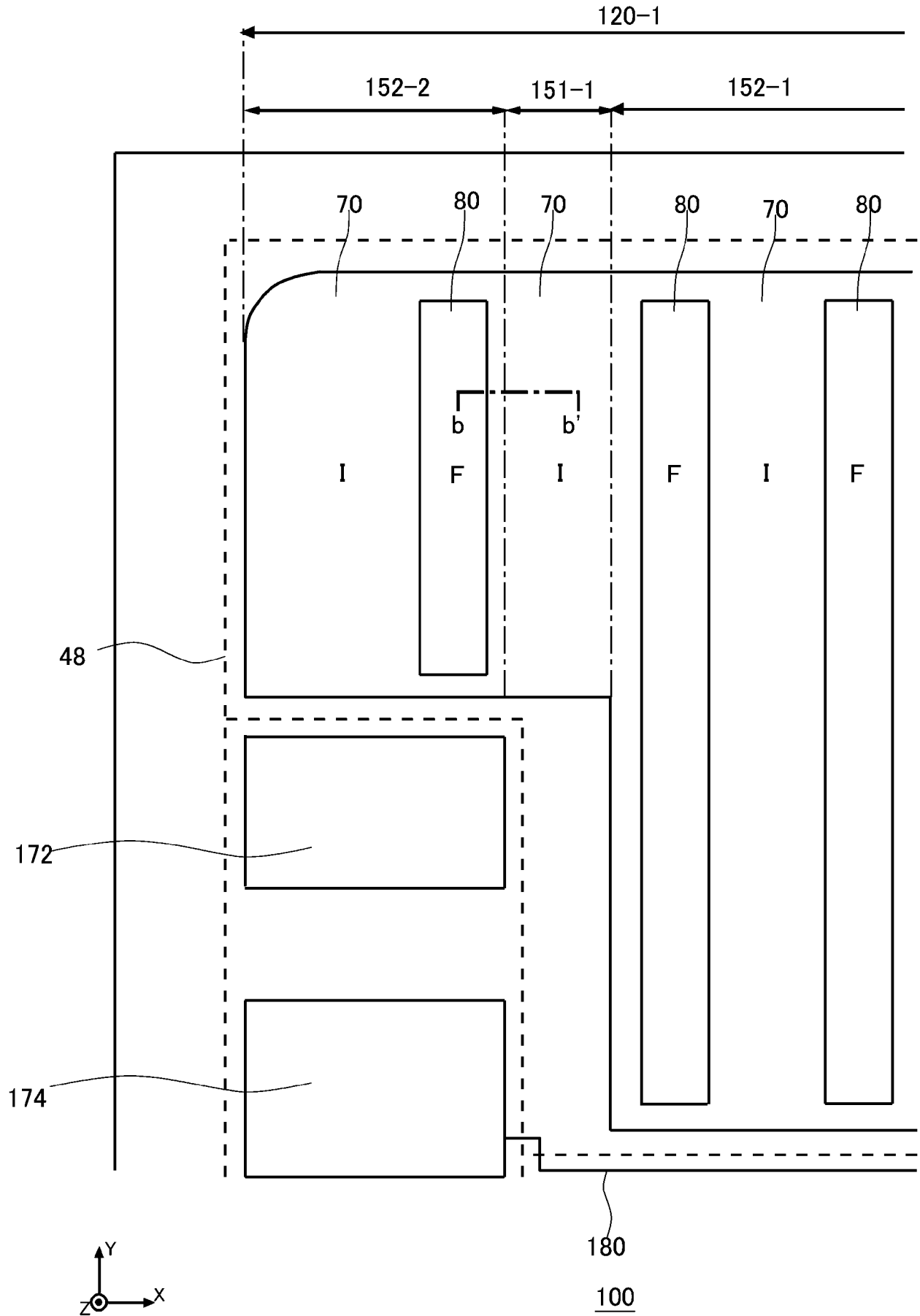
[図1]



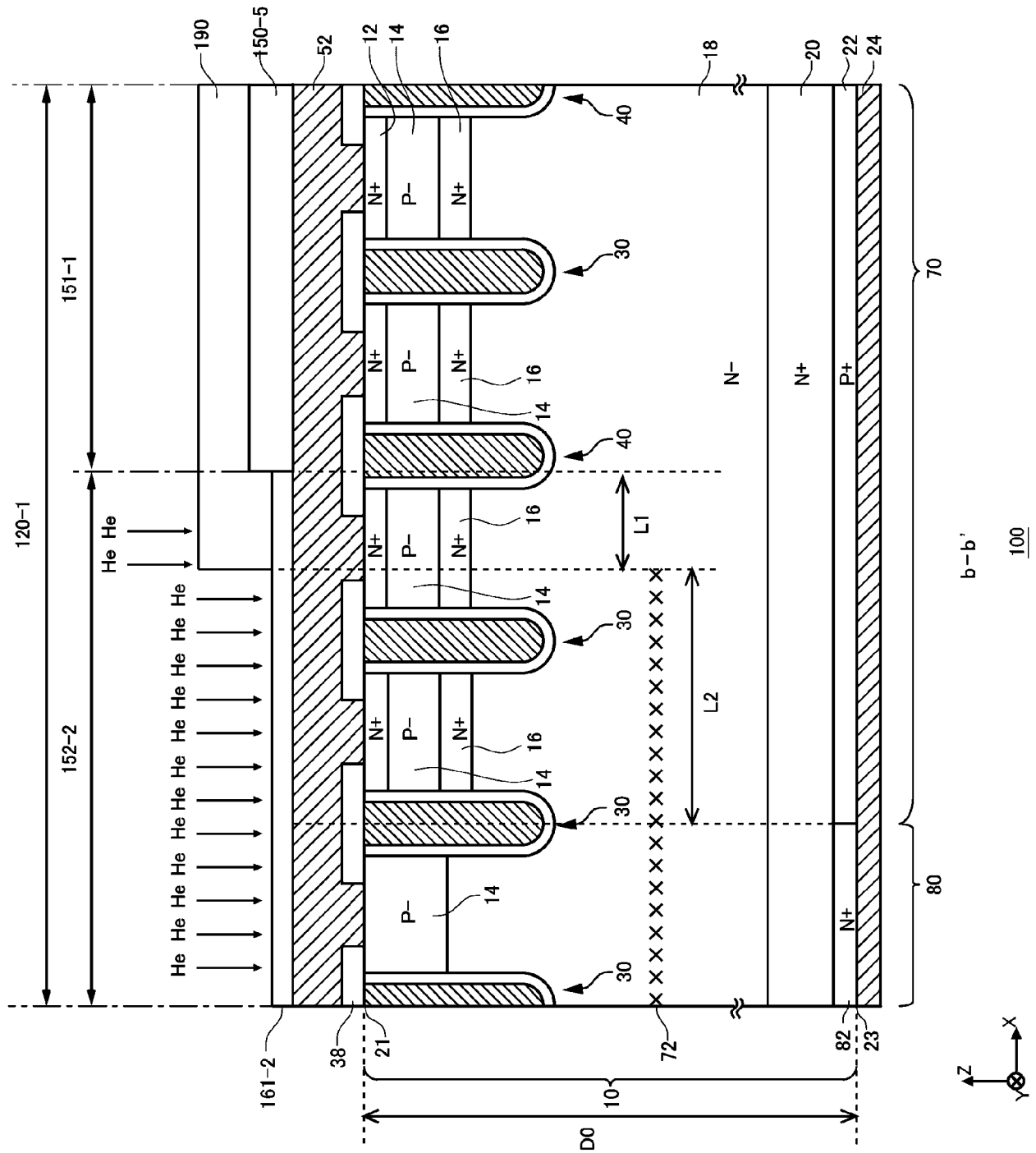
[図2]



[図6]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/030566

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 29/739**(2006.01)i; **H01L 29/861**(2006.01)i; **H01L 29/868**(2006.01)i
 FI: H01L29/78 657D; H01L29/78 652J; H01L29/78 653A; H01L29/78 655B; H01L29/78 655D; H01L29/78 655F;
 H01L29/78 655G; H01L29/78 658F; H01L29/78 658H; H01L29/91 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L29/739; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/162012 A1 (FUJI ELECTRIC CO., LTD.) 13 August 2020 (2020-08-13) paragraphs [0041]-[0173], fig. 1-18	1, 4, 6, 8-16
Y	paragraphs [0041]-[0173], fig. 1-18	2, 3, 5, 7, 17, 18
Y	WO 2019/116696 A1 (FUJI ELECTRIC CO., LTD.) 20 June 2019 (2019-06-20) paragraphs [0055], [0105], fig. 1A	2, 3, 5, 7, 17, 18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

01 November 2023

Date of mailing of the international search report

14 November 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/030566

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2020/162012	A1	13 August 2020	EP	3817068	A1	
				paragraphs [0041]-[0173], fig. 1-18			
				US	2021/0151589	A1	
				CN	112470291	A	
WO	2019/116696	A1	20 June 2019	US	2020/0105745	A1	
				paragraphs [0088], [0138], fig. 1A			
				US	2022/0139908	A1	
				DE	112018006404	T5	
				CN	110692140	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/739(2006.01)i; H01L 29/861(2006.01)i;
H01L 29/868(2006.01)i

FI: H01L29/78 657D; H01L29/78 652J; H01L29/78 653A; H01L29/78 655B; H01L29/78 655D; H01L29/78 655F;
H01L29/78 655G; H01L29/78 658F; H01L29/78 658H; H01L29/91 C

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78; H01L21/336; H01L29/739; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2023年
日本国実用新案登録公報	1996-2023年
日本国登録実用新案公報	1994-2023年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/162012 A1（富士電機株式会社）13.08.2020（2020-08-13） 段落0041-0173, 図1-18	1, 4, 6, 8-16
Y	段落0041-0173, 図1-18	2, 3, 5, 7, 17, 18
Y	WO 2019/116696 A1（富士電機株式会社）20.06.2019（2019-06-20） 段落0055, 0105, 図1A	2, 3, 5, 7, 17, 18

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

01.11.2023

国際調査報告の発送日

14.11.2023

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

上田 智志 5F 3664

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/030566

引用文献			公表日	パテントファミリー文献			公表日
WO	2020/162012	A1	13.08.2020	EP	3817068	A1	
				段落0041-0173, 図1-18			
				US	2021/0151589	A1	
				CN	112470291	A	

WO	2019/116696	A1	20.06.2019	US	2020/0105745	A1	
				段落0088, 0138, 図1A			
				US	2022/0139908	A1	
				DE	112018006404	T5	
				CN	110692140	A	
