

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03808090.7

[51] Int. Cl.

H01L 27/105 (2006.01)

H01L 27/11 (2006.01)

H01L 29/788 (2006.01)

H03K 3/356 (2006.01)

G11C 11/40 (2006.01)

[45] 授权公告日 2007 年 9 月 12 日

[11] 授权公告号 CN 100337333C

[22] 申请日 2003.4.2 [21] 申请号 03808090.7

[30] 优先权

[32] 2002. 4. 10 [33] JP [31] 107607/2002

[86] 国际申请 PCT/JP2003/004204 2003.4.2

[87] 国际公布 WO2003/085741 日 2003.10.16

[85] 进入国家阶段日期 2004.10.10

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 大塚隆 田中英行

[56] 参考文献

US6240013B1 2001.5.29

CN1190802A 1998.8.19

US6285575B1 2001.9.4

US5390143A 1995.2.14

CN1086048A 1994.4.27

审查员 赵 端

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 龙 淳

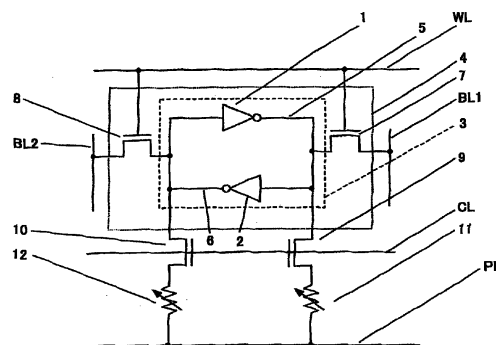
权利要求书 5 页 说明书 24 页 附图 13 页

[54] 发明名称

非易失性触发器

[57] 摘要

本发明的非易失性触发器，包括：触发器部(4)，其具有一对用于存储一对逆逻辑的数据的存储结点(5、6)；一对非易失性电阻变化元件(11、12)，其借助开关元件(9、10)分别与上述一对存储结点(5、6)连接，其电阻以可保存的方式变化，该非易失性触发器的结构为：在存储动作中，可以根据上述一对存储结点(5、6)的各自的电位改变上述一对非易失性电阻变化元件(11、12)的电阻，在检索动作中，可以将上述一对存储结点(5、6)的每一个设定为与上述一对非易失性电阻变化元件(11、12)的电阻差对应的电位。



1. 一种非易失性触发器，其特征在于，包括：

触发器部，其具有一对用于存储一对逆逻辑的数据的存储结点；

一对非易失性电阻变化元件，其分别与所述一对存储结点连接，其电阻以可保存的方式变化，该非易失性触发器的结构为，

在存储动作中，相应于所述一对存储结点的各电位，使所述一对非易失性电阻变化元件的电阻变化；

在检索动作中，将所述一对存储结点的每一个设定为与所述一对非易失性电阻变化元件的电阻差相对应的电位，其中，

在存储动作中，相应于所述一对存储结点的各电位，使所述一对非易失性电阻变化元件的一方成为高电阻状态，同时使另一方成为低电阻状态，

在检索动作中，相应于所述一对非易失性电阻变化元件的电阻差，使所述一对存储结点的一方成为高电位，同时使另一方成为低电位；

所述一对非易失性电阻变化元件都是由相变材料构成的，该相变材料在非晶形状态下为高电阻状态，在结晶状态下为低电阻状态。

2. 根据权利要求1所述的非易失性触发器，其特征在于，

在存储动作中，所述一对非易失性电阻变化元件的一方为非晶形状态，另一方为结晶状态。

3. 根据权利要求2所述的非易失性触发器，其特征在于，

将一对开关元件分别夹在所述一对存储结点和所述一对非易失性电阻变化元件的一端之间，

所述一对非易失性电阻变化元件的另一端与极板线连接，

使所述一对存储结点的一方的电位为高电位、另一方的电位为低电位，

通过使所述一对开关元件成为接通状态、并在所述一对结点和所述极板线之间产生电位差，使所述一对非易失性电阻变化元件的一方成为非晶形状态，同时使另一方成为结晶状态。

4. 根据权利要求3所述的非易失性触发器，其特征在于，

通过在所述一对存储结点和所述极板线之间产生电位差、并使所述一对非易失性电阻变化元件的双方都成为非晶形状态之后，使所述一对非易失性电阻变化元件的任一方变为结晶状态，而使所述一对非易失性电阻变化元件的一方成为非晶形状态，同时使另一方成为结晶状态。

5. 根据权利要求4所述的非易失性触发器，其特征在于，

通过对所述极板线施加高电位的电压，使夹在处于低电位的另一方的存储结点和所述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过在所述另一方的非易失性电阻变化元件上施加脉冲宽度 100ns 的电压，使所述另一方的非易失性电阻变化元件成为非晶形状态，

通过在所述极板线上施加低电位的电压，使夹在处于高电位的一方的存储结点和所述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过在所述一方的非易失性电阻变化元件上施加脉冲宽度 100ns 的电压，使所述一方的非易失性电阻变化元件成为非晶形状态，

使所述一对非易失性电阻变化元件的双方都成为非晶形状态。

6. 根据权利要求4所述的非易失性触发器，其特征在于，

通过对所述极板线施加低电位的电压，使夹在处于高电位的一方存储结点和所述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对所述一方的非易失性电阻变化元件施加脉冲宽度 100ns 的电压，使所述一方的非易失性电阻变化元件成为非晶形状态，

通过对所述极板线施加高电位的电压，使夹在处于低电位的另一方的存储结点和所述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过对所述另一方的非易失性电阻变化元件施加脉冲宽度 100ns 的电压，使所述另一方的非易失性电

阻变化元件成为非晶形状态，

使所述一对非易失性电阻变化元件的双方都成为非晶形状态。

7. 根据权利要求 4 所述的非易失性触发器，其特征在于，

在双方都为非晶形状态的一对非易失性电阻变化元件中，通过在所述极板线上施加低电位的电压，使夹在处于高电位的一方的存储结点和所述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对所述一方的非易失性电阻变化元件施加脉冲宽度 10ns 的电压，使所述一方的非易失性电阻变化元件成为结晶状态，

使所述一对非易失性电阻变化元件的任一方成为结晶状态。

8. 根据权利要求 4 所述的非易失性触发器，其特征在于，

在双方都为非晶形状态的一对非易失性电阻变化元件中，通过在所述极板线上施加高电位的电压，使夹在处于低电位的另一方的存储结点和所述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过对所述另一方的非易失性电阻变化元件施加脉冲宽度 10ns 的电压，使所述另一方的非易失性电阻变化元件成为结晶状态，

使所述一对非易失性电阻变化元件的任一方成为结晶状态。

9. 根据权利要求 3 所述的非易失性触发器，其特征在于，

在所述一对结点和所述极板线之间产生电位差、并使所述一对非易失性电阻变化元件的双方都成为结晶状态之后，通过使所述一对非易失性电阻变化元件的任一方变成非晶形状态，而使所述一对非易失性电阻变化元件的一方为非晶形状态，同时使另一方为结晶状态。

10. 根据权利要求 9 所述的非易失性触发器，其特征在于，

通过在所述极板线上施加高电位的电压，使夹在处于低电位的另一方的存储结点和所述极板线之间的另一方的非易失性电阻变化元件

的两端产生电位差，同时，通过对所述另一方的非易失性电阻变化元件施加脉冲宽度 10ns 的电压，使所述另一方的非易失性电阻变化元件成为结晶状态，

通过对所述极板线施加低电位的电压，使夹在处于高电位的一方的存储结点和所述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对所述一方的非易失性电阻变化元件施加脉冲宽度 10ns 的电压，使所述一方的非易失性电阻变化元件成为结晶状态，

使所述一对非易失性电阻变化元件的双方都成为结晶状态。

11. 根据权利要求 9 所述的非易失性触发器，其特征在于，

通过对所述极板线施加低电位的电压，使夹在处于高电位的一方的存储结点和所述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对所述一方的非易失性电阻变化元件施加脉冲宽度 10ns 的电压，使所述一方的非易失性电阻变化元件成为结晶状态，

通过对所述极板线施加高电位的电压，使夹在处于低电位的另一方的存储结点和所述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过对所述另一方的非易失性电阻变化元件施加脉冲宽度 10ns 的电压，使所述另一方的非易失性电阻变化元件成为结晶状态，

使所述一对非易失性电阻变化元件的双方都成为结晶状态。

12. 根据权利要求 9 所述的非易失性触发器，其特征在于，

在双方都为结晶状态的一对非易失性电阻变化元件中，通过对所述极板线施加低电位的电压，使夹在处于高电位的一方的存储结点和所述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对所述一方的非易失性电阻变化元件施加脉冲宽度 100ns 的电压，使所述一方的非易失性电阻变化元件成为非晶形状态，

使所述一对非易失性电阻变化元件的任一方成为非晶形状态。

13. 根据权利要求 9 所述的非易失性触发器，其特征在于，

在双方都为结晶状态的一对非易失性电阻变化元件中，通过对所述极板线施加高电位的电压，使夹在处于低电位的另一方的存储结点和所述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过对所述另一方的非易失性电阻变化元件施加脉冲宽度 100ns 的电压，使所述另一方的非易失性电阻变化元件成为非晶形状态，

使所述一对非易失性电阻变化元件的任一方成为非晶形状态。

14. 根据权利要求 3 所述的非易失性触发器，其特征在于，

在所述检索动作中，使所述一对开关元件成为接通状态，并使所述极板线的电位从接地电位向电源电位上升，

通过在接通所述触发器部的电源的同时使所述一对开关元件成为断开状态，使所述一对存储结点的一方成为高电位，同时使另一方成为低电位。

非易失性触发器

技术领域

本发明涉及在通常由触发器高速地进行动作、另一方面在切断电源时等可以利用电阻变化元件进行非易失性的动作的非易失性触发器。

背景技术

随着近年来的便携式终端的普及等，对半导体元件的小型化，低耗电化的要求越来越高。因此，在这种便携式终端中非易失性存储器的必要性日益增加。

目前，作为非易失性存储器，快擦写存储器和铁电存储器（FeRAM: Ferroelectric Random Access Memory）等已投入实际应用。并且，在便携式终端的情况下，由于需要实现小型化，有时也将非易失性存储器与硅器件混装在一起。

在以硅为中心构成的数据处理元件中，不仅要求小型化，低耗电化，而且还要求高速化，因而存在着怎样以小型，低耗电进行高速数据处理的问题。

可是，作为非易失性存储器的代表的快擦写存储器，写入动作慢，而且需要高电压。因此，不适于用作内装于便携式终端的非易失性存储器。

另一方面，与快擦写存储器相比，铁电存储器能以低耗电进行高速动作。但是，在将铁电存储器与硅器件混装在一起时，存在着铁电体的成膜温度高而且在电极上需用 Pt（铂）之类的贵金属等的制作工艺成本增加的问题。

另外，在不使非易失性存储器与硅器件混装、而是通过外装构成电路时，由于安装面积增大，不能实现设备的小型化和轻量化。再者，由硅元件构成的逻辑器件的动作速度，比非易失性存储器的速度快，因而存在着使对非易失性存储器的数据的输入输出在速度上超出的问

题。

因此，作为兼有硅器件的高速化和非易失性存储器的非易失性的两个优点的电路结构，例如有在特开 2000—293889 号公报、特开 2000—48576 号公报中提出的非易失性电路。

在这些公报中，将在硅器件中大量使用的触发器（FF）电路与铁电电容器组合，通常与现有的硅逻辑元件同样地进行高速动作，必要时对铁电电容器进行数据写入。

以下，对特开 2000—293889 号公报的一些细节进行说明。图 13 是表示现有的非易失性存储器的结构的电路图。如图 13 所示，将逆变器 101、102 的输入和输出相互连接而构成触发器 103。该触发器 103 的两个结点 Q0、Q1，分别通过作为传输门而发挥作用的 NMOS 晶体管 M0、M1 与位线 BLN、BLT 连接。并且，NMOS 晶体管 M0、M1 的栅电极，与公用的字线 WL 连接。

另外，一端与公用的极板线 PL 连接的铁电电容器 F0、F1，分别与结点 Q0、Q1 连接。进一步，极板线 PL 与极板线驱动电路 104 连接。

此外，在特开 2000—48576 号公报中，在各结点 Q0、Q1 和各铁电电容器 F0、F1 之间设置着 FET，但使用铁电电容器 F0、F1 的基本结构在这些公报中是共同的。

在按如上方式构成的现有例中，通常进行与一般的触发器相同的动作。另一方面，在关断电源等时，执行对铁电电容器 F0、F1 的写入（存储）。在这种情况下，首先，将在通常设定为 $1/2V_{cc}$ （电源电压）的极板线 PL 设定为 V_{cc} 。由此，相应于各结点 Q0、Q1 的电位，对一对铁电电容器 F0、F1 分别施加反向的电场。因此，一对铁电电容器 F0、F1 的极化，被分别设定为反向。

另一方面，当进行从铁电电容器 F0、F1 的读出（检索）时，在接通电源的同时，使极板线 PL 的电位上升。在这种情况下，根据极化状态，在一对铁电电容器 F0、F1 中的一方发生极化反转，另一方不发生极化反转。其结果是，由于实效的电容不同，随着极板线 PL 的电位上升，在各结点 Q0、Q1 的电位上升上产生差异。通过利用该差异重新设定触发器 103 内部的电位，结束检索（recall）动作。

在如上所述的现有例中存在着如下的问题。第 1，如上所述，铁电

体需要在高温下成膜，同时在还原环境中较弱。为此，需要在元件制造工艺中增加蚀刻处理、氢还原处理后的氧化处理和用于防止由氢引起的还原的阻挡层的形成处理等的工序。因此，不仅使制造成本增加，而且不能达到精细化。

第2，铁电体，如超过一定的阈值电场（矫顽电场）则极化反转，根据该极化状态判断数据的有无，但即使是矫顽电场以下的电场有时也发生极化的反转。因此，如在存储动作和检索动作以外的情况下对铁电体施加电压，则即使是在矫顽电场以下也会使极化状态发生很小的变化。随着这种极化状态的变化的反复发生，产生被称为破坏极化状态的干扰的现象。因此，为防止这种干扰，必须对施加于铁电体的电压进行控制。

第3，如图13所示，在将触发器103的各结点Q0、Q1与铁电电容器F0、F1直接连接时，使各结点Q0、Q1的配线电容增大。并且，即使在触发器103的动作中，也要通过铁电电容器F0、F1和极板线PL的路径、进而通过其它的铁电电容器等的路径对各结点Q0、Q1施加电场。因此，在这些路径上存在着漏电流。一般地说，铁电容器的漏泄，产生比在SiO₂等的硅器件中使用的绝缘膜和层间膜的漏泄大的漏电流。在触发器103的动作中，各结点Q0、Q1频繁地反转，所以每次都在正方向和反方向产生漏电流。

第4，即使是在通常的触发器的动作中，也需要将极板线PL固定在1/2Vcc上，所以也不能充分地实现节电化。

发明内容

本发明是鉴于上述情况开发的，其目的是提供一种通过使用电阻变化元件减少通常动作时的漏电流，同时能进行稳定的电的动作的非易失性触发器及其控制方法。

为达到该目的，本发明的非易失性触发器，包括：触发器部，其具有一对用于存储一对逆逻辑的数据的存储结点；一对非易失性电阻变化元件，其分别与所述一对存储结点连接，其电阻以可保存的方式变化，该非易失性触发器的结构为，在存储动作中，相应于所述一对存储结点的各个电位，使所述一对非易失性电阻变化元件的电阻变化；

在检索动作中，将所述一对存储结点的每一个设定为与所述一对非易失性电阻变化元件的电阻差相对应的电位。

这里，所谓「电阻以可保存的方式改变」，是指即使为改变电阻而停止了从外部供给的能量也能在实质上保持该已改变了的电阻，即，是非易失性的。

另外，在上述发明的非易失性触发器中，优选构成为，在存储动作中，相应于上述一对存储结点的各自的电位，使上述一对非易失性电阻变化元件的一方成为高电阻状态，同时使另一方成为低电阻状态，在检索动作中，相应于上述一对非易失性电阻变化元件的电阻差，使上述一对存储结点的一方成为高电位，同时使另一方成为低电位。

另外，在上述发明的非易失性触发器中，上述一对非易失性电阻变化元件都是由相变材料构成的，该相变材料在非晶形状态下为高电阻状态，在结晶状态下为低电阻状态。

另外，在上述发明的非易失性触发器中，优选在存储动作中，上述一对非易失性电阻变化元件的一方为非晶形状态，另一方为结晶状态。

另外，在上述发明的非易失性触发器中，优选将一对开关元件夹在上述一对存储结点和上述一对非易失性电阻变化元件之间，上述一对非易失性电阻变化元件与极板线连接，使上述一对存储结点的一方的电位为高电位、另一方的电位为低电位，通过使上述一对开关元件成为接通状态、并在上述一对结点和上述极板线之间产生电位差，使上述一对非易失性电阻变化元件的一方成为非晶形状态，同时使另一方成为结晶状态。

另外，在上述发明的非易失性触发器中，优选通过在上述一对存储结点和上述极板线之间产生电位差、并使上述一对非易失性电阻变化元件的双方都成为非晶形状态之后，使上述一对非易失性电阻变化元件的任一方变为结晶状态，使上述一对非易失性电阻变化元件的一方成为非晶形状态，同时使另一方成为结晶状态。

另外，在上述发明的非易失性触发器中，优选通过对上述极板线施加高电位的电压，使夹在处于低电位的另一方的存储结点和上述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，

通过在上述另一方的非易失性电阻变化元件上施加脉冲宽度大的电压，使上述另一方的非易失性电阻变化元件成为非晶形状态，通过在上述极板线上施加低电位的电压，使夹在处于高电位的一方的存储结点和上述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过在上述一方的非易失性电阻变化元件上施加脉冲宽度大的电压，使上述一方的非易失性电阻变化元件成为非晶形状态，使上述一对非易失性电阻变化元件的双方都成为非晶形状态。

另外，在上述发明的非易失性触发器中，优选通过对上述极板线施加低电位的电压，使夹在处于高电位的一方存储结点和上述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述一方的非易失性电阻变化元件施加脉冲宽度大的电压，使上述一方的非易失性电阻变化元件成为非晶形状态，通过对上述极板线施加高电位的电压，使夹在处于低电位的另一方的存储结点和上述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述另一方的非易失性电阻变化元件施加脉冲宽度大的电压，使上述另一方的非易失性电阻变化元件成为非晶形状态，使上述一对非易失性电阻变化元件的双方都成为非晶形状态。

另外，在上述发明的非易失性触发器中，优选在双方都为非晶形状态的一对非易失性电阻变化元件中，通过在上述极板线上施加低电位的电压，使夹在处于高电位的一方的存储结点和上述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述一方的非易失性电阻变化元件施加脉冲宽度小的电压，使上述一方的非易失性电阻变化元件成为结晶状态，使上述一对非易失性电阻变化元件的任一方成为结晶状态。

另外，在上述发明的非易失性触发器中，优选在双方都为非晶形状态的一对非易失性电阻变化元件中，通过在上述极板线上施加高电位的电压，使夹在处于低电位的另一方的存储结点和上述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述另一方的非易失性电阻变化元件施加脉冲宽度小的电压，使上述另一方的非易失性电阻变化元件成为结晶状态，使上述一对非易失性电阻变化元件的任一方成为结晶状态。

另外，在上述发明的非易失性触发器中，优选在上述一对结点和上述极板线之间产生电位差、并使上述一对非易失性电阻变化元件的双方都成为结晶状态之后，通过使上述一对非易失性电阻变化元件的任一方变成非晶形态，使上述一对非易失性电阻变化元件的一方为非晶形态，同时使另一方为结晶状态。

另外，在上述发明的非易失性触发器中，优选通过在上述极板线上施加高电位的电压，使夹在处于低电位的另一方的存储结点和上述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述另一方的非易失性电阻变化元件施加脉冲宽度小的电压，使上述另一方的非易失性电阻变化元件成为结晶状态，通过对上述极板线施加低电位的电压，使夹在处于高电位的一方的存储结点和上述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述一方的非易失性电阻变化元件施加脉冲宽度小的电压，使上述一方的非易失性电阻变化元件成为结晶状态，使上述一对非易失性电阻变化元件的双方都成为结晶状态。

另外，在上述发明的非易失性触发器中，优选通过对上述极板线施加低电位的电压，使夹在处于高电位的一方的存储结点和上述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述一方的非易失性电阻变化元件施加脉冲宽度小的电压，使上述一方的非易失性电阻变化元件成为结晶状态，通过对上述极板线施加高电位的电压，使夹在处于低电位的另一方的存储结点和上述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述另一方的非易失性电阻变化元件施加脉冲宽度小的电压，使上述另一方的非易失性电阻变化元件成为结晶状态，使上述一对非易失性电阻变化元件的双方都成为结晶状态。

另外，在上述发明的非易失性触发器中，优选在双方都为结晶状态的一对非易失性电阻变化元件中，通过对上述极板线施加低电位的电压，使夹在处于高电位的一方的存储结点和上述极板线之间的一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述一方的非易失性电阻变化元件施加脉冲宽度大的电压，使上述一方的非易失性电阻变化元件成为非晶形态，使上述一对非易失性电阻变化元

件的任一方成为非晶形状态。

另外，在上述发明的非易失性触发器中，优选在双方都为结晶状态的一对非易失性电阻变化元件中，通过对上述极板线施加高电位的电压，使夹在处于低电位的另一方的存储结点和上述极板线之间的另一方的非易失性电阻变化元件的两端产生电位差，同时，通过对上述另一方的非易失性电阻变化元件施加脉冲宽度大的电压，使上述另一方的非易失性电阻变化元件成为非晶形状态，使上述一对非易失性电阻变化元件的任一方成为非晶形状态。

另外，在上述发明的非易失性触发器中，优选在上述检索动作中，使上述一对开关元件成为接通状态，并使上述极板线的电位从接地电位向电源电位上升，通过在接通上述触发器部的电源的同时使上述一对开关元件成为断开状态，使上述一对存储结点的一方成为高电位，同时使另一方成为低电位。

另外，在上述发明的非易失性触发器中，优选是构成为：上述一对非易失性电阻变化元件分别具有铁电体和至少在上述铁电体的一端连接栅电极的 MIS 晶体管，各铁电体的极化随上述一对存储结点的电位而变化，上述各 MIS 晶体管的电阻随上述极化而变化。

另外，在上述发明的非易失性触发器中，优选上述一对非易失性电阻变化元件，通过相应于上述各铁电体的极化改变上述 MIS 晶体管的 V_t 值，改变上述 MIS 晶体管的电阻。

另外，在上述发明的非易失性触发器中，优选是构成为：在存储动作中，根据上述一对存储结点的各自的电位，通过使上述一对非易失性电阻变化元件的一方的 MIS 晶体管为高 V_t 值而成为高电阻状态，同时通过使另一方的 MIS 晶体管为低 V_t 值而成为低电阻状态，在检索动作中，相应于上述一对非易失性电阻变化元件的 MIS 晶体管的电阻差，使上述一对存储结点的一方成为高电位，同时使另一方成为低电位。

另外，在上述发明的非易失性触发器中，优选上述一对非易失性电阻变化元件，相应于上述各铁电体的极化改变上述 MIS 晶体管的耗尽层的厚度，从而改变上述 MIS 晶体管的电阻。

另外，在上述发明的非易失性触发器中，优选是构成为：在存储

动作中，相应于上述一对存储结点的各自的电位，通过增大上述一对非易失性电阻变化元件的一方的 MIS 晶体管的耗尽层的厚度，使上述一方的 MIS 晶体管成为高电阻状态，同时通过减小另一方的 MIS 晶体管的耗尽层的厚度，使上述另一方的 MIS 晶体管成为低电阻状态，在检索动作中，相应于上述一对非易失性电阻变化元件的 MIS 晶体管的电阻差，使上述一对存储结点的一方成为高电位，同时使另一方成为低电位。

本发明的上述目的、其它的目的、特征和优点，从以下参照附图进行的说明可以看得很清楚。

附图说明

图 1 是表示本发明实施方式 1 的非易失性触发器的结构的电路图。

图 2 是表示本发明实施方式 1 的非易失性触发器的存储动作的一例的时序图。

图 3 是表示本发明实施方式 1 的非易失性触发器的存储动作的变形例的时序图。

图 4 是表示本发明实施方式 1 的非易失性触发器的检索动作的一例的时序图。

图 5 是示意地表示本发明实施方式 1 的非易失性触发器的半导体元件周边的配线区域的结构的断面图。

图 6 是表示本发明实施方式 2 的非易失性触发器的结构的电路图。

图 7 是示意地表示本发明实施方式 2 的非易失性触发器所具备的铁电选通晶体管的结构的断面图。

图 8 是表示本发明实施方式 2 的非易失性触发器的结构的另一例的电路图。

图 9 是表示本发明实施方式 2 的非易失性触发器的结构的另一例的电路图。

图 10 是表示本发明实施方式 2 的非易失性触发器的结构的另一例的电路图。

图 11 是示意地表示本发明实施方式 3 的非易失性触发器所具备的铁电选通晶体管的结构的断面图。

图 12 (a) 和 (b) 是概念地表示本发明实施方式 3 的非易失性触发器所具备的铁电选通晶体管的半导体基板的耗尽层的厚度变化的断面图。

图 13 是表示现有的非易失性存储器的结构的电路图。

具体实施方式

以下，边参照附图边详细地说明本发明的实施方式。

(实施方式 1)

图 1 是表示本发明实施方式 1 的非易失性触发器的结构的电路图。

(关于非易失性触发器的结构)

如图 1 所示，由输入和输出相互连接的一对逆变器 1、2 构成反馈电路部分 3。该反馈电路部分 3 的一对结点 5、6，通过开关晶体管 7、8，分别与位线 BL1、BL2 连接。另外，开关晶体管 7、8 的栅极部，与公用的字线 WL 连接。

一端与公用的极板线 PL 连接的电阻变化元件 11、12，通过控制晶体管 9、10，分别与结点 5、6 连接。另外，控制晶体管 9、10 的栅极部，与公用的控制信号线 CL 连接。

此外，在下文中，将包含反馈电路部分 3 和开关晶体管 7、8 的部分称为触发器部分 4。

反馈电路部 3 中的一对结点 5、6 的电位，当触发器部 4 的电源接通时，保持为逻辑反转状态、即一方为电源电位、另一方为接地电位。

如图 1 所示，控制晶体管 9、10 为分别悬在反馈电路部 3 的结点 5、6 上的状态，与上述的现有例的铁电电容器相比，可以视为很小的寄生电容，因此，对通常动作时的触发器部 4 所造成的负载增大极小。另外，通过控制晶体管 9、10，结点 5、6 和极板线 PL 电隔离，所以漏电流也不会通过极板线 PL 流向结点 5、6。

(关于相变材料)

在本实施方式中，作为电阻变化元件 11、12，采用相变材料。以下，说明相变材料的特性。

相变材料，在非晶形状态和结晶状态下电阻不同，所以是可以通过改变其相态而改变电阻的材料。这种相变材料，一般用于光盘等，

作为代表性的系列，有 Ge—Te—Sb 系列。在下文中，以 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 为例进行说明。

在光盘中，使激光照射结晶状态的相变材料并使其达到熔化温度，然后，通过急冷处理使该相变材料变为非晶形状态并记录数据。数据的读出，利用相变材料的结晶状态和非晶形状态对光的反射率之差进行。

如上所述，在光盘的情况下利用着相变材料的光学性质的变化，但在本实施方式的非易失性触发器中利用其电的性质的变化。即，利用了相变材料在非晶形状态时为高电阻、在结晶状态时为低电阻的性质。

图 5 是示意地表示本发明实施方式 1 的非易失性触发器的电阻变化元件周边的配线区域的结构断面图。

如图 5 所示，在设置于下方的层间膜 51A 上依次层叠着 Al 配线 52、层间膜 51B。在该层间膜 51B 上形成接触孔 54，在该接触孔 54 内，依次层叠下部阻挡金属层 53、相变材料 57、上部阻挡金属层 55。另外，在层间膜 51B 上，依次层叠着上部配线 56、层间膜 51C。其中，下部阻挡金属层 53 是用于防止 Al 和相变材料 57 的扩散的层，上部阻挡金属层 55 是用于防止上部配线 56 的材料和相变材料 57 的扩散的层。

按如上方式构成的电阻变化元件周边的配线区域，按如下的步骤制作。首先，在设置于下方的层间膜 51A 上依次形成 Al 配线 52、由 TiAlN 构成的下部阻挡金属层 53。然后，在该下部阻挡金属层 53 上形成了层间膜 51B 之后，在层间膜 51B 上形成接触孔 54。

接着，使基板温度为常温，用溅射法在基板的表面上形成 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层（相变材料）57。然后，通过蚀刻或 CMP（Chemical Mechanical Polishing：化学机械抛光）对接触孔 54 的外部的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 进行蚀刻。之后，在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 上依次形成上部阻挡金属层 55、上部配线 56、层间膜 51C。

对于由如上所述的相变材料构成的电阻变化元件，应注意的一点是，通过向电阻变换元件注入电荷而在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 中产生焦耳热，并由该热量使 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 产生结晶，或通过熔融后进行急冷使其非晶形化。

因此,在对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 施加了脉冲宽度大的电压脉冲或电流脉冲的情况下,当温度达到熔融温度时,通过由其后的脉冲停止而导致的急冷使 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 变为非晶形状态。其结果是, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 变为高电阻状态。与此相反,在对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 施加了脉冲宽度小的电压脉冲或电流脉冲的情况下,如使温度达到结晶温度,则 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 变为结晶状态。其结果是, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 变为低电阻状态。

此外,这时即使对 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 进一步施加脉冲宽度小的电压脉冲或电流脉冲、或阈值以下的低电压,也不会产生结晶。

为使相变材料产生相变,应该施加多大的电压或供给多大的电流,由相变材料的热传导、所施加的电压或所供给的电流引起的温度上升决定。如使施加于相变材料的电压为电源电压,则通过在施加了脉冲宽度大的电压脉冲后进行熔融急冷可以实现非晶形状态,当施加了脉冲宽度小的电压脉冲时可以实现结晶状态。另外,通过设定电位差也可以同样地实现非晶形状态和结晶状态。因此,可以根据具备本实施方式的非易失性触发器的单元部分的热设计调节相变材料的膜压和材料组成比等,以产生适合于动作的电阻变化。

$\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 为非晶形状态时的电阻率值为 $100\ \Omega\text{cm}$ 左右,结晶状态时的电阻率值为 $0.05\ \Omega\text{cm}$ 左右。因此,在 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 层 57 中,在高电阻状态和低电阻状态下产生 2 位~3 位的电阻变化。

(关于非易失性触发器的动作)

以下,说明本实施方式的非易失性触发器的动作。

(关于通常的动作)

首先,说明通常的触发器部 4 中的数据写入动作。假定在一对位线 BL1、BL2 上分别设定着一对反逻辑的数据。在这种情况下,当驱动字线 WL 而使开关晶体管 7、8 接通时,使逆逻辑的一对数据输入到反馈电路部 3,并分别被设定在结点 5、6。这时,如使开关晶体管 7、8 断开,则逆逻辑的一对数据将分别保持在结点 5、6 上。即,结点 5、6 的一方的电位为以电源电位为代表的高电位,另一方的电位为以接地电位为代表的低电位。

此外,在这种通常的数据写入动作中,控制晶体管 9、10,由控制

信号线 CL 的信号（通常为接地电位）切断。因此，反馈电路部 3 和一对电阻变化元件 11、12，通过控制晶体管 9、10 成为隔离的状态。因此，对电阻变化元件 11、12 不产生电的影响。

接着，说明通常的触发器部 4 中的数据读出动作。通过如上所述的动作，在反馈电路部 3 的各结点 5、6 上分别保持着一对逆逻辑的数据。在这种情况下，在使一对位线 BL1、BL2 变为接地电位后、驱动字线 WL 而使开关晶体管 7、8 接通时，则将一对逆逻辑的数据分别从反馈电路部 3 的结点 5、6 导出到位线 BL1、BL2。这时，可以通过检测位线 BL1、BL2 的电位进行数据的读出。

在这种通常的触发器部 4 的数据读出动作中，与数据写入动作中同样地，反馈电路部 3 和一对电阻变化元件 11、12，也通过控制晶体管 9、10 而成为隔离的状态。因此，对电阻变化元件 11、12 不施加电的影响。

在通常，本实施方式的非易失性触发器，由触发器部 4 按如上所述的方式进行数据的写入和读出动作。这时可以进行高速动作。然后，在触发器部 4 的电源被关断之前，用电阻变化元件 11、12 进行存储动作。另外，在接通触发器部 4 的电源时、或在接通电源之前，同样地检索动作。在下文中，说明使用了这些电阻变化元件 11、12 的存储动作和检索动作。

（关于存储动作）

使用了本实施方式的非易失性触发器的电阻变化元件 11、12 的存储动作，按如下方式进行。图 2 是表示本发明实施方式 1 的非易失性触发器的存储动作的一例的时序图。在图 2 中，分别由 21 表示复位时序、22 表示写入时序。这里，所谓复位时序，是指将电阻变化元件 11、12 的双方设定为非晶形状态（高电阻状态）或结晶状态（低电阻状态）的任一种状态的步骤。另外，在图 2 中，状态 1、状态 2 分别表示电阻变化元件 11、12 是高电阻状态（H）、或低电阻状态（L）、或者是其任何一种的不定的状态。

在反馈电路部 3 的各结点 5、6 上分别设定着一对逆逻辑的数据。在图 2 所示的例中，分别在结点 5 上设定正的数据（电源电位）、在结点 6 上设定负的数据（接地电位）。这里，电阻变化元件 11、12 的状

态是不定的。

首先，在将极板线 PL 设定为接地电位的状态下，在控制信号线 CL 上输入脉冲宽度为 100ns 的信号，并使控制晶体管 9、10 在输入该信号的期间接通。由此，将电源电压以 100ns 的脉冲宽度施加在与被设定为正的数据的结点 5 连接着的电阻变化元件 11 上。因此，由于将电阻变化元件 11 夹在中间的结点 5 和极板线 PL 分别设定为电源电位和接地电位，在电阻变化元件 11 上产生电位差，并且，施加在该电阻变化元件 11 上的电压的脉冲宽度为较大的 100ns，其结果是，使电阻变化元件 11 变为非晶形状态（高电阻状态）。

然后，在将极板线 PL 设定为电源电位的状态下，在控制信号线 CL 上输入脉冲宽度为 100ns 的信号，并使控制晶体管 9、10 在输入该信号的期间接通。由此，将电源电压以 100ns 的脉冲宽度施加在与被设定为负的数据的结点 6 连接着的电阻变化元件 12 上。因此，由于将电阻变化元件 12 夹在中间的结点 6 和极板线 PL 分别设定为接地电位和电源电位，在电阻变化元件 11 上产生电位差，并且，施加于该电阻变化元件 11 的电压的脉冲宽度为较大的 100ns，其结果是，使电阻变化元件 12 变为非晶形状态（高电阻状态）。

通过按如上方式使电阻变化元件 11、12 的双方变为非晶形状态，结束复位时序 21。此外，在本实施方式的复位时序 21 中，使电阻变化元件 11、12 双方都为非晶形状态，但也可以使双方都为结晶状态。

接着，在使极板线 PL 返回到接地电位的状态下，在控制信号线 CL 上输入脉冲宽度为 10ns 的信号，并使控制晶体管 9、10 在输入该信号的期间接通。由此，将电源电压以 10ns 的脉冲宽度施加在与被设定为正的数据的结点 5 连接着的电阻变化元件 11 上。因此，由于夹着电阻变化元件 11 的结点 5 和极板线 PL 分别设定为电源电位和接地电位，在电阻变化元件 11 上产生电位差，并且，施加于该电阻变化元件 11 的电压的脉冲宽度为较小的 10ns，其结果是，使电阻变化元件 11 变为结晶状态（低电阻状态）。另一方面，在与被设定为负的数据的结点 6 连接着的电阻变化元件 12 上没有施加电压。那是因为将电阻变化元件 12 夹在中间的结点 6 和极板线 PL 都被设定为接地电位，所以在电阻变化元件 12 上不会产生电位差。其结果是，电阻变化元件 12 仍

保持非晶形状状态（高电阻状态）。

按如上方式，通过使电阻变化元件 11 变为低电阻状态并使电阻变化元件 12 保持高电阻状态，结束写入时序 22。而且，电阻变化元件 11、12 的电阻状态，即使将电源关断也能保存。即，是非易失的。

（关于存储动作的变形例）

使用了本实施方式的非易失性触发器的电阻变化元件的存储动作，也可以按如下方式进行。

图 3 是表示本发明实施方式 1 的非易失性触发器的存储动作的变形例的时序图。如图 3 所示，在该变形例的复位时序 21 中，在将极板线 PL 设定为比接地电位低的电位的状态下，在控制信号线 CL 上输入脉冲宽度为 10ns 的信号而使控制晶体管 9、10 接通。由此，如上所述，将电源电压以 10ns 的脉冲宽度施加在与被设定为正的数据的结点 5 连接着的电阻变化元件 11 上。其结果是，使电阻变化元件 11 变为非晶形状状态（高电阻状态）。

在图 2 所示的例中，通过以 100ns 的脉冲宽度对电阻变化元件 11 施加电源电压，使电阻变化元件 11 变成了非晶形状状态。与此不同，在变形例中，通过以 10ns 的脉冲宽度对电阻变化元件 11 施加电源电压，使电阻变化元件 11 变为非晶形状状态。这是由于将极板线 PL 设定为比接地电位低的电位因而在电阻变化元件 11 上施加了大于电源电压的电压。

然后，在将极板线 PL 设定为比电源电位高的电位的状态下，在控制信号线 CL 上输入脉冲宽度为 10ns 的信号，并使控制晶体管 9、10 在输入该信号的期间接通。由此，如上所述，将电源电压以 10ns 的脉冲宽度施加在与被设定为负的数据的结点 6 连接着的电阻变化元件 12 上。其结果是，使电阻变化元件 11 变为非晶形状状态（高电阻状态）。

在图 2 所示的例中，通过以 100ns 的脉冲宽度对电阻变化元件 12 施加电源电压，使电阻变化元件 12 变成了非晶形状状态。与此不同，在变形例中，通过以 10ns 的脉冲宽度对电阻变化元件 12 施加电源电压，使电阻变化元件 12 变为非晶形状状态。这是由于将极板线 PL 设定为比电源电位高的电位因而在电阻变化元件 12 上施加了大于电源电压的电压。

按如上方式，结束复位时序 21。变形例中的写入时序 22，与图 2 所示的例中的写入时序 22 相同。即，在使极板线 PL 返回到接地电位的状态下，在控制信号线 CL 上输入脉冲宽度为 10ns 的信号而使控制晶体管 9、10 接通，由此，以 10ns 的脉冲宽度对电阻变化元件 11、12 施加与结点 5、6 的电位对应的电压。因此，将电源电压施加在与被设定为正的数据的结点 5 连接着的电阻变化元件 11 上，使电阻变化元件 11 变为结晶状态（低电阻状态）。

这样，在变形例中，在写入时序 22 中供给控制晶体管 9、10 的信号脉冲宽度也是 10ns。其结果是，在变形例中，无论是在复位时序 21 中还是在写入时序 22 中，供给控制晶体管 9、10 的信号脉冲宽度都是 10ns。即，无需像图 2 所示的例那样在复位时序 21 和写入时序 22 中对控制晶体管 9、10 供给不同的脉冲宽度的信号。因此，在变形例中可以使供给控制晶体管 9、10 的信号脉冲宽度保持一定，不需要进行脉冲宽度控制，因而具有可以用简便的电路实现的优点。

此外，在以上的存储动作中，应该对电阻变化元件 11、12 施加多大的脉冲宽度的电压，取决于使电阻变化元件 11、12 产生相变所需的电荷量。因此，根据各结点 5、6 和极板线的电位差、以及使电阻变化元件 11、12 产生相变所需的电荷量，决定施加于电阻变化元件 11、12 的电压的脉冲宽度。关于这一点在后述的检索动作中也是同样的。

参照图 2 和图 3 的上述存储动作，通常是在关断触发器部 4 的电源之前实施。但是，如在触发器部 4 的通常动作时进行这种存储动作，对于由多个触发器部 4 构成的触发器电路，能够以块为单位将电源关断。因此，可以实现触发器电路的低耗电化。

（关于检索动作）

以下，说明本实施方式的非易失性触发器的检索动作。图 4 是表示本发明实施方式 1 的非易失性触发器的检索动作的一例的时序图。

在将触发器部 4 的电源关断的状态下，使电阻变化元件 11、12 的一方变为非晶形态（高电阻状态）、使另一方变为结晶状态（低电阻状态）。在图 4 所示的例中，使电阻变化元件 11 为低电阻状态，使电阻变化元件 12 为高电阻状态。

在将触发器部 4 的电源关断的情况下，各结点 5、6 的状态是不定

的。因此，对控制晶体管 9、10 施加脉冲宽度比存储动作时小的电压，同时将极板线 PL 设定为接地电位。由此，释放各结点 5、6 的电荷。此外，当使触发器部 4 的电源被切断的时间持续较长的时间时，结点 5、6 的电位实际上已经是接地电位了，因此不需要进行上述的动作。

然后，在使控制晶体管 9、10 保持接通的状态下使极板线 PL 的电位逐渐上升。因此，当极板线 PL 的电位上升时，结点 5、6 的电位也上升。这里，由于电阻变化元件 11、12 的电阻处在 2 位左右的不同的状态，连接在处于低电阻状态的电阻变化元件 11 的结点 5 的一方，与连接在处于高低电阻状态的电阻变化元件 12 的结点 6 的一方相比，电位上升得更快。这时，通过与接通过触发器部 4 的电源大致同时地切断控制晶体管 9、10，可以在结点 5、6 检索数据。之所以可以按这种方式在结点 5、6 检索数据，是因为在接通了触发器部 4 的电源时虽然结点 5、6 之间的电位差很小但根据电位差将其中一个结点的电位设定为接地电位、而将另一个结点的电位设定为电源电位。

此外，在这种情况下，由于在极板线 PL 的电位达到电源电位之前控制晶体管 9、10 被切断，电阻变化元件 11、12 的状态不会改变并可以完成检索动作。

在以上的处理中，当使极板线 PL 的电位停留在电源电位的时间比输入到控制晶体管 9、10 的信号的脉冲宽度短时，可以不对电阻变化元件 11、12 进行数据的写入而进行检索动作。因此，不需要再次进行存储动作。

另外，即使将极板线 PL 的电位只升高到比电源电位低的值，也可以不对电阻变化元件 11、12 进行数据的写入而进行检索动作。因此，在这种情况下也不需要再次进行存储动作。

然后，在上述的检索动作时，使开关晶体管 7、8 和控制晶体管 9、10 接通，然后使极板线 PL 的电位为接地电位。接着，在使位线 BL1、BL2 的电位从接地电位上升到电源电位后将触发器部 4 的电源接通。通过进行这种动作，可以用被导出到位线 BL1、BL2 的数据进行检索。因此，在集成了相同的单元的存储器件和非易失性逻辑电路中，能够以单元为单位进行检索动作。

如上所述，在作为电阻变化元件采用了相变材料的本实施方式的

非易失性触发器中，电阻变化元件的电阻的变化率为 2 位以上、且改变电阻很容易用电压或电流的脉冲进行，而且可以用同一端子进行数据的写入和读出，因而具有电路结构简单等优点。

如上所述，在通常的情况下，在将触发器部 4 的电源关断之前进行存储动作，在接通了电源时、或在接通电源之前，通过将数据读出的反馈电路部 3 进行检索动作。但是，当然，也可以在触发器部 4 的电源接通期间，通过进行上述存储动作和检索动作，将本发明的非易失性触发器用作数据的暂时保存。

在本实施方式中，通过对电阻变化元件 10、11 施加脉冲而改变电阻值，不需要极板线 PL 以外的特别的写入线，因而使电路变得简便，另外，在由相变材料构成的电阻变化元件 10、11 中，可以得到 2 位左右以上的电阻值变化。因此，无需像使用了上述现有例的铁电电容器那样检测微小的电容变化，因而提高了存储动作和检索动作的可靠性。

此外，在本实施方式中，设置了与字线 WL 连接的开关晶体管 7、8，但也可以代替开关晶体管 7、8 而使用由字线的驱动进行开闭的反相门（inverter gate）。另外，在本实施方式中，反馈电路部 3 由包括两个晶体管的一对逆变器 1、2 构成，但也可以将电阻和晶体管连接在电源电位和接地电位之间而构成反馈电路部。

（实施方式 2）

实施方式 1 的非易失性触发器，作为电阻变化元件使用了相变材料。与此不同，实施方式 2 的非易失性触发器，作为电阻变化元件使用铁电体。

（关于非易失性触发器的结构）

图 6 是表示本发明实施方式 2 的非易失性触发器的结构的电路图。如图 6 所示，电阻变化元件 61、62，分别具备铁电体 63、64 和开关元件（MIS 晶体管）65、66。该电阻变化元件 61、62，是将铁电体 63 用作在半导体基板上形成的 MIS 晶体管 65、66 的栅极氧化膜的一部分的铁电选通晶体管。因此，在下文中将电阻变化元件 61、62 称为铁电选通晶体管 61、62。

（关于铁电选通晶体管的结构）

图 7 是示意地表示本发明实施方式 2 的非易失性触发器所具备的

铁电选通晶体管的结构的断面图。如同时参照图 6，则如图 7 所示，本实施方式的非易失性触发器所具备的铁电选通晶体管 61，其构成方法为，在由硅构成的半导体基板 70 的表面上形成源区和漏区 101、102，在该源区和漏区 101、102 之间的沟道区 103 上，依次层叠绝缘膜 71、浮置电极 72、铁电体 63（64）、上部电极 74。在本实施方式中，铁电选通晶体管 61、62，是 n 沟道型 MIS 晶体管。

铁电选通晶体管的结构，有多种类型。例如，将铁电体直接形成在硅基板之类的半导体基板上的栅电极（M）—铁电体（F）—半导体基板（S）的结构，被称为 MFS 结构。另外，由于很难将铁电体直接形成在半导体基板上，在半导体基板和铁电体之间形成了绝缘膜层（I）的结构，被称为 MFIS 结构。进一步，将在铁电体和绝缘膜层之间形成了浮置电极的结构称为 MFMIS 结构。本实施方式的非易失性触发器所具备的铁电选通晶体管，形成 MFMIS 结构。

此外，作为铁电体 63，可以采用 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 等的以铋为基础的材料、或 PZT（ PbZrTiO_3 ）等的 Pb 系列的材料。

按上述方式构成的铁电选通晶体管 61、62 所具备的铁电体 63、64 的一端，与由半导体基板 70、绝缘膜 71 和浮置电极 72 构成的 MIS 晶体管 65、66 的栅极部（浮置电极 72）连接。该 MIS 晶体管 65、66 的主端子部（源区和漏区 101、102），分别与公用的极板线 PL 和结点 5、6 连接。

另外，铁电选通晶体管 61 所具备的铁电体 63 的另一端，通过上部电极 74 和开关元件 68 与位线 BL2 连接，同时还通过上部电极 74 与铁电选通晶体管 62 所具备的半导体基板 70 连接。另一方面，铁电选通晶体管 62 所具备的铁电体 64 的另一端，通过上部电极 74 和开关元件 67 与位线 BL1 连接，同时还通过上部电极 74 与铁电选通晶体管 61 所具备的半导体基板 70 连接。

进一步，开关元件 67、68 的栅极部，与公用的第 2 字线 WL2 连接。

此外，本实施方式的非易失性触发器的其它结构，除了字线 WL 为第 1 字线 WL1 以外，与实施方式 1 相同，因而标以相同的符号并将其说明省略。

铁电选通晶体管 61、62，通过在上部电极 74 和半导体基板 70 之间施加电压，产生铁电体 63、64 的极化。这时，由在绝缘膜 71 上感应产生的电荷改变 MOS 晶体管的阈值 (V_t)。作为铁电选通晶体管 61、62，其电阻值随着该阈值 (V_t) 的改变而变化，因此，铁电选通晶体管 61、62，起着作为电阻变化元件的作用。

在本实施方式中，利用这种原理存储数据。即，通过使施加在上部电极 74 和半导体基板 70 之间的电压按正向或反向变化，改变铁电体 63、64 的极化方向。然后，借助于与该变化对应的阈值 (V_t)，存储 1 或 0 的数据。

如图 7 所示，当铁电选通晶体管 61、62 为 n 沟道型时，如对半导体基板 70 施加正偏压，则对沟道方向为正偏置，有可能流过电流。因此，必须通过将源区和漏区 101、102 设定为浮置电位等来防止正偏流。

此外，为了使铁电体 63、64 产生极化，也可以采用其它方法。例如，通过将半导体基板 70 的电位设定为接地电位并对上部电极 74 施加正或负的偏压，也可以改变铁电体 63、64 的极化方向。

(关于通常的动作)

以下，说明本实施方式的非易失性触发器的动作。

关于通常的动作，与实施方式 1 相同，因而将其说明省略。此外，通常，开关元件 67、68 被切断。因此，位线 BL1、BL2 和铁电选通晶体管 61、62 分别变为电隔离的状态。

(关于存储动作)

本实施方式的非易失性触发器的存储动作，按如下方式进行。在图 6 中，在触发器部 4 的电源被关断之前，驱动第 2 字线 WL2 而使开关元件 67、68 接通。如在位线 BL1、BL2 上预先设定一对逆逻辑的数据，则对铁电选通晶体管 61 或 62 的上部电极 74 和半导体基板 70 分别设定 1 或 0、即电源电位或接地电位。其结果是，将一对铁电体 63、64 的极化方向设定为彼此相反的方向。于是，对半导体基板 70 施加了负偏压的铁电选通晶体管 61 或 62 的 V_t 值变为高的状态。另一方面，对半导体基板 70 施加了正偏压的铁电选通晶体管 61 或 62 的 V_t 值变为低的状态。此外，在下文中，为便于说明，假定铁电选通晶体管 62 的 V_t 值处在高的状态，铁电选通晶体管 61 的 V_t 值处在低的状态。

按如上方式，结束存储动作，通过存储动作得到的电阻变化元件 61、62 的铁电体 63、64 的极化状态，即使不施加偏压也可以保存。因此，可以进行如下的检索动作。

（关于检索动作）

本实施方式的非易失性触发器的检索动作，与实施方式 1 基本相同，也是利用铁电选通晶体管的电阻差进行。

首先，在使一对位线 BL1、BL2 的电位为接地电位的状态下，驱动第 1 字线 WL1 而使开关元件 7、8 接通。由此，使反馈电路部 3 的各结点 5、6 的电位变为接地电位。

接着，在驱动控制信号线 CL 而使控制晶体管 9、10 接通后，使极板线 PL 的电位逐渐上升，同时使反馈电路部 3 的逆变器 1、2 的电源电位上升。这时， V_t 值处在高的状态的电阻变化元件 62 为高电阻状态， V_t 值处在低的状态的电阻变化元件 61 为低电阻状态，因此，与实施方式 1 同样地，连接于低电阻状态的电阻变化元件 61 的结点 5 的电位上升迅速，连接于高电阻状态的电阻变化元件 62 的结点 6 的电位上升迟缓。这时，通过与接通触发器部 4 的电源大致同时地切断控制晶体管 9、10，可以在结点 5、6 检索数据。

此外，这时，虽然对电阻变化元件 61、62 的上部电极 74 施加着 0 偏压，但如将电阻变化元件 61、62 设计成即使是施加这种 0 偏压时也能保持高电阻状态或低电阻状态，则可以进行稳定的动作。

（关于实施方式 2 的变形例 1）

可是，在将一对电阻变化元件 61、62 的 V_t 值设定为高的状态并且对上部电极 74 施加的偏压为 0 时，如将 V_t 值设定为使开关元件 65、66 断开，则不需要控制信号线 CL 和控制晶体管 9、10（参照图 8）。

如图 8 所示，虽然是没有控制信号线和控制晶体管的结构，但在通常动作时铁电选通晶体管 61、62 为切断状态，所以对结点 5、6 不施加电的影响。

在这种情况下，如在存储动作时将触发器部 4 的电源关断而设定为高阻抗状态并将极板线 PL 也设定为高阻抗状态，则可以对电阻变化元件 61、62 进行数据写入。

另一方面，在检索动作时，在施加 0 偏压的情况下将 V_t 值设定为

使 MIS 晶体管 65、66 切断。因此，通过对铁电选通晶体管 61、62 的双方的栅极部（浮置电极 72）施加 V_t 值以上的电压、或对双方的栅极部施加使任一方的栅极部接通的电压，进行检索动作。

另外，作为其它的例，也可以采用图 9 中示出的结构。如图 9 所示，在该结构中，铁电选通晶体管 61、62 所具备的铁电体 63、64 的一端，分别与 MIS 晶体管 65、66 的栅极部连接。而且，铁电体 63、64 的另一端，分别通过上部电极 74 和开关元件 67、68 与位线 BL1、BL2 连接。此外，关于其它的结构，与图 6 所示的情况相同。

（关于实施方式 2 的变形例 2）

进一步，作为其它的例，也可以采用图 10 中示出的结构。如图 10 所示，在该结构中，除位线 BL1、BL2 以外，还设置了另外的位线 BL3、BL4。而且，铁电体 63、64 的另一端，分别通过上部电极 74 和开关元件 67、68 与位线 BL3、BL4 连接。此外，关于其它的结构，与图 9 所示的情况相同。

在上述的图 9 和图 10 所示的结构中，当在铁电选通晶体管中在半导体基板和上部电极之间进行写入时，通过使半导体基板的电位在接地电位上保持一定，并将施加于上部电极的电压设定为正电位和负电位进行写入。由于将上部电极的电位设定为正或负，使位线 BL1、BL2 的电位与写入触发器部 4 的电压不同。因此，除了写入触发器部 4 的通常动作以外还有写入数据的必要。而当如图 10 所示设置了另外的位线 BL3、BL4 时，除触发器部 4 的动作以外还可以对铁电选通晶体管进行写入。

（实施方式 3）

实施方式 3 的非易失性触发器，与实施方式 2 同样地将铁电选通晶体管用作电阻变化元件。实施方式 3 与实施方式 2 的不同点在于，根据在半导体层上形成的铁电体的极化，改变上述 MIS 晶体管的耗尽层的厚度，从而改变该半导体层的电阻。

（关于非易失性触发器的结构）

关于本实施方式的非易失性触发器的总体结构，由于与以上参照图 6 所述的实施方式 1 相同，将其说明省略。

（关于铁电选通晶体管的结构）

图 11 是示意地表示本发明实施方式 3 的非易失性触发器所具备的铁电选通晶体管的结构的断面图。如同时参照图 6，则如图 11 所示，本实施方式的非易失性触发器所具备的铁电选通晶体管 61，在由硅构成的半导体层 81 上依次层叠铁电体 63、上部电极 82 而构成。此外，与实施方式 1 同样地，也可以在铁电体 63 和半导体层 81 之间设置绝缘体层。

在按如上方式构成的铁电选通晶体管 61 中，如在上部电极 82 和半导体层 81 之间施加电压以使铁电体 63 的极化反转，则可以改变半导体层 81 的耗尽层的厚度。这时，半导体层 81 的面内方向的电阻值，仅改变与耗尽层的厚度变化相当的量。作为铁电选通晶体管，其电阻值随该耗尽层的厚度的改变而变化，因此，铁电选通晶体管起着作为电阻变化元件的作用。

在本实施方式中，利用这种原理存储数据。即，通过使施加在上部电极 82 和半导体层 81 之间的电压按正向或反向变化，改变铁电体 63 的极化方向。然后，根据与该极化方向的变化对应地改变的耗尽层的厚度，存储 1 或 0 的数据。

此外，本实施方式的情况，与在通常的硅基板上制作晶体管的情况不同，只利用半导体层 81 的耗尽层的厚度的变化，所以半导体层 81 的材料的选择范围更宽。例如，除硅以外，也可以由 AlN、ZnO、InO₂ 等的氧化物构成半导体层 81。

以下，说明本实施方式的非易失性触发器的动作。

关于通常的动作，与实施方式 1 时相同，因而将其说明省略。

（关于存储动作）

本实施方式的非易失性触发器的存储动作，按如下方式进行。与实施方式 2 同样地，通过在电阻变化元件 61、62 的上部电极 82 或半导体层 81 分别设定 1 或 0、即电源电位或接地电位，将一对铁电体 63、64 的极化方向设定为彼此相反的方向。在这种情况下，在上部电极 82 上施加了正偏压的电阻变化元件 61 或 62 的半导体层 81 的耗尽层 83 的厚度增大（参照图 12（a））。另一方面，在半导体基板 81 上施加了正偏压的电阻变化元件 61 或 62 的半导体基板 81 的耗尽层 83 的厚度减小（参照图 12（b））。此外，在下文中，为便于说明，假定电阻变化

元件 62 所具备的半导体层 81 的耗尽层 83 的厚度大、电阻变化元件 61 所具备的半导体层 81 的耗尽层 83 的厚度小。

按如上方式，结束存储动作。

（关于检索动作）

以下，说明本实施方式的非易失性触发器的检索动作。

与实施方式 2 同样地，在使反馈电路部 3 的各结点 5、6 的电位变为接地电位后，使控制晶体管 9、10 接通，并使极板线 PL 的电位逐渐上升，同时使反馈电路部 3 的逆变器 1、2 的电源电位上升。这时，具备耗尽层 83 的厚度大的半导体层 81 的电阻变化元件 62 变为高电阻状态，具备耗尽层 83 的厚度小的半导体层 81 的电阻变化元件 61 变为低电阻状态，因此，与实施形态 1 同样地，连接于低电阻状态的电阻变化元件 61 的结点 5 的电位上升迅速，连接于高电阻状态的电阻变化元件 62 的结点 6 的电位上升迟缓。这时，通过与接通触发器部 4 的电源大致同时地切断控制晶体管 9、10，可以在结点 5、6 检索数据。

在实施方式 2 的铁电选通晶体管中，由源极和漏极构成数据的读出端子。另一方面，在实施方式 3 的电阻变化元件中，可以检测半导体层的面内方向的电阻值的变化，由 2 点构成数据的读出端子。另外，无论哪一种实施方式，都是通过在上部电极和半导体基板之间施加电压而使铁电体的极化反转并由此进行数据的写入，所以都是由上部电极和半导体基板构成数据的写入端子。

即，实施方式 2 和实施方式 3 中的电阻变化元件，需要是在数据的写入和读出上能够使用不同的 2 个端子的 4 端子元件。因此，只要是这种 4 端子元件，就能适用于本发明。

（其它的事项）

在将上述的各实施方式的非易失性触发器应用于具有多路复用器和检查表的现场可编程设备时，可以高速地将程序数据复原，同时可以在触发器部的通常动作中将程序数据存储到电阻变化元件。

另外，通过使在逻辑设备中经常使用的触发器成为本发明的各实施方式的非易失性触发器，可以将逻辑电路部分的处理过程中的数据等保持在触发器部的附近，因此，不仅不需要外部的存储器，而且还可以使处理高速化。另外，可以利用非易失的特性在每个电路块等的

电路规模小的范围内频繁地关断电源，因此可以减低耗电量。另外，触发器为非易失动作，所以能够保存以触发器为基本型的移位寄存器等的的数据。这时，一般情况下都是由时钟脉冲移动数据的结构，但当使用了本发明的各实施方式的非易失性触发器时，由于可以进行非易失动作，所以具有可以应用于非同步电路等的优点。

进一步，通过将本发明的各实施方式的非易失性触发器按矩阵状配置在多条位线和多条字线的交点，可以实现具有在通常动作时以与SRAM等相同的速度进行数据的读写、在关断触发器部的电源时进行非易失动作的2种模式的半导体存储装置。

作为从业人员，从以上的说明可以清楚地了解本发明的多种改进和实施形态。因此，上述说明，应该理解为只是作为例示，是以向从业人员示范为目的提供了执行本发明的最佳形态。只要不脱离本发明的精神，可以对其结构和/或功能的细节进行实质上的变更。

本发明的非易失性触发器，作为便携式终端中的非易失性存储器是有效的。

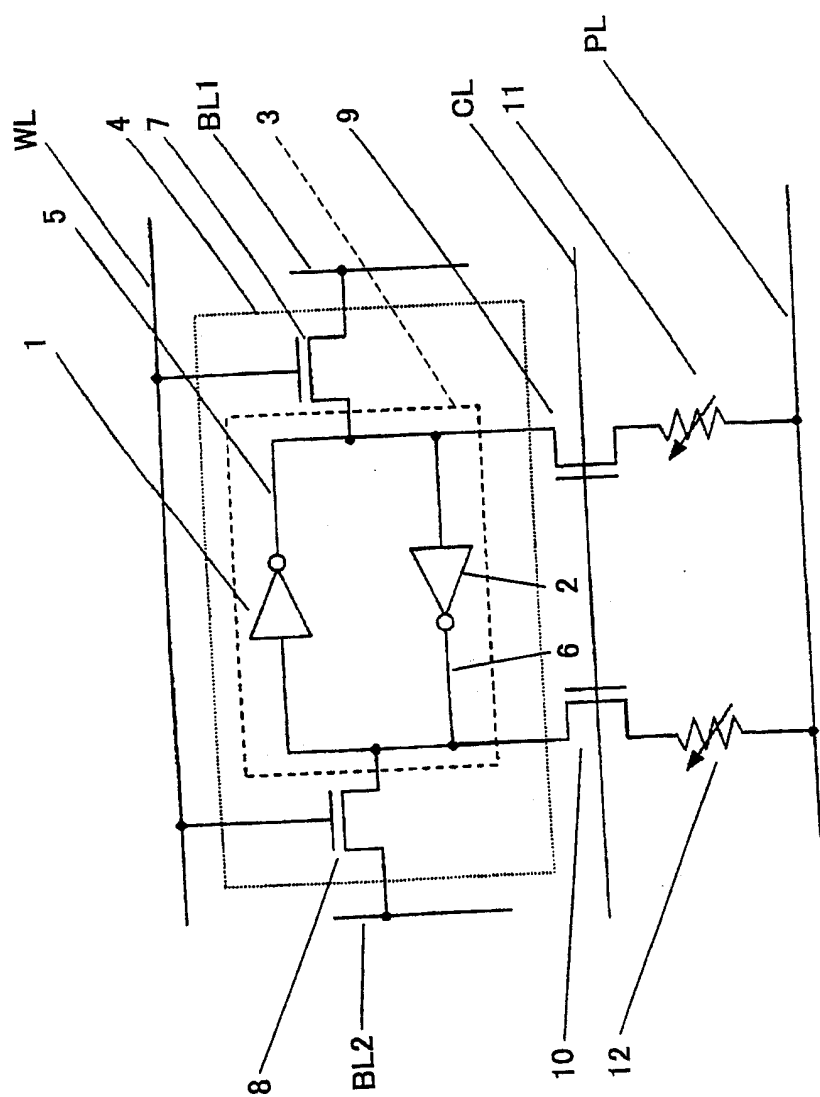


图1

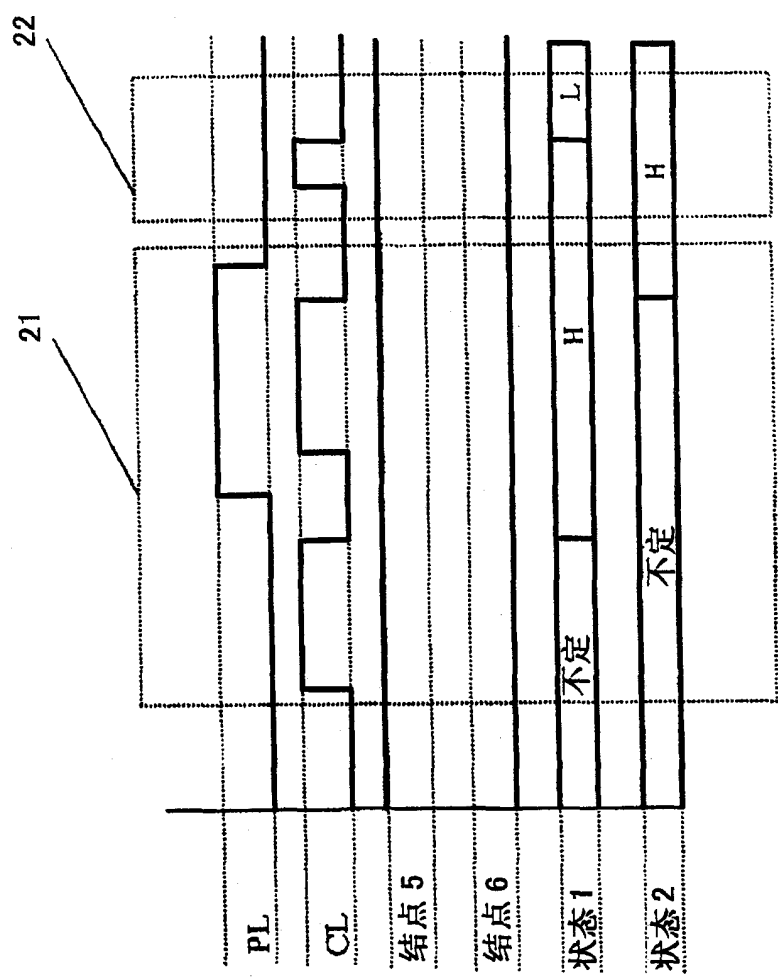


图2

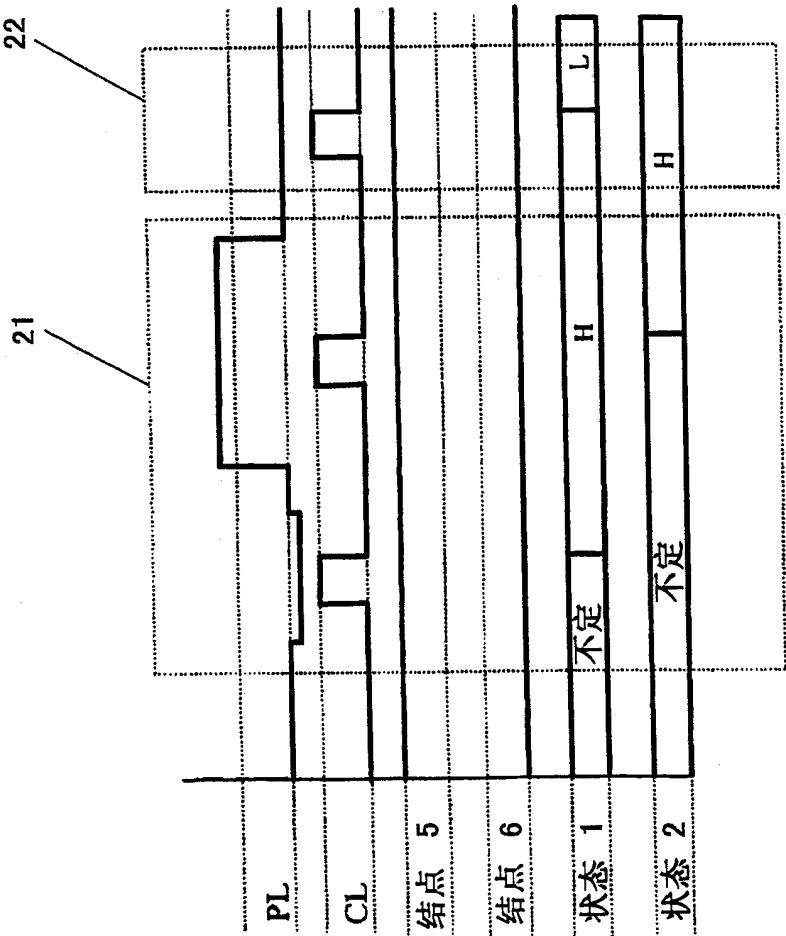


图3

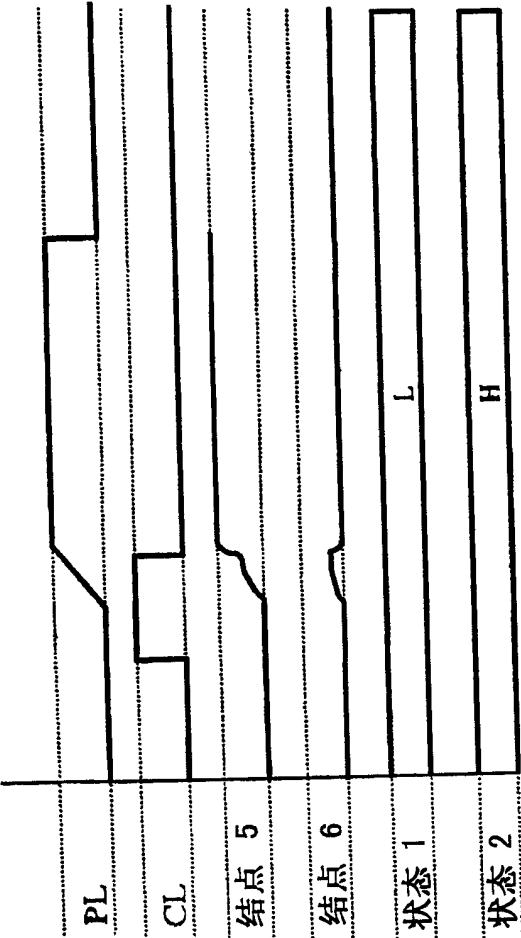


图4

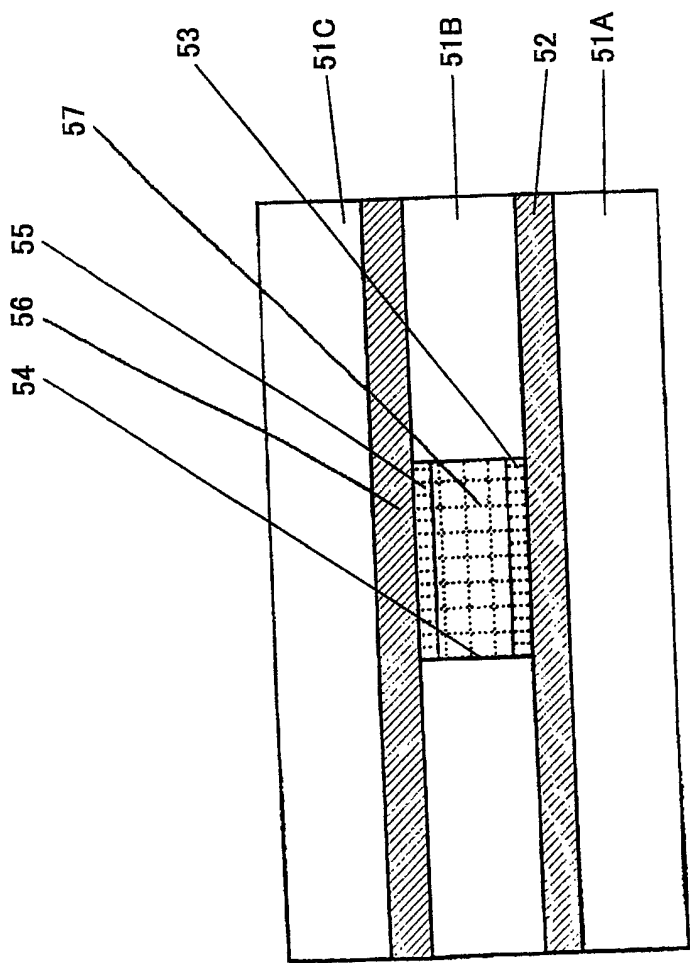


图5

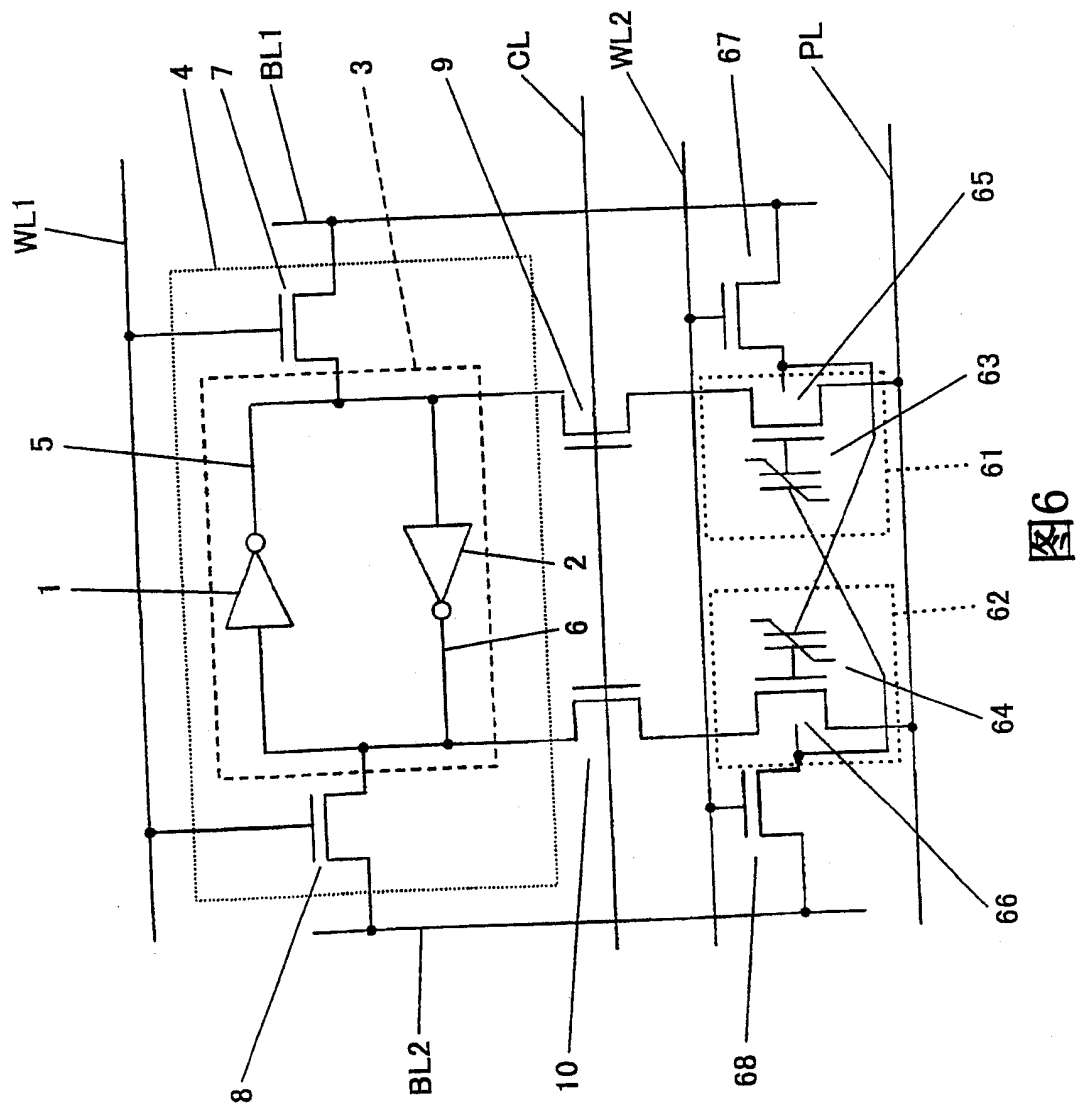


图6

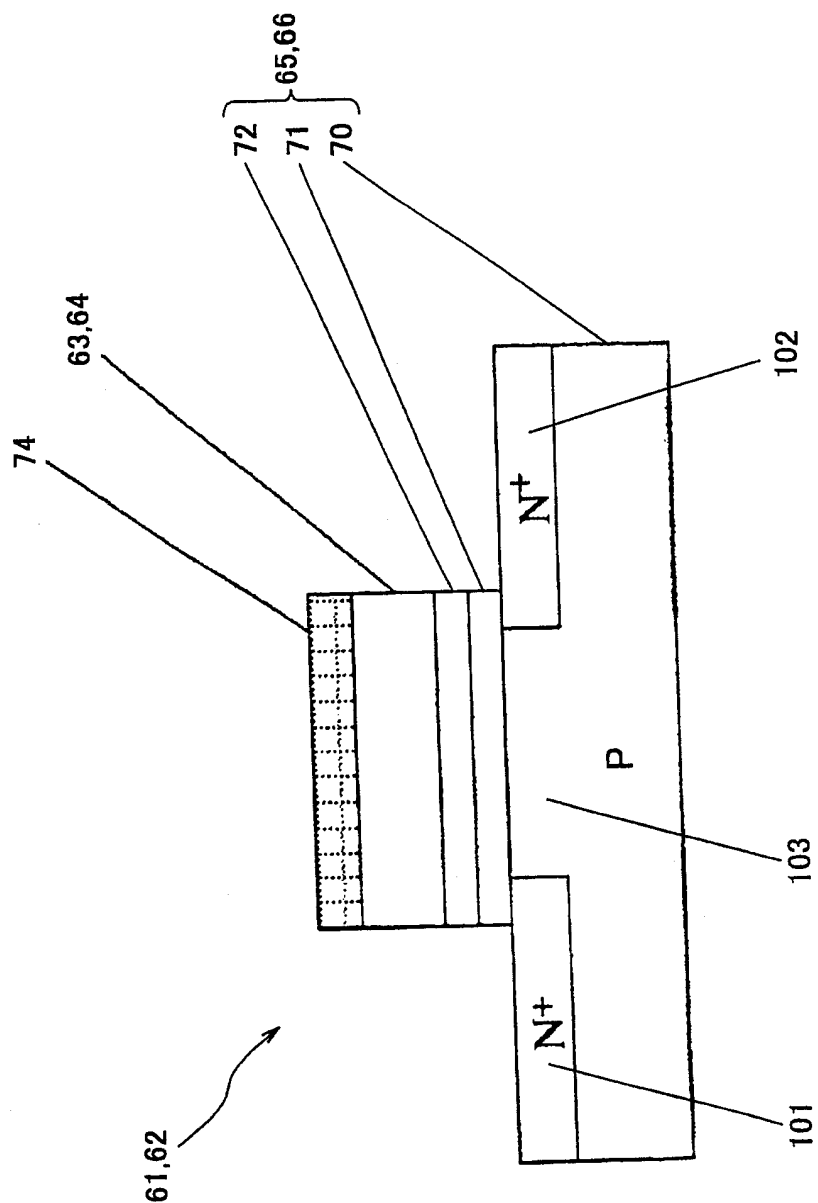
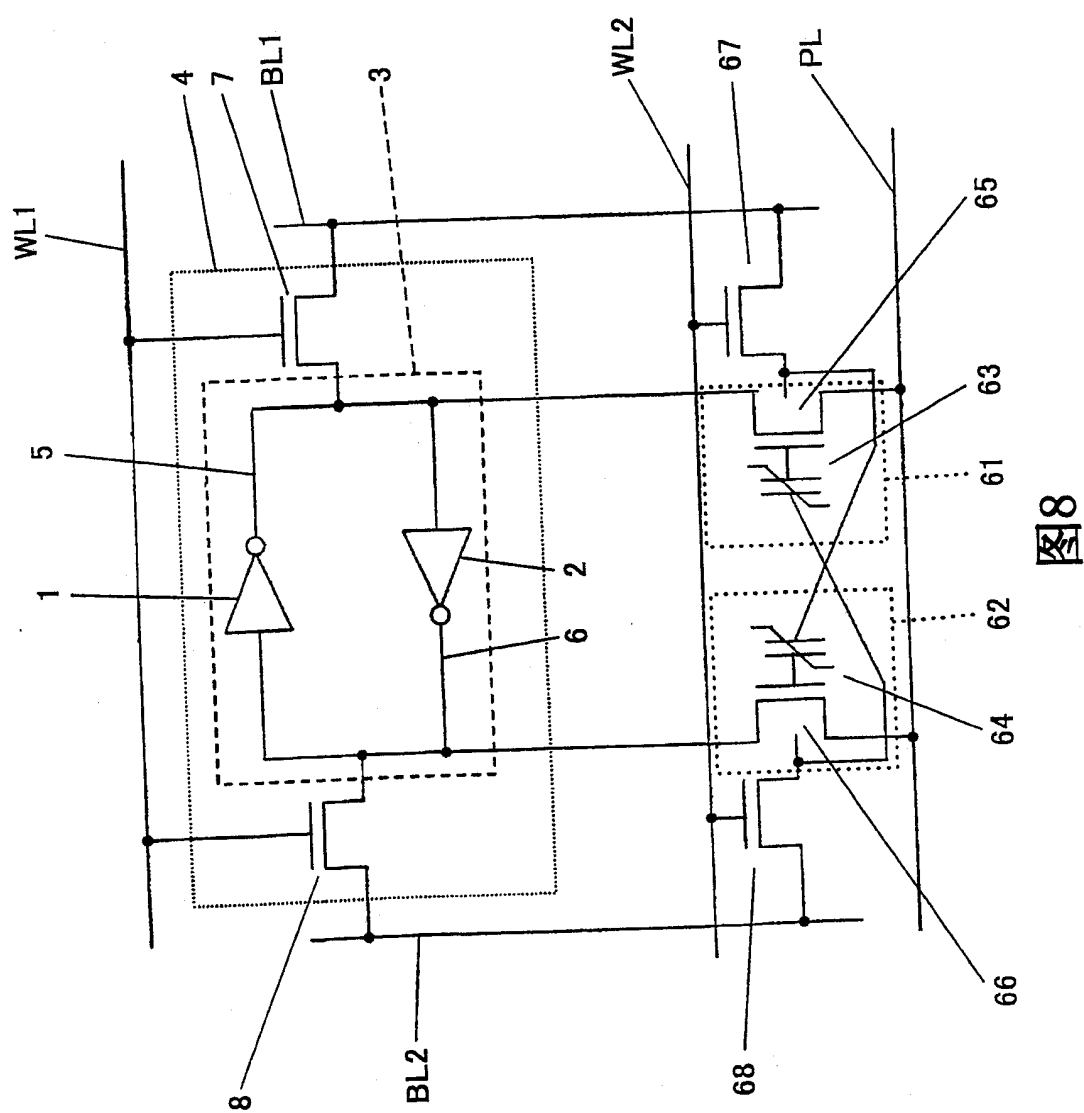


图7



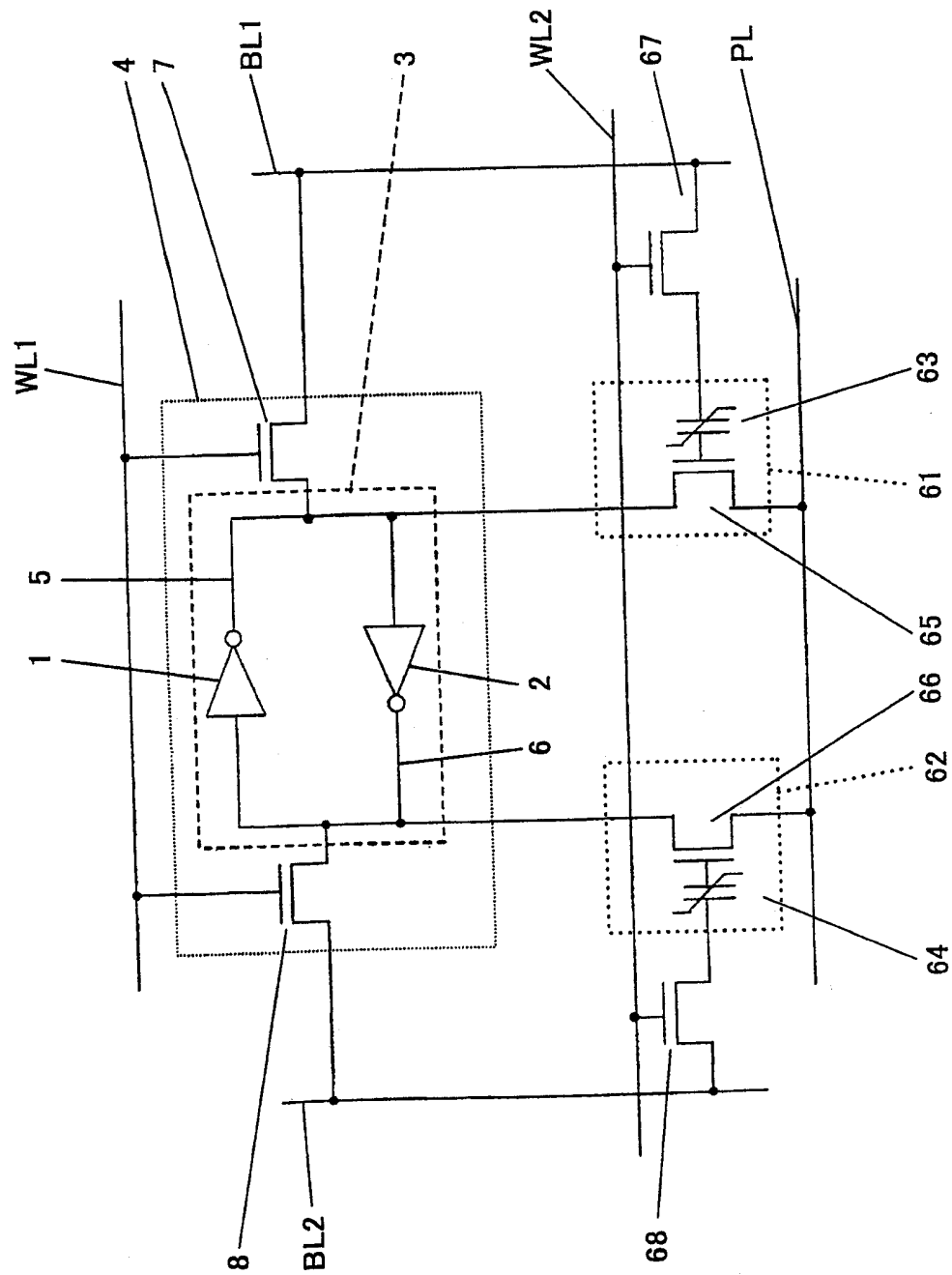


图9

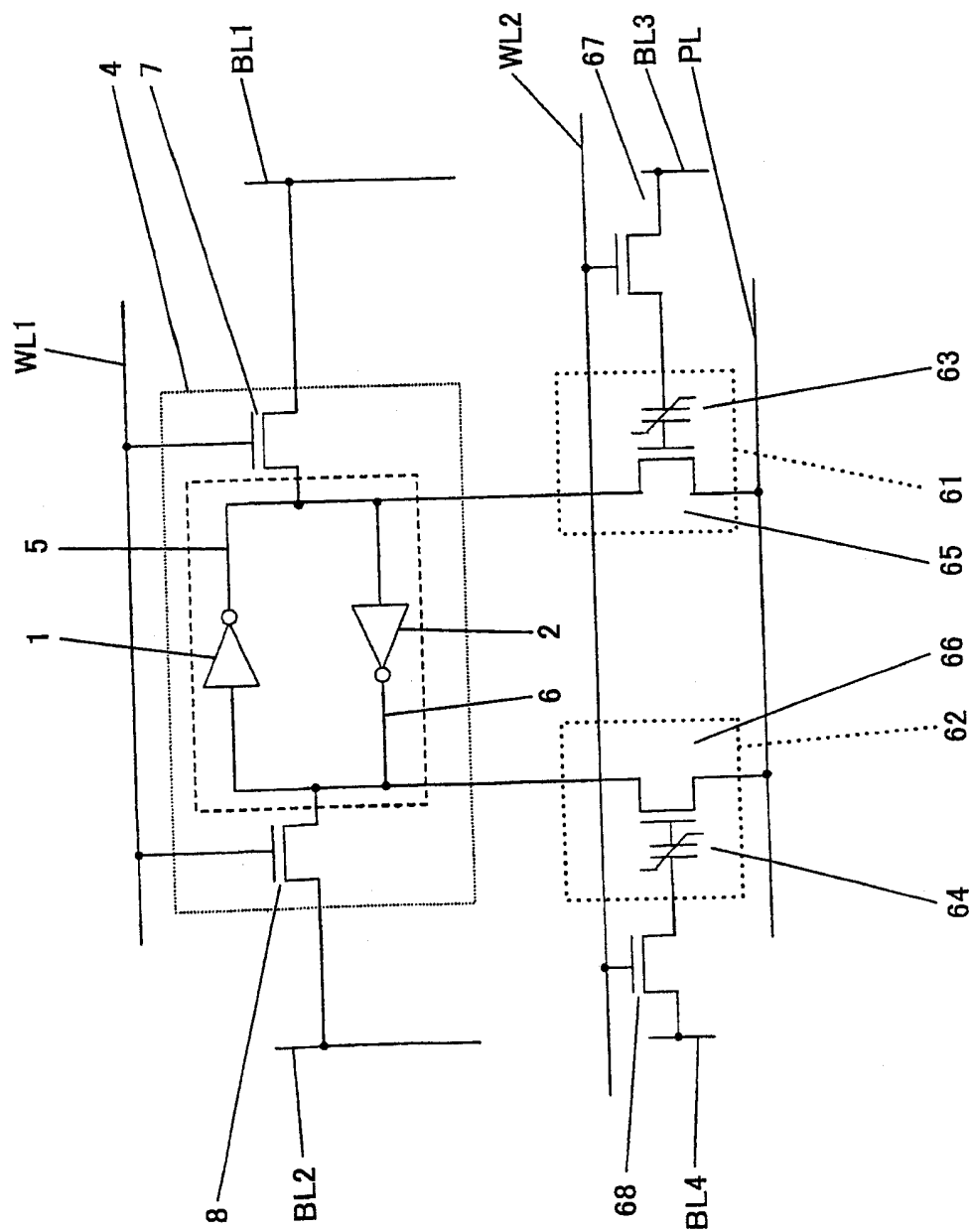


图10

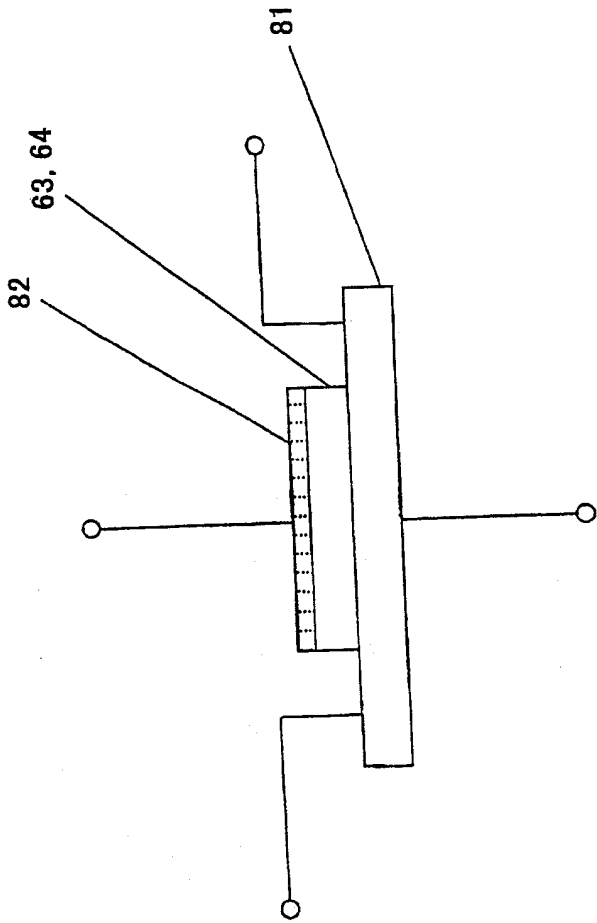


图11

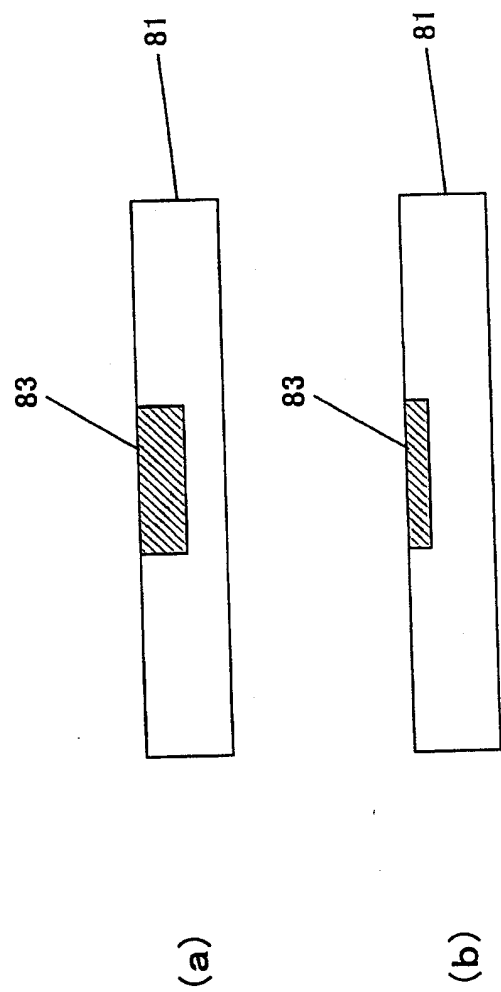


图12

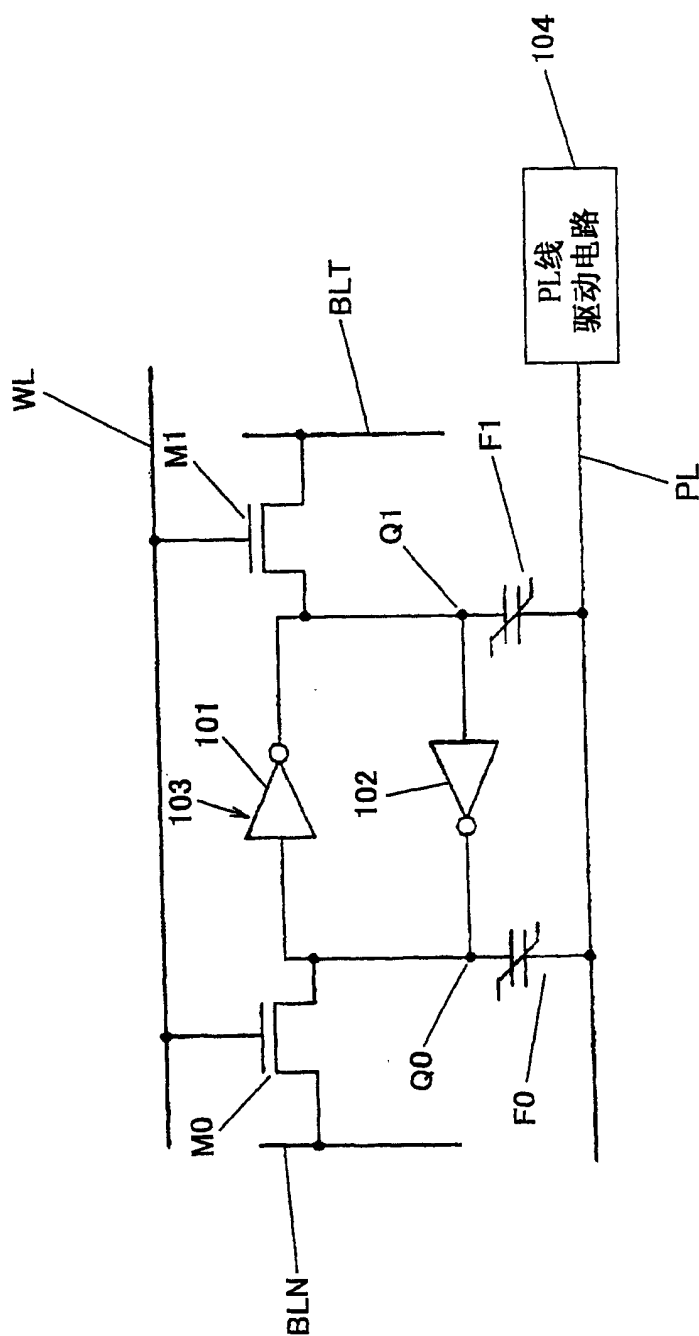


图13