

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 13/28 (2006.01)

G06F 13/36 (2006.01)



[12] 发明专利说明书

专利号 ZL 03155033.9

[45] 授权公告日 2009 年 6 月 3 日

[11] 授权公告号 CN 100495372C

[22] 申请日 2003.8.26 [21] 申请号 03155033.9

[30] 优先权

[32] 2002. 8. 26 [33] JP [31] 2002 - 245324

[32] 2003. 6. 19 [33] JP [31] 2003 - 175095

[73] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 木村正博 福光康则 山本泰久

五十岚昌弘

[56] 参考文献

US6351570A 2002. 2. 26

US6167091A 2000. 12. 26

审查员 赵伟华

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 李香兰

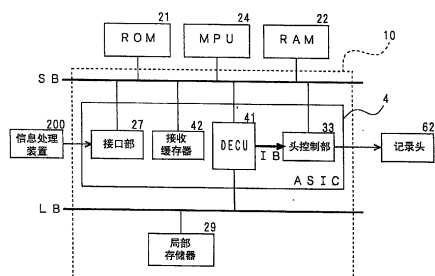
权利要求书 2 页 说明书 28 页 附图 36 页

[54] 发明名称

液体喷射数据的数据传输装置、液体喷射装置

[57] 摘要

一种液体喷射数据的数据传输装置。使被压缩的记录数据经由系统总线(SB)逐一字节地向接收缓存器(42)DMA 传输。从接收缓存器(42)通过系统总线(SB)向 DECU (41) 传输。在 DECU (41) 内部,通过译码电路(28)用硬件展开压缩数据,存储到行缓存器(281)中。在达到给定字节数的时刻,经由局部总线(LB)向局部存储器(29)DMA 传输。存储到局部存储器(29)的记录数据经由局部总线(LB)向 DECU (41) DMA 传输,向头控制部(33)DMA 传输,向记录头(62)DMA 传输。由此实现压缩数据的高速展开处理和向液体喷射头的高速数据传输,提高了液体喷射装置的液体喷射执行速度。



1. 一种液体喷射数据的数据传输装置，包括：
系统总线和局部总线的两个系统的独立总线；
可传输数据地连接在所述系统总线上的主存储器；
可传输数据地连接在所述局部总线上的局部存储器；
连接在所述系统总线和所述局部总线之间，使它们能彼此传输数据的，具有能把被压缩为可进行行展开的液体喷射数据用硬件展开的译码电路的译码单元；

以字为单位存储由该译码电路展开的液体喷射数据的缓存器；以及
连接所述缓存器并喷射液体的液体喷射头。

2. 根据权利要求 1 所述的液体喷射数据的数据传输装置，其特征在于：

所述压缩的液体喷射数据是游程长度数据，所述译码电路是用硬件展开游程长度压缩数据的译码电路。

3. 一种具有权利要求 1 所述的液体喷射数据的数据传输装置的液体喷射装置。

4. 一种液体喷射数据的数据传输装置，包括：
系统总线和局部总线的两个系统的独立总线；
可传输数据地连接在所述系统总线上的主存储器；
可传输数据地连接在所述局部总线上的局部存储器；
连接在所述系统总线和所述局部总线之间的，使它们能彼此传输数据，具有能把被压缩为可进行行展开的液体喷射数据用硬件展开的译码电路、以字单位存储由该译码电路展开的液体喷射数据的行缓存器、从所述主存储器把被压缩为可进行行展开的液体喷射数据向所述译码电路 DMA 传输并且把在该行缓存器中展开的液体喷射数据以字单位向所述局部存储器 DMA 传输并且把存储在所述局部存储器中的展开后的液体喷射数据依次 DMA 传输到液体喷射头的寄存器中的 DMA 传输装置的译码单元。

5. 根据权利要求 4 所述的液体喷射数据的数据传输装置，其特征在于：

所述主存储器、所述译码单元和所述液体喷射头的寄存器分别作为电路块内置在一个 ASIC 中，所述译码单元和所述液体喷射头的寄存器通过所述 ASIC 内部的专用总线连接。

6. 根据权利要求 4 或 5 所述的液体喷射数据的数据传输装置，其特征在于：

所述行缓冲器在两面具有能存储给定字数的展开数据的缓存区，在一面侧依次存储由所述译码电路展开的液体喷射数据，在存储了给定字数的展开数据的时刻，在另一面侧依次存储用所述译码电路展开的液体喷射数据，并且在存储了给定字数的展开数据的时刻，按给定的字数把展开数据向所述局部存储器 DMA 传输。

7. 根据权利要求 6 所述的液体喷射数据的数据传输装置，其特征在于：

所述压缩的液体喷射数据是游程长度数据，所述译码电路是用硬件展开游程长度压缩数据的译码电路。

8. 根据权利要求 4 所述的液体喷射数据的数据传输装置，其特征在于：

从所述局部总线的所述译码单元到所述局部存储器、以及从所述局部存储器到所述液体喷射头的寄存器的数据传输由脉冲传输进行。

9. 根据权利要求 4 所述的液体喷射数据的数据传输装置，其特征在于：

所述译码单元具有不把从所述主存储器 DMA 传输的非压缩液体喷射数据用所述译码电路进行硬件展开，而向所述行缓冲器中存储的装置。

10. 根据权利要求 9 所述的液体喷射数据的数据传输装置，其特征在于：

所述压缩的液体喷射数据是游程长度数据，所述译码电路是用硬件展开游程长度压缩数据的译码电路。

11. 一种具有权利要求 6 所述的液体喷射数据的数据传输装置的液体喷射装置。

12. 一种具有权利要求 9 所述的液体喷射数据的数据传输装置的液体喷射装置。

液体喷射数据的数据传输装置、液体喷射装置

技术领域

本发明涉及用于把输入到从液体喷射头向被喷射媒体喷射墨水等液体的液体喷射装置中的液体喷射数据向液体喷射头传输的液体喷射数据的数据传输装置和具有给液体喷射数据的数据传输装置的液体喷射装置。

背景技术

作为液体喷射装置的所谓喷墨式记录装置从记录头向记录纸喷射墨水，记录图像数据。把数据压缩为可行展开的图像数据进行行展开，展开为位图图像，从配置在记录头的头面上的多个喷嘴阵列喷射多色墨滴，在记录纸的记录面上形成展开的位图图像。通过把多色墨滴向记录面喷射，形成多个墨点，在记录纸上形成图像。此外，可行展开的压缩数据例如是一般广为人知的基于游程长度压缩方式的压缩数据，是基于能以字节单位依次展开的压缩方式的压缩数据。

一般，这样的喷墨式记录装置具有：从个人计算机等外部装置输入数据压缩为可行展开的图像数据，把输入的压缩数据进行行展开（解压缩），对展开的位图图像进行必要的数处理后，把该数据向记录头的寄存器传输的数据传输装置。以往的一般的数据传输装置例如采用图 36 所示的结构。

数据传输装置 10 具有系统总线 SB 作为数据传输线路。在系统总线 SB 上可传输数据地连接着微处理器（MPU）11、RAM12 和头控制部 13，在头控制部 13 上连接着记录头 62。从未图示的个人计算机和数字相机等信息处理装置传输的压缩记录数据通过系统总线 SB 存储到 RAM12 中。

存储在 RAM12 的压缩数据存储区中的压缩记录数据经由系统总线 SB 一字节一字节依次向微处理器 11 传输（用符号 A 表示的线路），通过基于程序的压缩数据的解压缩步骤，一字节一字节依次解压缩后，再经

由系统总线 SB 向 RAM12 传输（用符号 B 表示的线路），存储在 RAM12 的所需位图图像区中。当在 RAM12 的位图图像区内全部存储了展开数据的时刻，把位图图像区内的展开数据近由系统总线 SB 向头控制部 13 内部的寄存器（未图示）一字节一字节传输（用符号 C 表示的线路），根据该位图图像，从记录头 62 的各喷嘴阵列向记录纸喷射墨水。

此外，作为把数据传输处理高速化的以往技术的一个例子，众所周知设置系统总线和局部总线等两个独立的总线，在系统总线和局部总线之间配置了两个控制器的技术。在数据传输装置中，通过进行一方的总线控制器访问连接在系统总线一侧的主存储器时，另一方的总线控制器访问连接在局部总线一侧的局部存储器的并行处理，使数据传输处理高速化（例如，参照专利文献 1）。

[专利文献 1]

专利第 3251053 号公报

在采用图 11 所示结构的以往液体喷射装置或数据传输装置 10 中，为了提高液体喷射的执行速度，即在喷墨式记录装置中，为了使记录速度更快，以下的问题成为障碍。

首先，因为压缩的记录数据由程序一字节一字节用软件展开（解压缩），所以无法高速处理大量的压缩数据。假如使用能用高速时钟工作的具有高处理能力的微处理器 11，就能高速化，但是如果安装这样高价微处理器 11，则产生数据传输装置 10 的成本大幅度提高的问题。

此外，向 RAM12 的数据传输和来自 RAM12 的数据传输都通过微处理器 11 进行，所以当微处理器 11 执行其他数据处理和演算等时，例如微处理器 11 向 RAM12 取程序时，有时会让数据传输等待，据此，产生数据传输延迟，所以无法数据传输率高速化。

此外，在所述专利文献 1 中描述的以往技术中，毕竟是通过程序一字节一字节用软件展开（解压缩）压缩的记录数据，所以无法高速展开处理大量的压缩数据。因此，在把从信息处理装置输出的压缩记录数据展开，向记录头传输，执行记录的记录装置等液体喷射装置中，即使是能高速进行数据传输处理的结构，展开压缩数据的处理依然缓慢，所以无法提高液体喷射的执行速度。

发明内容

本发明是鉴于所述状况而提出的，其目的在于：实现压缩数据的高速展开处理和向液体喷射头的高速数据传输，使液体喷射装置的液体喷射的执行速度与以往相比，有飞跃性的提高。

为了解决所述问题，本发明之一是一种液体喷射数据的数据传输装置，包括：系统总线和局部总线的两个系统的独立的总线；

可传输数据地连接在所述系统总线上的主存储器；

可传输数据地连接在所述局部总线上的局部存储器；

连接在所述系统总线和所述局部总线之间，使它们能彼此传输数据，具有能把压缩为可进行行展开的液体喷射数据用硬件展开的译码电路的译码单元；以字为单位存储由该译码电路展开的液体喷射数据的缓存器；以及连接所述缓存器并喷射液体的液体喷射头。

首先，把以往通过程序用软件展开压缩的液体喷射数据的处理通过译码电路用硬件展开。即与在压缩数据的展开处理以外，还通过依次执行多个各种数据处理步骤的单线程的程序，展开压缩数据相比，通过压缩数据的展开专用译码电路，只独立执行压缩数据的展开，能高速执行压缩的液体喷射数据的展开处理。

此外，通过具有系统总线和局部总线等两个独立的总线、连接在局部总线上的局部存储器的结构，能确保从由微处理器到存储器的访问线路分离的存储器到液体喷射头的液体喷射数据的数据传输线路。因此，能与系统总线不同步地在局部总线一侧执行从局部存储器向液体喷射头的寄存器的数据传输。据此，不会发生由于从微处理器向存储器的访问，从存储器到液体喷射头的液体喷射数据的数据传输被中断，产生液体喷射数据的数据传输延迟，液体喷射的执行速度下降。

据此，根据本发明之一所述的发明的数据传输装置，通过系统总线和局部总线等独立的 2 系统总线、内置了用硬件展开压缩数据的译码电路的译码单元，能实现压缩数据的高速展开处理和向液体喷射头的高速数据传输，所以液体喷射装置的液体喷射执行速度与以往相比，有飞跃性的提高。

本发明之二是一种液体喷射数据的数据传输装置，包括：系统总线

和局部总线的两个系统的独立总线；可传输数据地连接在所述系统总线上的主存储器；可传输数据地连接在所述局部总线上的局部存储器；连接在所述系统总线和所述局部总线之间，使它们能彼此传输数据，具有能把压缩为可进行行展开的液体喷射数据用硬件展开的译码电路、以字单位存储用该译码电路展开的液体喷射数据的行缓存器、从所述主存储器把压缩为可进行行展开的液体喷射数据向所述译码电路 DMA 传输并且把在该行缓存器中展开的液体喷射数据以字单位向所述局部存储器 DMA 传输并且把存储在所述局部存储器中的展开后的液体喷射数据依次 DMA 传输到液体喷射头的寄存器中的 DMA 传输装置的译码单元。

首先，把以往通过程序用软件展开压缩的液体喷射数据的处理通过译码电路用硬件展开。即与在压缩数据的展开处理以外，还通过依次执行多个各种数据处理步骤的单线程的程序，展开压缩数据相比，通过压缩数据的展开专用译码电路，只独立执行压缩数据的展开，能高速执行压缩的液体喷射数据的展开处理。

此外，设置以字单位存储展开后的数据的行缓存器，把以往通过程序一字节一字节展开的压缩数据用字单位展开，存储在行缓存器中，以字单位进行数据传输。即一次展开传输的压缩数据量变为以往的 2 倍，所以能更高速执行压缩数据的展开处理。

通过具有系统总线和局部总线等两个独立的总线、连接在局部总线上的局部存储器的结构，能确保从由微处理器到存储器的访问线路分离的存储器到液体喷射头的液体喷射数据的数据传输线路。因此，能与系统总线不同步地在局部总线一侧执行从局部存储器向液体喷射头的寄存器的数据传输。据此，不会发生由于从微处理器向存储器的访问，从存储器到液体喷射头的液体喷射数据的数据传输被中断，产生液体喷射数据的数据传输延迟，液体喷射的执行速度下降。

通过 DMA (Direct Memory Access) 传输，高速的数据传输成为可能。DMA 传输是如果在给定寄存器中设定传输源和传输目标地址或传输数量，则以后不通过微处理器，能用硬件高速进行数据传输的众所周知的传输方式。

据此，根据本发明之二的液体喷射数据的数据传输装置，通过系统

总线和局部总线等独立的 2 系统总线、内置了译码电路的译码单元、不通过微处理器能进行高速数据传输的 DMA 传输装置，能实现压缩数据的高速展开处理和向液体喷射头的高速数据传输，所以液体喷射装置的液体喷射执行速度与以往相比，有飞跃性的提高。

本发明之三是根据所述本发明之二的液体喷射数据的数据传输装置，其特征在于：所述主存储器、所述译码单元和所述液体喷射头的寄存器分别作为电路块内置在一个 ASIC 中，所述译码单元和所述液体喷射头的寄存器通过所述 ASIC 内部的专用总线连接。

这样，通过把存储压缩数据的主存储器与译码单元在相同的 ASIC 内作为电路块而构成，能实现用一个时钟传输数据的高速 DMA 传输。因此，能更高速地把压缩的液体喷射数据向译码单元传输。此外，液体喷射头的寄存器也由内置在相同的 ASIC 中的电路块构成，通过与译码单元用 ASIC 内部的专用总线连接，能更高速地进行从局部存储器向液体喷射头的展开后液体喷射数据的数据传输。

据此，根据本发明之三的发明的液体喷射数据的数据传输装置，在本发明之二的效果的基础上，还能更高速地把压缩的液体喷射数据向译码单元传输，并且能更高速地从局部存储器向液体喷射头传输展开后的液体喷射数据，所以能取得使液体喷射装置的液体喷射执行速度进一步提高的作用效果。

本发明之四是根据本发明之二或本发明之三的液体喷射数据的数据传输装置，其特征在于：所述行缓冲器在两面具有能存储给定字数的展开数据的缓存区，在一面侧依次存储用所述译码电路展开的液体喷射数据，在存储了给定字数的展开数据的时刻，在另一面侧依次存储用所述译码电路展开的液体喷射数据，并且在存储了给定字数的展开数据的时刻，按给定的字数把展开数据向所述局部存储器 DMA 传输。

这样，行缓冲器在两面具有能存储给定字数的展开数据的缓存区，存储由译码电路展开的数据，在存储了给定字数的时刻，当通过 DMA 传输装置以字单位传输一面侧的展开数据时，能在另一面侧存储用译码电路展开的数据，所以能并行进行压缩数据的展开处理和数据传输处理。

据此，根据本发明之四的液体喷射数据的数据传输装置，在本发明

之二或本发明之三的作用效果的基础上，能并行进行压缩数据的展开处理和数据传输处理，所以能取得使液体喷射装置的液体喷射执行速度进一步提高的作用效果。

本发明之五是根据本发明之二~本发明之四中的任意发明的液体喷射数据的数据传输装置，其特征在于：从所述局部总线的所述译码单元到所述局部存储器、以及从所述局部存储器到所述液体喷射头的寄存器的数据传输由脉冲传输进行。

脉冲传输是使数据传输高速化的众所周知的手法之一，在传输连续的数据时，通过把地址的指定等步骤省略一部分，在给定数据块的数据全部传输完毕之前，占有总线进行传输，提高数据传输速度的数据传输方式。是存储器的读写高速化等各种方面中利用的用于使数据传输高速化的一般的手法。而且，把以往经由系统总线进行的向液体喷射头的数据传输经由从系统总线独立的局部总线进行，所以能通过脉冲传输进行经由局部总线的从译码单元到局部存储器以及从局部存储器到液体喷射头的寄存器的数据传输。

即在经由系统总线进行从存储器到液体喷射头的数据传输的以往的数据传输装置中，如果在对于液体喷射头，给定数据块的数据全部传输完毕之前，占有总线进行传输，就产生了无法执行基于微处理器的要求的数据传输的弊端，但是在从系统总线独立局部总线中，不产生这样的弊端，所以能用脉冲传输进行经由局部总线的向液体喷射头的数据传输。

据此，根据本发明之五的液体喷射数据的数据传输装置，在本发明之二~本发明之四中的任意发明的作用效果的基础上，通过以脉冲传输进行经由局部总线的向液体喷射头的数据传输，能取得使液体喷射装置的液体喷射执行速度进一步提高的作用效果。

此外，系统总线和局部总线独立，通过译码单元的译码电路和行缓存器，能与系统总线一侧的数据传输非同步地进行向液体喷射头的数据传输，所以能最大限度地发挥基于脉冲传输的传输速度高速化的效果。

本发明之六是根据本发明之一~本发明之五中的任意发明的液体喷射数据的数据传输装置，其特征在于：所述压缩的液体喷射数据是游程长度数据，所述译码电路是用硬件展开游程长度压缩数据的译码电路。

根据本发明之六的液体喷射数据的数据传输装置，通过能用硬件展开可行展开的游程长度压缩数据，能取得所述第一实施例~第五实施例中的任意实施例所述的发明的效果。

本发明之七是根据本发明之二~本发明之六中的任意发明的液体喷射数据的数据传输装置，其特征在于：所述译码单元具有不把从所述主存储器 DMA 传输的非压缩液体喷射数据用所述译码电路进行硬件展开，而向所述行缓存器中存储的装置。

根据本发明之七的液体喷射数据的数据传输装置，在本发明之二~本发明之六中的任意发明的作用效果的基础上，具有当存储在主存储器中的液体喷射数据为非压缩的液体喷射数据时，不通过译码电路用硬件展开，原封不动地保存到行缓存器中的装置，所以能使非压缩的液体喷射数据的液体喷射执行速度更高速化。

本发明之八是具有本发明之一~本发明之七中的任意发明的液体喷射数据的数据传输装置的液体喷射装置。

根据本发明之八的液体喷射装置，在液体喷射装置中，能取得本发明之一~本发明之七中的任意发明的作用效果。

附图说明

图 1 是本发明的喷墨式记录装置的平面图。

图 2 是本发明的喷墨式记录装置的侧视图。

图 3 是本发明的喷墨式记录装置的框图。

图 4 是表示数据传输装置结构的框图。

图 5 是表示记录数据流的时序图。

图 6 是表示 DECU 结构的框图。

图 7 模式地表示了展开压缩数据的流程。

图 8 模式地表示了展开压缩数据的流程。

图 9 模式地表示了展开后的记录数据。

图 10 模式地表示了展开后的记录数据。

图 11 模式地表示了展开压缩数据的流程。

图 12 模式地表示了展开压缩数据的流程。

图 13 模式地表示了展开压缩数据的流程。

图 14 模式地表示了展开压缩数据的流程。

图 15 模式地表示了展开后的记录数据。

图 16 模式地表示了展开后的记录数据。

图 17 模式地表示了展开压缩数据的流程。

图 18 模式地表示了展开压缩数据的流程。

图 19 模式地表示了展开压缩数据的流程。

图 20 模式地表示了展开压缩数据的流程。

图 21 模式地表示了展开后的记录数据。

图 22 模式地表示了展开压缩数据的流程。

图 23 模式地表示了展开压缩数据的流程。

图 24 模式地表示了展开后的记录数据。

图 25 模式地表示了展开压缩数据的流程。

图 26 模式地表示了展开压缩数据的流程。

图 27 模式地表示了展开压缩数据的流程。

图 28 模式地表示了展开压缩数据的流程。

图 29 模式地表示了展开后的记录数据。

图 30 模式地表示了展开后的记录数据。

图 31 模式地表示了展开后的记录数据。

图 32 模式地表示了展开后的记录数据。

图 33 模式地表示了展开后的记录数据。

图 34 模式地表示了展开后的记录数据。

图 35 表示了传输非压缩的记录数据的状态。

图 36 是表示以往技术中的数据传输装置的框图。

图中：4—ASIC；10—数据传输装置；21—ROM；22—RAM；25—MPU；27—接口部；28—译码电路；29—局部存储器；33—头控制部；41—DECU（译码单元）；42—接收缓存器；50—喷墨式记录装置；51—滑架导轨；52—印字压板；53—输送驱动辊；54—输送从动辊；55—排纸驱动辊；56—排纸从动辊；57—供纸托盘；57b—供纸辊；61—滑架；62—记录头；63—纸检测器；100—记录控制部；200—信息处理装置；281

—行缓存器；411—S-DMA 控制器；412—展开处理控制器；413—L-DMA 控制器；414—局部存储器控制器；415—I-DMA 控制器；X—主扫描方向；Y—副扫描方向；SB—系统总线；LB—局部总线；IB—内部总线；

具体实施方式

下面，参照附图说明本发明的实施例。

首先，说明作为本发明的“液体喷射装置”的喷墨式记录装置的实施例 1。图 1 是本发明的喷墨式记录装置的概略平面图，图 2 是它的侧视图。

在喷墨式记录装置 50 中，作为向记录纸 P 执行记录的记录装置，设置有轴支撑在滑架导轨 51 上，在主扫描方向 X 上移动的滑架 61。在滑架 61 上配置有向记录纸 P 喷射墨水进行记录的作为“液体喷射头”的记录头 62。与记录头 62 相对，设置有规定记录头 62 的头面和记录纸 P 的间隔的印字压板 52。而且，通过交替重复在滑架 61 和印字压板 52 之间使记录纸 P 在副扫描方向 Y 以给定输送量输送的动作和在记录头 62 在主扫描方向 X 往返一次期间中从记录头 62 向记录纸 P 喷射墨水的动作，在记录纸 P 上进行了记录。

供纸托盘 57 例如是能提供普通纸和相纸等记录纸 P 的结构，设置有作为自动提供记录纸 P 的供纸装置的 ASF（自动供纸器）。ASF 是具有设置在供纸托盘 57 上的两个供纸辊 57b 和未图示的分离垫的自动供纸机构。两个供纸辊 57b 之一配置在供纸托盘 57 的一方一侧，另一格供纸辊 57b 安装在记录纸导槽 57a 上，记录纸导槽 57a 配合记录纸 P 的宽度，可滑动地设置在供纸托盘 57 中。而且，通过供纸辊 57b 的旋转驱动力和分离垫的摩擦阻力，当提供放置在供纸托盘 57 中的多张记录纸 P 时，不是一次提供多张记录纸 P，而是一张一张正确地自动供纸。

作为把记录纸 P 在副扫描方向 Y 输送的记录纸输送装置，设置有输送驱动辊 53 和输送从动辊 54。输送驱动辊 53 由步进电机等的旋转驱动力控制旋转，通过输送驱动辊 53 的旋转，向副扫描方向 Y 输送记录纸 P。设置有多个输送从动辊 54，分别靠向输送驱动辊 53，通过输送驱动辊 53 的旋转输送记录纸 P 时，一边挨着记录纸 P，一边随着记录纸 P 的输送

而旋转。在输送驱动辊 53 的表面，形成具有高摩擦阻力的保护膜。通过输送从动辊 54 安在输送驱动辊 53 的表面上的记录纸 P 通过该表面的摩擦阻力紧贴在输送驱动辊 53 的表面上，通过输送驱动辊 53 的旋转向副扫描方向 Y 输送。

此外，在供纸辊 57b 和输送驱动辊 53 之间配置有基于以往技术中众所周知的技术的纸检测器 63。纸检测器 63 是具有被付与向直立姿态的自动恢复特性，并且只能在记录纸输送方向转动，在向记录纸 P 的输送线路内突出的状态下被轴支撑的杆，通过把该杆的顶端按在记录纸 P 上，杆转动，据此，形成检测记录纸 P 的结构检测器。纸检测器 63 检测由供纸辊 57b 提供的记录纸 P 的开始端位置和结束端位置，与该检测位置匹配，决定记录区，执行记录。

而作为排出记录了的记录纸 P 的装置，设置有排纸驱动辊 55 和排纸从动辊 56。排纸驱动辊 55 由步进电机等的旋转驱动力控制并旋转，通过排纸驱动辊 55 的旋转，记录纸 P 向副扫描方向 Y 排出。排纸从动辊 56 在周围具有多个齿，成为各齿的顶端与记录纸 P 的记录面点接触的具有锐角齿的带齿辊。多个排纸从动辊 56 分别靠向排纸驱动辊 55，通过排纸驱动辊 55 的旋转排出记录纸 P 时，与记录纸 P 向挨着，随着记录纸 P 的排出而转动。

而且，旋转驱动供纸辊 57b 或输送驱动辊 53 以及排纸驱动辊 55 的未图示的旋转驱动用电机、在主扫描方向驱动滑架 61 的未图示的滑架驱动用电机由记录控制部 100 控制并驱动。此外，记录头 62 也同样有记录控制部 100 控制，向记录纸 P 喷射墨水。

图 3 是本发明的喷墨式记录装置 50 的概略框图。

喷墨式记录装置 50 具有执行各种记录处理的控制的记录控制部 100。记录控制部 100 具有系统总线 SB 和局部总线 LB 等 2 系统独立的总线。在系统总线 SB 上可传输数据地连接着 MPU（微处理器）24、ROM21、RAM22、非易失性存储媒体 23、I/O25、译码电路 28。在 MPU24 中，进行各种处理的演算处理。在 ROM21 中预先存储着 MPU24 的演算处理所必要的软件程序和数据。RAM22 作为软件程序的临时存储区、MPU24 的工作区而使用。此外，在闪存等非易失性存储媒体 23 中存储

着 MPU24 的演算处理结果的给定数据，即使喷墨式记录装置 50 的电源断开时，也保持该数据。

记录控制部 100 通过与外部设备具有接口功能的接口部 27 与个人计算机等的信息处理装置 200 连接，在与信息处理装置 200 之间，通过系统总线 SB 能进行各种信息和数据的输入输出。而且，I/O25 根据 MPU24 的演算处理结果，通过输入输出部 26 对各种电机控制部 31 进行输出控制，并且输入来自各种传感器 32 的输入信息等。各种电机控制部 31 是驱动并控制喷墨式记录装置 50 的各种电机的驱动控制电路，由记录控制部 100 控制。此外，各种传感器 32 检测喷墨式记录装置 50 的各种状态信息，通过输入输出部 26 向 I/O25 输出。

在执行记录时，信息处理装置 200 成为主机一侧，从信息处理装置 200 输出压缩的记录数据（液体喷射数据），喷墨式记录装置 50 从接口部 27 通过系统总线 SB 输入压缩的记录数据。译码电路 28 用硬件展开压缩的记录数据后，把展开后的记录数据经由局部总线 LB 向局部存储器 29 存储。存储在局部存储器 29 中的展开后的记录数据再通过局部总线 LB，从头控制部 33 内部的寄存器向记录头 62 传输。头控制部 33 对记录头 62 进行控制，从配置在记录头 62 的头面上的多个喷嘴阵列向记录纸 P 的记录面喷射各色墨水。

这样，通过系统总线 SB 和局部总线 LB 等独立的 2 系统的总线、用硬件把压缩数据展开的译码电路 28，能实现压缩数据的高速展开处理和向记录头 62 的高速数据传输，所以喷墨式记录装置 50 的记录执行速度与以往相比，能有飞跃性的提高。即不是像以往那样，在 MPU24 中，在压缩数据的展开处理以外，还通过依次执行多个各种数据处理步骤的单线程的程序，展开压缩数据，而是通过由压缩数据的展开专用的译码电路 28 独立进行压缩数据的展开，能高速执行压缩的记录数据的展开处理。

此外，通过具有系统总线 SB 和局部总线 LB 等独立的 2 系统的总线、连接在局部总线 LB 上的局部存储器 29 的结构，能确保从连接着 MPU24 得系统总线 SB 分离、独立的到记录头 62 得记录数据的输出传输线路（局部总线 LB）。因此，能与系统总线 SB 一侧不同步地在局部总线 LB 一侧执行从局部存储器 29 向记录头的寄存器的数据传输。据此，不会发生由

于从 MPU24 向 RAM 的访问等，记录头 62 的记录数据的数据传输被中断，产生记录数据的数据传输延迟，记录执行速度下降。

在该实施例中，在译码电路 28 和局部总线 LB 之间设置有以字单位存储展开后的数据的行缓存器 281。用译码电路 28 展开的记录数据暂时存储在行缓存器 281 中。存储在行缓存器 281 中的展开后的记录数据的每 2 字通过局部总线 LB 向局部存储器 29 传输。这样，在译码电路 28 和局部总线 LB 之间可以设置以字单位存储展开后的数据的行缓存器 281。设置以字单位存储展开后的数据的行缓存器 281，以往由程序一字节一字节展开的压缩数据以字单位（2 字节）展开，存储到行缓存器 281 中，以字单位向局部存储器 29 传输，一次展开的压缩数据量变为以往的 2 倍的量，所以能更高速执行压缩数据的展开处理，可以说是更好。

图 4 是表示作为本发明的液体喷射数据的数据传输装置的数据传输装置 10 结构的框图。图 5 是模式表示数据传输装置 10 中的记录数据流程的时序图。

记录控制部 100 具有 ASIC（特定用途集成电路）4，ASIC4 内置有所述的接口部 27、所述头控制部 33、接收缓存器 42 和作为本发明的“译码单元”的 DECU41。在 DECU41 中内置有所述译码电路 28、行缓存器 281 和“DMA 输送装置”（后面将具体描述）。此外，系统总线 SB、局部总线 LB 是 16 位总线，能在给定的各数据传输周期中输送 1 字（2 字节）的数据。下面，参照图 5 所示的时序图说明数据传输装置 10 的记录数据的流程。

压缩的记录数据从信息处理装置 200 通过接口部 27 经由系统总线 SB 一字一字向作为“主存储器”的接收缓存器 42 DMA 传输（符号 T1）。如上所述，DMA 传输是如果在给定寄存器中设定传输源和传输目标地址或传输数量，则以后不通过 MPU24，能用硬件高速进行数据传输的传输方式。接着，从接收缓存器 42 通过系统总线 SB 向 DECU41 DMA 传输（符号 T2）。接着，在 DECU41 的内部，通过译码电路 28 把压缩的 1 字的数据用硬件展开，展开的记录数据存储到行缓存器 281 中（符号 T3）。

展开并存储到行缓存器 281 中的记录数据在存储到行缓存器 281 中的记录数据达到给定字节数的时刻，与系统总线 SB 一侧的数据传输不同

步, 经由局部总线 LB 向局部存储器 29 的位图区 DMA 传输 (符号 T4)。接着, 作为存储到了局部存储器 29 的位图区中的位图图像数据的记录数据再经由局部总线 LB 向 DECU41 DMA 传输 (符号 T5), 从 DECU41 经由内部总线 IB 向头控制部 33 DMA 传输 (符号 T6), 存储到头控制部 33 内部的寄存器中后, 向记录头 62 DMA 传输 (符号 T7)。

这样, 从接收缓存器 42 (主存储器) 到译码电路 28 的数据传输、从译码电路 28 到局部存储器 29 的数据传输、从局部存储器 29 到记录头 62 的数据传输可以为 DMA 传输, 据此, 更高速的数据传输成为可能, 从而更好。此外, 通过把存储压缩数据的“主存储器”作为接收缓存器 42 与 DECU41 在相同的 ASIC4 内作为电路块而构成, 以 1 时钟传输数据的高速 DMA 传输成为可能。此外, 可以在 ASIC4 中不设置接收缓存器 42, 把 RAM22 的一部分作为“主存储器”使用。

图 6 是表示本发明的作为“译码单元”的 DECU41 结构的框图。

作为所述“DMA 传输装置”的 S-DMA 控制器 411 控制系统总线 SB 一侧的 DMA 传输。通过 S-DMA 控制器 411, 存储在接收缓存器 42 中的压缩的记录数据一字一字向展开处理控制器 412 DMA 传输。展开处理控制器 412 内置有所述译码电路 28 和行缓存器 281。从接收缓存器 42 通过 S-DMA 控制器 411 一字一字 DMA 传输的压缩记录数据由译码电路 281 一字一字用硬件展开, 展开的记录数据存储到行缓存器 281 中。

同样作为“DMA 传输装置”的 L-DMA 控制器 413 控制局部总线 LB 一侧的 DMA 传输。此外, 局部存储器控制器 414 控制连接在局部总线 LB 上的局部存储器 29 的读出和写入。而且, 当行缓存器 281 中存储了给定字节数的展开后记录数据的时刻, 存储在行缓存器 281 中的展开后记录数据由 L-DMA 控制器 413, 通过局部存储器控制器 414 经由局部总线 LB, 与系统总线 SB 一侧的 DMA 传输非同步地 DMA 传输到局部存储器 29。传输到局部存储器 29 的展开后的记录数据存储到局部存储器 29 的给定位图区中。

同样作为“DMA 传输装置”的 I-DMA 控制器 415 控制 ASIC4 内的 DECU41 和头控制部 33 间的专用总线即内部总线 IB 的 DMA 传输。存储到局部存储器 29 的给定位图区中的展开后记录数据由 I-DMA 控制器 415

通过局部存储器控制器 414, 经由局部总线 LB 和内部总线 IB DMA 传输到头控制部 33, 存储到头控制部 33 内部的寄存器中后, 向记录头 62 DMA 传输。

此外, 从行缓存器 281 到局部存储器 29 的 DMA 传输通过 L-DMA 控制器 413 进行脉冲传输, 从局部存储器 29 向记录头 62 的 DMA 传输通过 I-DMA 控制器 415 进行脉冲传输。如上所述, 脉冲传输是在传输连续的数据时, 通过把地址的指定等步骤省略一部分, 在给定数据块的数据全部传输完毕之前, 占有总线进行传输的数据传输方式。L-DMA 控制器 413 当在行缓存器 281 中存储了给定字节数的展开后记录数据的时刻, 把给定字节数的展开后记录数据一字一字向局部存储器 29 DMA 传输给定字节数完毕前, 占有局部总线 LB, 进行脉冲传输。I-DMA 控制器 415 把存储在局部存储器 29 的位图区中的展开后记录数据按给定字节数的各数据块, 在以一字一字把一个数据块向记录头 62 DMA 传输完毕之前占有局部总线 LB, 进行脉冲传输。

而且, 当从行缓存器 281 到局部存储器 29 的脉冲传输和从局部存储器 29 到记录头 62 的脉冲传输冲突时, 从局部存储器 29 到记录头 62 的脉冲传输优先, 在从局部存储器 29 到记录头 62 的脉冲传输中, 暂时停止从行缓存器 281 到局部存储器 29 的脉冲传输, 使基于从局部存储器 29 到记录头 62 的记录数据的来自记录头 62 的喷嘴阵列的墨水喷射动作不会中途断开。

这样, 通过在对记录头 62 传输完给定数据块的数据之前的期间中占有局部总线 LB 进行传输, 不会发生由于系统总线 SB 一侧的 MPU24 的要求而无法执行数据传输等的弊端, 所以能高速进行对记录头 62 的记录数据的传输。

图 7 和图 8 模式地表示在 DECU41 内部由译码电路 28 用硬件展开压缩的记录数据, 并存储到行缓存器 281 中。此外, 图 9 模式地表示把展开后的记录数据从行缓存器 281 向局部存储器 29 传输并存储。

在该实施例中, 压缩的记录数据通过游程长度压缩方式压缩。游程长度压缩方式是众所周知的数据压缩方式, 以下简单说明。游程长度压缩数据是字节边界的压缩数据, 计数 (1 字节) 和数据 (1 字节或多字节)

成为 1 组。即游程长度压缩数据成为首先是计数，然后一定存在数据的结构。计数值为 128 以上（负的常数）即 80H 以上时，意味着重复下一字节的数据而展开，按从 257 减去计数值的数取得的数，重复该计数的下一字节的数据而展开。而当计数值为 127 以下即 7FH 以下时，意味着在该计数以后不重复，接着的是原封不动展开的数据，按该计数值加 1 取得的字节数，不重复而原封不动展开该计数以后的数据。

接着，说明行缓存器 281 的结构。行缓存器 281 在两面具有 8 字（16 字节）的存储区加上预备存储区 1 字（2 字节）共 9 字的数据存储区，分别为 A 面和 B 面。用译码电路 281 一字一字展开的记录数据按顺序依次存储到行缓存器 281 的 A 面或 B 面的任意一面侧，当存储了给定字节数，在该实施例中，当存储了 16 字节的展开数据的时刻，依次存储在另一面侧。此外，存储的 16 字节的展开数据如上所述，经由局部总线 LB 向局部存储器 29 DMA 传输，存储到局部存储器 29 的给定位图区中。

这样，行缓存器 281 在两面具有能存储 16 字节的展开后记录数据的缓存区，把由译码电路 28 展开的记录数据在一面侧存储。而且，当存储了 16 字节的时刻，通过 DMA 传输装置把一面侧的展开后记录数据以字节单位传输时，能在另一面侧存储由译码电路 28 展开的记录数据，所以能平行进行压缩的记录数据的展开处理和数据传输处理。

接着，列举游程长度压缩数据的一个例子，说明该压缩数据由译码电路 28 展开，存储在行缓存器 281 中，从行缓存器 281 向局部存储器 29 存储的记录数据的流程。

在接收缓存器（主存储器）42 中存储着从图示的从 FEH 开始的 24 字（48 字节）游程长度压缩的记录数据。游程长度压缩的记录数据一字一字经由系统总线 SB 向译码电路 28 DMA 传输，由硬件展开后，存储到行缓存器 281 中。在该实施例中，游程长度压缩数据的数据开始地址为偶数地址，局部存储器 29 一侧的位图数据（图像数据）的数据开始地址为偶数地址。此外，从行缓存器 281 向局部存储器 29 DMA 传输的数据块的字节数（1 行字节数）为 16 字节。

此外，图 7 所示的主存储器、DECU41 内部的行缓存器 281、图 9 所示的局部存储器 29 中，左上端为偶数地址，从左向右，按顺序变为高位

地址，以下的图中都同样。

下面，按一字一字的顺序进行说明。首先，从接收缓存器 42，最初的 1 字的压缩记录数据 (FEH, 01H) 向 DECU41 内部的译码电路 28 DMA 传输 (传输 S1)。FEH 是计数，01H 是数据。计数的值 FEH=254，因为是 128 以上，所以 $257-254=3$ 次，重复数据 01H 而展开，一字节一字节依次存储在行缓存器 281 的 A 面侧。接着，DMA 传输到译码电路 28 中的游程长度压缩数据是 03H、02H (传输 S2)。03H 是计数，02H 是数据。计数的值 03H=3，因为是 127 以下，所以从该计数的下一数据开始有 $3+1=4$ 字节不重复而展开的数据。即计数 03H 以后的数据 02H、78H、55H、44H 不重复，原封不动展开，依次存储在行缓存器 281 的 A 面中 (传输 S2~S4)。在传输 S4 中 DMA 传输的字数据的高位一侧 (奇数地址一侧) 的 FBH 是计数，下一字节的数据重复六次 ($257-251=6$) 而展开。

接着，DMA 传输到译码电路 28 的压缩的记录数据是 FFH、FEH (传输 S5)。低位地址一侧 (偶数地址一侧) 的 FFH 是数据，是之前的计数 FBH 的数据。因此，重复 FFH 六次而展开，依次存储到行缓存器 281 的 A 面侧。此外，高位地址一侧 (奇数地址一侧) 的 FEH 是计数，重复下一字节的数据 3 次 ($257-254=3$) 而展开。接着，DMA 传输到译码电路 28 的压缩的记录数据是 11H、06H (传输 S6)。低位地址一侧 (偶数地址一侧) 的 11H 是数据，是之前的计数 FEH 的数据。因此，重复 11H 三次而展开，依次存储到行缓存器 281 的 A 面侧。此外，高位地址一侧 (奇数地址一侧) 的 06H 是计数，不重复以后 7 字节 ($6+1=7$) 的数据 (66H、12H、77H、45H、89H、10H、55H) 而原封不动地展开，依次存储到行缓存器 281 的 B 面侧 (传输 S7~S10)。

而当在行缓存器 281 的 A 面侧存储了 1 行的字节数即 16 字节的展开后记录数据的时刻 (传输 S6 的时刻)，把 16 字节作为 1 行的数据块，1 字 1 字向局部存储器 29 DMA 传输。这时，L-DMA 控制器 413 (图 6) 在把 1 行的展开后记录数据向局部存储器 29 DMA 传输完毕之前占有局部总线 LB，进行脉冲传输 (传输 D1)。传输到局部存储器 29 的 1 行的记录数据以偶数地址为开始，从低位地址为开始，1 字 1 字依次存储到局部存储器 29 的给定位图区中 (图 9 (a))。

接着, DMA 传输到译码电路 28 的压缩的记录数据是 10H、FAH (传输 S11)。低位地址一侧 (偶数地址一侧) 的 10H 是数据, 是之前的计数 FBH 的数据。因此, 重复 10H 六次而展开, 依次存储到行缓存器 281 的 B 面侧。此外, 高位地址一侧 (奇数地址一侧) 的 FAH 是计数, 重复下一字节的数据 7 次 ($257-250=7$) 而展开。接着, DMA 传输到译码电路 28 的压缩的记录数据是 20H、08H (传输 S12)。低位地址一侧 (偶数地址一侧) 的 20H 是数据, 是之前的计数 FAH 的数据。因此, 重复 20H 七次而展开, 依次存储到行缓存器 281 的 B 面侧。此外, 高位地址一侧 (奇数地址一侧) 的 08H 是计数, 不重复以后 9 字节 ($8+1=9$) 的数据 (12H、13H、77H、14H、15H、16H、17H、18H、19H、20) 而原封不动地展开, 依次存储到行缓存器 281 的 A 面侧 (图 8 传输 S13~S17)。

而当在行缓存器 281 的 B 面侧存储了 1 行的字节数即 16 字节的展开后记录数据的时刻 (传输 S12 的时刻), 把 16 字节作为 1 行的数据块, 1 字 1 字向局部存储器 29 DMA 传输。这时, L-DMA 控制器 413 (图 6) 在把 1 行的展开后记录数据向局部存储器 29 DMA 传输完毕之前占有局部总线 LB, 进行脉冲传输 (传输 D2)。传输到局部存储器 29 的 1 行的记录数据以偶数地址为开始, 从低位地址为开始, 1 字 1 字依次存储到局部存储器 29 的给定位图区中 (图 9 (b))。

接着, DMA 传输到译码电路 28 的压缩的记录数据是 11H、02H (传输 S18)。低位地址一侧 (偶数地址一侧) 的 11H 是数据, 是之前的计数 FDH (传输 S17 的高位地址一侧) 的数据。因此, 重复 11H 三次 ($257-254=3$) 而展开, 依次存储到行缓存器 281 的 A 面侧。此外, 高位地址一侧 (奇数地址一侧) 的 02H 是计数, 不重复以后 3 字节 ($2+1=3$) 的数据 (98H、B0H、F2H) 而原封不动地展开, 依次存储到行缓存器 281 的 B 面侧 (传输 S19~S20)。

而当在行缓存器 281 的 A 面侧存储了 1 行的字节数即 16 字节的展开后记录数据的时刻 (传输 S18 的时刻), 把 16 字节作为 1 行的数据块, 1 字 1 字向局部存储器 29 DMA 传输。这时, L-DMA 控制器 413 (图 6) 在把 1 行的展开后记录数据向局部存储器 29 DMA 传输完毕之前占有局部总线 LB, 进行脉冲传输 (传输 D3)。传输到局部存储器 29 的 1 行的

记录数据以偶数地址为开始，从低位地址为开始，1字1字依次存储到局部存储器29的给定位图区中（图9（c））。

接着，DMA传输到译码电路28的压缩的记录数据是ABH、03H（传输S21）。低位地址一侧（偶数地址一侧）的ABH是数据，是之前的计数FCH（传输S20的高位地址一侧）的数据。因此，重复ABH五次（ $257-252=5$ ）而展开，依次存储到行缓存器281的B面侧。此外，高位地址一侧（奇数地址一侧）的03H是计数，不重复以后4字节（ $3+1=3$ ）的数据（FFH、FEH、FCH、FDH）而原封不动地展开，依次存储到行缓存器281的B面侧（传输S22~S23）。

接着，DMA传输到译码电路28的压缩的记录数据是FEH、FFH（传输S24）。低位地址一侧（偶数地址一侧）的FEH是计数，高位地址一侧（奇数地址一侧）FFH是计数FEH的数据。因此，重复FFH三次（ $257-254=3$ ）而展开，依次存储到行缓存器281的B面侧。而当在行缓存器281的B面侧存储了1行的字节数即16字节的展开后记录数据的时刻（传输S24的时刻），把16字节作为1行的数据块，1字1字向局部存储器29 DMA传输。这时，L-DMA控制器413（图6）在把1行的展开后记录数据向局部存储器29 DMA传输完毕之前占有局部总线LB，进行脉冲传输（传输D4）。

传输到局部存储器29的1行的记录数据以偶数地址为开始，从低位地址为开始，1字1字依次存储到局部存储器29的给定位图区中（图9（d））。而且，当在局部存储器29中存储了1次主扫描循环中喷射墨水的位图数据部分的记录数据时，从局部存储器29向记录头62 DMA传输。这时，I-DMA控制器415（图6）在向头控制部33 DMA传输完1次主扫描循环中喷射墨水的位图数据部分的记录数据之前，占有局部总线LB进行脉冲传输。

这样，通过把以往由程序用软件展开压缩的记录数据的处理通过译码电路28用硬件展开，能高速执行压缩的记录数据的展开处理。此外，因为把以往通过程序1字节1字节展开的压缩记录数据以字单位（2字节）展开，所以能更高速进行压缩的记录数据的展开处理。而且，通过具有系统总线SB和局部总线LB等2个独立的总线、连接在局部总线LB上

的局部存储器 29 的结构，能与系统总线 SB 一侧不同步地在局部总线 LB 一侧执行从局部存储器 29 到记录头 62 的数据传输。据此，不会发生由于从 MPU24 到 ROM21 或 RAM22 的访问等，到记录头 62 的记录数据的传输被中断，产生记录数据的传输延迟，记录执行速度下降。通过 DMA 传输，高速的数据传输成为可能。

因此，能实现压缩的记录数据的高速展开处理和向记录头 62 的高速数据传输，所以喷墨式记录装置 50 的记录执行速度与以往相比，能有飞跃性的提高。顺便说一下，在以往技术中为 1M 字节/秒前后的向记录头 62 的数据传输速度通过本发明的数据传输装置 10，能提高到 8~101M 字节/秒。此外，如果记录头 62 的数据处理能力低，则无论进行怎样的高速数据传输，也只能取得记录头 62 的数据处理能力的记录执行速度，所以当然有必要配置具有足够处理能力的记录头 62。

另外，作为本发明的喷墨式记录装置 50 的实施例 2，列举了在上述的实施例 1 的基础上，在从 DECU41 向局部存储器 29 DMA 传输展开后的记录数据，向给定的位图区存储时，不是从位图区的低位地址依次存储（向横向存储），而是把 1 行的数据变换为纵向、存储，使对于记录头 62，成为合适的数据排列。

图 10 模式地表示从行缓存器 281 向局部存储器 29 传输展开后的记录数据，并存储，表示了把 1 行的数据变换为纵向并存储的状态。

在 DMA 传输目标的局部存储器 29 的位图区中，用 DECU41 内部的展开处理控制器 412（图 6），对存储在行缓存器 281 中的展开后的记录数据，对每个字分别设定传输目标地址，使 1 行的数据配置存储在纵向上。而且，DECU41 内部的 L-DMA 控制器 413（图 6）把个别的传输目标地址设定为 DMA 传输的传输目标地址，把存储在行缓存器 281 中的展开后的记录数据一字一字向局部存储器 29 DMA 传输（数据重排装置）。

这样，当从行缓存器 281 向局部存储器 29 DMA 传输 1 行（16 字节）的记录数据时，通过在 DECU41 的内部进行展开后的记录数据重排，与像以往那样用程序 1 字节 1 字节按顺序进行存储器内的重排相比，能在瞬间进行必要的记录数据的重排，所以能高速进行记录数据的重排。

进一步，作为本发明的喷墨式记录装置 50 的实施例 3，列举了在上

述的实施例 1 或实施例 2 的基础上, 具有当存储在接收缓存器 42 中的游程长度压缩的记录数据的数据开始地址为奇数地址时, 使从接收缓存器 42 向译码电路 28 DMA 传输的游程长度压缩的包含开始数据的字数据开始 1 字节数据为无效的无效数据掩码处理装置。

图 11 和图 12 模式地表示由译码电路 28 把压缩的记录数据用硬件展开, 向行缓存器 281 存储, 表示压缩的记录数据的数据开始地址为奇数地址时的情形。

存储在接收缓存器 42 (主存储器) 中的游程长度压缩的记录数据的开始字节数据 (FEH) 存储在该开始的字数据的高位地址 (奇数地址) 中。即在包含该开始字节数据的字数据的低位地址 (偶数地址) 中存储着与记录数据无关的数据 (AAH)。可是, 如果从接收缓存器 42 向译码电路 28 一字一字 DMA 传输, 则无法以偶数地址为开始传输。因此, 如果这样由译码电路 28 把游程长度压缩的记录数据的开始字数据用硬件展开、处理, 则在包含了无关数据的状态下展开了记录数据, 无法正确展开压缩的记录数据。

因此, 在展开处理控制器 412 (图 6) 中, 把包含开始字节数据的字数据的低位地址 (偶数地址) 的无关字节数据掩码, 成为无效, 再用译码电路 28 展开。即如果原封不动用译码电路 28 展开开始 1 字, 则 AAH 为计数, FEH 为数据, 但是通过使无关数据 AAH 为无效, 就能使 FEH 为计数, 正确地展开。

接着, DMA 传输到译码电路 28 的压缩的记录数据是 01H、03H (传输 S31)。低位地址一侧 (偶数地址一侧) 的 01H 是数据, 是之前的计数 FEH 的数据。因此, 重复 01H 三次 ($257-254=3$) 而展开, 依次存储到行缓存器 281 的 A 面侧。此外, 高位地址一侧 (奇数地址一侧) 的 03H 是计数, 以后的 4 字节 ($3+1$) 数据 (02H、78H、55H、44H) 不重复, 原封不动地展开, 依次存储到行缓存器 281 的 A 面侧 (传输 S32~S33)。以下, 用与实施例 1 同样的步骤, 1 字 1 字展开游程长度压缩的记录数据, 依次存储到行缓存器 281 的 A 面侧 (传输 S32~S54), 当存储了 1 行的字节数 (16 字节) 的展开后记录数据的时刻, 向局部存储器 29 DMA 传输 (传输 D1~D4)。此外, 存储在接收缓存器 42 中的游程长度压缩的记录

数据的数据开始地址是否为奇数地址可以通过由 MPU24 执行的固件程序等判定。

这样,即使存储在接收缓存器 42 中的游程长度压缩的记录数据的数据开始地址是奇数地址,也能从游程长度压缩的记录数据的开始正确地用的开始正确地由译码电路 28 用硬件展开。

作为本发明的喷墨式记录装置 50 的实施例 4,列举了在上述的实施例 1~实施例 3 的基础上,使 1 行的字节数为奇数字节。

图 13 和图 14 模式地表示了由译码电路 28 把压缩的记录数据用硬件展开,存储到行缓存器 281 中,表示了在上述实施例 1 或实施例 2 中,1 行的字节数为 15 字节时的情形。此外,图 15 模式地表示了实施例 4 中,把展开后的记录数据从行缓存器 281 向局部存储器 29 传输,把行变换为纵排列,并存储,图 16 模式地表示了不把行变换为纵排列而存储。

如上所述,展开后的记录数据从行缓存器 281 向局部存储器 29 一字一字 DMA 传输,所以向局部存储器 29 的位图区存储展开后的记录数据时也是一字一字进行,无法从 DECU41 向局部存储器 29 DMA 传输奇数字节的记录数据。因此,在展开处理控制器 412 (图 6) 中,把行缓存器 281 的 1 行的字节数设定为奇数字节,在该实施例中为 15 字节,当在行缓存器 281 的 A 面侧或 B 面侧存储了 15 字节的展开后记录数据的时刻,向局部存储器 29 DMA 传输。因此,包含低 15 字节的记录数据的字数据的高位地址一侧(奇数地址一侧)为 00H 的状态下进行了 DMA 传输(数据存储结束位置移位装置)。

在传输 S61~S64 中,与实施例 1 (图 7) 的传输 S1~S4 相同,所以省略了说明。接着,DMA 传输到译码电路 28 的压缩的记录数据是 FFH、FFH (传输 S65)。低位地址一侧(偶数地址一侧)的 FFH 是数据,是之前的计数 FBH 的数据。因此,重复 FFH 六次(257-251)而展开,依次存储到行缓存器 281 的 A 面侧。此外,高位地址一侧(奇数地址一侧)的 FFH 是计数,重复接着的数据 2 次(257-255=2)而展开,依次存储到行缓存器 281 的 A 面侧。

接着,DMA 传输到译码电路 28 的压缩的记录数据是 11H、06H (传输 S66)。低位地址一侧(偶数地址一侧)的 11H 是数据,是之前的计数

FFH 的数据。因此,重复 FFH 两次 ($257-255=3$) 而展开,依次存储到行缓存器 281 的 A 面侧。此外,高位地址一侧(奇数地址一侧)的 06H 是计数,不重复以后 7 字节 ($6+1=7$) 的数据 (66H、12H、77H、45H、89H、10H、55H) 而原封不动地展开,依次存储到行缓存器 281 的 B 面侧(传输 S67~S70)。

而当在行缓存器 281 的 A 面侧存储了 1 行的字节数即 15 字节的展开后记录数据的时刻(传输 S66 的时刻),把 15 字节作为 1 行的数据块,1 字 1 字向局部存储器 29 DMA 传输。这时,L-DMA 控制器 413 (图 6) 在把 1 行的展开后记录数据向局部存储器 29 DMA 传输完毕之前占有局部总线 LB,进行脉冲传输(传输 D1)。传输到局部存储器 29 的 1 行的记录数据以偶数地址为开始,从低位地址为开始,1 字 1 字依次存储到局部存储器 29 的给定位图区中(图 15 (a))。此外,如果把行变换为纵排列,就这样依次存储下去(图 16 (a))。以下,同样把游程长度压缩的记录沪剧由译码电路 28 用硬件展开(传输 S71~S84),当在行缓存器 281 中存储了 15 字节的展开后的记录数据的时刻,向局部存储器 29 DMA 传输(传输 D2~D4)。

图 17 和图 18 模式地表示了由解码电路 28 把压缩的记录数据用硬件展开,存储到行缓存器 281 中,表示了在上述实施例 3 中,1 行的字节数为 15 字节时的情形。

传输 S91~S94 与实施例 2 (图 11) 的传输 S31~S34 相同,所以省略说明。接着,DMA 传输到译码电路 28 的压缩的记录数据是 FFH、11H (传输 S95)。低位地址一侧(偶数地址一侧)的 FFH 是计数,高位地址一侧(奇数地址一侧)的 11H 是数据。因此,重复 11H 两次 ($257-255=2$) 而展开,依次存储到行缓存器 281 的 A 面侧。

而当在行缓存器 281 的 A 面侧存储了 1 行的字节数即 15 字节的展开后记录数据的时刻(传输 S95 的时刻),把 15 字节作为 1 行的数据块,1 字 1 字向局部存储器 29 DMA 传输。这时,L-DMA 控制器 413 (图 6) 在把 1 行的展开后记录数据向局部存储器 29 DMA 传输完毕之前占有局部总线 LB,进行脉冲传输(传输 D1)。传输到局部存储器 29 的 1 行的记录数据以偶数地址为开始,从低位地址为开始,1 字 1 字通过所述的数

据重排装置把行变换为纵排列,存储到局部存储器 29 的给定位图区中(图 15(a))。此外,如果不把行变换为纵排列,就原封不动依次存储下去(图 16(a))。以下,同样把游程长度压缩的记录数由译码电路 28 用硬件展开(传输 S71~S84),当在行缓存器 281 中存储了 15 字节的展开后的记录数据的时刻,向局部存储器 29 DMA 传输(传输 D2~D4)。

这样,当行缓存器 281 中存储了奇数字节的展开后记录数据的时刻,通过向局部存储器 29 DMA 传输,最后的字数据的高位地址一侧为 00H 的状态下进行了传输,所以可以使存储在局部存储器 29 的位图区中的展开后的记录数据如图 15(d)和 16(d)所示,使 1 行的最后 1 字节变为 00H,数据开始地址为偶数地址,1 行的记录数据变为奇数字节地,把记录数据存储到局部存储器 29 的位图区中。

作为本发明的喷墨式记录装置 50 的实施例 5,列举了在上述的实施例 2~实施例 4 的任意一个的基础上,使 1 行的记录数据的数据开始地址为奇数地址,把记录数据存储到局部存储器 29 的位图区中。

配置在记录头 62 的头面上的多个喷嘴列为各喷嘴列决定喷射的墨水颜色。而存储在局部存储器 29 的位图区中的记录数据成为在各行中与各喷嘴列对应的各墨水颜色的数据。而且,在修正该喷嘴列间隔引起的墨水喷射定时偏移的装置中,有时有必要使开始地址为奇数地址,把 1 行的记录数据存储到局部存储器 29 的位图区中。

可是,如上所述,由于 1 字 1 字从接收缓存器 42 向译码电路 28 DMA 传输,展开后的记录数据总是以偶数地址为开始,存储在局部存储器 29 的位图区中,所以在原封不动的情况下,无法以奇数地址为开始,存储记录数据。因此,在展开处理控制器 412(图 6)中,当把由译码电路 28 展开的记录数据存储到行缓存器 281 中时,在空着行缓存器 281 的第 0 字节的状态下,从第一字节开存储(数据存储开始位置移位装置)。即在译码电路 28 中进行了压缩的记录数据的展开处理后,当把展开后的记录数据向行缓存器 281 存储时,在空着行缓存器 281 的第 0 字节的状态下,从第一字节开存储,把存储在行缓存器 281 中的展开后记录数据从第 0 字节开始向局部存储器 29 的位图区 DMA 传输传输。

图 19 和图 20 模式地表示了由译码电路 28 把压缩的记录数据用硬件

展开, 存储到行缓存器 281 中, 表示了在上述实施例 2 中, 为行缓存器 281 的从第 0 字节为空的状态下, 从第一字节开始存储展开后的记录数据时的情形。此外, 图 21 模式地表示了把 1 行的 16 字节展开后记录数据从行缓存器 281 向局部存储器 29 传输, 把行变换为纵排列, 以奇数地址为开始而存储。

如上所述, 行缓存器 281 除了 A 面和 B 面都具有的 8 字 (16 字节) 的存储区外, 还具有 1 字 (2 字节) 的预备存储区。由译码电路 28 一字一字展开的记录数据在行缓存器 281 的 A 面侧的第 0 字节为空的状态下, 从第一字节开始存储。而且, 通过使第 0 字节为空, 从存储区读出的第 16 字节的记录数据被存储到预备存储区。

当在行缓存器 281 的 A 面侧存储了 16 字节展开后的记录数据的时刻, 16 字节的存储区和预备存储区的合计 18 字节 (9 字) 的记录数据作为 1 行的数据块, 1 字 1 字向局部存储器 29 DMA 传输。这时, L-DMA 控制器 413 (图 6) 在把 1 行的展开后记录数据向局部存储器 29 DMA 传输完毕之前占有局部总线 LB, 进行脉冲传输 (传输 D1)。传输到局部存储器 29 的 1 行的记录数据以偶数地址为开始, 从低位地址为开始, 1 字 1 字通过所述的数据重排装置把行变换为纵排列, 存储到局部存储器 29 的给定位图区中 (图 21 (a))。因此, 在开始附加了 1 字节空数据的状态下, 向局部存储器 29 DMA 传输, 存储在位图区的偶数地址中, 所以 1 行的记录数据变为开始数据从奇数地址开始存储的状态。

接着, 同样把游程长度压缩的记录数据由译码电路 28 用硬件展开, 当在行缓存器 281 中存储了 1 行的 16 字节展开后记录数据的时刻, 向局部存储器 29 DMA 传输 (D2~D4)。此外, 传输 S121~S144 的说明与图 7 所示的传输 S1~S24 的说明同样, 所以省略。

这样, 由译码电路 28 一字一字展开的记录数据在行缓存器 281 的 A 面侧的第 0 字节为空的状态下, 从第一字节开始存储, 当存储了 16 字节的展开后记录数据的时刻, 通过向局部存储器 29 DMA 传输, 以最初的字数据的低位地址一侧为 00H 的状态下进行了传输, 所以存储在局部存储器 29 的位图区中的展开后的记录数据如图 21 (d) 所示, 1 行的最初 1 字节变为 00H, 能使 1 行的记录数据的开始地址为奇数地址, 把记录数

据存储到局部存储器 29 的位图区中。

此外，图 22 和图 23 模式地表示了由译码电路 28 把压缩的记录数据用硬件展开，存储到行缓存器 281 中，表示了在所述实施例 4 中，行缓存器 281 的第 0 字节为空的状态下，从第一字节对展开后的记录数据展开时的情形。此外，图 24 模式地表示了把 1 行的 15 字节展开后记录数据从行缓存器 281 向局部存储器 29 传输，把行变换为纵排列，以奇数地址为开始而存储。

这样，1 行的字节数为 15 字节，即能为奇数字节。因此，如图 24 (d) 所示，1 行的最初的 1 字节为 00H，能使数据开始地址为奇数地址，把 1 行 15 字节的记录数据存储到局部存储器 29 的位图区中。

此外，图 25 和图 26 模式地表示了由译码电路 28 把压缩的记录数据用硬件展开，存储到行缓存器 281 中，表示了在所述实施例 3 中，行缓存器 281 的第 0 字节为空的状态下，从第一字节对展开后的记录数据展开，1 行的记录数据为 16 字节时的情形。同样，图 27 和图 28 表示了在该实施例 3 中，行缓存器 281 的第 0 字节为空的状态下，从第一字节对展开后的记录数据展开，1 行的记录数据为 15 字节时的情形。

这样，以奇数地址为开头存储在接收缓存器 42 中的压缩的记录数据由译码电路 28 展开后，以奇数地址为开头把 1 行 16 字节或 15 字节的记录数据存储到局部存储器 29 的位图区中。

作为本发明的喷墨式记录装置 50 的实施例 6，列举了在上述的实施例 1~实施例 5 的任意一个基础上，把展开后的记录数据存储到局部存储器 29 的不同的两个位图区中。图 29 模式地表示了把 1 行展开后的记录数据从行缓存器 281 向局部存储器 29 传输，把行变换为纵排列，以偶数地址为开始，存储到不同的两个位图区中。

当展开后的位图数据在副扫描方向 Y 比副扫描方向 Y 的相邻喷嘴阵列的间隔还小时，无法在 1 次主扫描中同时在副扫描方向 Y 形成相邻的墨点，所以在不同的主扫描动作时形成。可是，由译码电路 28 展开的位图数据为在副扫描方向 Y 相邻形成的墨点数据连续排列的数据结构，所以展开后的位图数据无法原封不动向记录头 62 传输、进行记录。因此，有必要分割展开后的记录数据，把在副扫描方向 Y 相邻的墨点数据存储

到不同的位图区中，能在不同的主扫描时，向记录头 62 传输。

因此，预先在局部存储器 29 中设置两个不同位图区。这里，分别为图像 1、图像 2。在 DMA 传输目标的局部存储器 29 的位图区中，对由展开处理控制器 412 存储到行缓存器 281 中的展开后记录数据，对每个个别设定传输目标地址，使 1 行的数据交替存储在图像 1 和图像 2 中。而且，DECU41 内部的 L-DMA 控制器 413（图 6）把该个别的传输目标地址设定为 DMA 传输的传输目标地址，把存储在行缓存器 281 中的展开后的记录数据 1 字 1 字向局部存储器 29 DMA 传输（数据分割装置）。

首先，在行缓存器 281 的 A 面侧存储了 1 行 16 字节的展开后记录数据的时刻，把 1 行的记录数据向局部存储器 29 DMA 传输（传输 D1），存储到图像 1（图 29（a））中。接着，当在行缓存器 281 的 B 面侧存储了 1 行 16 字节的展开后记录数据的时刻，把 1 行的记录数据向局部存储器 29 DMA 传输（传输 D2），存储到图像 2（图 29（b））中。接着，在行缓存器 281 的 A 面侧存储了 1 行 16 字节的展开后记录数据的时刻，把 1 行的记录数据向局部存储器 29 DMA 传输（传输 D3），存储到图像 1（图 29（c））中。然后，当在行缓存器 281 的 B 面侧存储了 1 行 16 字节的展开后记录数据的时刻，把 1 行的记录数据向局部存储器 29 DMA 传输（传输 D4），存储到图像 2（图 29（d））中。

这样，在展开处理了压缩的记录数据后，把存储在行缓存器 281 中的展开后的记录数据按每一行向局部存储器 29 的不同位图区 DMA 传输，使副扫描方向 Y 上相邻的墨点在不同的主扫描时形成。据此，能通过硬件处理高速进行压缩的记录数据的展开处理（译码电路 28）和展开后的记录数据的分割（展开处理控制器 412）。此外，图 30 模式地表示了把 1 行 16 字节的展开后的记录数据从行缓存器 281 向局部存储器 29 传输，不把行变换为纵排列，原封不动把偶数地址作为开始，向不同的两个位图区存储。

此外，图 31 模式地表示了把 1 行 15 字节的展开后的记录数据从行缓存器 281 向局部存储器 29 传输，把行变换为纵排列，把偶数地址作为开始，向不同的两个位图区存储。图 32 模式地表示了把 1 行 15 字节的展开后的记录数据从行缓存器 281 向局部存储器 29 传输，不把行变换为

纵排列，原封不动把偶数地址作为开始，向不同的两个位图区存储。

这样，使 1 行的字节数为奇数字节，当行缓存器 281 中存储了奇数字节的展开后的记录数据的时刻，通过向局部存储器 29 DMA 传输，以最后的字数据的高位地址一侧为 00H 的状态传输了 1 行的记录数据。因此，存储在局部存储器 29 的位图区中的展开后记录数据在 1 行的最后 1 字节变为 00H，数据开始地址为偶数地址，1 行的记录数据变为奇数字节，按各行分别存储到图像 1 和图像 2 等 2 个不同的位图区中。

此外，图 33 模式地表示了把 1 行 16 字节的展开后的记录数据从行缓存器 281 向局部存储器 29 传输，把行变换为纵排列，把奇数地址作为开始，向不同的两个位图区存储。图 34 模式地表示了把 1 行 15 字节的展开后的记录数据从行缓存器 281 向局部存储器 29 传输，把行变换为纵排列，把奇数地址作为开始，向不同的两个位图区存储。

这样，由译码电路 28 一字一字展开的记录数据在行缓存器 281 的 A 面侧的第 0 字节为空的状态下，从第一字节开始存储，在存储了 16 字节的展开后记录数据的时刻，通过向局部存储器 29 DMA 传输，在最初的字数据的低位地址一侧为 00H 的状态下传输，所以局部存储器 29 的位图区中存储的展开后记录数据的 1 行的最初 1 字节变为 00H，把 1 行的记录数据的数据开始地址变为奇数地址，分别把数据按每行存储到图像 1 和图像 2 等 2 个不同的位图区中。

作为本发明的喷墨式记录装置 50 的实施例 7，列举了在所述实施例 1~实施例 6 的任意一个中，当存储在接收缓存器 42 中的记录数据为非压缩数据时，不进行展开处理，存储到位图区中。图 35 模式地表示了把非压缩的记录数据原封不动存储到行缓存器 281 中，向局部存储器 29 DMA 传输的状态。

这样，当从信息处理装置 200 向接收缓存器 42 传输的记录数据是非压缩数据时，不用译码电路 28 进行展开处理，原封不动 1 字 1 字存储到行缓存器 281 中。然后，与由译码电路 28 展开压缩的记录数据时同样，在展开处理控制器（图 6）中，如所述实施例 2~实施例 6 所示，把 1 行的字节数设定为 16 字节或 15 字节，进行记录数据的重排，或使开始地址为奇数地址，存储到局部存储器 29 中，或存储到两个不同的位图区中。

此外，本发明并不局限于所述实施例，在权利要求的范围中描述的发明范围中，能有各种变形，它们当然也包含在本发明的范围内。

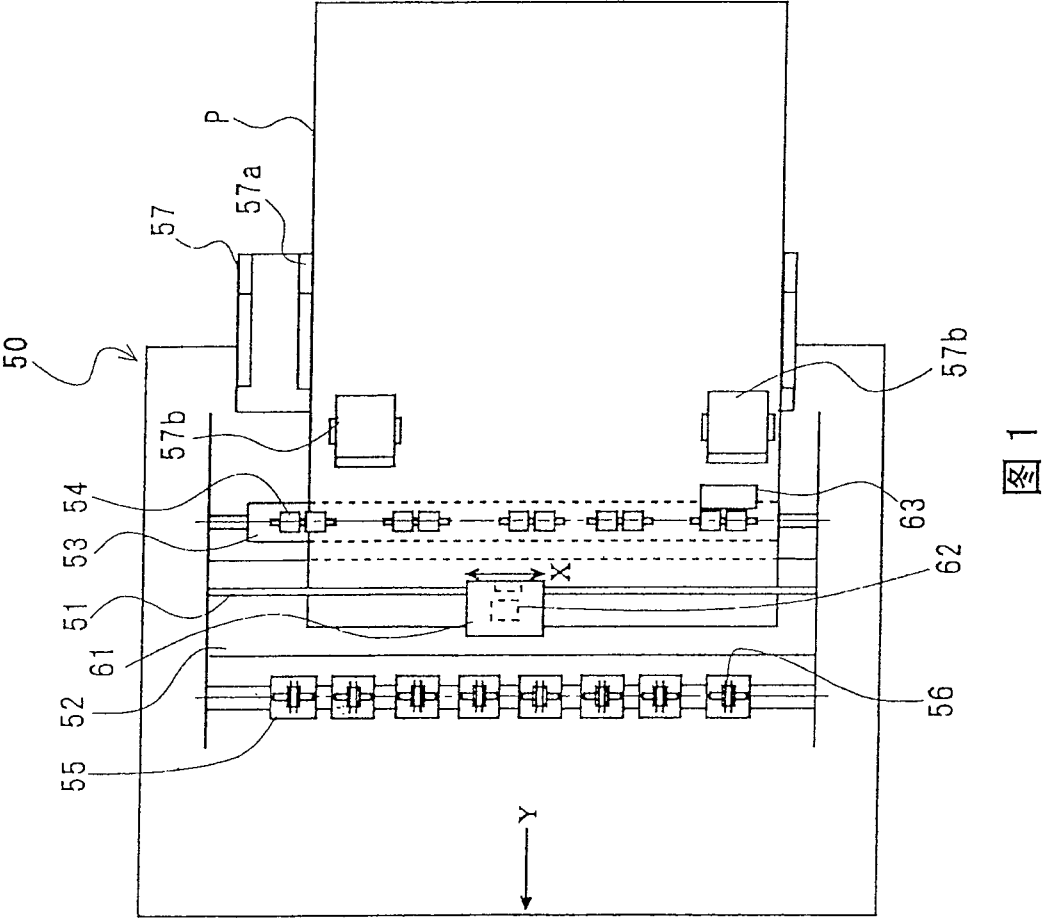


图 1

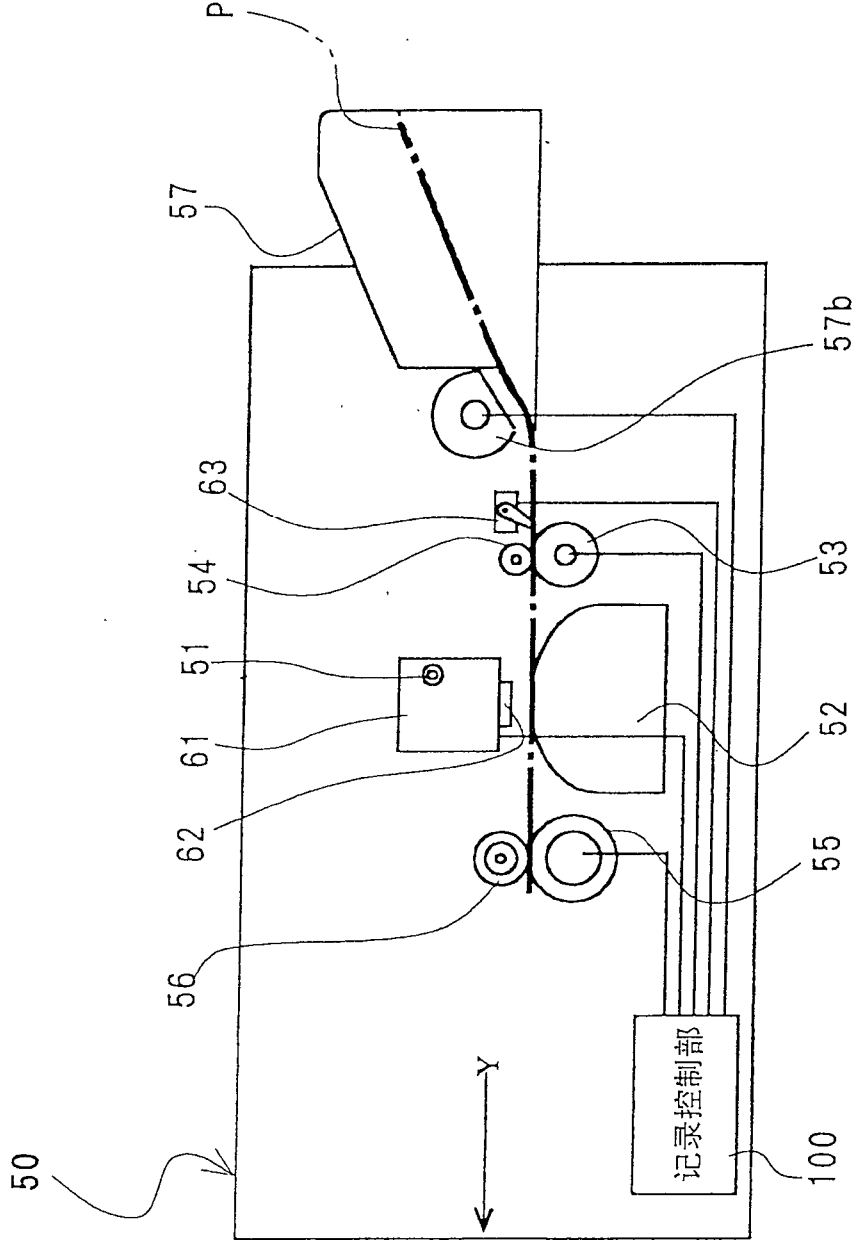


图 2

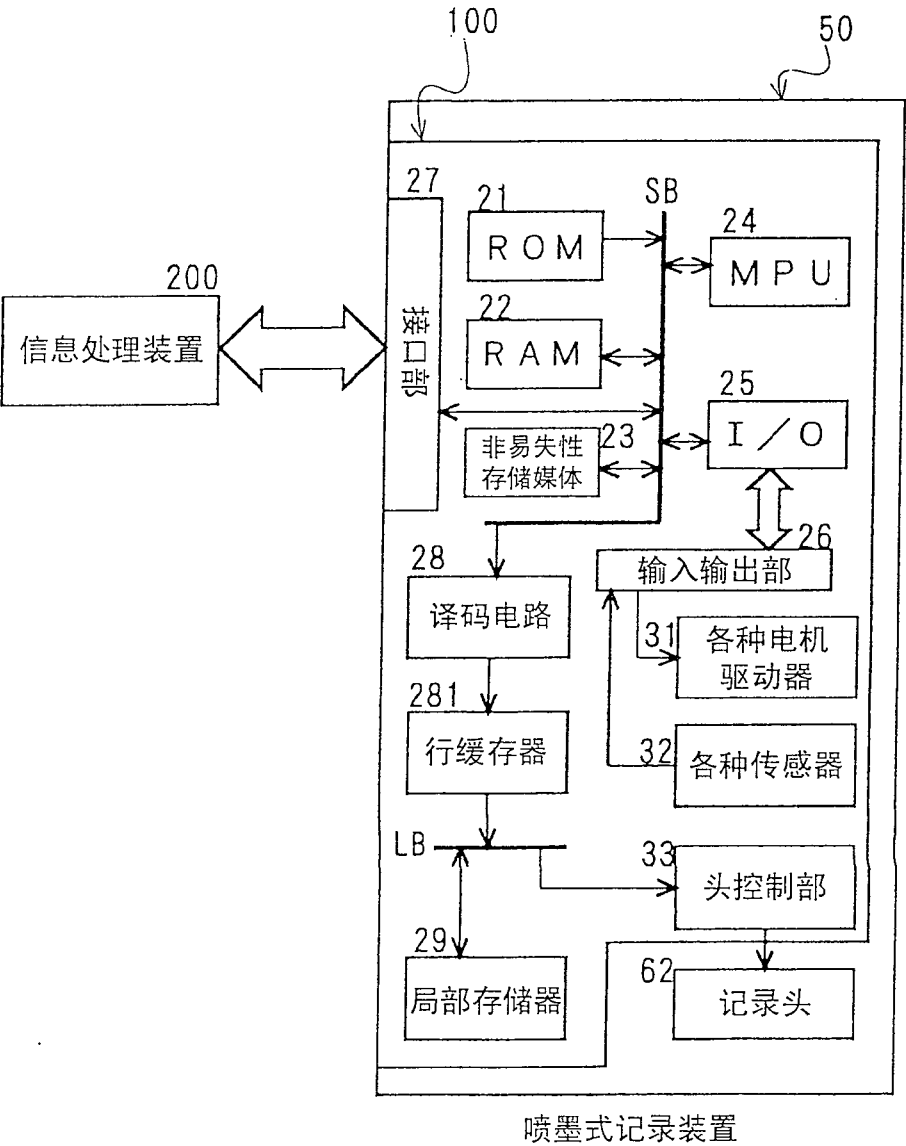


图 3

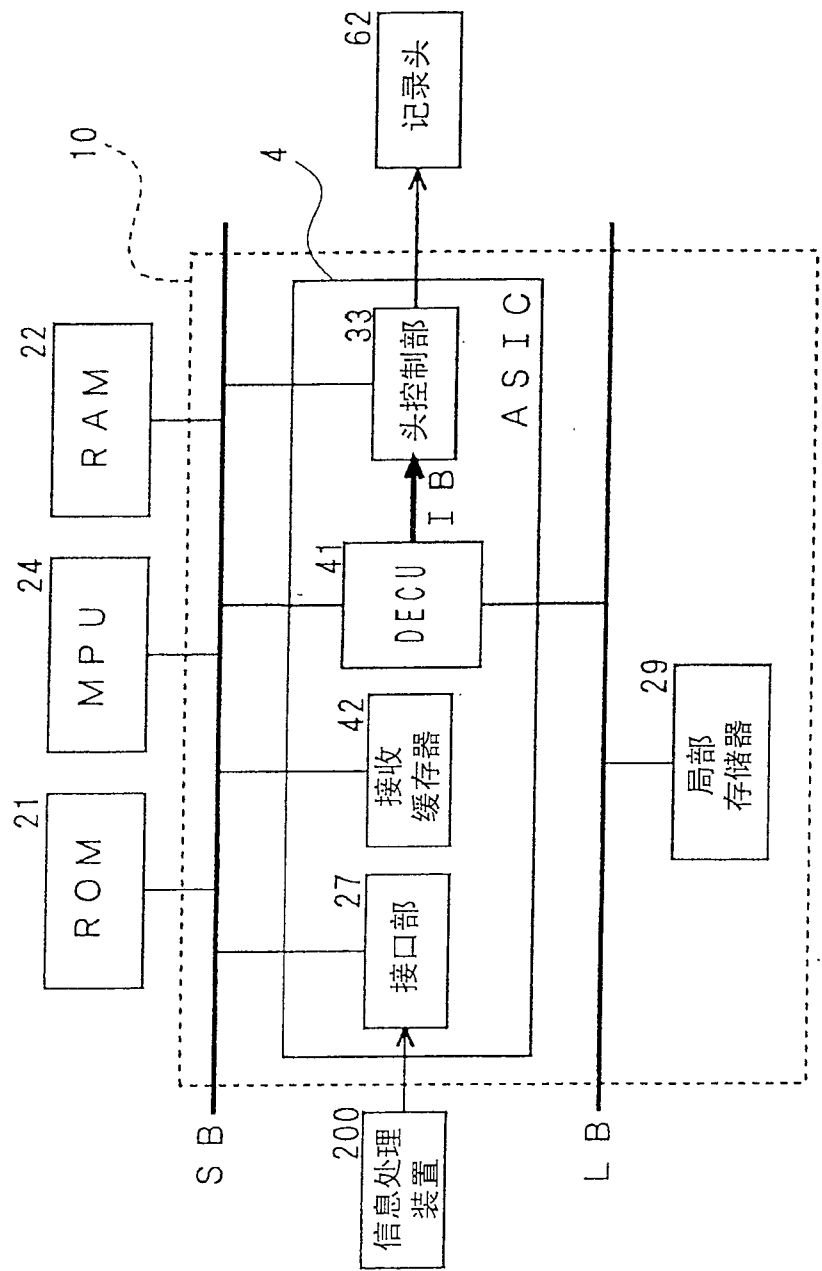


图 4

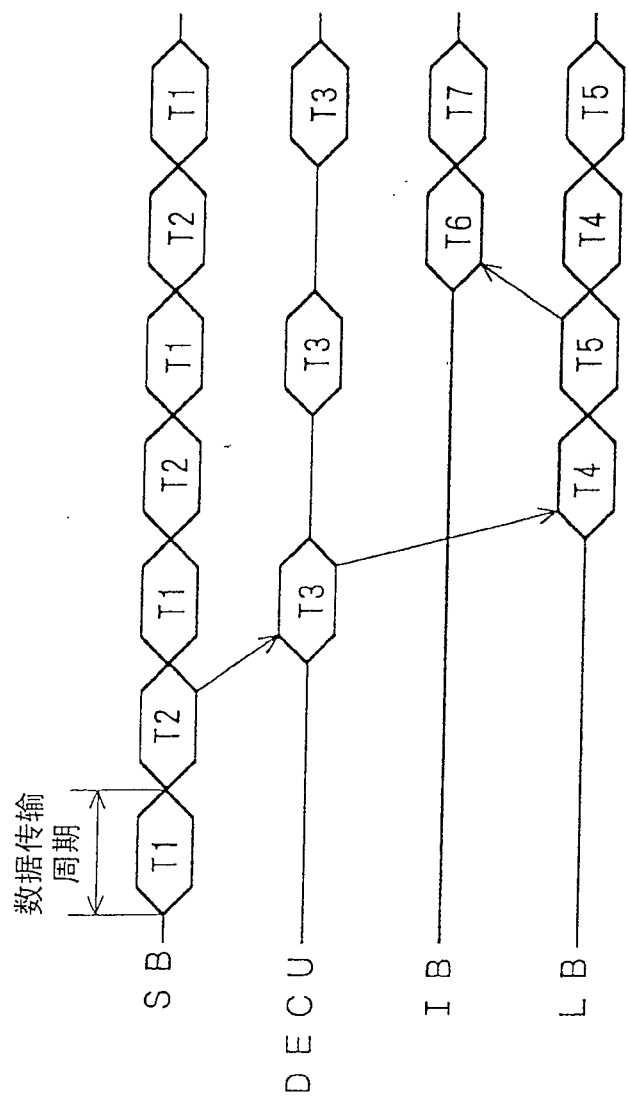


图 5

图 5

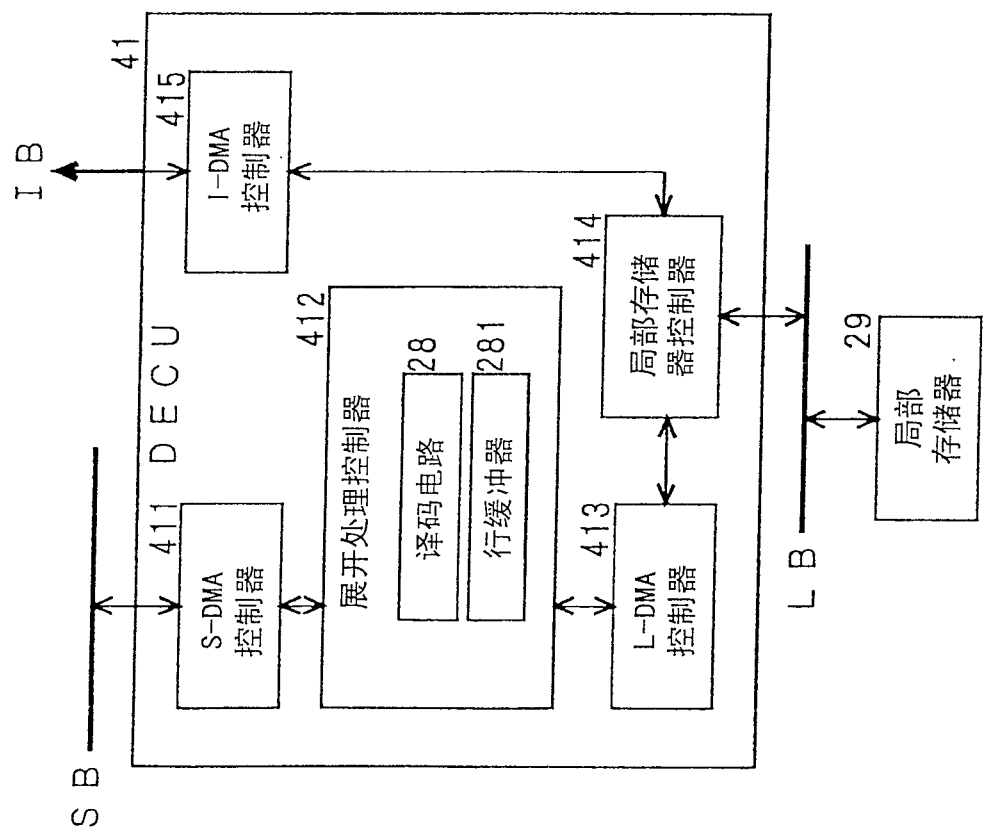


图 6

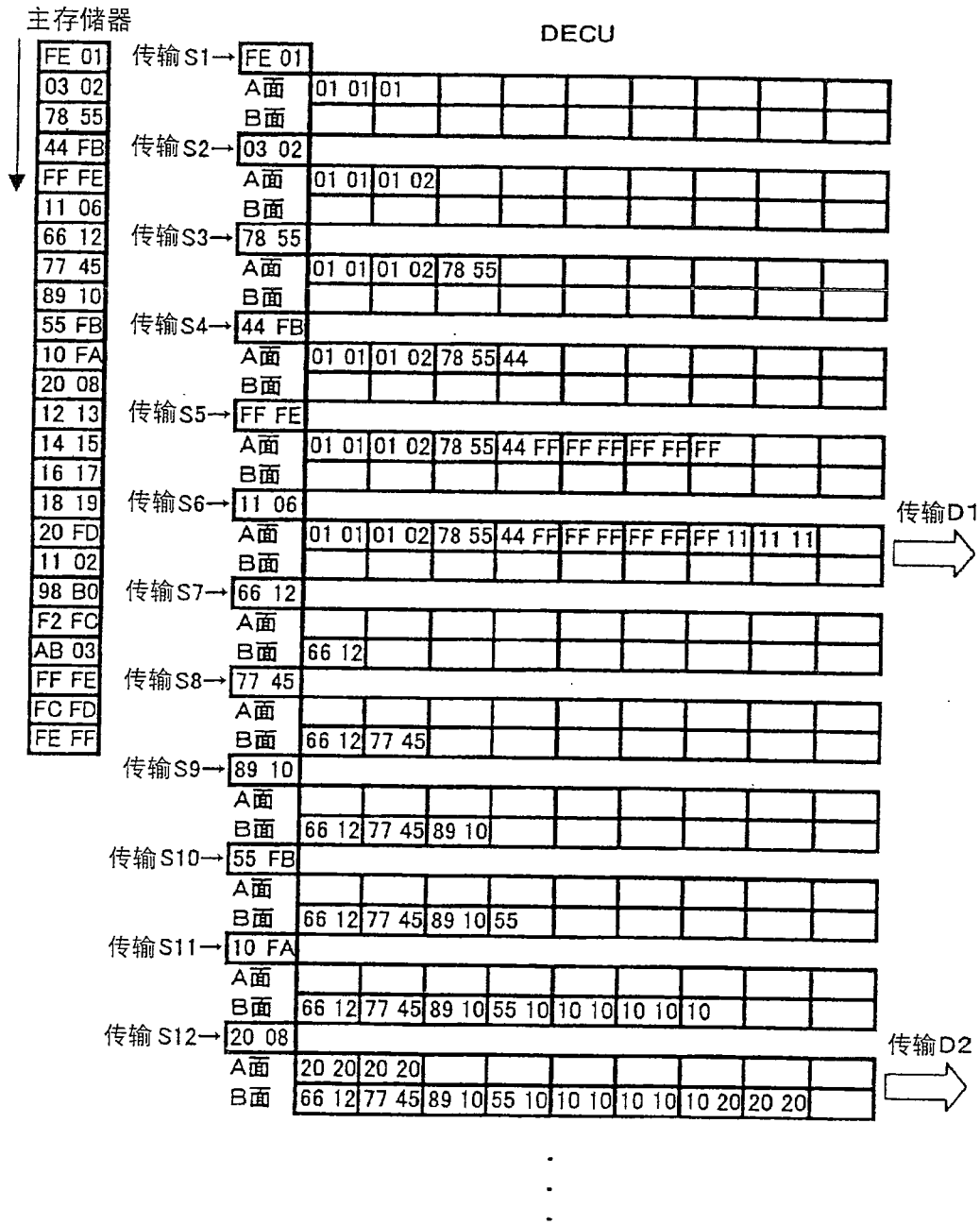


图 7



图 8



图 9

		局部存储器			
	D1 ↓				
(a)		01 01	00 00	00 00	00 00 ... 00 00
		01 02	00 00	00 00	00 00 ... 00 00
		78 55	00 00	00 00	00 00 ... 00 00
		44 FF	00 00	00 00	00 00 ... 00 00
		FF FF	00 00	00 00	00 00 ... 00 00
		FF FF	00 00	00 00	00 00 ... 00 00
		FF 11	00 00	00 00	00 00 ... 00 00
		11 11	00 00	00 00	00 00 ... 00 00
	D2 ↓				
(b)		01 01	66 12	00 00	00 00 ... 00 00
		01 02	77 45	00 00	00 00 ... 00 00
		78 55	89 10	00 00	00 00 ... 00 00
		44 FF	55 10	00 00	00 00 ... 00 00
		FF FF	10 10	00 00	00 00 ... 00 00
		FF FF	10 10	00 00	00 00 ... 00 00
		FF 11	10 20	00 00	00 00 ... 00 00
		11 11	20 20	00 00	00 00 ... 00 00
	D3 ↓				
(c)		01 01	66 12	20 20	00 00 ... 00 00
		01 02	77 45	20 20	00 00 ... 00 00
		78 55	89 10	12 13	00 00 ... 00 00
		44 FF	55 10	14 15	00 00 ... 00 00
		FF FF	10 10	16 17	00 00 ... 00 00
		FF FF	10 10	18 19	00 00 ... 00 00
		FF 11	10 20	20 11	00 00 ... 00 00
		11 11	20 20	11 11	00 00 ... 00 00
	D4 ↓				
(d)		01 01	66 12	20 20	11 98 ... 00 00
		01 02	77 45	20 20	B0 F2 ... 00 00
		78 55	89 10	12 13	ABAE ... 00 00
		44 FF	55 10	14 15	ABAE ... 00 00
		FF FF	10 10	16 17	AB FF ... 00 00
		FF FF	10 10	18 19	FE FC ... 00 00
		FF 11	10 20	20 11	FD FF ... 00 00
		11 11	20 20	11 11	FF FF ... 00 00

图 10

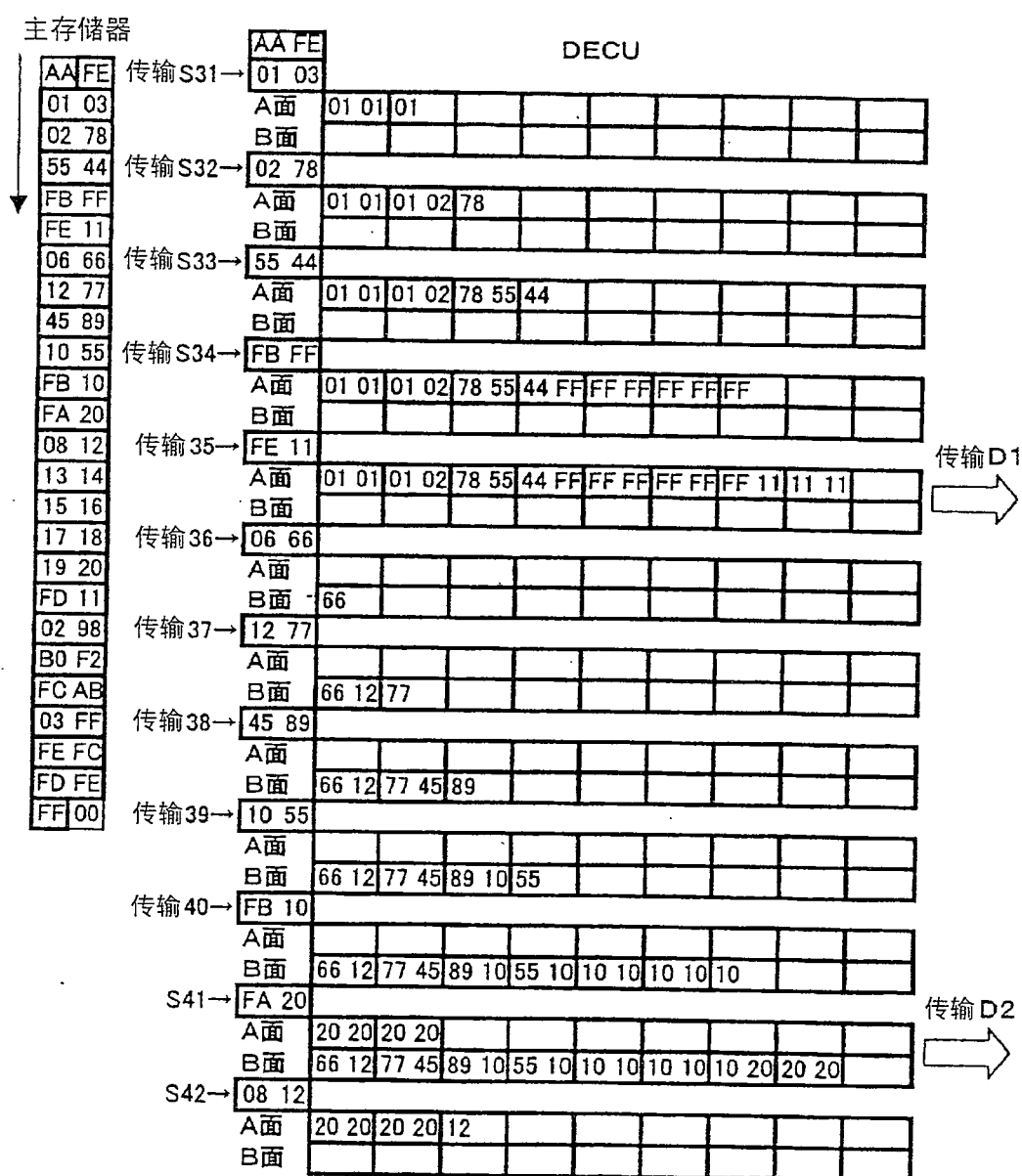


图 11

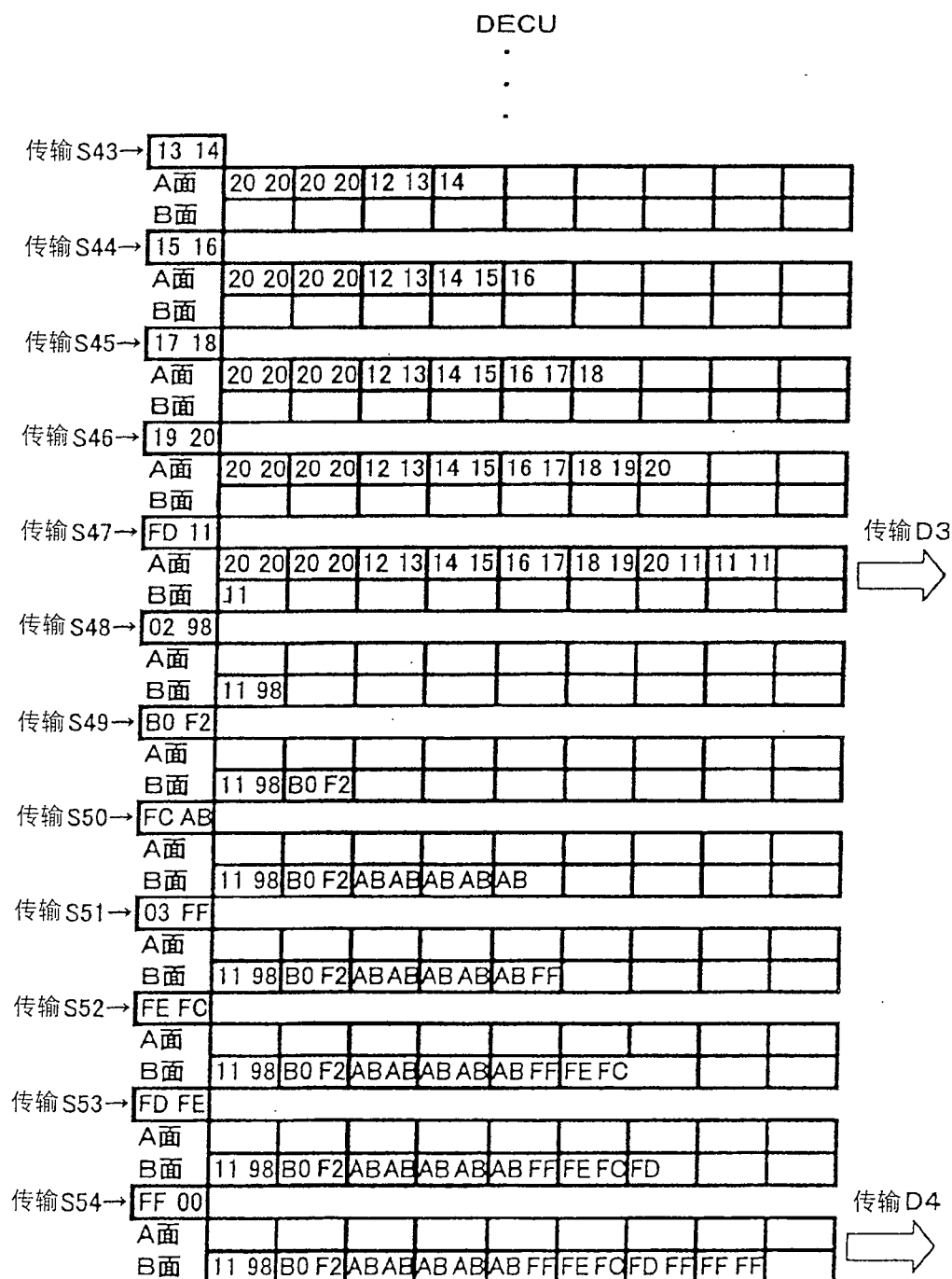


图 12

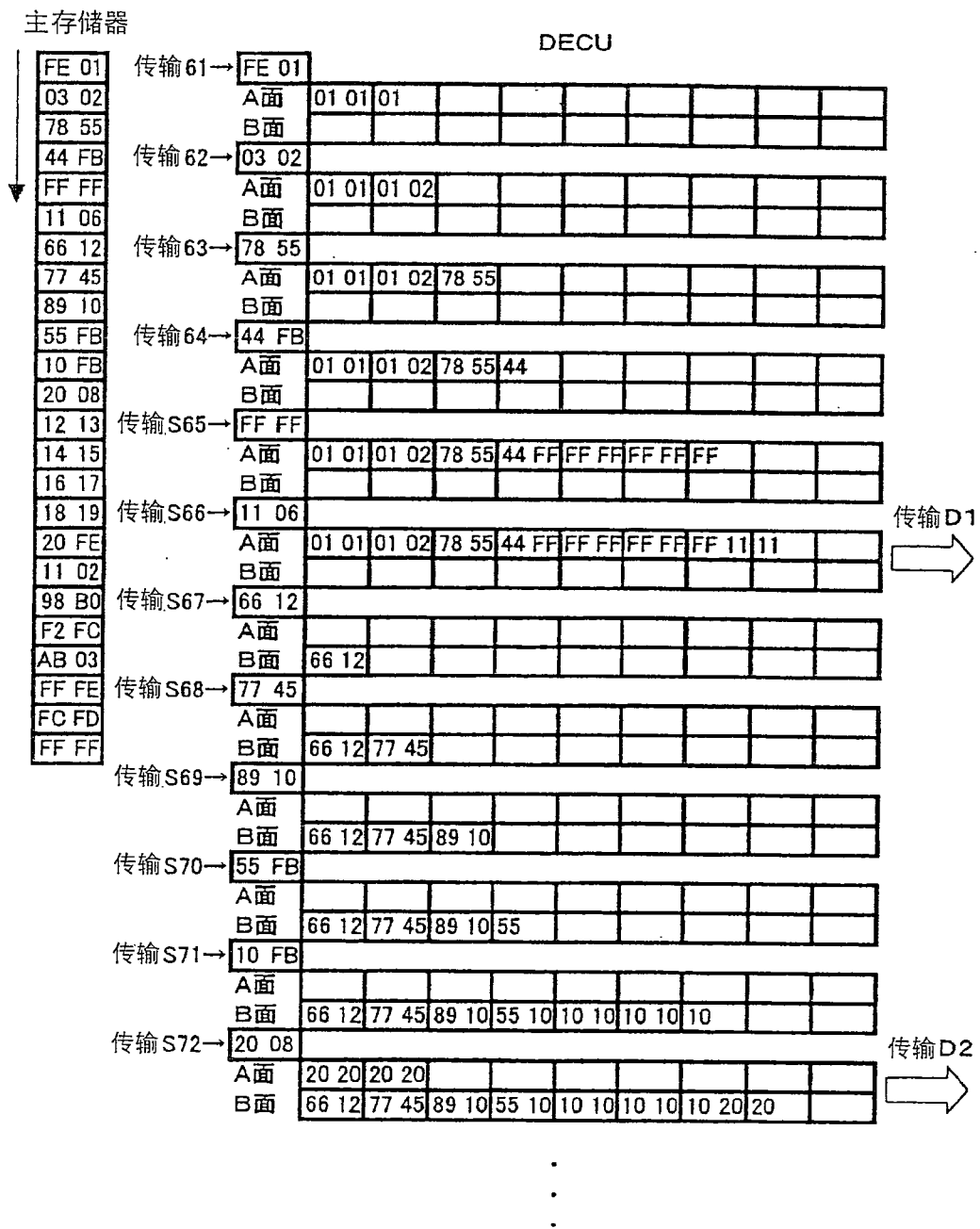


图 13

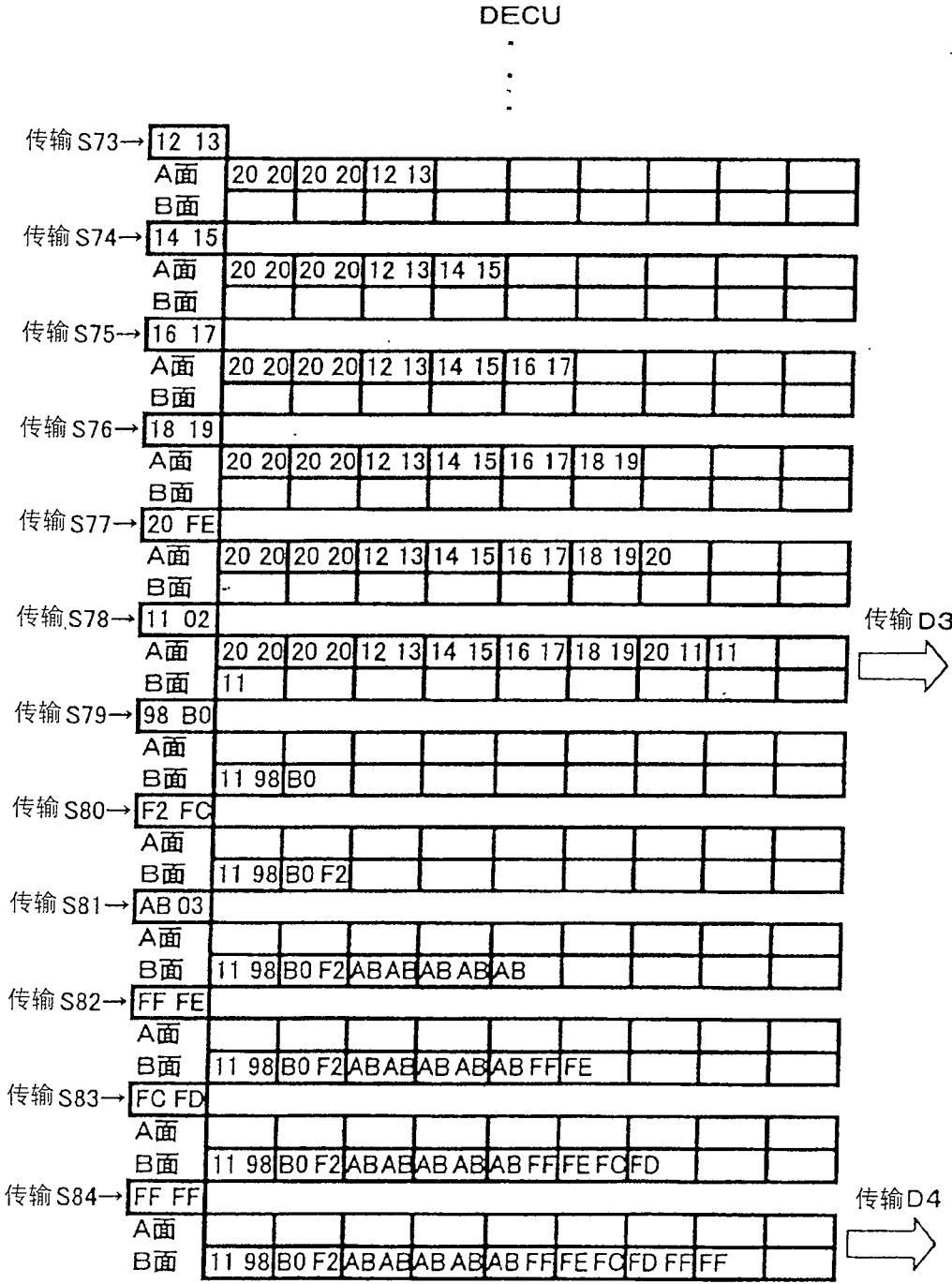


图 14

局部存储器

(a) D1 ↓

01 01	00 00	00 00	00 00	...	00 00
01 02	00 00	00 00	00 00	...	00 00
78 55	00 00	00 00	00 00	...	00 00
44 FF	00 00	00 00	00 00	...	00 00
FF FF	00 00	00 00	00 00	...	00 00
FF FF	00 00	00 00	00 00	...	00 00
FF 11	00 00	00 00	00 00	...	00 00
11 00	00 00	00 00	00 00	...	00 00

(b) D2 ↓

01 01	66 12	00 00	00 00	...	00 00
01 02	77 45	00 00	00 00	...	00 00
78 55	89 10	00 00	00 00	...	00 00
44 FF	55 10	00 00	00 00	...	00 00
FF FF	10 10	00 00	00 00	...	00 00
FF FF	10 10	00 00	00 00	...	00 00
FF 11	10 20	00 00	00 00	...	00 00
11 00	20 00	00 00	00 00	...	00 00

(c) D3 ↓

01 01	66 12	20 20	00 00	...	00 00
01 02	77 45	20 20	00 00	...	00 00
78 55	89 10	12 13	00 00	...	00 00
44 FF	55 10	14 15	00 00	...	00 00
FF FF	10 10	16 17	00 00	...	00 00
FF FF	10 10	18 19	00 00	...	00 00
FF 11	10 20	20 11	00 00	...	00 00
11 00	20 00	11 00	00 00	...	00 00

(d) D4 ↓

01 01	66 12	20 20	11 98	...	00 00
01 02	77 45	20 20	B0 F2	...	00 00
78 55	89 10	12 13	ABAB	...	00 00
44 FF	55 10	14 15	ABAB	...	00 00
FF FF	10 10	16 17	AB FF	...	00 00
FF FF	10 10	18 19	FE FC	...	00 00
FF 11	10 20	20 11	FD FF	...	00 00
11 00	20 00	11 00	FF 00	...	00 00

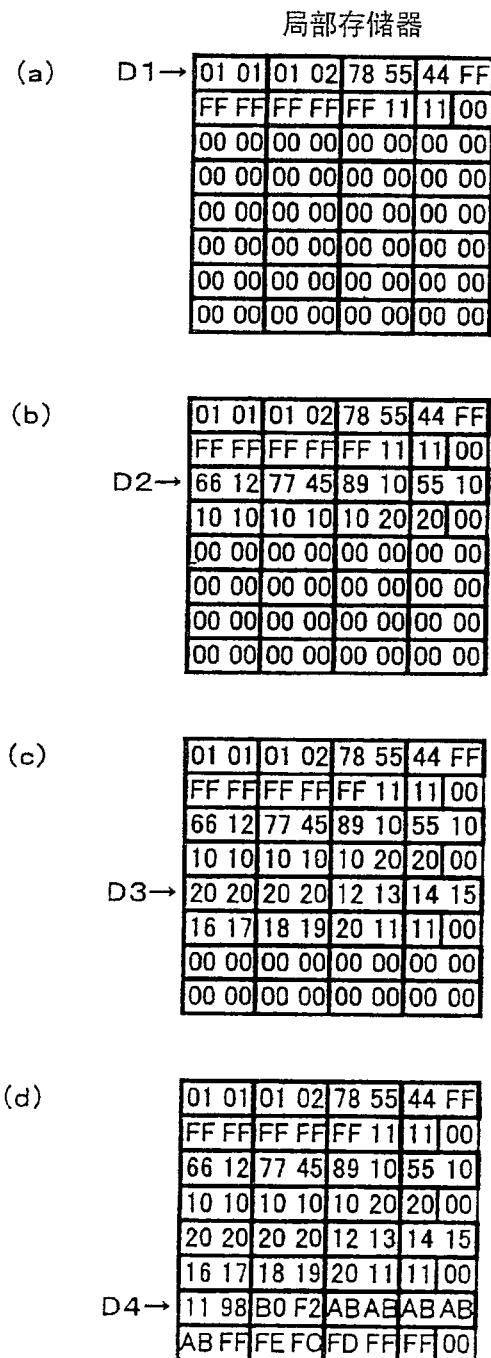


图 16

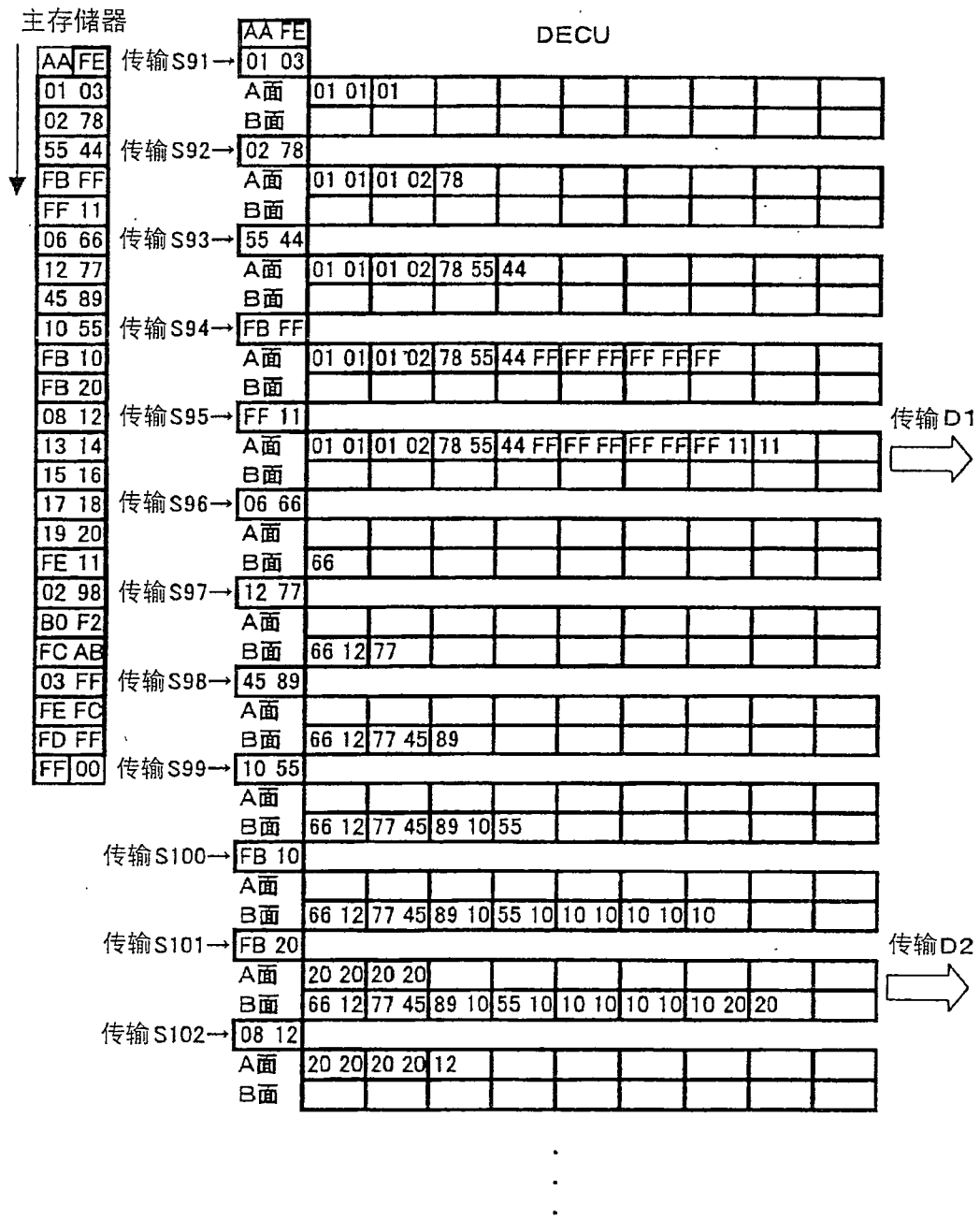


图 17

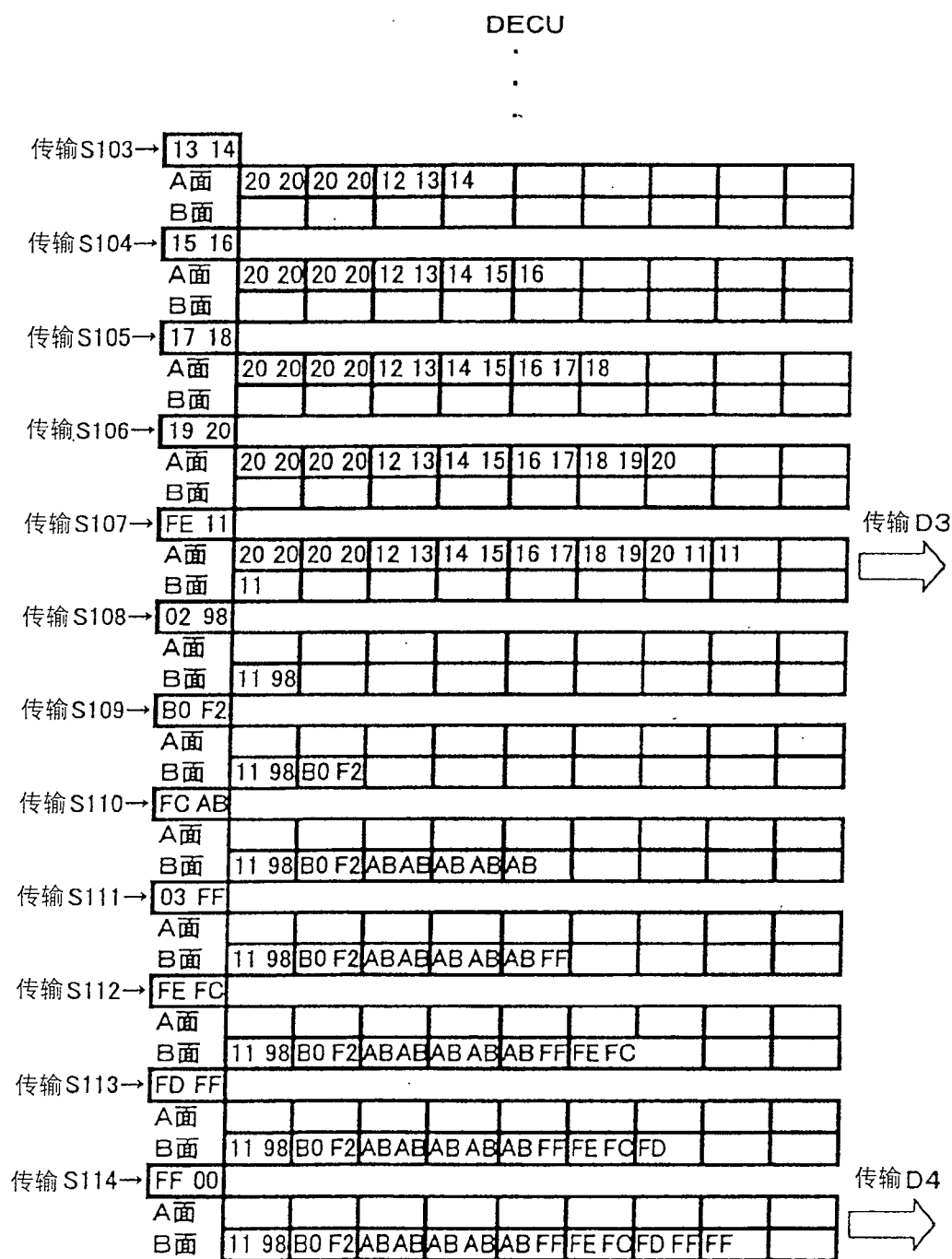


图 18

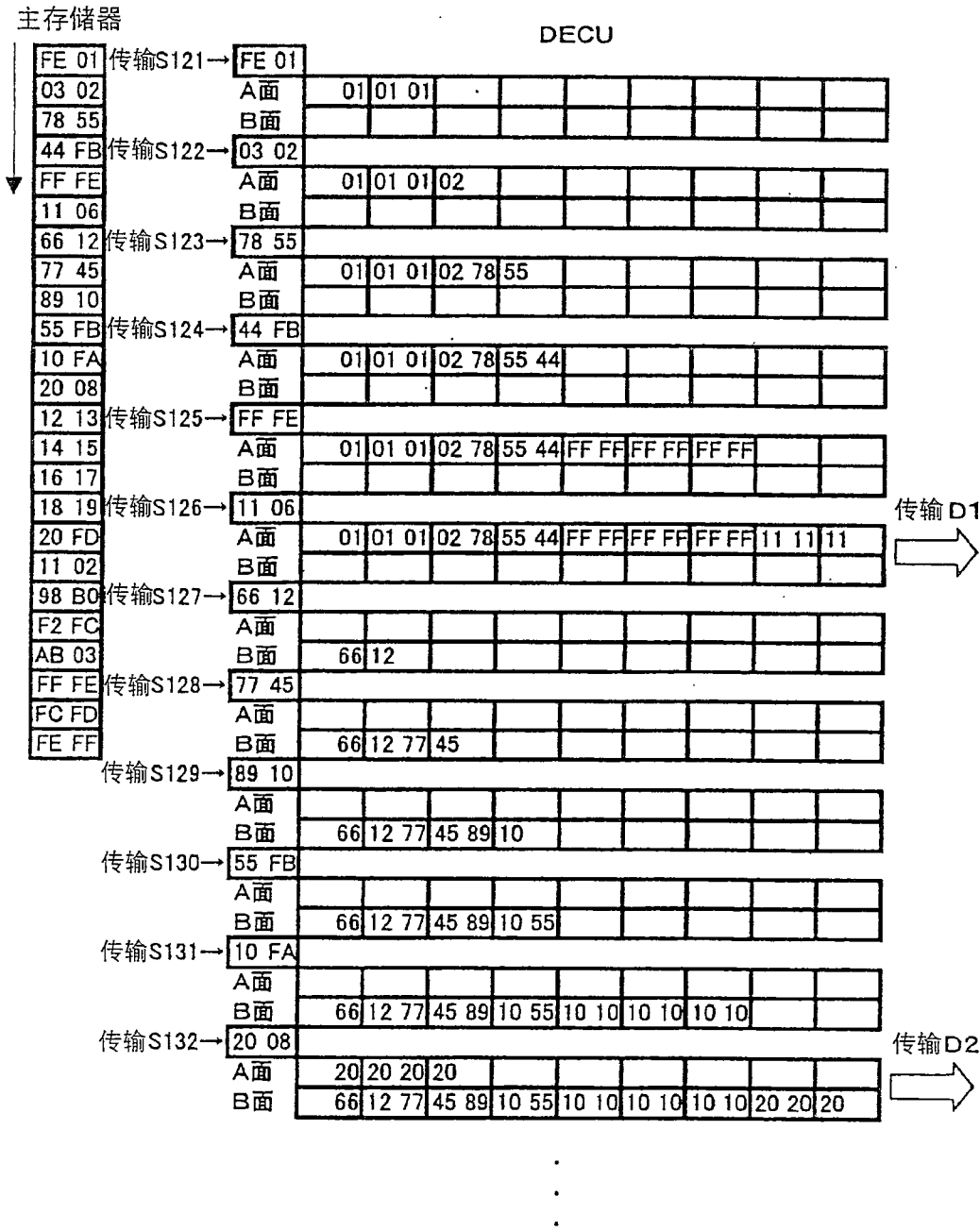


图 19



图 20

局部存储器

(a) D1 ↓

00	01	00 00	00 00	00 00	...	00 00
01	01	00 00	00 00	00 00	...	00 00
02	78	00 00	00 00	00 00	...	00 00
55	44	00 00	00 00	00 00	...	00 00
FF	FF	00 00	00 00	00 00	...	00 00
FF	FF	00 00	00 00	00 00	...	00 00
FF	FF	00 00	00 00	00 00	...	00 00
11	11	00 00	00 00	00 00	...	00 00
11	00	00 00	00 00	00 00	...	00 00

(b) D2 ↓

00	01	00 66	00 00	00 00	...	00 00
01	01	12 77	00 00	00 00	...	00 00
02	78	45 89	00 00	00 00	...	00 00
55	44	10 55	00 00	00 00	...	00 00
FF	FF	10 10	00 00	00 00	...	00 00
FF	FF	10 10	00 00	00 00	...	00 00
FF	FF	10 10	00 00	00 00	...	00 00
11	11	20 20	00 00	00 00	...	00 00
11	00	20 00	00 00	00 00	...	00 00

(c) D3 ↓

00	01	00 66	00 20	00 00	...	00 00
01	01	12 77	20 20	00 00	...	00 00
02	78	45 89	20 12	00 00	...	00 00
55	44	10 55	13 14	00 00	...	00 00
FF	FF	10 10	15 16	00 00	...	00 00
FF	FF	10 10	17 18	00 00	...	00 00
FF	FF	10 10	19 20	00 00	...	00 00
11	11	20 20	11 11	00 00	...	00 00
11	00	20 00	11 00	00 00	...	00 00

(d) D4 ↓

00	01	00 66	00 20	00 11	...	00 00
01	01	12 77	20 20	98 B0	...	00 00
02	78	45 89	20 12	F2 AE	...	00 00
55	44	10 55	13 14	AB AE	...	00 00
FF	FF	10 10	15 16	AB AE	...	00 00
FF	FF	10 10	17 18	FF FE	...	00 00
FF	FF	10 10	19 20	FC FD	...	00 00
11	11	20 20	11 11	FF FF	...	00 00
11	00	20 00	11 00	FF 00	...	00 00

图 21

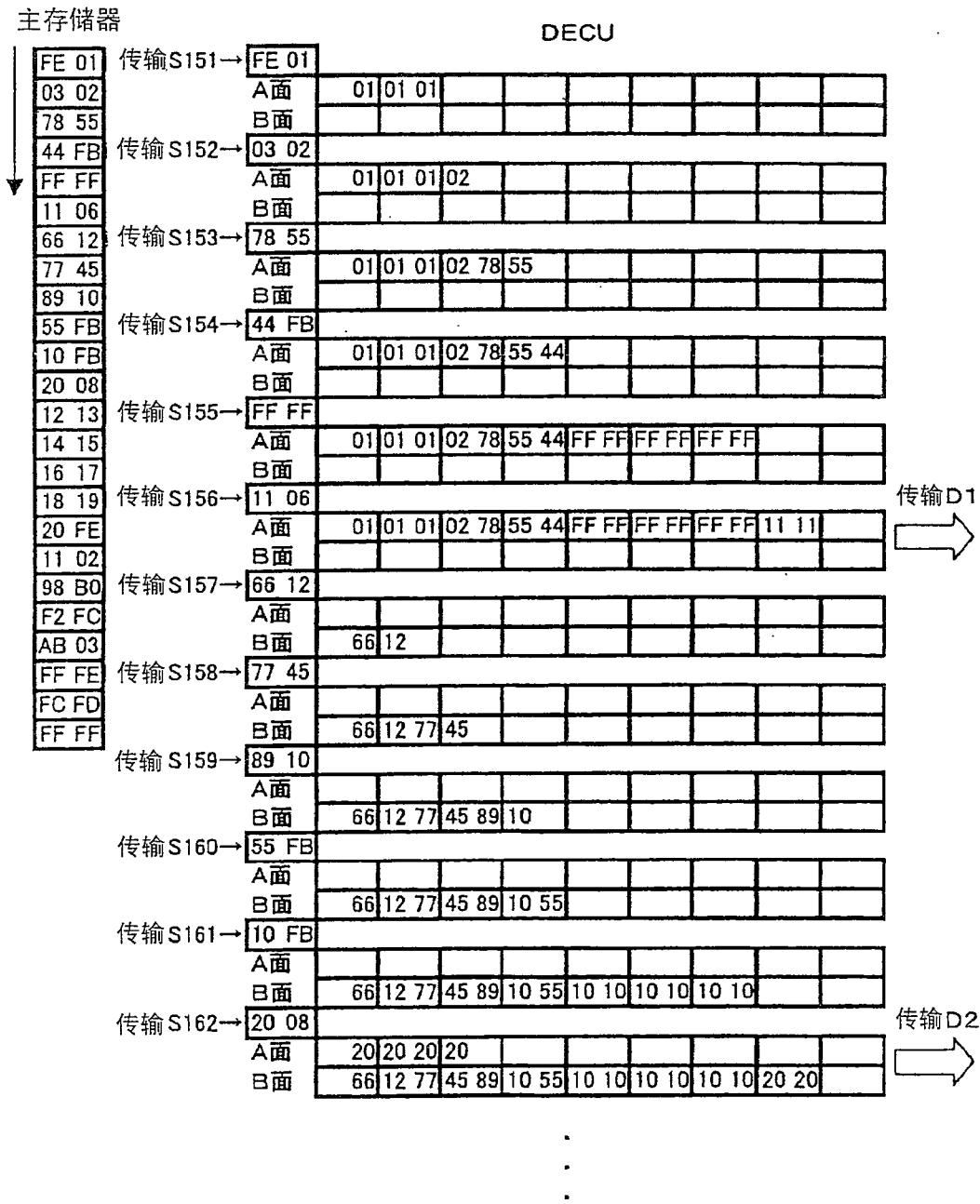


图 22



图 23

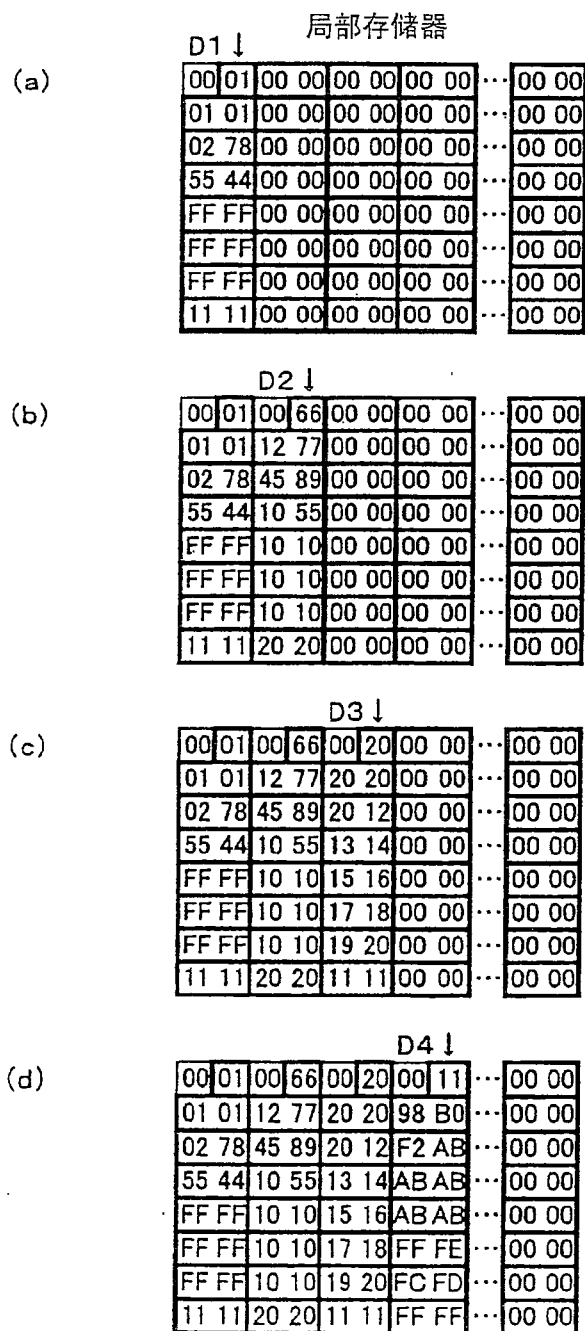


图 24

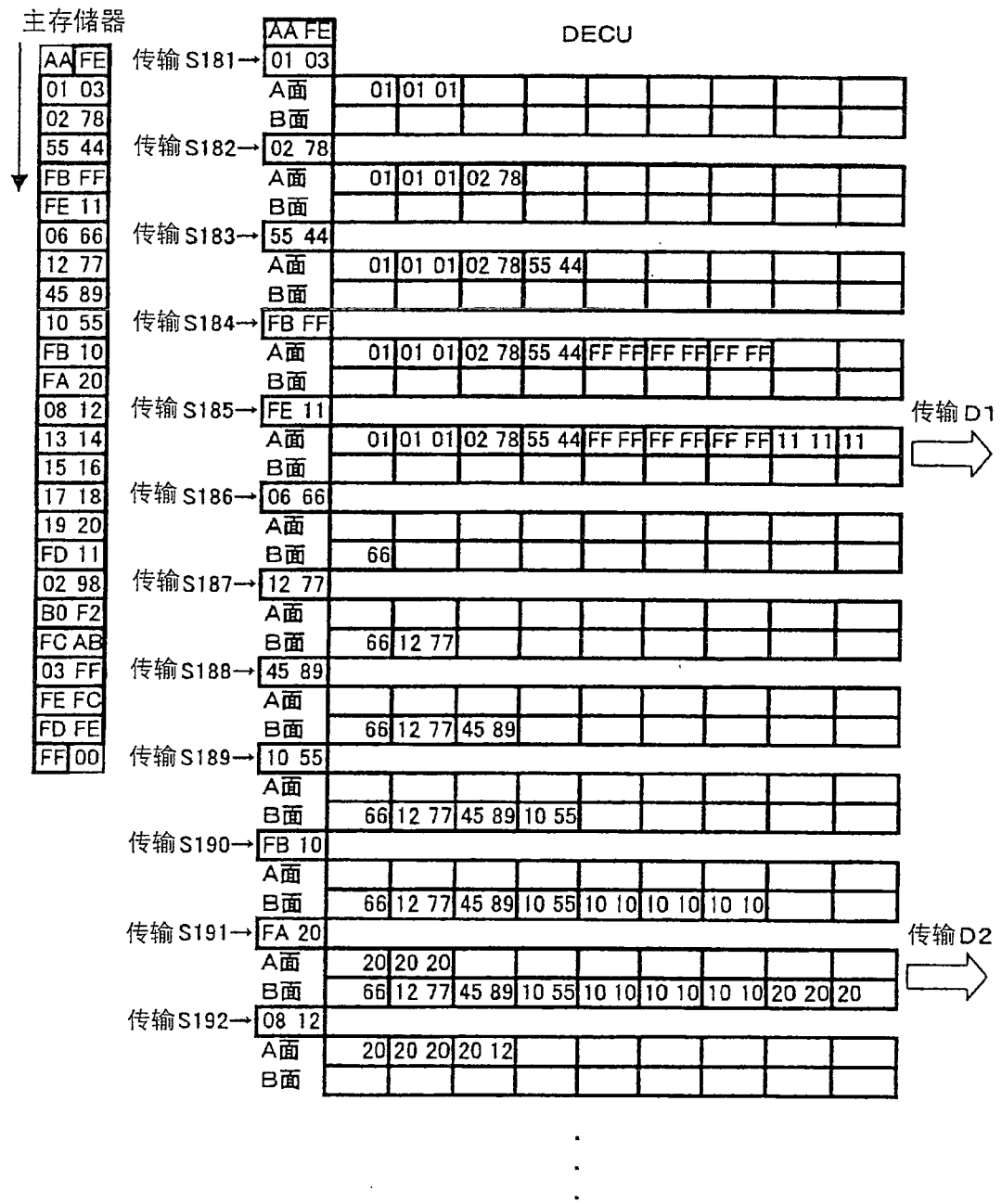


图 25

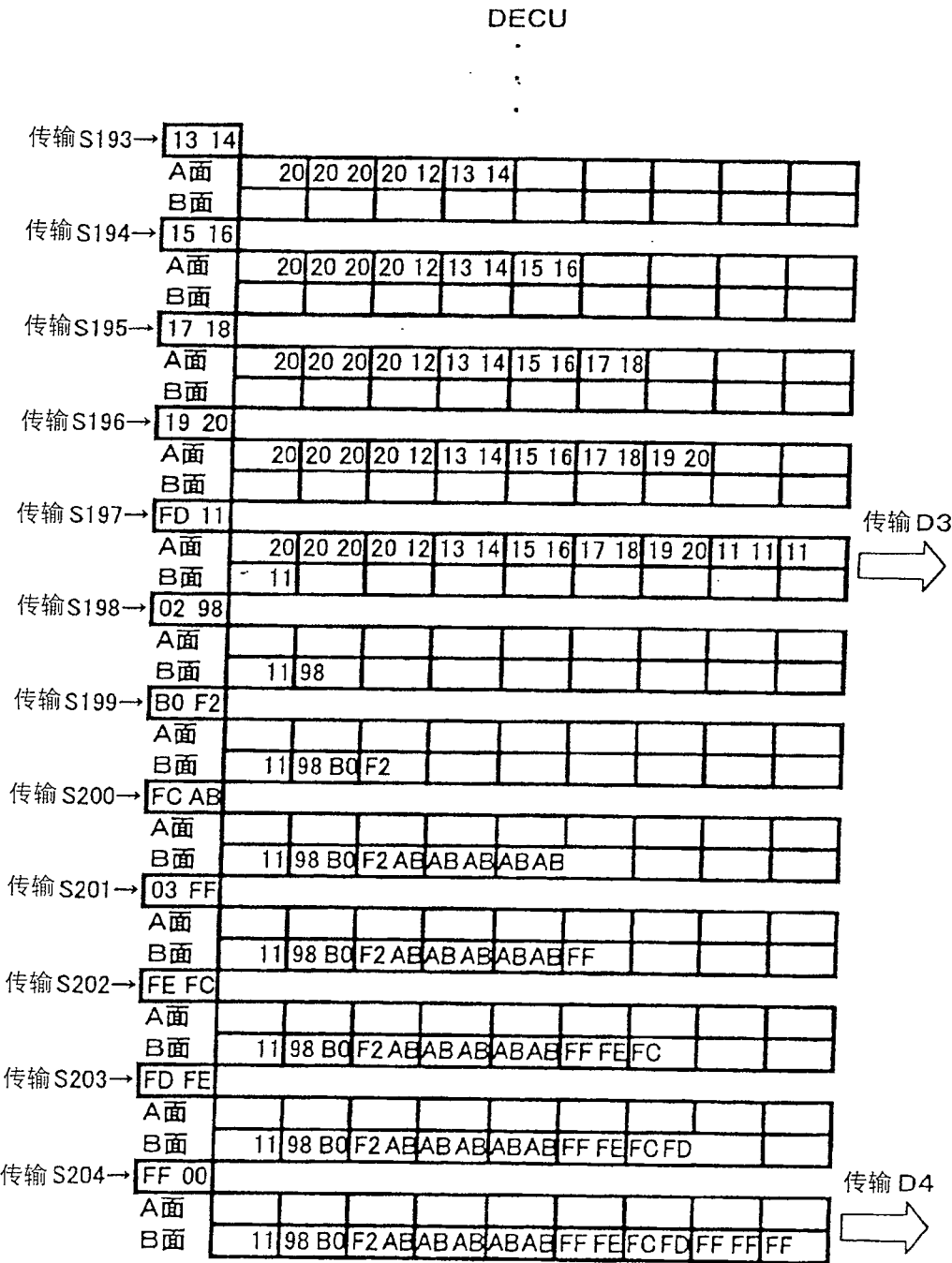


图 26

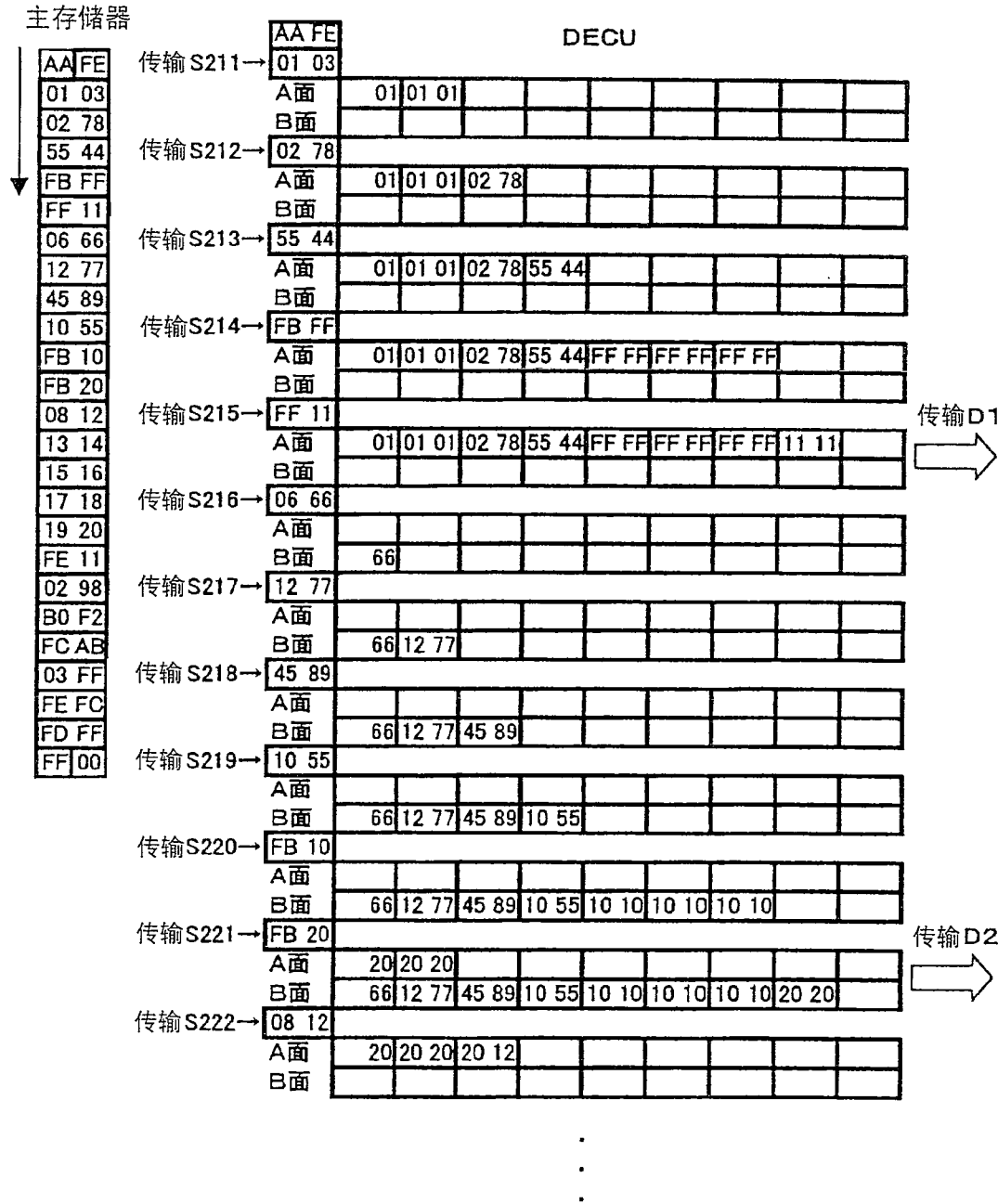


图 27

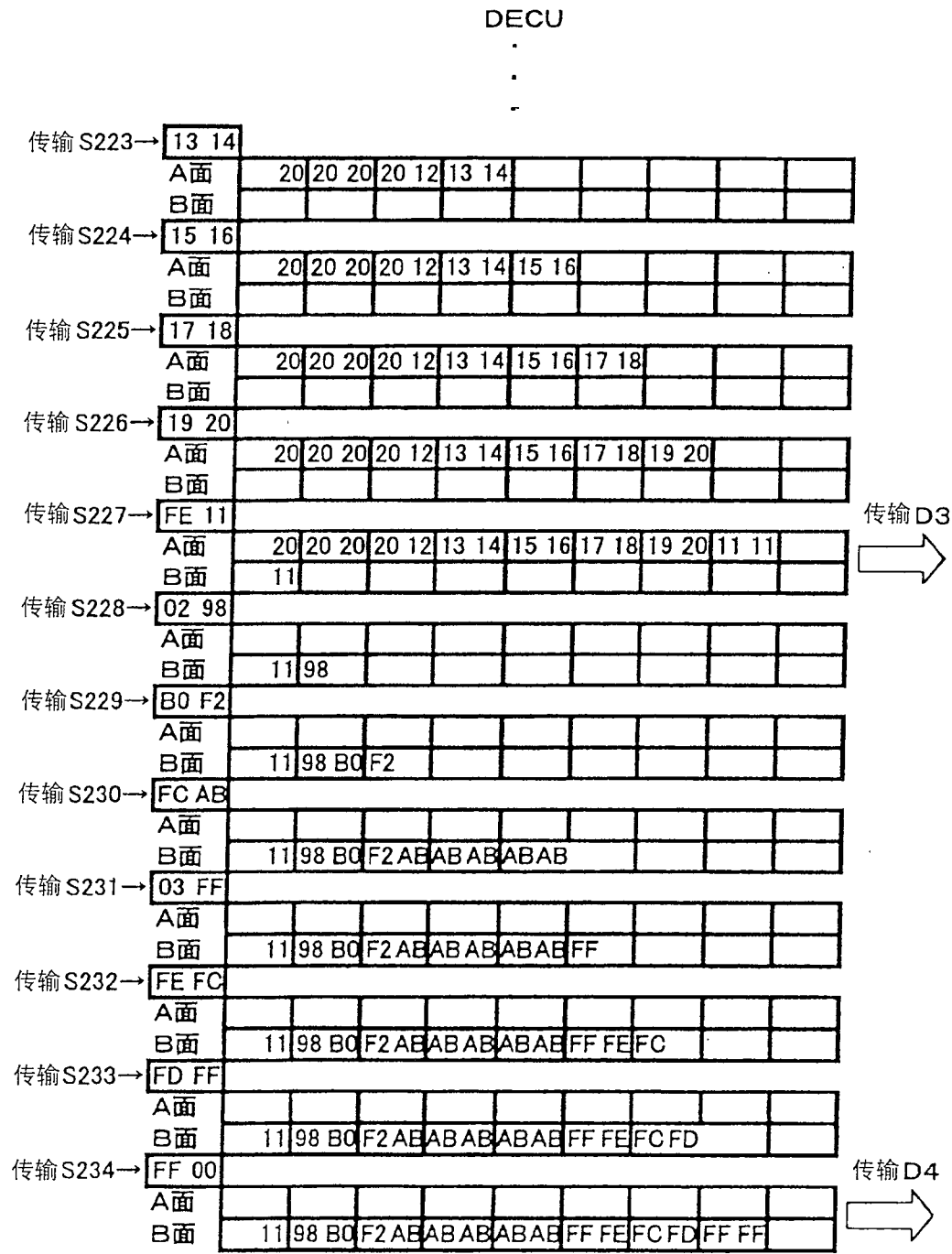


图 28

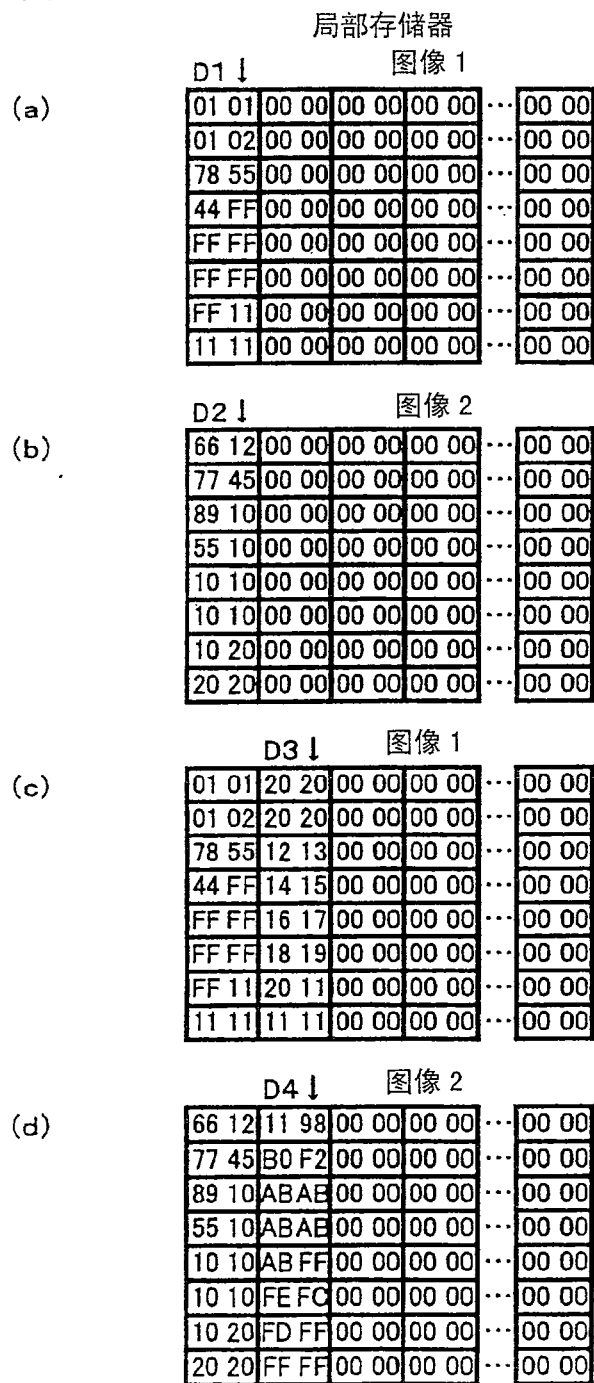


图 29

局部存储器

图像 1

(a) D1→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

图像 2

(b) D2→

66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 20
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

图像 1

(c) D3→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
20 20	20 20	12 13	14 15
16 17	18 19	20 11	11 11
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

图像 2

(d) D4→

66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 20
11 98	B0 F2	ABAE	ABAB
AB FF	FE FC	FD FF	FF FF
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

图 30

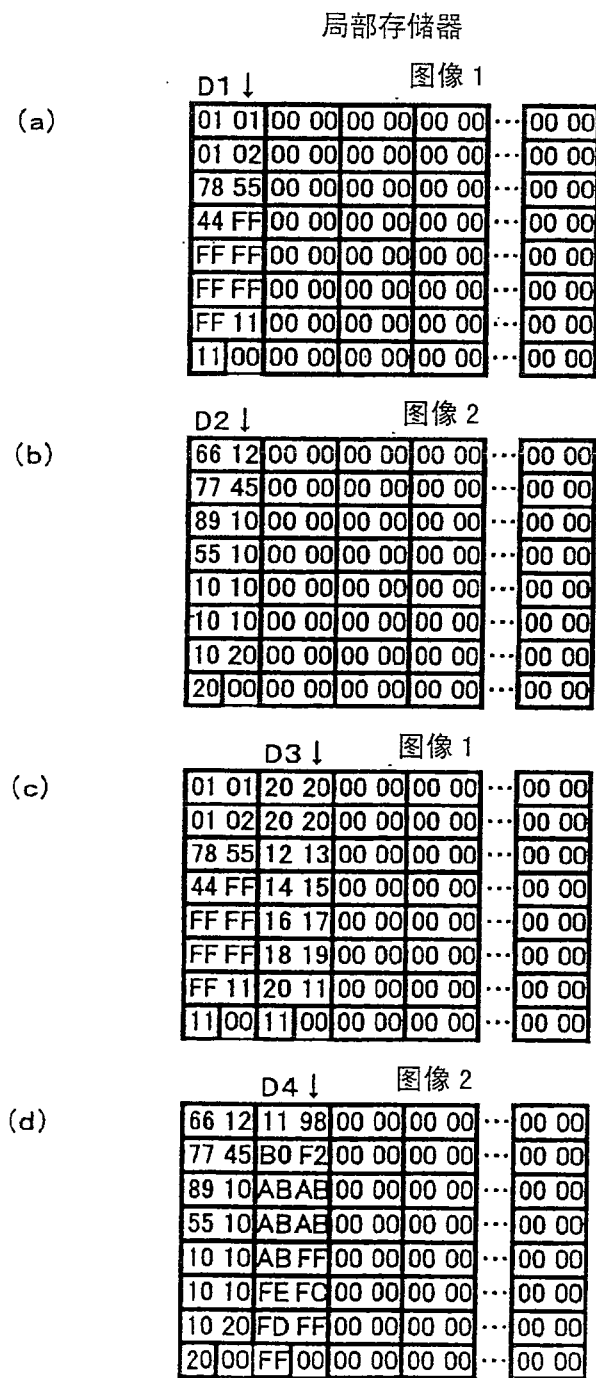


图 31

局部存储器

图像 1

(a) D1→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

图像 2

(b) D2→

66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

图像 1

(c) D3→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 00
20 20	20 20	12 13	14 15
16 17	18 19	20 11	11 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

图像 2

(d) D4→

66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 00
11 98	B0 F2	AB AB	AB AB
AB FF	FE FC	FD FF	FF 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

图 32

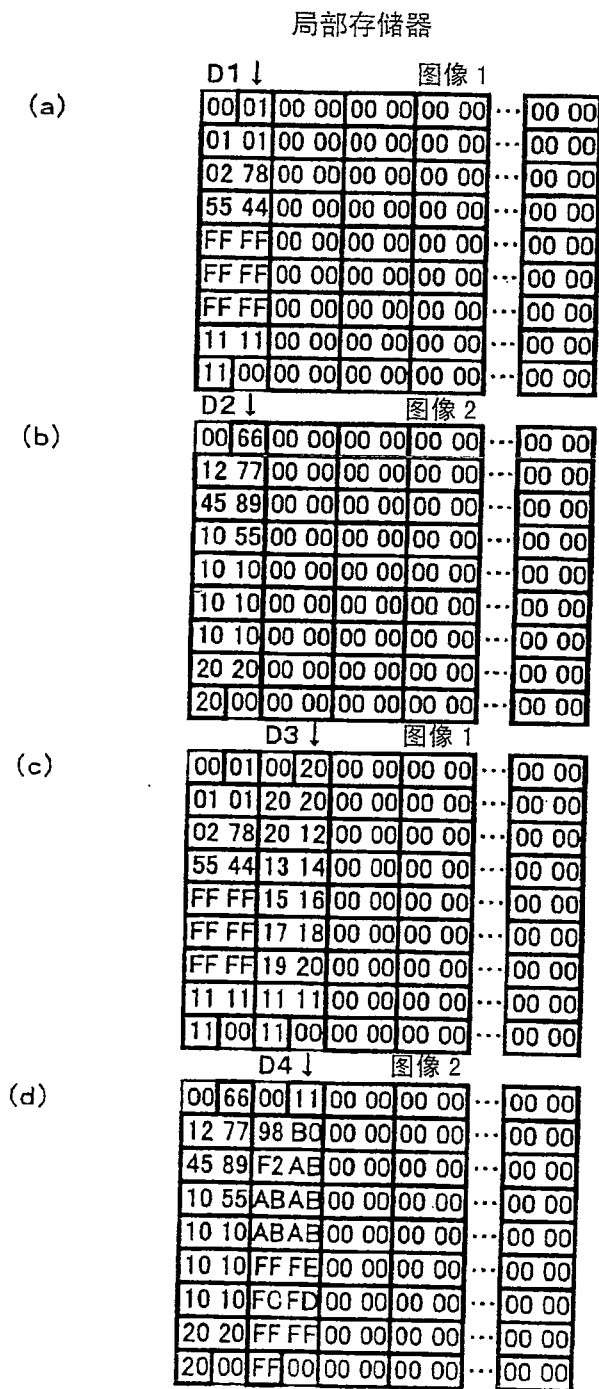


图 33

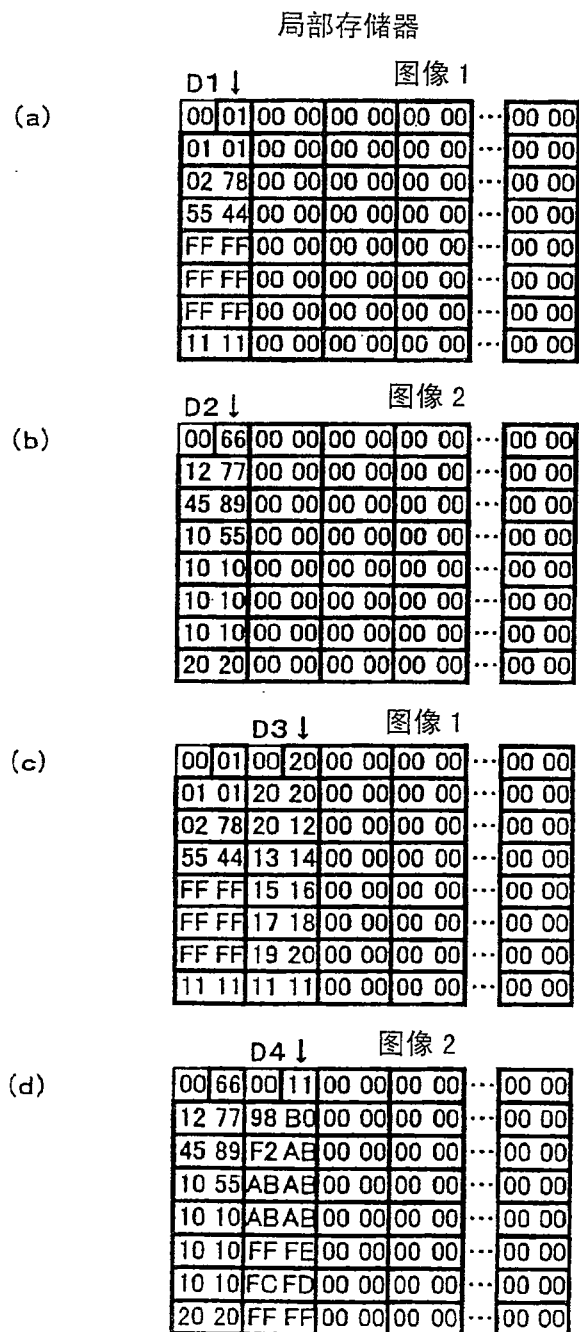


图 34

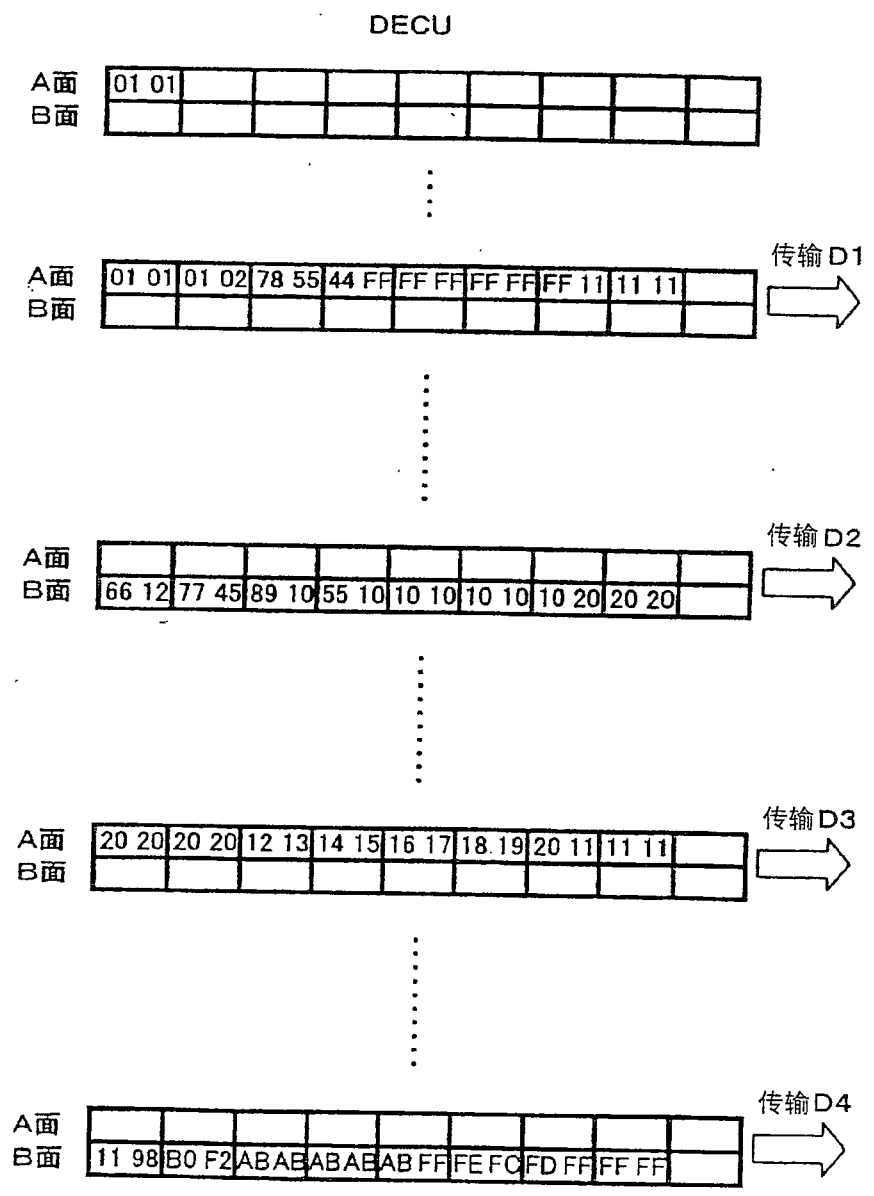


图 35

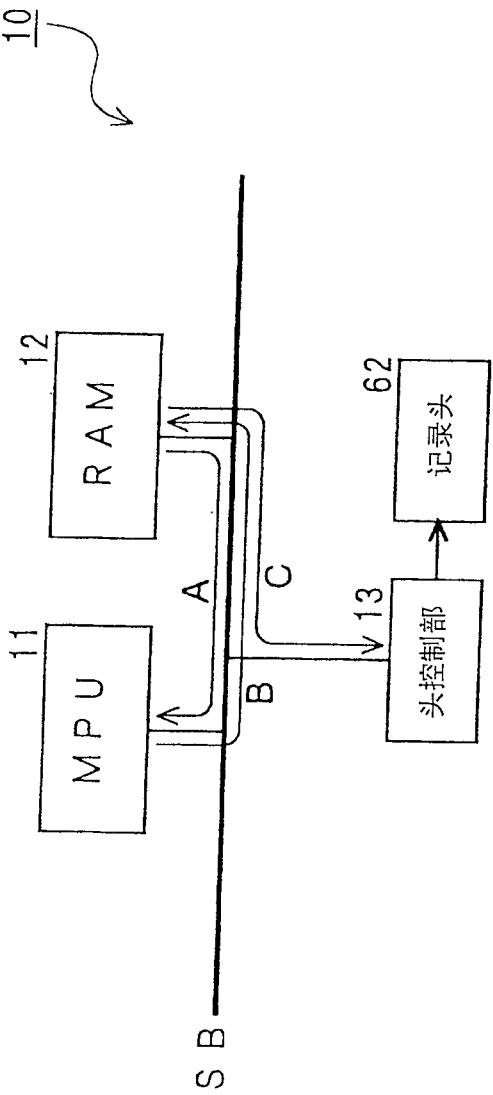


图 36