



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월21일
(11) 등록번호 10-1749671
(24) 등록일자 2017년06월15일

(51) 국제특허분류(Int. Cl.)
H01L 29/74 (2006.01)
(21) 출원번호 10-2013-7007778
(22) 출원일자(국제) 2011년09월29일
심사청구일자 2016년09월29일
(85) 번역문제출일자 2013년03월27일
(65) 공개번호 10-2013-0100144
(43) 공개일자 2013년09월09일
(86) 국제출원번호 PCT/EP2011/066979
(87) 국제공개번호 WO 2012/041958
국제공개일자 2012년04월05일
(30) 우선권주장
10181546.2 2010년09월29일
유럽특허청(EPO)(EP)
(56) 선행기술조사문헌
US04742382 A
US06472692 B1
US20040164316 A1

(73) 특허권자
에이비비 슈바이쯔 아게
스위스 5400 바덴 브라운 보베리 슈트라쎄 6
(72) 발명자
라히모 무나프
스위스, 유즈월 씨에이치-5619, 바흐백 10
아놀드 마르틴
스위스, 바덴 씨에이치-5400, 쿨르헤르스트라쎄 4
스샤스니 토마스
스위스, 바덴스빌 씨에이치-8820, 부크-스트라쎄 30
(74) 대리인
문경진, 김학수

전체 청구항 수 : 총 16 항

심사관 : 안경민

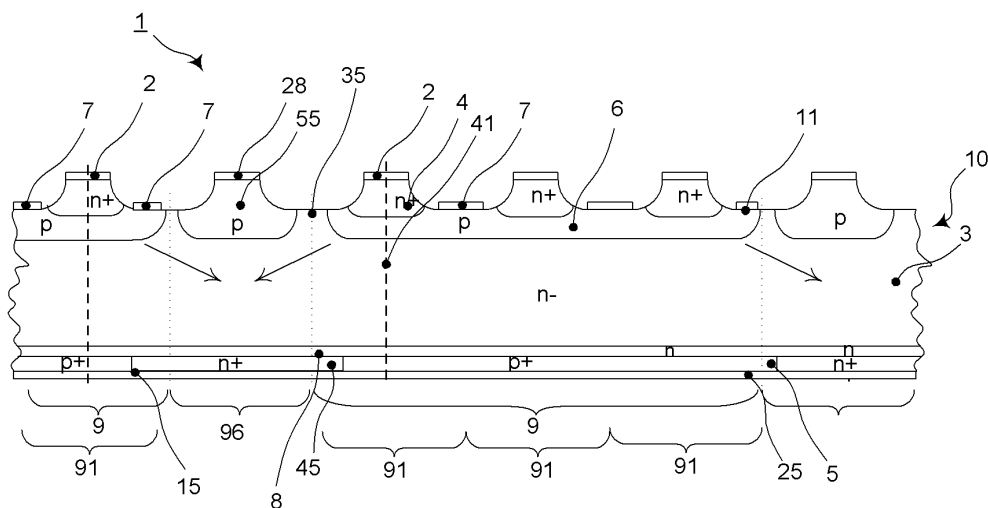
(54) 발명의 명칭 역-도통 전력 반도체 디바이스

(57) 요약

제1 메인 측면(11), 및 제1 메인 측면(11)에 평행하게 배열되는 제2 메인 측면(15)을 구비한 웨이퍼(10)를 포함하는 역-도통 전력 반도체 디바이스(1)가 제공된다. 본 디바이스는 복수의 다이오드 셀(96)과 복수의 IGCT 셀(91)을 포함하며, IGCT 셀 각각은 제1 및 제2 메인 측면(11, 15) 사이에 다음의 순서의 레이어들: - 캐소드 전

(뒷면에 계속)

대표도 - 도3



극(2), - 제1 도전형의 제1 캐소드 레이어(4), - 제2 도전형의 베이스 레이어(6), - 제1 도전형의 드리프트 레이어(3), - 제1 도전형의 버퍼 레이어(8), - 제2 도전형의 제1 애노드 레이어(5), 및 - 제1 애노드 전극(25)을 포함한다. IGCT 셀(91) 각각은 제1 캐소드 레이어(4)에 횡으로 배열되고 베이스 레이어(6)에 의해 제1 캐소드 레이어(4)로부터 분리되는 게이트 전극(7)을 더 포함한다. 다이오드 셀(96) 각각은 제1 메인 측면(11)에 제2 애노드 전극(28), 제2 도전형의 제2 애노드 레이어(55), 및 제2 메인 측면(15)에 제1 도전형의 제2 캐소드 레이어(45)를 포함하는데, 제2 애노드 전극(28)은 제2 도전형의 제2 애노드 레이어(55)에 접촉되고, 제2 도전형의 제2 애노드 레이어(55)는 드리프트 레이어(3)에 의해 베이스 레이어(6)로부터 분리되며, 제1 도전형의 제2 캐소드 레이어(45)는 제1 애노드 레이어(5)와 교대로 배열된다. 본 디바이스는 적어도 하나의 결합부(99)를 포함하는데, 여기서 다이오드 셀들(96)의 제2 애노드 레이어들(55)은 IGCT 셀들(91)의 제1 캐소드 레이어들(4)과 교호한다.

명세서

청구범위

청구항 1

제1 메인 측면(11), 및 제1 메인 측면(11)에 평행하게 배열되는 제2 메인 측면(15)을 포함하는 웨이퍼(10)를 구비한 역-도통 전력 반도체 디바이스(1)로서, 상기 디바이스는 복수의 다이오드 셀(96)과 복수의 IGCT 셀(91)을 포함하고, IGCT 셀(91) 각각은 제1 및 제2 메인 측면(11, 15) 사이에 다음의 순서의 레이어들:

- 캐소드 전극(2),
- 제1 도전형(conductivity type)의 제1 캐소드 레이어(4),
- 제2 도전형의 베이스 레이어(6),
- 제1 도전형의 드리프트 레이어(3),
- 제1 도전형의 버퍼 레이어(8),
- 제2 도전형의 제1 애노드 레이어(5),
- 제1 애노드 전극(25)

을 포함하며,

IGCT 셀(91) 각각은 제1 캐소드 레이어(4)에 횡으로 배열되고 베이스 레이어(6)에 의해 제1 캐소드 레이어(4)로부터 분리되는 게이트 전극(7)을 더 포함하고, 다이오드 셀(96) 각각은 제1 메인 측면(11)에 제2 애노드 전극(28), 드리프트 레이어(3)에 의해 베이스 레이어(6)로부터 분리되는 제2 도전형의 제2 애노드 레이어(55), 및 제2 메인 측면(15)에 제1 애노드 레이어(5)와 교대로 배열되는 제1 도전형의 제2 캐소드 레이어(45)를 포함하며, 상기 디바이스는 적어도 하나의 결합부(mixed part, 99)를 포함하는데, 여기서 다이오드 셀들(96)의 제2 애노드 레이어들(55)은 IGCT 셀들(91)의 제1 캐소드 레이어들(4)과 교호(alternate)하는,

역-도통 전력 반도체 디바이스.

청구항 2

제1항에 있어서,

상기 결합부(99)에서 다이오드 셀(96) 각각은, 하나의 제2 애노드 레이어(55)가 제1 캐소드 레이어(4) 및 게이트 전극(7) 중 하나와 제1 캐소드 레이어(4) 및 게이트 전극(7) 중 하나 사이에 배열되도록 배열되는 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 3

제1항에 있어서,

IGCT 셀들(96)에 대한 다이오드 셀들(91)의 비율은 1:1 내지 1:5 사이이고, 다이오드 셀들의 개수는 제2 애노드 레이어들(55)의 개수로서 정의되며, IGCT 셀들의 개수는 제1 캐소드 레이어들(4)의 개수로서 정의되는,

역-도통 전력 반도체 디바이스.

청구항 4

제1항 또는 제2항에 있어서,

상기 디바이스(1)는, 사이에 제2 애노드 레이어(4)를 갖지 않고 서로 바로 인접하게 배열되는 복수의 제1 캐소드 레이어들(4)과 게이트 전극들(7)로 이루어진 적어도 하나의 파일럿 IGCT 부분(9)을 포함하는 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 5

제4항에 있어서,

상기 적어도 하나의 파일럿 IGCT 부분(9)은 웨이퍼 영역의 10 내지 50%의 전체 영역을 갖는 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 6

제1항 또는 제2항에 있어서,

상기 제2 애노드 레이어들(55)은 결합부(99) 내의 웨이퍼 영역에 균일하게 분산된 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 7

제1항에 있어서,

IGCT 셀들(91)의 제1 메인 측면 부분에, 또는 IGCT 셀들(91)의 두 개의 이웃하는 제1 메인 측면 부분 사이에 있는 다이오드 셀들(96)의 제1 메인 측면 부분 중 적어도 하나 또는 이들 모두는 50 내지 500 μm 까지의 제1 메인 측면(11)에 평행한 평면에서 서로에 대해 최대 횡 거리(maximum lateral distance)를 갖는 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 8

제1항에 있어서,

베이스 레이어(6)와 제2 애노드 레이어(55)의 도핑 농도(doping concentration) 및 깊이 중 적어도 하나는 상이한 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 9

제1항에 있어서,

제1 메인 측면(11)에 평행한 평면 내에서 제2 캐소드 레이어들(45)의 전체 영역은 웨이퍼 영역의 10 내지 30%인 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 10

제1항에 있어서,

상기 제2 캐소드 레이어들(45)은 바로 인접한 IGCT 셀들(91)의 제1 캐소드 레이어(4)의 정사영(orthogonal projection) 영역으로 최대로 제한되는 영역 내의 제2 애노드 레이어(55)에 대해 정사영으로 배열되는 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 11

제10항에 있어서,

상기 제2 캐소드 레이어들(45)은, 상기 제2 캐소드 레이어(45)를 향해 배열되는 바로 인접한 IGCT 셀들(91)의 제1 캐소드 레이어(4)의 절반 부분에 대한 정사영 영역으로 최대로 제한되는 영역 내의 제2 애노드 레이어(55)에 대해 정사영으로 배열되는 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 12

제1항에 있어서,

상기 제2 캐소드 레이어(45)는 제2 도전형의 애노드 쇼트 영역들(anode short regions, 51)과 교호하는 제1 도전형의 분산된 캐소드 영역들(451)을 포함하는 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 13

제1항에 있어서,

라이프타임 킬링 레이어(lifetime killing layer)는 다이오드 셀들(96) 내에, 또는 전체의 웨이퍼(10)에 걸쳐 적어도 한 평면 내에서 연속적인 레이어로서 배열되는 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 14

제1항에 있어서,

상기 웨이퍼(10)는 원의 모양을 갖고, 제1 캐소드 레이어들(4)과 제2 애노드 레이어들(55)은 원의 중심을 향해 방사형으로 줄무늬들로서 배열되는 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 15

제14항에 있어서,

상기 디바이스(1)는, 사이에 제2 애노드 레이어(4)를 갖지 않고 서로 바로 인접하게 배열되는 복수의 제1 캐소드 레이어들(4), 베이스 레이어(6), 및 게이트 전극들(7)로 이루어진 적어도 하나의 파일럿 IGCT 부분(9)을 포함하고, 상기 원의 적어도 하나의 세그먼트는 파일럿 IGCT 부분(9)인 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

청구항 16

제8항에 있어서,

제2 애노드 레이어(55)의 도핑 농도 및 깊이 중 적어도 하나는 베이스 레이어(6) 보다 작은 것을 특징으로 하는,

역-도통 전력 반도체 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 전력 반도체 디바이스들의 분야에 관한 것이다. 본 발명은 청구항 제1항에 따른 역-도통 전력 반도체 디바이스(reverse-conducting power semiconductor device)에 관한 것이다.

배경 기술

[0002] 종래의 기술의 역-도통 반도체 디바이스(RC-IGCT, 100)는 도 1에 도시되며, 하나의 웨이퍼(10) 내에서 IGCT 셀들(91)을 갖는 통합 게이트 정류성 사이리스터(IGCT : Integrated gate commutated thyristor) 부분(9), 및 싱글 빌트-인 환류 다이오드(single built-in free-wheeling diode, 97)를 포함한다.

[0003] 이러한 역-도통 반도체 디바이스(100)는, 통합된 IGCT의 캐소드 측면인 제1 메인 측면(11)과, IGCT 셀들(91)의 컬렉터 측면이면서 이미터 측면(11)의 반대편에 놓인 제2 메인 측면(15) 사이에 상이한 도전형들(conductivity

types)의 레이어들을 구비한 웨이퍼(10)를 포함한다(도 2). 본 디바이스는 IGCT 셀들(91)을 포함하며, 이들 각각은 제1 메인 측면(11)에서부터 제2 메인 측면(15)까지 다음의 레이어들: 캐소드 메탈리제이션 레이어의 형태의 캐소드 전극(2), 제1 (n+)-도프된 캐소드 레이어(4), (p)-도프된 베이스 레이어(6), (n-)-도프된 드리프트 레이어(3), (n)-도프된 버퍼 레이어(8), (p+)-도프된 제1 애노드 레이어(5), 및 애노드 메탈리제이션 레이어의 형태의 제1 애노드 전극(25)을 포함한다. 복수의 IGCT 셀들(91)은 역-도통 반도체 디바이스(100)의 IGCT 부분(9)을 형성한다.

[0004] IGCT 셀들(91)은 게이트 전극(7)을 포함하며, 이에 의해 IGCT 셀들(91)이 제어된다. 이는 제1 메인 측면(11)에 게이트 메탈리제이션 레이어로서 배열된다. 게이트 전극(7)은 캐소드 전극(2)과 제1 캐소드 레이어(4)에 횡으로, 그렇지만 이들로부터 분리되어 배열되고, (p)-도프된 베이스 레이어(6)에 접촉된다. 레이어들에 대해 '횡으로'라는 표현은 두 개의 레이어들이 제1 메인 측면(11)에 평행한 평면에서 볼 때 서로에 대해 가로로 배열되는 것을 의미한다.

[0005] 도 1에 도시된 역-도통 반도체 디바이스들(100)에 대해, 싱글 환류 다이오드(97)는 동일한 웨이퍼(10)에 통합된다. 이 싱글 다이오드(97)는 IGCT 부분(9)에 횡으로 배열되고, 제1 메인 측면(11)에 제2 (p)-도프된 애노드 레이어(55), 및 제2 애노드 레이어(55)의 영역에 정사영(orthogonal projection)으로 제2 메인 측면(15)에 제2 (n+)-도프된 캐소드 레이어(45)를 포함한다.

[0006] 일반적으로, 복수의 IGCT 셀들(91)은 원형 웨이퍼(10) 위에서 방사형으로 줄무늬(stripes)로서 배열된다. 줄무늬들은 일반적으로 서로 평행하게 배열되는 두 개의 긴 측면들을 가짐으로써 다른 방향에 비해 어느 한 방향으로 보다 긴 연장선을 갖는 레이어들로서 이해될 것이다. 게이트 전극들(7)은 방사형으로 배열되는 IGCT 셀들(91) 사이에 배열된다. 다이오드는 원형 웨이퍼의 중심 부분 또는 웨이퍼의 원주에 싱글 다이오드(97)로서 항상 배열된다. 싱글 다이오드(97)가 중심 부분에 배열되는 경우, IGCT 부분(9)은 원주에 배열되고, 싱글 다이오드(97)와 IGCT 부분(9)은 게이트 전극들(7)이 전기적으로 접촉하는 게이트 접촉부(75)에 의해 분리된다. 웨이퍼(10)의 원주에 배열되는 싱글 다이오드(97)에 대해, IGCT 부분(9)은 중심 부분에 배열되고, 게이트 접촉부(75)에 의해 싱글 다이오드(97)로부터 분리되거나, 또는 IGCT 부분(9)은 다이오드(97)에 인접하게 배열되고, 게이트 접촉부(75)는 중심 부분에 배열된다.

[0007] 어느 경우든, 싱글 다이오드(97)는 서로 사이에서 상호 작용하지 않고 IGCT 부분(9)으로부터 완전히 분리된다. 이는 디바이스의 작동 동안 열이 생성되는 경우, 디바이스가 다이오드 모드에서 작동되고 있다면, 열은 싱글 다이오드(97)에서 생성되고, 또는 디바이스가 IGCT 모드에서 작동되고 있다면, 열은 IGCT 부분(9)에서 생성되는 것을 의미한다. 이는 과열 문제를 야기한다. 또한, 싱글 다이오드(97)와 IGCT 부분(9)은 엄격히 다이오드 또는 IGCT 모드 전용이기 때문에, 이는 큰 디바이스(large device)의 결과를 가져온다.

[0008] EP 0 676 812 A는 MOS 제어식 사이리스터(MCT : MOS controlled thyristor)를 설명한다. 이러한 디바이스들은 GCT들 보다 훨씬 낮은 스위칭 주파수로만 작동될 수 있으며, 또한 스위칭되는 전력은 훨씬 더 작다. 이러한 MCT들은 절연된 게이트와 하나의 공통의 연속적인 p 레이어를 가지며, 상기 p 레이어는 다이오드 셀들에 대한 애노드 레이어 및 MCT 셀들 내에서 베이스 레이어의 역할을 한다. 복수의 사이리스터 셀들(파일릿 MCT 셀을 형성)은 각 세트를 둘러싼 다이오드 셀들에 의해 이러한 또 다른 복수의 사이리스터 셀들로부터 분리된다. 다이오드 셀들은 너무 넓어서, 어떤 캐리어들도 다이오드 셀을 통과할 수 없다. 사이리스터 셀들의 한 세트가 결함으로 인해 작동할 수 없을 경우, 이들 셀들은 활성화되지 않으며, 이로 인해 디바이스는 여전히 작동될 수 있다.

[0009] 하지만, MCT는 GCT에 대한 전류 펄스가 아닌 전압 펄스(MOS 채널 제어)로 턴-오프된다. 또한 GCT에서 전류는 게이트로부터 턴-오프 동안 흐르지만, MCT에서는 MOS 경로를 제공함으로써 전류가 메인 캐소드를 통해 떨어지는 동안 강제로 턴-오프된다. 따라서, MCT에 대해 다이오드 영역을 제공하는 것이 쉬우며, 그 이유는 이것의 도입(introduction)이 게이트 제어에 의해 영향을 받지 않기 때문이다. 결과적으로, 이는 이러한 MCT 디바이스들이 GCT 디바이스들과 상이한 어플리케이션들을 위해 사용되는 상이한 기술적 요구 사항들에 직면했음을 의미한다.

발명의 내용

해결하려는 과제

[0010] 본 발명의 목적은 열 및 전기적 특성들의 관점에서 디바이스의 개선된 성능 및 감소된 사이즈를 갖는 역-도통 전력 반도체 디바이스를 제공하는 것이다.

과제의 해결 수단

- [0011] 청구항 제1항의 특징들을 갖는 역-도통 전력 반도체 디바이스에 의해 문제가 해결된다. 본 발명의 역-도통 전력 반도체 디바이스는 제1 메인 측면, 및 제1 메인 측면에 평행하게 배열되는 제2 메인 측면을 구비한 웨이퍼를 포함한다. 본 디바이스는 복수의 다이오드 셀들과 복수의 IGCT 셀들(통합 게이트 정류성 사이리스터 셀들)을 포함하며, IGCT 셀 각각은 제1 및 제2 메인 측면 사이에서 다음의 순서의 레이어들을 포함한다:
- [0012] - 캐소드 전극,
 - [0013] - 제1 도전형의 제1 캐소드 레이어,
 - [0014] - 제2 도전형의 베이스 레이어,
 - [0015] - 제1 도전형의 드리프트 레이어,
 - [0016] - 제1 도전형의 버퍼 레이어,
 - [0017] - 제2 도전형의 제1 애노드 레이어, 및
 - [0018] - 제1 애노드 전극.
- [0019] IGCT 셀 각각은 게이트 전극을 더 포함하는데, 상기 게이트 전극은 제1 캐소드 레이어에 횡으로 배열되며, 베이스 레이어에 의해 제1 캐소드 레이어로부터 분리된다. 이러한 GCT 셀들은 전문가들에게 잘 알려져 있다. GCT 셀들은 이들의 구조에 있어서 GTO 셀들과 유사한데, 이들은 GTO 셀들로부터의 더 나은 진보이지만, 게이트 제어와 스위칭 온 및 오프에 있어서 GTO 셀들과는 상이하다. IGCT 셀의 위치 지정에 관해서는, 제1 캐소드 레이어(4) {및 게이트 전극(7)과 베이스 레이어(6)}의 위치 지정, 즉 IGCT 셀의 제1 메인 측면 레이어들의 위치 지정으로서 이해될 것이다.
- [0020] 다이오드 셀 각각은 제1 메인 측면에 제2 애노드 전극, 제2 애노드 전극에 접촉되며 드리프트 레이어에 의해 베이스 레이어로부터 분리되는 제2 도전형의 제2 애노드 레이어, 및 제2 메인 측면에 제1 애노드 레이어와 교대로 배열되는 제1 도전형의 제2 캐소드 레이어를 포함한다. 다이오드 셀의 위치 지정에 관해 본 특허 출원에서는 제2 애노드 레이어의 위치 지정, 즉 다이오드 셀의 제1 메인 측면 레이어들의 위치 지정으로서 이해될 것이다.
- [0021] 본 디바이스는 적어도 하나의 결합부(mixed part)를 포함하는데, 여기서 다이오드 셀들(즉, 다이오드 셀들의 제2 애노드 레이어들)은 IGCT 셀들(즉, IGCT 셀들의 제1 캐소드 레이어들(및 게이트 전극(7)과 베이스 레이어(6))과 교호(alternate)한다.
- [0022] IGCT 셀들 및 다이오드 셀들의 교대 배열로 인해, 바이폴라 정션 트랜지스터(BJT)는 다이오드 셀의 제2 애노드 레이어와 IGCT 셀의 제1 애노드 레이어 사이에 형성된다. IGCT 턴-오프 모드에서, 안전 동작 영역(SOA) 성능은 통합된 BJT로 인해 개선된다. 게다가, 턴-오프 동안의 게이트 전력은 BJT로 인해 감소되는데, 이 BJT는 BJT의 캐소드 단자, 즉 다이오드 애노드 전극을 통해 특정 양의 턴-오프 전류를 운반할 것이다.
- [0023] IGCT 셀의 제1 애노드 레이어는 다이오드 셀의 제2 캐소드 레이어에 의해 쇼트된다. 이러한 쇼트에 의해, 본 디바이스는 스내피 역 회복(snappy reverse recovery)을 심하게 겪는 종래의 기술의 디바이스들에 비해 보다 소프트한 성능을 보여준다.
- [0024] 본 발명의 역-도통 전력 반도체 디바이스는, 분산된 다이오드 및 IGCT 셀들로 인해 열이 보다 큰 영역으로 분산되기 때문에, 보다 양호한 열 저항을 갖는다. 예시적으로 IGCT 모드에서 작동하는 디바이스의 경우에, 분산된 셀들로 인해, 열은 또한 쉽게 다이오드 셀들로 퍼질 수 있고, 이로 인해 디바이스 내의 온도는 종래의 기술의 디바이스에 비해 더 낮으며, 종래의 기술의 디바이스에서 싱글 다이오드는 하나의 연속적인 영역에 집중되어 있어서, 열이 다이오드 영역으로 훨씬 덜 효과적으로 퍼진다.
- [0025] 또한, IGCT 모드에서의 웨이퍼 영역(예시적으로 실리콘으로 제조됨)의 부분적인 또는 완전한 이용도 및 작동하는 다이오드 모드에서의 웨이퍼 영역의 충분한 이용도를 가능하게 하기 위한 다이오드 및 IGCT 구조들의 적어도 부분적인 또는 완전한 통합으로 인해, 종래의 기술의 디바이스들에 비해 전류 처리 능력(current handling capability)이 더 양호하다. 앞서 언급된 효과는 IGCT 및 다이오드 셀들의 근접한 접근성, 즉 IGCT 및 다이오드 셀들의 교대 배열로 인해 달성되며, 이는 IGCT들에 대한 전도(conduction) 동안 전하 플라즈마(charge plasma)가 인접한 다이오드 셀들로 또는 인접한 다이오드 셀들을 통해 횡으로 퍼지는 것을 가능하게 할 것이다. 다이오드 셀들의 사이즈에 따라, 홀들(holes)은 다이오드 셀들에 진입하며(홀들은 제2 애노드 레이어로 흘러들어감),

심지어 이들을 통과할 수도 있다.

[0026] 본 발명에 따른 추가적인 장점들은 종속적인 청구항들로부터 명백할 것이다.

[0027] 본 발명의 주제는 첨부된 도면들을 참조하여 다음의 본문에서 보다 상세하게 설명될 것이다.

발명의 효과

[0028] 본 발명은 종래 기술의 디바이스에 비해 열 저항성이 양호하고, 전류 처리 능력이 우수하며, 사이즈가 감소된 역-도통 전력 반도체 디바이스를 제공한다.

도면의 간단한 설명

[0029] 도 1은 종래의 기술에 따른 RC-IGCT에 대한 평면도를 도시하는 도면.

도 2는 종래의 기술에 따른 RC-IGCT를 관통한 단면도를 도시하는 도면.

도 3은 본 발명의 RC-IGCT를 관통한 단면도를 도시하는 도면.

도 4는 또 다른 본 발명의 RC-IGCT를 관통한 단면도를 도시하는 도면.

도 5는 본 발명의 RC-IGCT에 대한 평면도를 도시하는 도면.

도 6은 또 다른 본 발명의 RC-IGCT에 대한 평면도를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0030] 본 도면들에서 사용된 참조 기호들 및 이들의 의미는 참조 기호의 목록에 요약된다. 일반적으로, 같은 또는 같은-역할을 하는 부분들은 동일한 참조 기호들로 주어진다. 설명된 실시예들은 예시들로서 의도되며, 본 발명을 제한하지 않을 것이다.

[0031] 도 3은 제1 메인 측면(11), 및 제1 메인 측면(11)에 평행하게 배열되는 제2 메인 측면(15)을 포함하는 웨이퍼(10)를 구비한 역-도통 전력 반도체 디바이스(1)의 형태인 본 발명의 반도체 디바이스를 도시한다. 본 디바이스는 복수의 다이오드 셀(96)과 복수의 IGCT 셀(91)을 포함하고, IGCT 셀(91) 각각은 제1 및 제2 메인 측면(11, 15) 사이에 다음의 순서의 레이어들을 포함한다:

[0032] - 캐소드 전극(2),

[0033] - (n+) 도프된 제1 캐소드 레이어(4),

[0034] - (p) 도프된 베이스 레이어(6),

[0035] - (n-) 도프된 드리프트 레이어(3),

[0036] - (n) 도프된 버퍼 레이어(8),

[0037] - (p+) 도프된 제1 애노드 레이어(5), 및

[0038] - 제1 애노드 전극(25).

[0039] IGCT 셀(91) 각각은 제1 캐소드 레이어(4)에 횡으로 배열되고 베이스 레이어(6)에 의해 제1 캐소드 레이어(4)로부터 분리되는 게이트 전극(7)을 더 포함한다. 한 예시적인 실시예에서, 버퍼 레이어(8)는 최대 10^{16} cm^{-3} 의 최대 도핑 농도(doping concentration)를 갖는다. IGCT 셀의 제1 메인 측면 레이어들{즉, 제1 캐소드 레이어(4), 게이트 전극(7)을 포함한 베이스 레이어(6)}은 상기 IGCT 셀의 제2 메인 측면 레이어들{즉, 제1 애노드 레이어(5)}에 대해 정렬될 수 있다. 비 정렬의 경우, 제1 메인 측면 레이어들에 가장 근접하게 배열되는 제1 애노드 레이어(5)는 동일한 셀에 속할 것이다. 따라서, 비 정렬의 경우에, 본 디바이스는 하나 이상의 제2 측면 레이어가 한 셀에 할당될 수 있는 방식으로, 또는 하나의 제2 측면 레이어가 두 개의 셀들에 할당되는 방식으로 설계될 수 있다. 다이오드 셀(96) 각각은 제2 애노드 전극(28), 드리프트 레이어(3)에 의해 베이스 레이어(6)로부터 분리되는 제1 메인 측면(11)의 (p) 도프된 제2 애노드 레이어(55), 및 제1 애노드 레이어(5)와 교대로 배열되는 제2 메인 측면(15)의 (n+) 도프된 제2 캐소드 레이어(45)를 포함한다. 제2 애노드 레이어(55)는 제2 애노드 전극(28)에 접촉된다. IGCT 셀들의 제1 애노드 전극(25)은 다이오드 셀들(96)에 대한 캐소드 전극의 역할을 한다. 다이오드 셀의 제1 메인 측면 레이어들{즉, 제2 애노드 레이어(55)}은 상기 다이오드 셀의 제2 메인 측면 레이어

어들(즉, 제2 캐소드 레이어(45))에 대해 정렬될 수 있다. 비 정렬의 경우에, 제1 메인 측면 레이어들에 가장 근접하게 배열되는 제2 캐소드 레이어(45)는 동일한 셀에 속할 것이다. 따라서, 비 정렬의 경우에, 본 디바이스는 하나 이상의 제2 측면 레이어가 한 셀에 할당될 수 있는 방식으로, 또는 하나의 제2 측면 레이어가 두 개의 셀들에 할당되는 방식으로 설계될 수 있다.

[0040] 다이오드 셀(96)은 분리 영역(separation region, 35)에 의해 IGCT 셀(91)로부터 분리되는데, 상기 분리 영역(35)은 드리프트 레이어(3)의 부분으로 형성되고, 다이오드 및 IGCT 셀(96, 91) 사이에 배열되며, 이 영역에서 드리프트 레이어(3)는 제1 메인 측면(11)까지 확장된다. 분리 영역(35)은 또한 역 바이어싱 조건들 하에서 개선된 필드 스프레딩(field spreading)을 위해 표준 에지 터미네이션 기술들(standard edge termination techniques)을 사용할 수 있다. 라이프타임 킬링 레이어(lifetime killing layer)는 적어도 다이오드 셀들(96) 내에 배열될 수 있다. 이는 생성 동안 마스크를 사용하여, 또는 횡으로 제한된 이온 빔(ion beam)을 다이오드 셀들(96)에 적용하여, 라이프타임 킬링 레이어를 다이오드 셀들(96)로 제한함으로써 수행될 수 있다. 또 다른 예시적인 실시예에서, 라이프타임 킬링 레이어는 한 평면 내에서 웨이퍼의 전체 영역에 걸친 연속적인 레이어로서 형성될 수 있으며, 상기 평면은 메인 측면들에 평행하게 배열된다. 라이프타임 킬링 레이어가 다이오드 셀들로 제한되는지 또는 연속적인 레이어로서 생성되는지의 여부와는 상관없이, 본 디바이스는 예시적으로 라이프타임 킬링 레이어의 생성을 위해 양성자들 또는 헬륨 이온들로 조사(irradiated)된 이후, 어닐(anneal) 단계로 이어진다.

[0041] "깊이(depth)"는 레이어가 배열되는 측면으로부터 레이어가 확장된 최대 거리를 의미하며, 즉 p 베이스 레이어(6)에서는 제1 메인 측면(11)으로부터의 최대 거리이며, 제1 메인 측면(11)에 대해 정사영이다. 제1 메인 측면(11)은 게이트 전극들(7)이 웨이퍼(10)로부터 사영된 평면에 배열될 것이다.

[0042] 본 디바이스는 적어도 하나의 결합부(99)를 포함하는데, 여기서 다이오드 셀들(96)은 IGCT 셀들(91)과 교호한다. 한 예시적인 실시예에서, 다이오드 셀들(96)은 하나의 다이오드 셀이 두 개의 이웃하는 IGCT 셀들(91) 사이에 배열되도록 배열된다. 이는 하나의 제2 애노드 레이어(55)가 두 개의 이웃하는 IGCT 셀들(91) 사이에, 즉 이들 IGCT 셀들(91)에 속하는 제1 캐소드 레이어들(4) 및/또는 이들의 게이트 전극들(7) 사이에 배열되도록 다이오드 셀(96) 각각이 배열되는 것을 의미한다.

[0043] 또 다른 예시적인 실시예에서, IGCT 셀들(96)에 대한 다이오드 셀들(91)의 비율이 1:1 내지 1:5 사이에서 변하도록 서로 바로 이웃하게 배열되는 복수의 IGCT 셀들이 존재할 수 있다. 다이오드 셀들의 개수는 제2 애노드 레이어들의 개수로 정의되고, IGCT 셀들의 개수는 제1 캐소드 레이어들의 개수로 정의된다. 또한 결합부에 대해, 다이오드 셀은 제2 애노드 레이어들의 배열로서 이해될 것이고, IGCT 셀들은 제1 캐소드 레이어들의 배열로서 이해될 것이다.

[0044] 다이오드 셀(96)의 위치 지정에 관해 본 특허 출원에서는, 제2 애노드 레이어(55)의 위치 지정, 즉 다이오드 셀의 제1 메인 측면 레이어들의 위치 지정으로서 이해될 것이다. IGCT 셀의 위치 지정에 관해서는, 제1 캐소드 레이어(4){및 게이트 전극(7) 및 베이스 레이어(6)}의 위치 지정, 즉 IGCT 셀의 제1 메인 측면 레이어들의 위치 지정으로서 이해될 것이다.

[0045] 모든 실시예들에서, 제2 메인 측면(15)의 레이어들, 즉 제1 애노드 레이어(5)와 제2 캐소드 레이어(45)는 다이오드 셀(96)에 대해 제2 캐소드 레이어(45)가 제2 애노드 레이어(55)에 정사영으로/반대편에 배열되도록 제1 메인 측면의 레이어들에 대해 정렬될 수 있다. IGCT 셀(91)에 대해, 제1 캐소드 레이어와 게이트 전극(7)은 제1 애노드 레이어(5)에 정사영으로/반대편에 배열된다. 대안적으로, 제1 메인 측면 레이어들과 제2 메인 측면 레이어들 사이에는 정렬이 존재하지 않는다.

[0046] 이러한 실시예에서, 적어도 다이오드 셀들(91) 만큼 많은 IGCT 셀들(96)이 존재한다. 비율은, 예를 들어 양호한 IGCT 성능을 달성하도록 적어도 1:3일 수 있다. 이러한 비율임에도, 다이오드 모드 시에 양호한 성능을 보장하도록 여전히 충분한 다이오드 셀들(96)이 존재한다. 또 다른 예시적인 실시예에서, 제1 메인 측면의 구조들은 제2 메인 측면의 구조들에 대해 정렬된다. 이는 다이오드 셀에서 제2 애노드 레이어가 제2 캐소드 레이어에 사영으로/반대편에 배열되는 것을 의미한다. IGCT 셀들에서, 제1 캐소드 레이어와 게이트 전극은 제1 애노드 레이어에 정사영으로/반대편에 배열된다.

[0047] 다이오드 셀들(96)은 IGCT 모드 시 본 디바이스의 작동 동안 플라즈마가 다이오드 셀(96)에 형성될 수 있는 작은 사이즈를 가질 수 있다. 이러한 효과는 제1 메인 측면(11)에 평행한 평면에서 50 내지 500 μm 까지의 최대의 횡 확장을 얻는 다이오드 셀들(96) 중 적어도 하나 또는 이들 모두에 의해 달성될 수 있다. 이러한 효과를 달성

하기 위해, 또한 IGCT 셀들(91) 중 적어도 하나 또는 이들 모두는 제1 메인 측면(11)에 평행한 평면에서 50 내지 500 μm 까지의 최대의 횡 확장을 얻을 수 있다. 또 다른 예시적인 실시예에서, IGCT 및 다이오드 셀들의 적어도 하나 또는 이들 모두는 제1 메인 측면(11)에 평행한 평면에서 50 내지 500 μm 까지의 최대의 횡 확장을 얻는다. 셀의 횡 확장은 두 개의 이웃하는 셀들 사이의 거리, 즉 제2 애노드 레이어(55)와, 바로 이웃하는 IGCT 셀의 제1 메인 측면 레이어들 중 한 레이어 사이의 거리, 또는 두 개의 바로 이웃하는 IGCT 셀들의 제1 메인 측면 레이어들 사이의 거리로서 이해될 수 있다.

[0048] 또 다른 예시적인 실시예에서, 제2 캐소드 레이어들(45)은 바로 인접한 IGCT 셀들의 제1 캐소드 레이어(4)의 정사영 영역으로 최대로 제한되는 영역 내의 제2 애노드 레이어(55)에 정사영으로 배열된다.

[0049] 제1 캐소드 레이어(4)는 제2 절반 부분(half part)에 비해 제2 캐소드 레이어(45)에 더 근접하게 배열되는 하나의 제1 절반 부분을 포함한다. 제2 캐소드 레이어(45)가 배열되는 영역은 다이오드 셀 영역과, 바로 인접한 IGCT 셀들(91)의 제1 캐소드 레이어들(4)의 제1 절반 부분에 대한 정사영 영역으로 더 제한될 수 있다. 이는 제2 캐소드 레이어들(45)이 상기 제2 캐소드 레이어(45)를 향해 배열되는 바로 인접한 IGCT 셀들(91)의 제1 캐소드 레이어(4)의 절반 부분에 대한 정사영 영역으로 최대로 제한되는 영역 내의 제2 애노드 레이어(55)에 정사영으로 배열되는 것을 의미한다.

[0050] 베이스 레이어(들)(6)와 제2 애노드 레이어(들)(55)의 도핑 농도 및 깊이는 서로 동일하게 선택되거나, 또는 독립적으로 선택될 수 있다. 예를 들어, 제2 애노드 레이어(들)(55)의 도핑 농도 및/또는 깊이는 베이스 레이어(들)(6)보다 작은 것으로 선택될 수 있다. 이러한 경우에, 제2 애노드 레이어(55)에 낮은 주입 효율(injection efficiency)이 존재하며, 따라서 보다 깊은 제2 애노드 레이어(55)를 갖는 디바이스에서보다 낮은 라이프타임 제어가 필요하다.

[0051] 제1 메인 측면(11)에 평행한 평면 내의 제2 캐소드 레이어들(45)의 전체 영역은 예시적으로 전체 웨이퍼 영역의 10 내지 30%인 것으로 선택될 수 있다.

[0052] 도 4에 도시된 바와 같이, 제2 캐소드 레이어(45)는 제2 도전형의 애노드 쇼트 영역들(51)과 교호하는 분산된 캐소드 영역들(451)로 형성될 수 있다. 애노드 쇼트 영역들(51)은 제1 메인 측면(11)에서 본 디바이스의 구조, 즉 제2 캐소드 레이어들(45) 및 제1 애노드 레이어들(5)과 정렬될 필요가 없으며, 애노드 쇼트 영역들(51)은 각각 제2 애노드 레이어(55) 또는 제1 캐소드 레이어(4)에 정사영으로 위치 지정될 필요가 없다.

[0053] IGCT 및 다이오드 모드 사이에서의 빠른 스위칭을 가능하게 하기 위해, 다이오드 셀들(96){즉, 제2 애노드 레이어들(55)}은 결합부(99) 내의 웨이퍼 영역에 걸쳐서 균일하게 분산될 수 있다.

[0054] 웨이퍼(10) 위에서, IGCT 셀들(91)(예시적으로 6개 이상, 예시적으로 적어도 10개)로만 구성되며 이들과 서로 바로 인접하게 배열되는 파일럿 IGCT 부분(9)을 갖는 것과, 파일럿 IGCT 부분(9) 내에 다이오드 셀은 포함하지 않는 것이 또한 유리할 수 있다. 이러한 파일럿 IGCT 부분(9)은, 사이에 제2 애노드 레이어(4)를 갖지 않고 제1 메인 측면(11)에서 서로 바로 인접하게 배열되는 제1 캐소드 레이어들(4)과 게이트 전극들(7){공통적이고 연속적인 베이스 레이어(6)를 포함}로 구성된다.

[0055] 이러한 파일럿 IGCT 부분은 싱글 IGCT 부분(9)일 수 있으며, 또는 본 디바이스에 배열되는 복수의, 즉 두 개 이상의 IGCT 부분들이 존재할 수 있다. IGCT 파일럿 부분들(9)의 전체 영역은 전체 웨이퍼 영역의 10 내지 50%일 수 있다. 이러한 파일럿 IGCT 부분(9)을 통해, 본 디바이스의 턴-온 성능은 개선될 수 있다.

[0056] 또 다른 실시예에서, 웨이퍼(10)는 원의 모양을 지니며, 제1 캐소드 레이어들(4)과 제2 애노드 레이어들(55)은 원의 중심을 향해 방사형으로 줄무늬로 배열된다. 다이오드 셀들(96)은 도 5에 도시된 바와 같이 원의 중심 둘레에서 규칙적인 방식으로 배열될 수 있다. 또 다른 대안에서, IGCT 셀들(95)이 다이오드 셀들(91)과 교호하는 세그먼트들과 교호하고, 이로써 IGCT 셀들(91)이 다이오드 셀들(96)과 결합된 영역(99)을 형성하는 원의 세그먼트들에 배열되는 파일럿 IGCT 부분들(9)이 존재한다. 이는 복수의 제1 캐소드 레이어들(4), 베이스 레이어(6), 및 게이트 전극들(7)이 사이에 제2 애노드 레이어(4)를 갖지 않고 서로 바로 인접하게 배열되는 것을 의미한다.

[0057] 또 다른 실시예에서, 도전형들은 스위칭되는데, 즉 제1 도전형의 모든 레이어들은 p 유형{예컨대, 드리프트 레이어(3)}이고, 제2 도전형의 모든 레이어들은 n 유형{예컨대, 베이스 레이어(6)}이다.

[0058] 용어 "포함하는"은 다른 요소들 또는 단계들을 배제하지 않고, 부정관사 "한(a)", "하나의(an)"는 복수를 배제하지 않는 것이 주목되어야 할 것이다. 또한 상이한 실시예들과 연계되어 설명된 요소들은 결합될 수 있다. 청구항들 내의 참조 부호들은 청구항들의 범주를 제한하는 것으로서 해석되지 않을 것임이 또한 주목되어야 할 것

이다.

[0059] 상기 예시들은 본 발명의 범주를 제한하지 않을 것이다. 앞서 언급된 설계들 및 장치들은 베이스 레이어(들)와 웰{well 존(zones)}에 대한 임의의 종류의 가능한 설계들 및 장치들에 대한 예시들일 뿐이다.

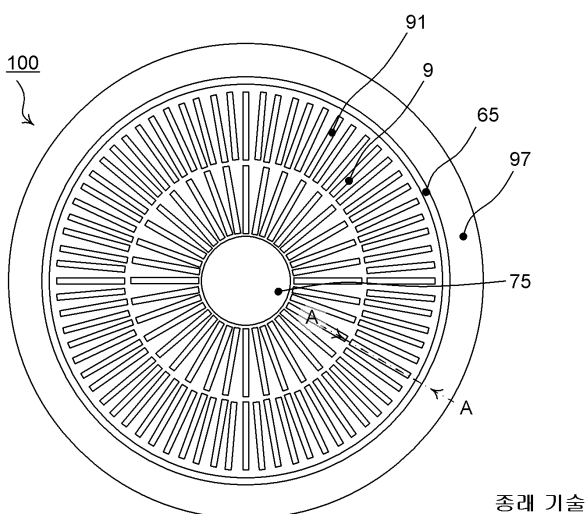
[0060] 본 발명은 이들의 사상 또는 필수적인 특성들로부터 벗어나지 않고 다른 특정 형태들로 구현될 수 있음이 당업자에 의해 이해될 것이다. 본 개시된 실시예들은 이에 따라 예시적이고 비 제한적인 모든 측면들로 고려된다. 본 발명의 범주는 상기 개시사항, 의미 및 범위 내에 속하는 모든 변경들, 및 본 명세서에 포함될 것으로 의도된 이들의 등가물보다는 오히려 첨부된 청구항들에 의해 나타내어진다.

부호의 설명

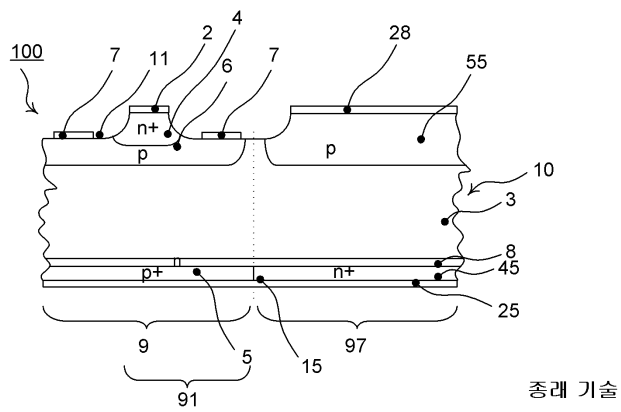
[0061]	1 : 역-도통 전력 반도체 디바이스	10 : 웨이퍼
	11 : 제1 메인 측면	15 : 제2 메인 측면
	100 : 종래 기술의 역-도통 전력 반도체 디바이스	2 : 캐소드 전극
	25 : 제1 애노드 전극	28 : 제2 애노드 전극
	3 : 드리프트 레이어	35 : 분리 영역
	4 : 제1 캐소드 레이어	41 : 절반 부분
	45 : 제2 캐소드 레이어	451 : 분산된 캐소드 영역
	5 : 제1 애노드 레이어	51 : 애노드 쇼트 영역
	55 : 제2 애노드 레이어	6 : 베이스 레이어
	7 : 게이트 전극	75 : 게이트 접촉부
	8 : 버퍼 레이어	9 : 파일럿 IGCT 부분
	91 : IGCT 셀	96 : 다이오드 셀
	97 : 싱글 다이오드	99 : 결합부

도면

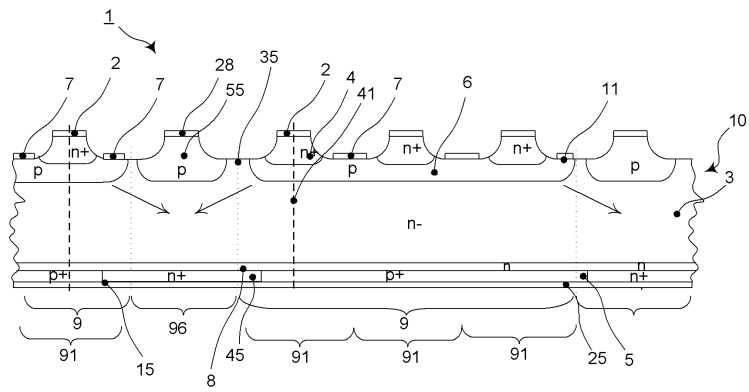
도면1



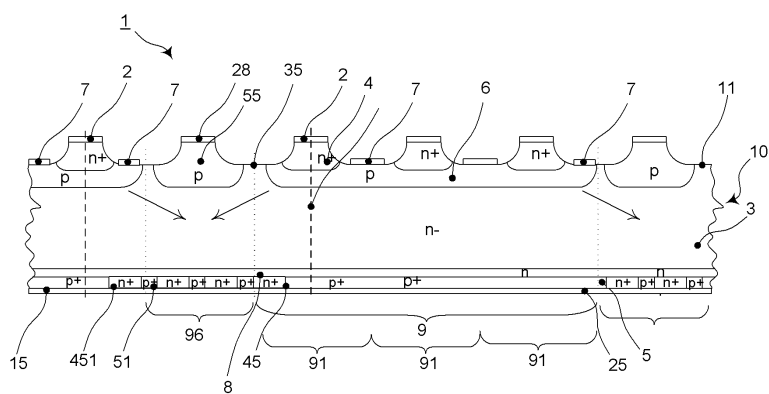
도면2



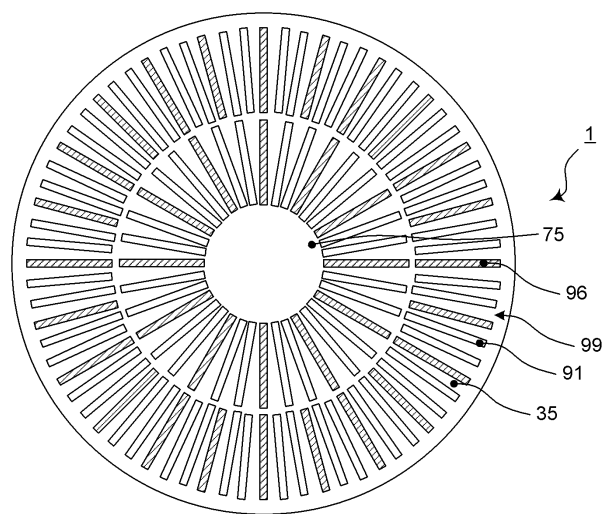
도면3



도면4



도면5



도면6

