

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-192568

(P2016-192568A)

(43) 公開日 平成28年11月10日(2016.11.10)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46 Q	5E316
H01L 23/14 (2006.01)	H05K 3/46 N	
H01L 23/12 (2006.01)	H05K 3/46 B	
H01L 25/065 (2006.01)	H01L 23/14 R	
H01L 25/07 (2006.01)	H01L 23/12 N	
審査請求 有 請求項の数 25 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2016-128797 (P2016-128797)	(71) 出願人	594023722
(22) 出願日	平成28年6月29日 (2016. 6. 29)		サムソン エレクトロメカニクス カ
(62) 分割の表示	特願2014-43573 (P2014-43573)		ンパニーリミテッド.
	の分割		大韓民国、キョンギード、スウォンーシ、
原出願日	平成26年3月6日 (2014. 3. 6)		ヨントング、(マエタンードン) マエヨ
(31) 優先権主張番号	10-2013-0103276		ンーロ 150
(32) 優先日	平成25年8月29日 (2013. 8. 29)	(74) 代理人	100088605
(33) 優先権主張国	韓国 (KR)		弁理士 加藤 公延
		(72) 発明者	イ・ド・ファン
			大韓民国、339-702 チュンチョン
			ナムード、ヨンギーグン、ドンミュン、
			サムソンーギル 25、サムソン エレク
			トロメカニクス カンパニーリミテッ
			ド
			最終頁に続く

(54) 【発明の名称】 電子部品内蔵基板

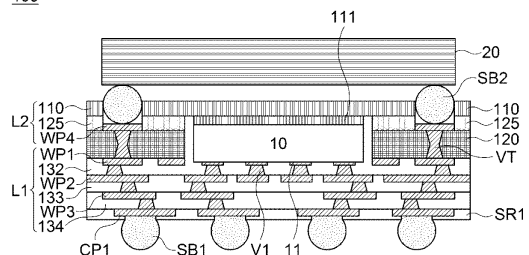
(57) 【要約】

【課題】 反り現象を減少させると共に不要な配線を最小化することができる電子部品内蔵基板を提供する。

【解決手段】 電子部品内蔵基板100は、第1の外部端子11が設けられる第1の面、及び第1の面の反対側の面であって絶縁物質からなる第2の面を備える電子部品10と、第1の面上に設けられ、第1の外部端子11と電気的に接続される第1の配線及び第1の絶縁部を備える第1の配線層L1と、第2の面上に設けられ、第2の配線及び第2の絶縁部を備える第2の配線層L2とを含む。第1の配線層L1の層数及び配線密度のうちの少なくともいずれか一つは第2の配線層L2の層数及び配線密度のうちの少なくともいずれか一つより大きく、第1の絶縁部は第2の絶縁部より熱膨張係数が低い物質からなる。

【選択図】 図1

100



【特許請求の範囲】

【請求項 1】

第 1 の外部端子が複数設けられる第 1 の面、及び該第 1 の面の反対側の面であって絶縁物質からなる第 2 の面を備える電子部品と、
前記第 1 の面上に設けられ、前記第 1 の外部端子と電氣的に接続される第 1 の配線及び第 1 の絶縁部を備える第 1 の配線層と、
前記第 2 の面上に設けられ、第 2 の配線及び第 2 の絶縁部を備える第 2 の配線層とを含み、
前記第 1 の配線層の層数は、前記第 2 の配線層の層数より大きく、
前記第 1 の配線層の配線密度は、前記第 2 の配線層の配線密度より高く、
前記第 1 の絶縁部は、前記第 2 の絶縁部より熱膨脹係数が低い物質からなることを特徴とする電子部品内蔵基板。

10

【請求項 2】

前記電子部品の少なくとも一部が挿入されるキャビティを含み、絶縁材料からなる第 1 の絶縁層をさらに含むことを特徴とする請求項 1 に記載の電子部品内蔵基板。

【請求項 3】

前記第 1 の絶縁層は、コア基板であることを特徴とする請求項 2 に記載の電子部品内蔵基板。

【請求項 4】

前記第 1 の絶縁層を貫いて前記第 1 の配線層及び前記第 2 の配線層を電氣的に接続するスルービアを、さらに含むことを特徴とする請求項 3 に記載の電子部品内蔵基板。

20

【請求項 5】

前記第 1 の配線層の外面には、前記第 1 の配線と電氣的に接続される第 1 の接触パッドがさらに設けられることを特徴とする請求項 1 に記載の電子部品内蔵基板。

【請求項 6】

前記第 1 の配線層の外面には、前記第 1 の接触パッドを外部に露出させる第 1 のソルダレジストが、さらに設けられることを特徴とする請求項 5 に記載の電子部品内蔵基板。

【請求項 7】

前記電子部品の第 2 の面に接触する接着部材を、さらに含むことを特徴とする請求項 1 に記載の電子部品内蔵基板。

30

【請求項 8】

前記接着部材の外面に設けられる複数の第 1 の金属パターンを、さらに含むことを特徴とする請求項 7 に記載の電子部品内蔵基板。

【請求項 9】

前記第 2 の配線層上に設けられ、前記第 2 の配線層と電氣的に接続されるチップ部品を、さらに含むことを特徴とする請求項 1 に記載の電子部品内蔵基板。

【請求項 10】

前記チップ部品はメモリーチップであり、前記電子部品は集積回路であることを特徴とする請求項 9 に記載の電子部品内蔵基板。

【請求項 11】

前記第 2 の配線層の外面には、前記第 2 の配線と電氣的に接続される第 2 の接触パッドが、さらに設けられることを特徴とする請求項 9 に記載の電子部品内蔵基板。

40

【請求項 12】

前記第 2 の接触パッドと前記チップ部品とを電氣的に接続するソルダボールを、さらに含むことを特徴とする請求項 11 に記載の電子部品内蔵基板。

【請求項 13】

前記ソルダボールは、前記電子部品の垂直上方または垂直下方の領域に設けられることを特徴とする請求項 12 に記載の電子部品内蔵基板。

【請求項 14】

前記第 2 の配線層の外面には、前記第 2 の接触パッドを外部に露出させる第 2 のソルダレ

50

ジストが、さらに設けられることを特徴とする請求項 1 1 に記載の電子部品内蔵基板。

【請求項 1 5】

第 1 の外部端子が複数設けられる第 1 の面、及び該第 1 の面の反対側の面であって第 2 の外部端子が少なくとも一つ設けられる第 2 の面を備える電子部品と、

前記第 1 の面上に設けられ、前記第 1 の外部端子と電氣的に接続される第 1 の配線及び第 1 の絶縁部を備える第 1 の配線層と、

前記第 2 の面上に設けられ、前記第 2 の外部端子と電氣的に接続される第 2 の配線及び第 2 の絶縁部を備える第 2 の配線層とを含み、

前記第 2 の外部端子の数は、前記第 1 の外部端子の数より少なく、

前記第 1 の配線層の層数は、前記第 2 の配線層の層数より大きく、

前記第 1 の配線層の配線密度は、前記第 2 の配線層の配線密度より高く、

前記第 1 の絶縁部は、前記第 2 の絶縁部より熱膨脹係数が低い物質からなることを特徴とする電子部品内蔵基板。

10

【請求項 1 6】

前記第 2 の配線層上に設けられ、前記第 2 の配線層と電氣的に接続されるチップ部品を、さらに含むことを特徴とする請求項 1 5 に記載の電子部品内蔵基板。

【請求項 1 7】

前記チップ部品はメモリーチップであり、前記電子部品は集積回路であることを特徴とする請求項 1 6 に記載の電子部品内蔵基板。

【請求項 1 8】

前記第 2 の配線層の外面には、前記第 2 の配線と電氣的に接続される第 2 の接触パッドが、さらに設けられることを特徴とする請求項 1 6 に記載の電子部品内蔵基板。

20

【請求項 1 9】

前記第 2 の接触パッドと前記チップ部品とを電氣的に接続する溶ダボールを、さらに含むことを特徴とする請求項 1 8 に記載の電子部品内蔵基板。

【請求項 2 0】

前記溶ダボールは、前記電子部品の垂直上方または垂直下方の領域に設けられることを特徴とする請求項 1 9 に記載の電子部品内蔵基板。

【請求項 2 1】

前記第 2 の配線層の外面に設けられ、前記第 2 の接触パッドを外部に露出させる第 2 の溶ダレジストを、さらに含むことを特徴とする請求項 1 8 に記載の電子部品内蔵基板。

30

【請求項 2 2】

前記第 1 の外部端子と前記第 2 の外部端子とは前記電子部品を貫くスルーシリコンビアによって電氣的に接続されることを特徴とする請求項 1 5 に記載の電子部品内蔵基板。

【請求項 2 3】

前記第 2 の配線層は、前記第 2 の外部端子に一面が接触されるビアを含むことを特徴とする請求項 2 2 に記載の電子部品内蔵基板。

【請求項 2 4】

前記第 2 の配線層の外面には前記ビアの他面に接触される第 2 の接触パッドと、溶ダボールによって前記第 2 の接触パッドに電氣的に接続されるチップ部品と、をさらに含むことを特徴とする請求項 2 3 に記載の電子部品内蔵基板。

40

【請求項 2 5】

前記電子部品の第 2 の面に接触する接着部材と、

前記接着部材の外面に設けられる複数の第 1 の金属パターンと、

前記第 1 の金属パターン各々に一面が接触される少なくとも一つのビアと、

前記ビアの他面に接触される第 2 の接触パッドと、

溶ダボールによって前記第 2 の接触パッドに電氣的に接続されるチップ部品と、をさらに含み、

前記複数の第 1 の金属パターン及び前記第 2 の外部端子は、第 2 の溶ダボールによって電氣的に接続されることを特徴とする請求項 2 2 に記載の電子部品内蔵基板。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子部品内蔵基板及びその製造方法に関する。

【背景技術】

【0002】

電子機器の軽量化、小型化、高速化、多機能化、高性能化に応じるため、印刷回路基板（Printed Circuit Board：PCB）に複数の配線層を形成するという、いわゆる多層基板技術が開発されており、ひいては、能動素子や受動素子などの電子部品を多層基板内に内蔵する技術も開発されている。

10

【0003】

例えば、特許文献1には、キャビティに電子部品を挿入し、複数の層からなる印刷回路基板及びその製造方法が示されている。

【0004】

一方、多層基板の分野における重要な課題の一つとして、内蔵電子部品が外部回路や他のデバイスに対して電圧または電流を含む信号を効率よく送受信することが挙げられる。

【0005】

また、最近、電子部品の高性能化、電子部品及び該電子部品内蔵基板の小型化、薄型化が段々進められるにつれ、より薄く狭い基板に小型電子部品を内蔵し、該電子部品の外部端子を外部配線と接続させるためには、回路パターンの集積度の向上も必須に随伴されなければならない。

20

【0006】

一方、電子部品内蔵基板がより一層薄くなるにつれ、該基板の反りが深刻になるという不都合がある。このような反り現象をいわゆる撓み（warping）とも称される。この撓みは、熱膨脹係数が異なる多様な物質によって電子部品内蔵基板を構成すると大きくなる。

【0007】

特に、基板に内蔵する電子部品は、一般的な基板資材や配線資材と熱膨脹係数（CTE）及び剛性（Modulus）などの物性が非常に異なり、基板の中心部位に位置しないと、反り現象が酷くなる。そのため、電子部品が内蔵された従来の基板は、該基板の中心部に電子部品を配置し、該電子部品の上部及び下部に配線層を形成する際に、上部の配線層と下部の配線層との物性及び厚さなどを等しくし、電子部品の上部の反りと下部の反りとが互いに相反するようにして、全体として反り現象が緩和されるような方式が主に採用されていた。

30

【0008】

このような方式は、特許文献2にも示されている。この特許文献2には、コア基板の中央にキャパシターが配置され、両方向に回路パターン層と絶縁層とがビルドアップされた技術が示されている。

【0009】

しかし、集積回路などの能動素子は、一面に複数の外部端子が設けられ、他面には外部端子が全然設けられないが、少数の外部端子だけ設けられることが一般的である。

40

【先行技術文献】

【特許文献】

【0010】

【特許文献1】米国特許出願公開第2012-0006469号明細書

【特許文献2】特開2000-261124号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

このような能動素子が基板に内蔵される場合、従来のように、電子部品の上下部がその物

50

性及び厚さなどの構造が対称を成すように設けられると、不要な配線が配置されてしまい、工程効率が低下し、不要な基板材料が使用され、電子部品内蔵基板のスリム化にも望ましくない。

【0012】

本発明は上記の問題点に鑑みて成されたものであって、反り現象を減少させると共に、不要な配線を除いて、これを最小化することができる、電子部品内蔵基板及びその製造方法を提供することに、その目的がある。

【課題を解決するための手段】

【0013】

上記目的を解決するために、本発明の一実施形態による電子部品内蔵基板は、第1の外部端子が複数設けられる第1の面、及び該第1の面の反対側の面であって絶縁物質からなる第2の面を備える電子部品と、前記第1の面上に設けられ、前記第1の外部端子と電氣的に接続される第1の配線及び第1の絶縁部を備える第1の配線層と、前記第2の面上に設けられ、第2の配線及び第2の絶縁部を備える第2の配線層とを含み、前記第1の配線層の層数及び配線密度のうちの少なくともいずれか一つは前記第2の配線層の層数及び配線密度のうちの少なくともいずれか一つより大きく、前記第1の絶縁部は前記第2の絶縁部より熱膨脹係数が低い物質からなる。

10

【0014】

前記電子部品の少なくとも一部が挿入されるキャビティを含み、絶縁材料からなる第1の絶縁層をさらに含む。

20

【0015】

また、前記第1の絶縁層は、コア基板である。

【0016】

また、前記第1の絶縁層を貫いて、前記第1の配線層及び前記第2の配線層を電氣的に接続するスルービアをさらに含む。

【0017】

また、前記第1の配線層の外面には、前記第1の配線と電氣的に接続される第1の接触パッドがさらに設けられる。

【0018】

また、前記第1の配線層の外面には、前記第1の接触パッドを外部に露出させる第1のソルダレジストがさらに設けられる。

30

【0019】

また、前記電子部品の第2の面に接触する接着部材をさらに含む。

【0020】

また、前記接着部材の外面に設けられる複数の第1の金属パターンをさらに含む。

【0021】

また、前記第2の配線層上に設けられ、前記第2の配線層と電氣的に接続されるチップ部品をさらに含む。

【0022】

また、前記チップ部品はメモリーチップであり、前記電子部品は集積回路である。

40

【0023】

また、前記第2の配線層の外面には、前記第2の配線と電氣的に接続される第2の接触パッドがさらに設けられる。

【0024】

また、前記第2の接触パッドと前記チップ部品とを電氣的に接続するソルダボールをさらに含む。

【0025】

また、前記ソルダボールは、前記電子部品の垂直上方または垂直下方の領域に設けられる。

【0026】

50

また、前記第 2 の配線層の外面には、前記接触パッドを外部に露出させる第 2 のソルダレジストがさらに設けられる。

【0027】

上記目的を解決するために、本発明の他の実施形態による電子部品内蔵基板は、第 1 の外部端子が複数設けられる第 1 の面、及び該第 1 の面の反対側の面であって第 2 の外部端子が少なくとも一つ設けられる第 2 の面を備える電子部品と、前記第 1 の面上に設けられ、前記第 1 の外部端子と電氣的に接続される第 1 の配線及び第 1 の絶縁部を備える第 1 の配線層と、前記第 2 の面上に設けられ、前記第 2 の外部端子と電氣的に接続される第 2 の配線及び第 2 の絶縁部を備える第 2 の配線層とを含み、前記第 2 の外部端子の数は前記第 1 の外部端子の数より少なく、前記第 1 の配線層の層数及び配線密度のうちの少なくともい
10

【0028】

本発明の他の実施形態による電子部品内蔵基板は、前記第 2 の配線層上に設けられ、前記第 2 の配線層と電氣的に接続されるチップ部品をさらに含む。

【0029】

また、前記チップ部品はメモリーチップであり、前記電子部品は集積回路である。

【0030】

また、前記第 2 の配線層の外面には、前記第 2 の配線と電氣的に接続される第 2 の接触パッドがさらに設けられる。
20

【0031】

また、前記第 2 の接触パッドと前記チップ部品とを電氣的に接続するソルダボールをさらに含む。

【0032】

また、前記ソルダボールは、前記電子部品の垂直上方または垂直下方の領域に設けられる。
30

【0033】

また、前記第 2 の配線層の外面に設けられ、前記第 2 の接触パッドを外部に露出させる第 2 のソルダレジストをさらに含む。

【0034】

また、前記第 1 の外部端子と前記第 2 の外部端子とは前記電子部品を貫くスルーシリコーンビア (Through Silicon Via:TSV) によって電氣的に接続される。
40

【0035】

前記第 2 の配線層は、前記第 2 の外部端子に一面が接触されるビアを含む。

【0036】

また、前記第 2 の配線層の外面には、前記ビアの他面に接触される第 2 の接触パッドと、ソルダボールによって前記第 2 の接触パッドに電氣的に接続されるチップ部品と、をさらに含む。
50

【0037】

また、前記電子部品の第 2 の面に接触する接着部材と、前記接着部材の外面に設けられる複数の第 1 の金属パターンと、前記第 1 の金属パターン各々に一面が接触される少なくとも一つのビアと、前記ビアの他面に接触される第 2 の接触パッドと、ソルダボールによって前記第 2 の接触パッドに電氣的に接続されるチップ部品とをさらに含み、前記複数の第 1 の金属パターンと前記第 2 の外部端子とは第 2 のソルダボールによって電氣的に接続される。

【0038】

本発明のさらに他の実施形態による電子部品内蔵基板の製造方法は、キャビティによって貫通され、一面に第 1 の配線パターンが設けられ、他面に第 4 の配線パターンが設けられ、前記第 1 の配線パターンと前記第 4 の配線パターンとがスルービアによって電氣的に接

続されるコア基板を提供するステップと、一面に第１の外部端子が複数設けられる電子部品の他面を絶縁基板に結合するステップと、前記キャビティに前記電子部品が挿入されるように前記コア基板を前記絶縁基板に結合するステップと、前記コア基板及び前記電子部品上に第２の絶縁層を形成するステップと、前記第２の絶縁層を貫いて前記第１の配線パターン及び前記第１の外部端子に各々接触される複数の第１のビアホールを形成するステップと、前記第２の絶縁層上に第２の配線パターンを形成するステップとを含み、前記絶縁基板の熱膨張係数は前記第２の絶縁層の熱膨張係数より大きい。

【００３９】

前記第２の絶縁層上に少なくとも一つのビルドアップ層を形成するステップと、前記ビルドアップ層の外面に第１の接触パッドを形成するステップと、をさらに含む。

10

【００４０】

また、一面に第１の外部端子が複数設けられる電子部品の他面を絶縁基板に結合するステップは、前記電子部品の他面に接着部材が形成された状態で前記絶縁基板と前記電子部品とが結合されるように行われる。

【００４１】

また、前記絶縁基板に第１の金属パターンが形成され、前記電子部品の他面に接着部材が形成された状態で、前記第１の金属パターンと前記接着部材とが接触されるように行われてもよい。

【発明の効果】

【００４２】

20

前述のように、本発明の一実施形態によれば、電子部品内蔵基板の反りを減少すると共に不要な配線を最小化することができるという効果が奏する。

【図面の簡単な説明】

【００４３】

【図１】本発明の一実施形態による電子部品内蔵基板を概略的に示す断面図である。

【図２】本発明の他の実施形態による電子部品内蔵基板を概略的に示す断面図である。

【図３】本発明の他の実施形態による電子部品内蔵基板を概略的に示す断面図である。

【図４】本発明の他の実施形態による電子部品内蔵基板を概略的に示す断面図である。

【図５】本発明の他の実施形態による電子部品内蔵基板を概略的に示す断面図である。

【図６】本発明の他の実施形態による電子部品内蔵基板を概略的に示す断面図である。

30

【図７】本発明の他の実施形態による電子部品内蔵基板を概略的に示す断面図である。

【図８】本発明の他の実施形態による電子部品内蔵基板を概略的に示す断面図である。

【図９】本発明の一実施形態による電子部品内蔵基板の製造方法を説明するための工程断面図である。

【図１０a】本発明の一実施形態による電子部品内蔵基板の製造方法を説明するための工程断面図であって、電子部品が絶縁基板に結合された状態を示す工程断面図である。

【図１０b】同じく、コア基板が絶縁基板に結合された状態を示す工程断面図である。

【図１０c】同じく、第２の絶縁層が提供された状態を示す工程断面図である。

【図１０d】同じく、第２の絶縁層上に第２の配線パターンが形成された状態を示す工程断面図である。

40

【図１０e】同じく、第３の絶縁層及び第３の配線パターンが形成された状態を示す工程断面図である。

【図１０f】同じく、第４の絶縁層が形成された状態を示す工程断面図である。

【図１０g】同じく、第１の接触パッド及び第２の接触パッドが形成された状態を示す工程断面図である。

【図１０h】同じく、第１のソルダレジスト及び第２のソルダレジストが形成された状態を示す工程断面図である。

【図１０i】同じく、チップ部品が結合された状態を示す工程断面図である。

【発明を実施するための形態】

【００４４】

50

以下、本発明の好適な実施の形態を、図面を参照して詳細に説明する。次に示される各実施の形態は当業者にとって本発明の思想が十分に伝達されるように例として挙げられるものである。従って、本発明は以下示している各実施の形態に限定されず、他の形態で具体化することができる。そして、図面において、装置の大きさ及び厚さなどは便宜上誇張して表現される場合がある。明細書全体に渡って同一の参照符号は同一の構成要素を示している。

【0045】

本明細書で使われた用語は、実施形態を説明するためのものであって、本発明を制限しようとするものではない。本明細書において、単数形は特別に言及しない限り複数形も含む。明細書で使われる「含む」とは、言及された構成要素、ステップ、動作及び／又は素子は、一つ以上の他の構成要素、ステップ、動作及び／又は素子の存在または追加を排除しないことに理解されたい。

10

【0046】

以下、添付図面を参照して、本発明の構成及び作用効果について詳記する。

【0047】

図1は、本発明の一実施形態による電子部品内蔵基板100を概略的に示す断面図である。

【0048】

図1を参照すると、本発明の一実施形態による電子部品内蔵基板100は、電子部品10、第1の配線層L1及び第2の配線層L2を備える。また、電子部品内蔵基板100は、第1の絶縁層120、第1の接触パッドCP1、第2の接触パッドCP2、第1のソルダレジストSR1、第1のソルダボールSB1、第2のソルダボールSB2及びチップ部品20をさらに備える。

20

【0049】

電子部品10は、外部デバイスと電氣的に接続されるように、第1の外部端子11が一面に設けられる。第1の外部端子11は少なくとも2個以上設けられる。また、第1の外部端子11が設けられる面を除いたすべての面は、絶縁物質からなってもよい。

【0050】

電子部品10は、MCU、AP (Application Processor) など各種集積回路で構成される能動素子である。

30

第1の配線層L1は、電子部品10を基準に第1の外部端子11の各々から遠くなる方向に設けられ、第1の配線及び第1の絶縁部を有する。第1の配線層L1は、第1の外部端子11を基板の内部、または外部の他のデバイスと電氣的に接続される。

【0051】

また、第2の配線層L2は、電子部品10を基準に第1の配線層L1と反対方向に設けられ、第2の配線及び第2の絶縁部を有する。

【0052】

詳しくは、図1に例示された第1の配線パターンWP1、第2の絶縁層132、第2の配線パターンWP2、第3の絶縁層133、第3の配線パターンWP3及び第4の絶縁層134が、第1の配線層L1に相当する。

40

【0053】

また、図1に例示された第4の配線パターンWP4、第5の絶縁層125及び絶縁基板110が、第2の配線層L2に相当する。

【0054】

電子部品10の面のうち、第1の外部端子11の各々が設けられる面の反対側の面には、接着部材111が設けられる。この接着部材111を介して、電子部品10が絶縁基板110に固定される。一例として、接着部材111は、DAFまたはエポキシ (Epoxy) 系列などのチップ接着剤で具現されてもよい。また、NCP、ACFなども接着部材111を具現するのに活用されてもよい。

【0055】

50

一方、同図のように、第1の配線層L1の配線密度は、第2の配線層L2の配線密度に比べて大きい。すなわち、第1の配線層L1は第1の外部端子11の各々と接続されるビア及び配線パターンからなる第1の配線を含む。第2の配線層L2は、電子部品10と電氣的に直接接続される配線はないが、第1の配線層L1の配線密度は相対的に高くなければならず、第2の配線層L2の配線密度は相対的に低くなる。

【0056】

前述のように、外部端子は、電子部品10の一面に全て形成されるのが一般的である。そのため、外部端子のない電子部品の他面には、別途の配線を具備する必要がない。

【0057】

それにもかかわらず、従来は、反り現象を防止するために電子部品10を基準に、両方に設けられる各配線層が対称に形成されていたため、多くの問題が引き起こされた。

【0058】

しかし、本発明の一実施形態による電子部品内蔵基板100では、第1の外部端子11と電氣的に接続される、第1の配線を備える第1の配線層L1のみが配線密度が高く、その反対面である第2の配線層L2は、配線密度が低くなるようにした。

【0059】

また、本発明の一実施形態による電子部品内蔵基板100では、第1の配線層L1は、熱膨脹係数の低い物質で具現し、第2の配線層L2は、熱膨脹係数の高い物質で具現する。

【0060】

これによって、熱膨脹係数の低い物質を用いて配線を形成できるので、高い配線密度で配線を形成する場合に有利で、配線の精密度及び配線形成工程の効率性を向上させることができる。

【0061】

一方、高い密度の配線を一層で形成する場合、配線間の間隔があまり小さくなって信頼性が低下する恐れがある。そのため、必要な場合、ビルドアップ層を追加で設け、配線間隔を確保することによって信頼性を向上させることができる。

【0062】

例えば、図1において、第2の絶縁層132及び第2の配線パターンWP2だけが設けられる場合に比べ、ビルドアップ層として第3の絶縁層133、第3の配線パターンWP3、第4の絶縁層134などをさらに具備することによって、第2の配線パターンWP2及び第3の配線パターンWP3などを具現するとき、配線配置の余裕空間をさらに確保できるので、工程効率や信頼性が向上する。

【0063】

また、このように、第1の配線層L1を2層以上で形成する必要がある場合にも、第2の配線層L2は、複数のビルドアップ層を含む必要がないので、第5の絶縁層125及び絶縁基板110のみで第2の配線層L2を具現することができる。これによって、基板全体の厚さを減少させるのに有利なだけでなく、第2の配線層L2を複数の層で具現することによる材料や工程の無駄を低減することができる。

【0064】

ただ、第1の配線層L1の層数と第2の配線層L2の層数とが異なる場合、反り現象が大きくなることがある。すなわち、製造工程において加えられる熱によって、第1の配線層L1の膨脹が大であり、第2の配線層L2の膨脹が小である場合、基板の中央部よりも周辺部が高くなる反り現象が発生することになる。

【0065】

しかし、本発明の一実施形態による電子部品内蔵基板100では、第1の配線層L1を成す物質よりも高い熱膨脹係数を有する物質によって、第2の配線層L2を具現するので、反り現象を効率的に減少させることができる。

【0066】

第1の配線及び第2の配線には、電氣的接続性を考慮して、伝導度の高い銅、銀などの金属が用いられるが、その熱膨脹係数の差は大きくない。よって、第1の配線層L1を成す

第１の絶縁部、及び第２の配線層Ｌ２を成す第２の絶縁部の熱膨脹係数を調節することによって、第１の配線層Ｌ１、及び第２の配線層Ｌ２の熱膨脹係数を調節することが望ましい。

【００６７】

一方、本発明の一実施形態による電子部品内蔵基板１００は、第１の絶縁層１２０をさらに含む。

【００６８】

第１の絶縁層１２０には、電子部品１０が挿入されるキャビティ１２２が設けられる。第１の絶縁層１２０は剛性の高い材質からなるコア基板である。

【００６９】

第１の絶縁層１２０の一面には、第１の配線パターンＷＰ１が形成され、他面には、第２の配線パターンＷＰ２が形成される。また、第１の絶縁層１２０を貫いて、第１の配線パターンＷＰ１と第２の配線パターンＷＰ２とを電氣的に接続するスルービアＶＴが設けられる。

【００７０】

このように、剛性の強い物質からなる第１の絶縁層１２０を設けることによって、電子部品内蔵基板１００の反り現象をより一層減少させることができる。

【００７１】

また、本発明の一実施形態による電子部品内蔵基板１００は、第１の接触パッドＣＰ１、第２の接触パッドＣＰ２、第１のソルダレジストＳＲ１、第１のソルダボールＳＢ１、第２のソルダボールＳＢ２及びチップ部品２０などをさらに含む。

【００７２】

図１に示すように、第１の接触パッドＣＰ１は、第４の絶縁層１３４上に形成され、ビアによって第３の配線パターンＷＰ３と電氣的に接続される。

【００７３】

また、第１の接触パッドＣＰ１の外面には、第１のソルダボールＳＢ１が設けられ、電子部品内蔵基板１００が他の基板に実装されるか、他のデバイスと電氣的に接続されるようにすることができる。

【００７４】

第１のソルダレジストＳＲ１は、第１の接触パッドＣＰ１の一部及び第４の絶縁層１３４を覆って、第１の接触パッドＣＰ１の一部を外部に露出させる。第１のソルダボールＳＢ１は、第１のソルダレジストＳＲ１によって露出された第１の接触パッドＣＰ１の外面に接触される。

【００７５】

また、図１に示すように、チップ部品２０は、第２のソルダボールＳＢ２によって第４の配線パターンＷＰ４と電氣的に接続される。チップ部品２０は、各種受動素子または能動素子であってもよく、メモリーチップであってもよい。

【００７６】

これによって、電子部品内蔵基板１００に内蔵された電子部品１０と、電子部品内蔵基板１００の外部において、第２のソルダボールＳＢ２によって第４の配線パターンＷＰ４に接触するチップ部品２０との間の信号送信経路が最小化され、高速Ｉ／Ｏを具現することができる。

【００７７】

図２は、本発明の他の実施形態による電子部品内蔵基板２００を概略的に示す断面図である。

【００７８】

図２を参照して、本実施形態による電子部品内蔵基板２００は、接着部材１１１と絶縁基板１１０との間に第１の金属パターン１１２が設けられ、また絶縁基板１１０に第１の開口部Ｏ１が形成される点で、前述の実施形態と異なる。

【００７９】

10

20

30

40

50

第１の金属パターン１１２は、電子部品１０から発生する熱を外部へ放出する機能を有する。この点から、第１の金属パターン１１２は放熱パターンとしての働きを果たす。

【００８０】

第１の開口部Ｏ１は、第１の金属パターン１１２を絶縁基板１１０の外部に露出させる。これによって、第１の金属パターン１１２の放熱性能がより一層向上する。

【００８１】

図３は、本発明の他の実施形態による電子部品内蔵基板３００を概略的に示す断面図である。

【００８２】

図３を参照して、本実施形態による電子部品内蔵基板３００は、絶縁基板１１０上に設けられる第２の接触パッドＣＰ２を含む点で、図１に示した前述の実施形態と異なる。

10

【００８３】

第２の接触パッドＣＰ２は、第２のビアＶ２によって第４の配線パターンＷＰ４と電氣的に接続される。また、第２の接触パッドＣＰ２は、チップ部品２０と絶縁基板１１０との間の領域にも形成されてもよい。

【００８４】

これによって、チップ部品２０に２個以上の外部端子が設けられる場合、チップ部品２０の外部端子が全て第２の接触パッドＣＰ２と電氣的に接続される。こうして、いわゆるワイド入出力（Wide I/O）構造を具現することができる。

【００８５】

第２の接触パッドＣＰ２の一部及び絶縁基板１１０を覆う第２のソルダレジストＳＲ２がさらに設けられ、第２の接触パッドＣＰ２の汚染や損傷を減少させることができる。

20

【００８６】

また、第２の接触パッドＣＰ２とチップ部品２０の間には、第２のソルダボールＳＢ２が設けられ、電氣的接続を具現することもできる。

【００８７】

図４は、本発明の他の実施形態による電子部品内蔵基板４００を概略的に示す断面図である。

【００８８】

図４に示す実施形態による電子部品内蔵基板４００は、接着部材１１１と絶縁基板１１０との間に設けられる複数の第１の金属パターン１１２が、第３のビアＶ３を介して、絶縁基板１１０上に設けられた第２の接触パッドＣＰ２と接続される点で、前述の実施形態と異なる。

30

【００８９】

詳しくは、図２に示した前述の実施形態では、第１の金属パターン１１２は放熱機能だけを備えるが、本実施形態による第１の金属パターン１１２は、第２のソルダボールＳＢ２と第２の接触パッドＣＰ２、及び第３のビアＶ３を通じて、チップ部品２０の外部端子と電氣的に接続される。

【００９０】

これによって、チップ部品２０に外部端子が多く具備され、第２の接触パッドＣＰ２のみでは配線接続を具現しにくい場合に、第１の金属パターン１１２を活用して配線を分散できるので、製造効率及び接続信頼性を向上させることができる。

40

【００９１】

図５は、本発明の他の実施形態による電子部品内蔵基板５００を概略的に示す断面図である。

【００９２】

図５を参照して、本実施形態による電子部品内蔵基板５００は、複数のチップ部品２１、２２が絶縁基板１１０外部に実装される点で、前述の実施形態と異なる。

【００９３】

チップ部品２１、２２は、メモリーチップ、能動素子、受動素子など多様な部品のうちか

50

ら選択されてもよい。

【0094】

また、チップ部品21、22のうちの少なくともいずれか一つは、電子部品10の垂直上方に位置して、第2の溶ダボールSB2、第2の接触パッドCP2などによって電氣的に接続される。

【0095】

図6は、本発明の他の実施形態による電子部品内蔵基板600を、概略的に示す断面図である。

【0096】

図6を参照すると、本実施形態による電子部品内蔵基板600は、一面に第1の外部端子11が設けられ、他面に第2の外部端子12が設けられる電子部品10'が内蔵される点で、前述の実施形態と異なる。

【0097】

ただ、この場合、第2の外部端子12は、第1の外部端子11の数より少なく設けられ、第2の配線層L2の配線密度は、第1の配線層L1の配線密度より低くなる。

【0098】

一方、本実施形態では、チップ部品21、22の外部端子が第2の溶ダボールSB2に接触し、第2の溶ダボールSB2が第2の接触パッドCP2と接続される。この場合、第3のビアV3を介して、第2の接触パッドCP2と第2の外部端子12とが直接接続されることになる。

【0099】

これによって、チップ部品20と電子部品10'との間の信号送信経路が格段に減少し、その結果、チップ部品20と電子部品10'との間のデータ送信速度を向上させることができる。例えば、チップ部品20がメモリーチップで、電子部品10'がAPの場合、APとメモリーチップとの間のデータ送信速度が向上し、APの機能がより一層充分に活用できるようになる。

【0100】

図7は、本発明の他の実施形態による電子部品内蔵基板700を概略的に示す断面図である。

【0101】

図7を参照すると、本実施形態による電子部品内蔵基板700は、その一面に第1の外部端子11が設けられ、他面に第2の外部端子12が設けられている。第1の外部端子11の少なくとも一部と、第2の外部端子12の少なくとも一部とを接続するスルーシリコンビア(Through Silicon Via:TSV)が設けられた電子部品10"が内蔵される点で、前述の実施形態と異なる。

【0102】

第2の接触パッドCP2は、第2のビアV2を介して第4の配線パターンWP4と電氣的に接続される。また、第2の接触パッドCP2は、チップ部品20と絶縁基板110との間の領域にも形成されてもよい。

【0103】

また、第2の接触パッドCP2と第2の外部端子12とは、第3のビアV3を介して電氣的に接続される。ここで、第3のビアV3は、絶縁基板110及び接着部材111を貫いて、通常的なレーザービア加工法によって設けられてもよい。

【0104】

これによって、チップ部品20と電子部品10"とが、第2の溶ダボールSB2、第2の接触パッドCP2及び第3のビアV3を介して、非常に短い経路で直接接続され、その結果、チップ部品20と電子部品10"との間の信号送信速度をより一層向上させることができる。

【0105】

また、第2の接触パッドCP2と第2の外部端子12とが、第3のビアV3を介して直接

10

20

30

40

50

接続されることによって、同じ導電材料、例えばCu-Cu接続などによって、信号送経路を具現することができる。そのため、インターコネクション(interconnection)特性をより一層向上させることができる。

【0106】

一方、本実施形態による電子部品内蔵基板700は、電子部品10”と接着部材111とが接触するに当たって、複数の第2の外部端子12が介設されるが、所定の流動性のある材質で接着部材111を具現する必要がある。一例として、エポキシ系列のチップ接着剤が、接着部材111を具現するのに活用されてもよい。

【0107】

図8は、本発明の他の実施形態による電子部品内蔵基板800を概略的に示す断面図である。

10

【0108】

図8を参照して、本実施形態による電子部品内蔵基板800は、一面に第1の外部端子11が設けられ、他面に第2の外部端子12が設けられる。また、第1の外部端子11の少なくとも一部と、第2の外部端子12の少なくとも一部とを接続するスルーシリコンビアが設けられる電子部品10”が内蔵される。接着部材111と絶縁基板110との間に設けられる複数の第1の金属パターン112’の各々が、第3の溶ダボールSB3を介して第2の外部端子12と各々接続される点で、前述の実施形態と異なる。

【0109】

詳しくは、図5に示した前述の実施形態では、第1の金属パターン112が第2の溶ダボールSB2、第2の接触パッドCP2及び第3のビアV3を介して、チップ部品20の外部端子と電氣的に接続することによって、第1の金属パターン112を活用して配線を分散させている。

20

【0110】

一方、本実施形態では、また、第1の金属パターン112’によって配線が分散されるだけでなく、チップ部品20と電子部品10”とが、第2の溶ダボールSB2、第2の接触パッドCP2、第3のビアV3、第1の金属パターン112’、及び第3の溶ダボールSB3を経て、短経路で直接接続できるようになる。

【0111】

これによって、チップ部品20と電子部品10”との間の信号送信速度を著しく向上させることができる。

30

【0112】

また、本実施形態による電子部品内蔵基板800は、第1の金属パターン112’がチップ部品20と電子部品10”との間の接続経路として活用されると共に、チップ部品20の外部端子が多い場合にも、第1の金属パターン112’を活用して配線を分散させることができる長所を有する。

【0113】

ただ、本実施形態による電子部品内蔵基板800は、第1の金属パターン112’と第2の外部端子12とが、第3の溶ダボールSB3を介して接続されるので、図7に例示された実施形態に比べて、インターコネクション信頼性がやや低くなることがある。

40

【0114】

また、第1の金属パターン112’及び第2の外部端子12が微細化されるほど、より小さな溶ダボールを用いて半田付け工程を遂行しなければならないので、図7に例示された実施形態に比べて、接続不良が発生する恐れが僅かに増加することがある。

【0115】

一方、本実施形態による電子部品内蔵基板800では、絶縁基板110の表面に第1の金属パターン112’が形成された状態で、接着部材111が第1の金属パターン112’を覆うようになり、これによって、接着部材111は絶縁性を確保すると共に、電子部品10”を固定する機能を果たすようになる。

【0116】

50

したがって、本実施形態では、接着部材 111 を具現するための物質が所定の流動性を有する必要があり、一例として、エポキシ系列のチップ接着剤を、接着部材 111 を具現するのに活用することができる。

【0117】

図 9 は、本発明の一実施形態による電子部品内蔵基板の製造方法を説明するための工程断面図である。

【0118】

図 9 を参照して、第 1 の絶縁層 120 に第 2 の開口部 O2 を形成してスルービア VT を具現する。第 1 の絶縁層 120 の一面に第 1 の配線パターン WP1、他面に第 2 の配線パターン WP2 をそれぞれ形成し、スルービア VT を介して接続可能なことが理解できる。

10

【0119】

また、第 1 の絶縁層 120 には、電子部品 10 を収容するためのキャビティ 122 が形成される。

【0120】

第 4 の配線パターン WP4 を覆う第 5 の絶縁層 125 が形成された状態で、キャビティ 122 が形成されてもよい。こうして形成された第 5 の絶縁層 125 は、絶縁基板 110 と接触する。

【0121】

第 1 の絶縁層 120 は、剛性の高い材質からなるコア基板であってもよく、以下では第 1 の絶縁層 120 をコア基板と称することにする。

20

【0122】

また、コア基板は、絶縁材の表面に銅箔などの金属材 121 を設けたものとしてもよい。一実施形態として、銅箔積層板 (Copper Clad Laminate: CCL) をコア基板として活用してもよい。

【0123】

図 10a ~ 図 10i は各々、本発明の一実施形態による電子部品内蔵基板の製造方法を説明するための工程断面図である。

【0124】

まず、図 10a に示すように、絶縁基板 110 に電子部品 10 が配置される。

【0125】

30

電子部品 10 は、一面に複数の第 1 の外部端子 11 が設けられる。第 1 の外部端子 11 が設けられる面と反対側の面が、絶縁基板 110 に向くように結合される。

【0126】

また、電子部品 10 と絶縁基板 110 との間には、接着部材 111 がさらに設けられ、電子部品 10 がより一層堅固に結合される。

【0127】

また、絶縁基板 110 の表面に第 1 の金属パターン 112 が形成されている状態で、接着部材 111 が第 1 の金属パターン 112 に接触するようにしてもよい。

【0128】

また、図 10a ~ 図 10f は各々、ディタッチコア (DC) を用いて、該ディタッチコアの両面で、電子部品内蔵基板 100 の製造工程が対称的に行われることを例示している。

40

【0129】

ディタッチコアの両面で製造工程を行う場合、製造工程で発生される反り現象を減少させるに有利である。

【0130】

続いて、図 10b を参照して、キャビティ 122 に電子部品 10 が挿入されるように、コア基板が絶縁基板 110 に結合される。

【0131】

続いて、図 10c を参照して、コア基板及び電子部品 10 上に絶縁材料 132' が提供される。この絶縁材料 132' はコア基板、第 1 の配線パターン WP1、電子部品 10 及び

50

第１の外部端子１１を覆う第２の絶縁層１３２を成すようになる。絶縁材料１３２'は、電子部品１０とキャビティ１２２との間の空間にも充填され、電子部品１０をより一層堅固に固定する機能を果たす。

【０１３２】

また、絶縁材料１３２'はプリプレグ（Prepreg：PPG）であってもよく、その一面に金属材が設けられる。

【０１３３】

続いて、図１０dを参照して、第２の絶縁層１３２上に第２の配線パターンWP２が形成される。第２の配線パターンWP２が、第１の配線パターンWP１及び第１の外部端子１１と電氣的に接続されるように、第１のビアV１が設けられる。

10

【０１３４】

図１０eは、第３絶縁層１３３及び第３の配線パターンWP３が形成された状態を示す工程断面図で、図１０fは、第４の絶縁層１３４が形成された状態を示す工程断面図である。

【０１３５】

図１０e及び図１０fに示すように、第２の絶縁層１３２上に、少なくとも一つのビルドアップ層が形成されることが分かる。

【０１３６】

一方、第４の絶縁層１３４が形成された状態で、ディタッチコアを除去し、ディタッチコアの上部に位置した積層体と、ディタッチコアの下部に位置した積層体とを分離した後、個別的な工程が実施される。

20

【０１３７】

続いて、図１０gに示すように、ビルドアップ層の外面に接触パッドが形成される。すなわち、第４の絶縁層１３４の外面には、第１の接触パッドCP１が形成され、第５の絶縁層１２５の外面には、第２の接触パッドCP２が形成される。

【０１３８】

続いて、図１０hに示すように、第１の接触パッドCP１の一部を露出させながら、第１の接触パッドCP１及び第４の絶縁層１３４を覆う第１のソルダレジストSR１が形成される。

【０１３９】

また、第２の接触パッドCP２の一部を露出させながら、第２の接触パッドCP２及び第５の絶縁層１２５を覆う第２のソルダレジストSR２も形成される。

30

【０１４０】

続いて、図１０iに示すように、チップ部品２０がさらに設けられ、第２の接触パッドCP２を通じて電氣的に接続される。

【０１４１】

絶縁基板１１０は、第２の絶縁層１３２の熱膨脹係数より大きい材質で形成されることによって、電子部品１０の第１の外部端子１１と接続される配線は高い配線密度を有するようになると共に、電子部品内蔵基板全体の反り現象が減少されるようにすることが望ましい。

40

【０１４２】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、前記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【０１４３】

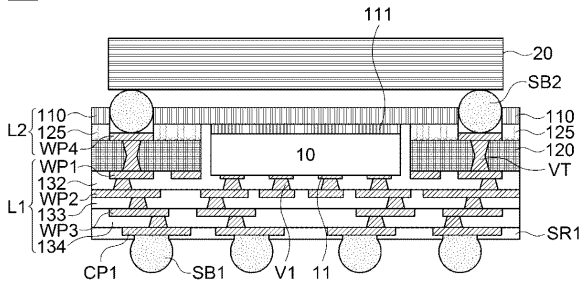
- １００ 電子部品内蔵基板
- １０ 電子部品
- １１ 第１の外部端子

50

1 2	第 2 の外部端子	
2 0、2 1、2 2	チップ部品	
1 1 0	絶縁基板	
1 1 1	接着部材	
1 1 2	第 1 の金属パターン	
1 2 0	第 1 の絶縁層	
1 2 2	キャビティ	
1 2 5	第 5 の絶縁層	
1 3 2	第 2 の絶縁層	
1 3 3	第 3 の絶縁層	10
1 3 4	第 4 の絶縁層	
W P 1	第 1 の配線パターン	
W P 2	第 2 の配線パターン	
W P 3	第 3 の配線パターン	
W P 4	第 4 の配線パターン	
C P 1	第 1 の接触パッド	
C P 2	第 2 の接触パッド	
S R 1	第 1 のソルダレジスト	
S R 2	第 2 のソルダレジスト	
S B 1	第 1 のソルダボール	20
S B 2	第 2 のソルダボール	
S B 3	第 3 のソルダボール	
O 1	第 1 の開口部	
O 2	第 2 の開口部	
L 1	第 1 の配線層	
L 2	第 2 の配線層	
V T	スルービア	
D C	ディタッチコア	
T S V	スルーシリコンビア	

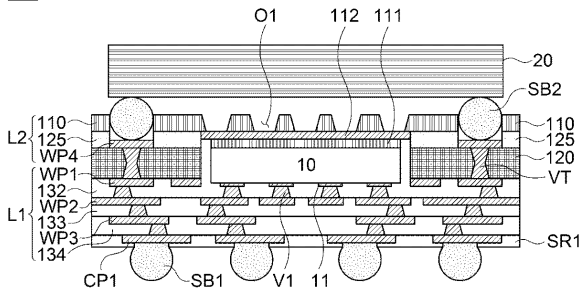
【図 1】

100



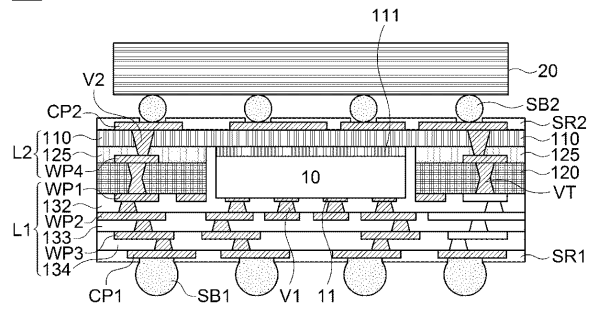
【図 2】

200



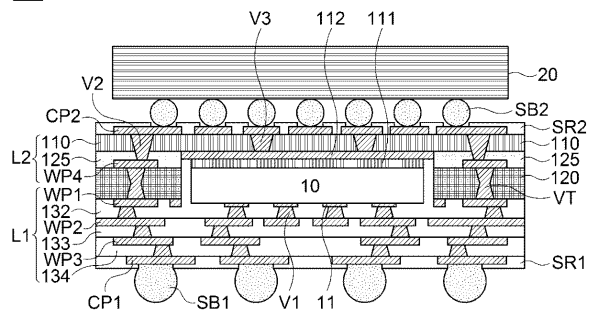
【図 3】

300



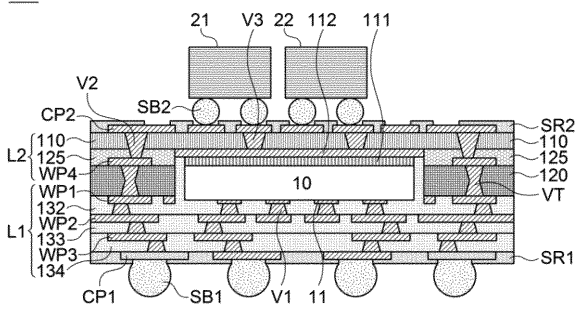
【図 4】

400



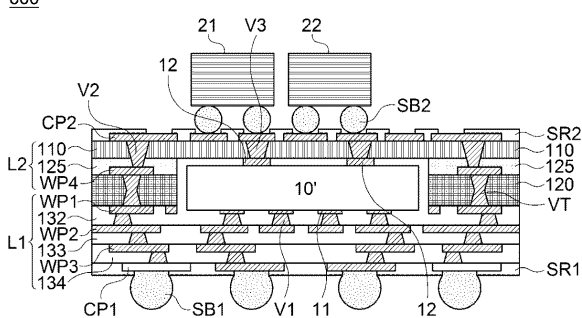
【図 5】

500



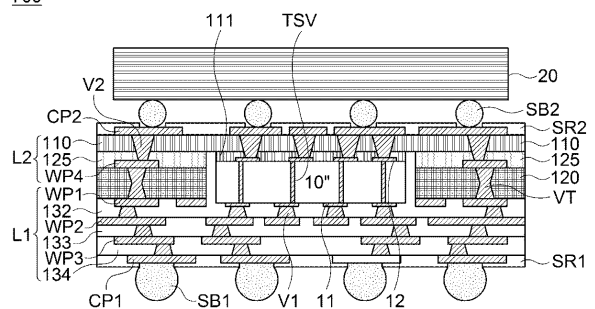
【図 6】

600



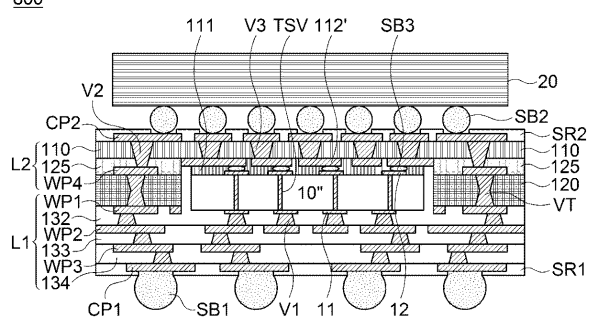
【図 7】

700

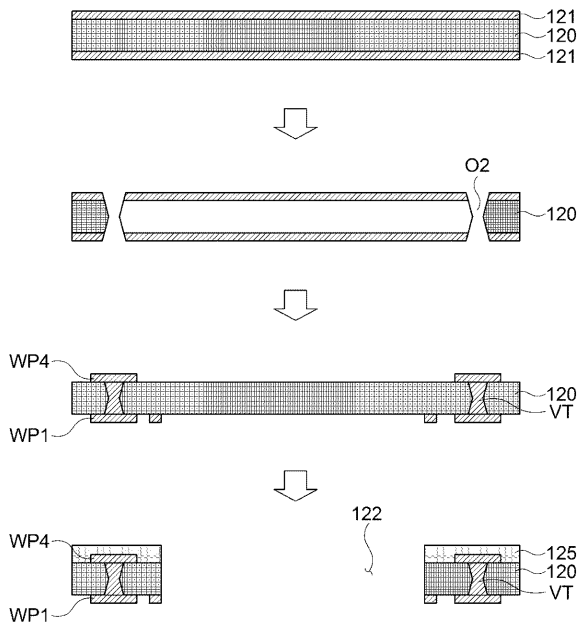


【図 8】

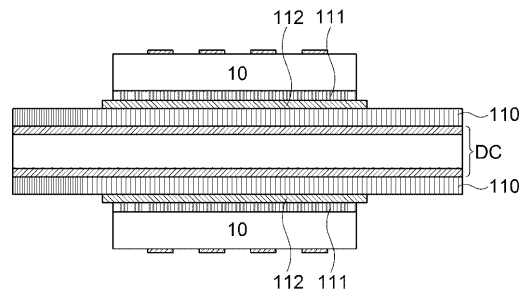
800



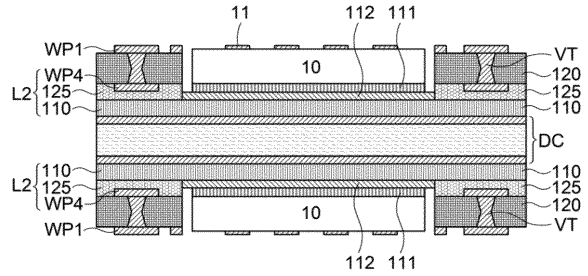
【図 9】



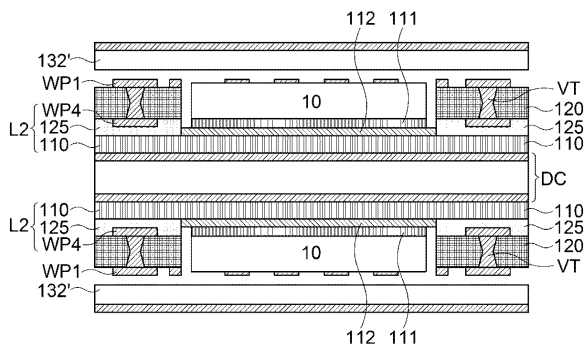
【図 10 a】



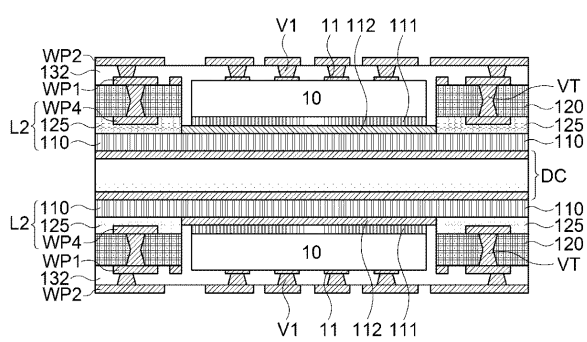
【図 10 b】



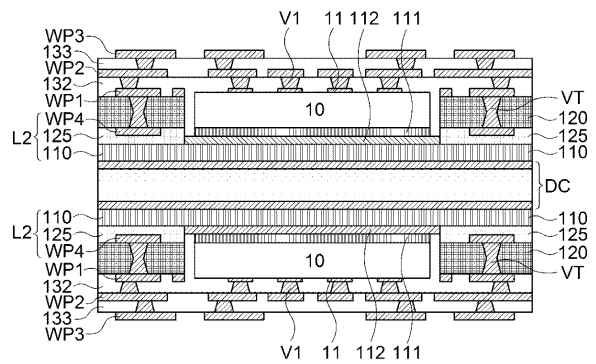
【図 10 c】



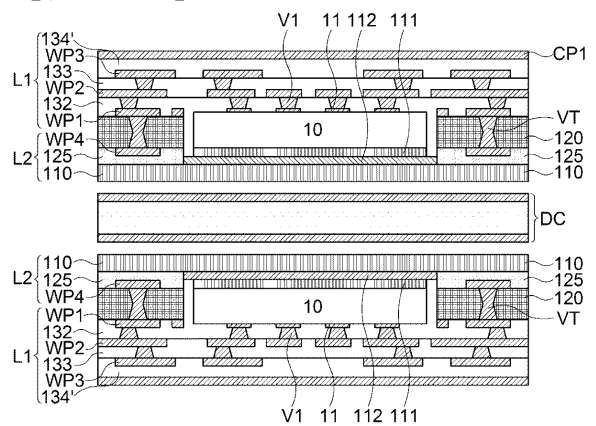
【図 10 d】



【図 10 e】



【図 10 f】



A detailed cross-sectional diagram of a semiconductor device. The structure consists of several stacked layers. At the top, there are contact pads labeled V2, V3, 112, and 111. Below these is a layer containing a central rectangular region labeled 10. To the left and right of this central region are areas labeled WP1 and WP2, which appear to be part of a wiring pattern. Further down, there are more layers with labels CP1, V1, and 11 at the bottom. On the far right, vertical sections are labeled 110, 125, 120, and VT. On the left side, horizontal dimensions or positions are indicated by L1 and L2. Various other labels like CP2, 110, 125, 120, and VT are also present, indicating different materials or regions within the device.

FIG. 4 is a cross-sectional view of a semiconductor device 10. The device includes a central rectangular region 10. Above this region is a layer 20, which is divided into three horizontal sections labeled V3, 112, and 111. Below the central region 10 are two layers, SR1 and SR2, separated by a layer VT. The device is flanked by two vertical sections, CP1 and CP2. The bottom of the device is labeled L1 and the top is labeled L2. Various other labels include V2, SB1, SB2, V1, and 11.

フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 25/18 (2006.01) H 0 1 L 25/08 C

(72)発明者 ベ・テ・キュン
大韓民国、3 3 9-7 0 2 チュンチョンナムード、ヨンギーグン、ドンーミュン、サムソニーギ
ル 2 5、サムソン エレクトローメカニックス カンパニーリミテッド

(72)発明者 カン・ホ・シク
大韓民国、3 3 9-7 0 2 チュンチョンナムード、ヨンギーグン、ドンーミュン、サムソニーギ
ル 2 5、サムソン エレクトローメカニックス カンパニーリミテッド

Fターム(参考) 5E316 AA12 AA15 AA25 AA32 AA38 AA43 BB02 CC09 CC32 CC41
CC52 DD02 DD12 EE12 EE31 FF18 FF37 FF45 GG15 GG17
GG19 GG22 GG28 HH11 JJ12 JJ13 JJ25 JJ28