(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 23/12

(45) 공고일자 2005년07월20일
(11) 등록번호 10-0502134
(24) 등록일자 2005년07월08일

(21) 출원번호 10-2002-0027302
(22) 출원일자 2002년05월17일

(65) 공개번호 10-2002-0088382
(43) 공개일자 2002년11월27일

(30) 우선권주장 JP-P-2001-00149341 2001년05월18일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도쿄도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 마쯔이미끼오
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

오미조쇼꼬
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

요시무라아쯔시
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

사또다까오
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

(74) 대리인 장수길
구영창

심사관 : 나광표

(54) 적층형 반도체 장치의 제조 방법

요약

제1 접속 전극과, 상기 제1 접속 전극에 전기적으로 접속된 제1 배선과, 제1 얼라이먼트 마크를 갖는 기판에, 상기 제1 배선과 전기적으로 접속된 상태에서 반도체 소자를 실장한다. 그리고, 제2 접속 전극과, 상기 제2 접속 전극에 전기적으로 접속된 제2 배선을 갖고 양면에 접착제층이 형성된 코어 기판과, 상기 반도체 소자를 실장한 기판을, 상기 제1 얼라이먼트 마크의 인식에 의해 위치 결정하여 적층하고, 상기 접착제가 경화되지 않고 용융하는 온도에서 열 압착을 행하여, 접착제의 점성력으로 상기 반도체 소자를 실장한 기판을 상기 코어 기판에 가고정한다.

대표도

도 1

색인어

PTP 기판, 얼라이먼트 마크, Cu 비어, Cu 랜드, 코어 기판

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 2는 개편(個片)화된 PTP 기판의 평면도.

도 3은 도 2에 도시한 PTP 기판과 코어 기판을 적층한 상태를 나타내는 단면도.

도 4는 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분의 구성예를 나타내는 확대 단면도.

도 5는 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분의 다른 구성예를 나타내는 확대 단면도.

도 6은 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분의 또 다른 구성예를 나타내는 확대 단면도.

도 7은 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분의 다른 구성예를 나타내는 확대 단면도.

도 8은 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분의 또 다른 구성예를 나타내는 확대 단면도.

도 9a는 도 2에 도시한 PTP 기판의 변형예에 대하여 설명하기 위한 것으로, PTP 기판의 평면도이고, 도 9b는 도 2에 도시한 PTP 기판의 변형예에 대하여 설명하기 위한 것으로, PTP 기판과 코어 기판을 적층한 상태를 나타내는 부분 단면도.

도 10a는 본 발명의 제2 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도이고, 도 10b와 10c는, 각각, 본 발명의 제2 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 코어 기판에 설치된 적층용의 얼라이먼트 마크의 일례를 나타내는 평면도.

도 11은 본 발명의 제3 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 12는 본 발명의 제4 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 13은 본 발명의 제4 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, PTP 기판을 복수개 가고정한 코어 기판을 복수개 적층한 상태를 나타내는 사시도.

도 14는 본 발명의 제5 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 15는 본 발명의 제6 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도.

도 16은 본 발명의 제6 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, PTP 기판과 코어 기판을 복수개 적층한 상태를 나타내는 사시도.

<도면의 주요 부분에 대한 부호의 설명>

11 : PTP 기판

12 : 반도체 칩

13 : Cu 배선

14A, 14B : 얼라이먼트 마크

15 : 코어 기판

20, 23 : Cu 비어

22, 25 : Cu 랜드

41A, 41B : 더미 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 특히 반도체 소자를 적층하여 실장하는 적층 패키지에 관한 것이다.

최근, 반도체 장치는, 고밀도 실장화를 도모하기 위해, 반도체 소자를 적층하여 실장하는 경우가 많아지고 있다. 종래의 적층형 반도체 장치(적층 패키지)에 대해서는, 예를 들면 일본국 특허 공개H09-219490, 일본국 특허 공개H10-135267, 및 일본국 특허 공개H10-163414 등에 기재되어 있다.

이들 종래의 적층 패키지에서는, TSOP(Thin Small Outline Package), TCP(Tape Carrier Package), BGA(Ball grid Arrays) 등에 패키징한 후, 각 패키지에 사전에 형성된 외부 단자를 개별로 중첩하여 각각을 적층하고, 다시 전기적 접속을 행하여 완성시킨다.

발명이 이루고자 하는 기술적 과제

즉, 종래의 적층 패키지는, 각 패키지에의 패키징 공정 외에 패키지마다의 적층 가공 공정이 가해진다. 따라서, 공정 수가 적층 개수분만큼 증가하는 시켄셜 공법으로 되며, 이 공법에 의한 가공 비용의 증가, 또한 개별로 적층하기 위한 스페이서 등의 부재를 이용하는 것에 의한 비용 증가가 문제로 되어 있다.

발명의 구성 및 작용

본 발명의 일 양태에 따른 반도체 장치의 제조 방법은, 제1 접속 전극과, 상기 제1 접속 전극에 전기적으로 접속된 제1 배선과, 제1 얼라이먼트 마크를 갖는 기판에, 상기 제1 배선과 전기적으로 접속된 상태에서 반도체 소자를 실장하는 단계와, 제2 접속 전극과, 상기 제2 접속 전극에 전기적으로 접속된 제2 배선을 갖고 양면에 접착제층이 형성된 코어 기판과, 상기 반도체 소자를 실장한 기판을, 상기 제1 얼라이먼트 마크의 인식에 의해 위치 결정하여 적층하고, 상기 접착제가 경화되지 않고 용융하는 온도에서 열 압착을 행하여, 접착제의 점성력으로 상기 반도체 소자를 실장한 기판을 상기 코어 기판에 가고정하는 단계를 포함한다.

본 발명의 다른 양태에 따른 반도체 장치의 제조 방법은, 제1 접속 전극과, 상기 제1 접속 전극에 전기적으로 접속된 제1 배선과, 얼라이먼트 마크를 갖는 기판에, 상기 제1 배선과 전기적으로 접속된 상태에서 반도체 소자를 실장하는 단계와, 제2 접속 전극과, 상기 제2 접속 전극에 전기적으로 접속된 제2 배선과, 적층을 위한 위치 결정용의 핀 구멍을 갖고 양면에 접착제층이 형성된 코어 기판과, 상기 반도체 소자를 실장한 기판을, 상기 얼라이먼트 마크의 인식에 의해 위치 결정하여 적층하고, 상기 접착제가 경화되지 않고 용융하는 온도에서 열 압착을 행하여, 접착제의 점성력으로 상기 반도체 소자를 실장한 기판을 상기 코어 기판에 가고정하고, 상기 반도체 소자를 실장한 기판을 가고정한 코어 기판을, 상기 위치 결정용의 핀 구멍을 이용하여, 핀을 세운 지그판에 복수개 끼워 넣어 적층하는 단계와, 상기 복수개의 코어 기판을 열 프레스에 의해 접착하는 단계를 포함한다.

본 발명의 또 다른 양태에 따른 반도체 장치의 제조 방법은, 제1 접속 전극과, 상기 제1 접속 전극에 전기적으로 접속된 제1 배선과, 위치 결정용의 제1 핀 구멍을 갖는 기판에, 상기 제1 배선과 전기적으로 접속된 상태에서 반도체 소자를 실장하는 단계와, 제2 접속 전극과, 상기 제2 접속 전극에 전기적으로 접속된 제2 배선과, 적층을 위한 위치 결정용의 제2 핀 구멍을 갖고 양면에 접착제층이 형성된 코어 기판과, 상기 반도체 소자를 실장한 기판을, 상기 제1 및 제2 위치 결정용의 핀 구멍을 이용하여, 핀을 세운 지그판에 복수개 끼워 넣어 적층하는 단계와, 상기 반도체 소자를 실장한 기판을 코어 기판에 열 프레스에 의해 접착함과 함께, 복수개 적층한 코어 기판을 접착하는 단계를 포함한다.

[제1 실시 양태]

도 1은 본 발명의 제1 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도, 도 2는 개편(個片)화된 PTP(Paper Thin Package) 기판의 평면도, 도 3은 상기 도 2에 도시한 PTP 기판과 코어 기판을 적층한 상태를 나타내는 단면도이다. 또한, 도 4 내지 도 8은 각각 도 3에서의 PTP 기판과 코어 기판에서의 접속 전극 부분의 구성예를 나타내는 확대 단면도로, 비어에 충전되는 금속의 다양한 조합을 나타내고 있다.

우선, 도 1과 도 2에 도시한 바와 같이, 유리 에폭시나 폴리이미드 등의 PTP 기판(11)에, 반도체 칩(반도체 소자; 12)을 실장한다(단계 1). 상기 PTP 기판(11)은, 접속 전극, 이 접속 전극에 전기적으로 접속된 Cu 배선(13), 및 위치 결정용의 얼라이먼트 마크(14A, 14B)를 갖고 있고, 상기 반도체 칩(12)은, 상기 Cu 배선(13)과 전기적으로 접속된 상태에서 PTP 기판(11)에 실장된다.

다음으로, 상기한 바와 같은 구성의 PTP 기판(11)과, 접속 전극, 및 이 접속 전극에 전기적으로 접속된 배선을 구비하고, 양면에 접착제가 도포된 코어 기판을, 상기 얼라이먼트 마크(14A, 14B)의 인식에 의해 위치 결정하여 적층하고, 에폭시계의 접착제가 경화되지 않는 온도인 120℃ 이하(예를 들면 60℃～120℃)의 열 압착 툴로, PTP 기판(11)과 코어 기판의 열 압착을 행하여, 접착제의 점성력으로 가고정한다(단계 2). 이 때, 상기 PTP 기판(11)을 흡착하여 픽업하기 위한 콜릿에 가열 툴을 내장한 것을 이용하면, PTP 기판(11)의 코어 기판 상으로의 이송과 고정을 연속적으로 행할 수 있다.

다음으로, 도 3에 도시한 바와 같이, PTP 기판(11-1～11-3)을 가고정한 코어 기판(15-2～15-4)과 코어 기판(15-1, 15-5)을 적층하고(단계 3), 열 프레스에 의해 전체 층을 접착한다(단계 4).

이러한 제조 방법에 따르면, PTP 기판(11-1～11-3)을 코어 기판(15-2～15-4)에 가고정함으로써, 열 프레스 시에 접착제가 용융되어도 개편화된 PTP 기판(11-1～11-3)의 어긋남을 억제할 수 있다. 또한, 제조 공정 수를 삭감함과 함께, 적층하기 위한 부재가 불필요하므로 저비용화를 도모할 수 있다. 또한, 스페이서 등의 적층하기 위한 부재가 불필요하므로, 적층 패키지의 두께를 얇게 할 수 있다.

도 4는 상기 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분(파선(17)으로 둘러싼 영역)의 구성예를 나타내는 확대 단면도이다. 도 4에 도시한 바와 같이, 코어 기판(15-2)에는 비어가 형성되며, 이 비어에 접속 전극으로서 작용하는 Cu(Cu 비어로 칭함; 20)가 충전되어 있다. 이 Cu 비어(20)의 PTP 기판(11-1)과의 접합면측에는 Sn 도금층(21)이 형성되어 있다. 또한, 이면측에는, Cu 랜드(22)가 형성되어 있다. 상기 PTP 기판(11-1)의 Cu 비어(20)에 대응하는 위치에는 비어가 형성되고, 이 비어에 접속 전극으로서 작용하는 Cu(Cu 비어로 칭함; 23)가 충전되어 있다. 이 Cu 비어(23)의 표면에는 Sn 도금층(24)이 형성되며, 이면측에는 Cu 랜드(25)가 형성되어 있다.

상기한 바와 같이 Sn/Cu를 이용한 접속 전극 구조에 의하면, 패키지의 무Pb화에 대응할 수 있다.

도 5는, 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분(파선(17)으로 둘러싼 영역)의 다른 구성예를 나타내는 확대 단면도이다. 도 5에 도시한 바와 같이, 코어 기판(15-2)에는 비어가 형성되며, 이 비어에 접속 전극으로서 작용하는 Cu(Cu 비어로 칭함; 20)가 충전되어 있다. 이 Cu 비어(20)의 PTP 기판(11-1)과의 접합면측에는 Sn-Pb 도금층(26)이 형성되어 있다. 또한, 이면측에는, Cu 랜드(22)가 형성되며, 이 Cu 랜드(22)의 표면에는 Sn 도금층(27)이 형성되어 있다. 상기 PTP 기판(11-1)의 Cu 비어(20)에 대응하는 위치에는 비어가 형성되며, 이 비어에 접속 전극으로서 작용하는 Sn-Ag(Sn-Ag 비어로 칭함; 28)가 충전되어 있다. 이 Sn-Ag 비어(28)의 이면측에는 Cu 랜드(25)가 형성되어 있다. 또한, 상기 Cu 랜드(25)의 상기 Sn-Pb 도금층(26)에 대응하는 위치에는 Sn-Ag 도금층(29)이 형성되어 있다.

상기한 바와 같이 Sn-Ag/Sn-Pb를 이용한 접속 전극 구성에서는, Sn-Pb 도금층(26)이 열 프레스 시에 용융되어, 높이의 변동을 저감할 수 있다.

도 6은, 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분(파선(17)으로 둘러싼 영역)의 또 다른 구성예를 나타내는 확대 단면도이다. 도 6에 도시한 바와 같이, 코어 기판(15-2)에는 비어가 형성되며, 이 비어에 접속 전극으로서 작용하는 Cu(Cu 비어로 칭함; 20)가 충전되어 있다. 이 Cu 비어(20)의 PTP 기판(11-1)과의 접합면측에는 Au 도금층(30)이 형성되어 있다. 또한, 이면측에는 Cu 랜드(22)가 형성되며, 이 Cu 랜드(22)의 표면에는 Au 도금층(31)이 형성되어 있다. 상기 PTP 기판(11-1)의 Cu 비어(20)에 대응하는 위치에는 비어가 형성되며, 이 비어에 접속 전극으로서 기능하는 Cu(Cu 비어로 칭함; 23)가 충전되어 있다. 이 Cu 비어(23)의 표면측에는 Au 도금층(32)이 형성되며, 이면측에는 Cu 랜드(25)가 형성되어 있다. 또한, 상기 Cu 랜드(25)의 상기 Au 도금층(30)에 대응하는 위치에는 Au 도금층(33)이 형성되어 있다.

상기한 바와 같이 Au/Au를 이용한 접속 전극 구성은, 랜드(22, 25)의 산화 방지 효과가 있으며, Au는 물렁하기 때문에 프레스 시에 눌려져, 비어의 높이 변동을 흡수할 수 있다. 이에 따라, 각 층의 전극 접속 특성을 향상시킬 수 있다.

도 7은, 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분(파선(17)으로 둘러싼 영역)의 다른 구성예를 나타내는 확대 단면도이다. 도 7에 도시한 바와 같이, 코어 기판(15-2)에는 비어가 형성되며, 이 비어에 접속 전극으로서 작용하는 Cu(Cu 비어로 칭함; 20)가 충전되어 있다. 이 Cu 비어(20)의 PTP 기판(11-1)과의 접합면의 이면측에는, Cu 랜드(22)가 형성되어 있다. 상기 PTP 기판(11-1)의 Cu 비어(20)에 대응하는 위치에는 비어가 형성되며, 이 비어에 접속 전극으로서 작용하는 Cu(Cu 비어로 칭함; 23)가 충전되어 있다. 이 Cu 비어(23)의 이면측에는 Cu 랜드(25)가 형성되어 있다.

상기한 바와 같이 Cu/Cu를 이용한 접속 전극 구성은 염가이며, 패키지의 무Pb화에도 대응할 수 있다.

도 8은, 도 3에서의 PTP 기판과 코어 기판의 접속 전극 부분(파선(17)으로 둘러싼 영역)의 또 다른 구성예를 나타내는 확대 단면도이다. 도 8에 도시한 바와 같이, 코어 기판(15-2)에는 비어가 형성되며, 이 비어에 접속 전극으로서 작용하는 Cu(Cu 비어로 칭함; 20)가 충전되어 있다. 이 Cu 비어(20)의 PTP 기판(11-1)과의 접합면측에는 Sn-Ag 도금층(34)이 형성되어 있다. 또한, 이면측에는, Cu 랜드(22)가 형성되며, 이 Cu 랜드(22)의 표면에는 Sn 도금층(27)이 형성되어 있다. 상기 PTP 기판(11-1)의 Cu 비어(20)에 대응하는 위치에는 비어가 형성되며, 이 비어에 접속 전극으로서 작용하는 Sn(Sn 비어로 칭함; 35)이 충전되어 있다. 이 Sn 비어(35)의 이면측에는 Cu 랜드(25)가 형성되어 있다. 또한, 상기 Cu 랜드(25)의 상기 Sn-Ag 도금층(34)에 대응하는 위치에는 Sn 도금층(36)이 형성되어 있다.

상기한 바와 같이 Sn-Ag/Sn을 이용한 접속 전극 구성은, 패키지의 무Pb화에 대응할 수 있으며, 랜드(25, 22)의 산화에 의한 접합 불량을 억제할 수 있다.

도 9a와 도 9b는 각각, 상기 도 2에 도시한 PTP 기판(11)의 변형예를 나타내고 있다. 도 9a에 도시한 바와 같이, 이 PTP 기판(11')에서의 파선(40)으로 표시한 제품으로 될 수 있는 범위 외에, Cu 등으로 이루어지는 더미 패턴(41A, 41B)이 형성되어 있다. 또한, 도 9b에 도시한 바와 같이, 코어 기판(15)에 도포된 접착제층에도 상기 더미 패턴(41)에 대응하는 위치에 Cu 등으로 이루어지는 더미 패턴(42)이 형성되어 있다.

이러한 더미 패턴(41, 42)을 형성하면, 접착제 두께가 얇아짐으로써, 열 프레스 시에 용융하는 접착제층이 부분적으로 적어져, 코어 기판(15)과 PTP 기판(11')의 어긋남을 보다 적게 할 수 있다.

또한, 여기서는 PTP 기판(11')과 코어 기판(15)의 양방에 더미 패턴(41, 42)을 형성하는 예를 설명하였지만, 어느 한쪽에만 형성해도 된다.

[제2 실시 양태]

도 10a 내지 도 10c는 각각, 본 발명의 제2 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 것으로, 도 10a는 흐름도, 도 10b와 도 10c는 각각 코어 기판에 설치된 적층용의 얼라이먼트 마크의 일례이다. 본 실시 양태에서는, PTP 기판뿐만 아니라, 코어 기판에도 적층용의 얼라이먼트 마크를 설치하여, 적층용의 얼라이먼트 마크를 이용하여 코어 기판의 위치를 결정하도록 하고 있다. 즉, 우선, 유리 에폭시나 폴리이미드 등으로 이루어지는 PTP 기판(11)에, 반도

체 칩(12)을 실장한다(단계 1). 상기 PTP 기판(11)은, 도 2와 마찬가지로, 접속 전극, 이 접속 전극에 전기적으로 접속된 Cu 배선(13), 및 적층할 때의 위치 결정용의 얼라이먼트 마크(14A, 14B)를 갖고 있고, 상기 반도체 칩(12)은, 상기 Cu 배선(13)과 전기적으로 접속된 상태에서 PTP 기판에 실장된다.

다음으로, 상기한 바와 같은 구성의 PTP 기판과, 접속 전극, 이 접속 전극에 전기적으로 접속된 배선, 및 이 배선과 동시에 패터닝 형성된 도 10b와 도 10c에 도시한 바와 같은 적층용의 얼라이먼트 마크를 갖고, 양면에 접착제가 도포된 코어 기판을, 상기 PTP 기판(11)의 얼라이먼트 마크(14A, 14B)의 인식에 의해 위치 결정하여 적층하고, 에폭시계의 접착제가 경화되지 않는 온도인 120℃ 이하(예를 들면 60℃～120℃)의 열 압착 툴로, 적층된 PTP 기판과 코어 기판의 열 압착을 행하여, 접착제의 점성력으로 가고정한다(단계 2). 이 때, 상술한 제1 실시 양태와 마찬가지로, 상기 PTP 기판을 흡착하여 픽업하는 콜릿에 가열 툴을 내장한 것을 이용하면, 코어 기판으로의 PTP 기판의 이송과 가고정을 연속적으로 행할 수 있다.

다음으로, PTP 기판을 복수개 가고정한 코어 기판을, 상기 코어 기판의 도 10b와 도 10c에 도시한 얼라이먼트 마크에 의해 위치 결정한 후(단계 3), 코어 기판을 복수개 적층하여(단계 4), 열 프레스에 의해 접착한다(단계 5).

이러한 제조 방법에 의하면, 코어 기판에 설치된 적층용의 얼라이먼트 마크는, 배선과 함께 패터닝 형성되기 때문에, 적층 어긋남을 패턴 정밀도까지 향상시킬 수 있다.

[제3 실시 양태]

도 11은 본 발명의 제3 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도이다. 우선, 유리 에폭시나 폴리이미드 등으로 이루어지는 PTP 기판(11)에, 반도체 칩(12)을 실장한다(단계 1). 상기 PTP 기판(11)은, 도 2와 마찬가지로, 접속 전극, 이 접속 전극에 전기적으로 접속된 Cu 배선(13), 및 적층할 때의 위치 결정용의 얼라이먼트 마크(14A, 14B)를 갖고 있고, 상기 반도체 칩(12)은, 상기 Cu 배선(13)과 전기적으로 접속된 상태에서 PTP 기판(11)에 실장된다.

다음으로, 상기한 바와 같은 구성의 PTP 기판과, 접속 전극, 이 접속 전극에 전기적으로 접속된 배선, 및 이 배선과 동시에 패터닝 형성된 적층용의 얼라이먼트 마크를 갖고, 양면에 접착제가 도포된 코어 기판을, 상기 PTP 기판의 얼라이먼트 마크의 인식에 의해 위치 결정하여 적층하고, 에폭시계의 접착제가 경화되지 않는 온도인 120℃ 이하(예를 들면 60℃～120℃)의 열 압착 툴로, PTP 기판과 코어 기판의 열 압착을 행하여, 접착제의 점성력으로 가고정한다(단계 2). 이 때, 상기 PTP 기판을 흡착하여 픽업하는 콜릿에 가열 툴을 내장한 것을 이용하면, 코어 기판으로의 PTP 기판의 이송과 가고정을 연속적으로 행할 수 있다.

다음으로, PTP 기판을 복수개 가고정한 코어 기판을, 코어 기판의 얼라이먼트 마크에 의해 위치 결정하고(단계 3), 코어 기판을 복수개 적층하여(단계 4), 예를 들면 스테이플러(stapler)로, 복수개의 코어 기판을 기계적으로 가고정한다(단계 5).

그 후, 상기 기계적으로 가고정한 코어 기판을 열 프레스에 의해 접착한다(단계 6).

이러한 제조 방법에 의하면, 가고정에 의해 PTP 기판을 탑재하고, 적층용의 얼라이먼트 마크를 갖는 코어 기판의 위치 결정을 행하여, 기계적으로 복수개의 코어 기판을 가고정하고, 그 후, 열 프레스에 의해 접착하기 때문에, 적층 어긋남을 보다 저감하여 고정밀도로 적층할 수 있다.

[제4 실시 양태]

도 12는 본 발명의 제4 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도이다. 또한, 도 13은 PTP 기판을 복수개 가고정한 코어 기판을 복수개 적층한 상태를 나타내는 사시도이다.

우선, 유리 에폭시나 폴리이미드 등으로 이루어지는 PTP 기판(11)에, 반도체 칩(12)을 실장한다(단계 1). 상기 PTP 기판(11)은, 도 2와 마찬가지로, 접속 전극, 이 접속 전극에 전기적으로 접속된 Cu 배선(13), 및 적층할 때의 위치 결정용의 얼라이먼트 마크(14A, 14B)를 갖고 있고, 상기 반도체 칩(12)은, 상기 Cu 배선(13)과 전기적으로 접속된 상태에서 PTP 기판(11)에 실장된다.

다음으로, 상기한 바와 같은 구성의 PTP 기판과, 접속 전극, 이 접속 전극에 전기적으로 접속된 배선, 및 적층을 위한 위치 결정용의 핀 구멍을 갖고, 양면에 접착제가 도포된 코어 기판(50-1～50-3)을, 상기 PTP 기판의 얼라이먼트 마크의 인식에 의해 위치 결정하여 적층하고, 에폭시계의 접착제가 경화되지 않는 온도인 120℃ 이하(예를 들면 60℃～120℃)의 열 압착 툴로, PTP 기판과 코어 기판의 열 압착을 행하여, 접착제의 점성력으로 가고정한다(단계 2). 이 때, 상기 PTP 기판을 흡착하여 픽업하는 콜릿에 가열 툴을 내장한 것을 이용하면, 코어 기판으로의 PTP 기판의 이송과 가고정을 연속적으로 행할 수 있다.

그 후, 도 13에 도시한 바와 같이, 상기 코어 기판(50-1～50-3)의 위치 결정용의 핀 구멍에, 지그판(52)의 핀(51A, 51B, 51C, …)을 관통시켜 순차적으로 끼워 넣어 복수개 적층한다.

그리고, 상기 PTP 기판(11-1, 11-2, 11-3, …)과 코어 기판(50-1～50-3)을 열 프레스에 의해 접착한다(단계 4).

이러한 제조 방법에 의하면, 상술한 제1 내지 제3 실시 양태에 따른 제조 방법과 동일한 효과가 얻어진다.

[제5 실시 양태]

도 14는 본 발명의 제5 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도이다. 우선, 유리 에폭시나 폴리이미드 등으로 이루어지는 PTP 기판(11)에, 반도체 칩(12)을 실장한다(단계 1). 상기 PTP 기판(11)은, 도 2와 마찬가지로, 접속 전극, 이 접속 전극에 전기적으로 접속된 Cu 배선(13), 및 적층할 때의 위치 결정용의 얼라이먼트 마크(14A, 14B)를 갖고 있고, 상기 반도체 칩(12)은, 상기 Cu 배선(13)과 전기적으로 접속된 상태에서 PTP 기판(11)에 실장된다.

다음으로, 상기한 바와 같은 구성의 복수의 PTP 기판과, 접속 전극, 이 접속 전극에 전기적으로 접속된 배선, 및 적층 시의 위치 정합용의 홈을 갖고, 양면에 접착제가 도포된 코어 기판을, 상기 PTP 기판의 얼라이먼트 마크의 인식에 의해 위치 결정하여 적층하고, 에폭시계의 접착제가 경화되지 않는 온도인 120℃ 이하(예를 들면 60℃～120℃)의 열 압착 툴로, PTP 기판과 코어 기판의 열 압착을 행하여, 접착제의 점성력으로 가고정한다(단계 2). 이 때, 상기 PTP 기판을 흡착하여 픽업하는 콜릿에 가열 툴을 내장한 것을 이용하면, 코어 기판으로의 PTP 기판의 이송과 가고정을 연속적으로 행할 수 있다.

그 후, 위치 정합용의 홈을 갖는 코어 기판을, 도 13에 도시한 제4 실시 양태와 마찬가지로, 핀을 세운 지그판에 끼워 넣어 복수개 적층한다(단계 3).

그리고, 상기 복수개 적층한 PTP 기판과 코어 기판을 열 프레스에 의해 접착한다(단계 4).

이러한 제조 방법에 의해서도, 기본적으로는 상기 제4 실시 양태에 따른 반도체 장치의 제조 방법과 동일한 작용 효과가 얻어진다.

[제6 실시 양태]

도 15는 본 발명의 제6 실시 양태에 따른 반도체 장치의 제조 방법에 대하여 설명하기 위한 흐름도이다. 도 16은, 본 실시 양태에서의 PTP 기판과 코어 기판을 복수개 적층한 상태를 나타내는 사시도이다. 우선, 유리 에폭시나 폴리이미드 등으로 이루어지는 PTP 기판(11)에, 반도체 칩(12)을 실장한다(단계 1). 상기 PTP 기판(11)은, 접속 전극, 이 접속 전극에 전기적으로 접속된 Cu 배선(13), 및 적층할 때의 위치 결정용의 핀 구멍을 갖고 있고, 상기 반도체 칩(12)은 상기 Cu 배선(13)과 전기적으로 접속된 상태에서 PTP 기판(11)에 실장된다.

다음으로, 도 16에 도시한 바와 같이, 상기한 바와 같은 구성의 PTP 기판(11-1, 11-2, 11-3, …)과, 접속 전극, 이 접속 전극에 전기적으로 접속된 배선, 및 적층용의 위치 결정용의 핀 구멍을 갖고, 양면에 접착제가 도포된 코어 기판(60-1～60-4)을 각각의 위치 결정을 행하는 핀(61A, 61B, 61C)을 세운 지그판(62)에 순차적으로 끼워 넣어 적층한다(단계 2).

그 후, 상기 코어 기판(60-1～60-4)과 PTP 기판(11-1, 11-2, 11-3, …)을 열 프레스에 의해 일괄하여 접착한다(단계 3).

이러한 제조 방법에 의하면, 적층 공정을 보다 간단화할 수 있어, 공정 수를 삭감할 수 있음과 함께, 적층하기 위한 부재가 불필요하므로 저비용화를 도모할 수 있다.

당 분야의 업자라면 부가적인 장점 및 변경들을 용이하게 생성할 수 있다. 따라서, 광의의 관점에서의 본 발명은 본 명세서에 예시되고 기술된 상세한 설명 및 대표 실시예들에 한정되는 것은 아니다. 따라서, 첨부된 청구범위들 및 그 등가물들에 의해 정의된 바와 같은 일반적인 발명적 개념의 정신 또는 범위로부터 벗어나지 않고 다양한 변경들이 생성될 수 있다.

발명의 효과

본 발명에 따르면, 적층 공정을 보다 간단하게 할 수 있어 공정 수를 삭감할 수 있음과 함께, 적층하기 위한 부재가 불필요하므로 저비용화를 도모할 수 있는 반도체 장치의 제조 방법이 얻어진다.

(57) 청구의 범위

청구항 1.

반도체 장치의 제조 방법에 있어서,

제1 접속 전극과, 상기 제1 접속 전극에 전기적으로 접속된 제1 배선과, 제1 얼라이먼트 마크를 갖는 기판에, 상기 제1 배선과 전기적으로 접속된 상태에서 반도체 소자를 실장하는 단계와,

제2 접속 전극과, 상기 제2 접속 전극에 전기적으로 접속된 제2 배선을 갖고 양면에 접착제층이 형성된 코어 기판과, 상기 반도체 소자를 실장한 기판을 상기 제1 얼라이먼트 마크의 인식에 의해 위치 결정하여 적층하고, 상기 접착제가 경화되지 않고 용융하는 온도에서 열 압착을 행하여, 접착제의 점성력으로 상기 반도체 소자를 실장한 기판을 상기 코어 기판에 가고정하는 단계와,

상기 가고정한 후에, 상기 반도체 소자를 실장한 기판을 가고정한 코어 기판을 삼차원적으로 위치 결정을 행하면서 복수개 적층하고, 열 프레스에 의해 접착하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 2.

삭제

청구항 3.

제1항에 있어서,

상기 반도체 소자가 실장된 기판과, 상기 양면에 접착제층이 형성된 코어 기판의 제2 접속 전극 부분은, 각각 금속이 충전된 비어를 포함하고, 상기 열 프레스 시에 상기 비어에 충전된 금속이 접속되어, 합금층이 형성되는 반도체 장치의 제조 방법.

청구항 4.

제3항에 있어서,

상기 비어에 충전된 금속은, Cu, Sn, 및 Sn-Ag를 포함하는 그룹 중에서 선택된 어느 하나의 재료인 반도체 장치의 제조 방법.

청구항 5.

제4항에 있어서,

상기 비어 내에 형성된 금속의 표면에 설치되며, Sn, Sn-Ag, Sn-Pb, 및 Au를 포함하는 그룹 중에서 선택된 어느 하나의 재료로 이루어지는 도금층을 더 포함하는 반도체 장치의 제조 방법.

청구항 6.

제1항에 있어서,

상기 코어 기판은, 적층용의 제2 얼라이먼트 마크를 갖고, 상기 제1 얼라이먼트 마크와 상기 제2 얼라이먼트 마크로 상기 삼차원적인 위치 결정이 행해지는 반도체 장치의 제조 방법.

청구항 7.

제1항에 있어서,

상기 반도체 소자를 실장한 기판을 가고정한 코어 기판을 삼차원적으로 위치 결정을 행하면서 복수개 적층한 후, 상기 복수의 코어 기판을 기계적으로 가고정하고, 아울러 상기 기계적으로 가고정한 복수개의 코어 기판을 열 프레스에 의해 접착하는 반도체 장치의 제조 방법.

청구항 8.

제7항에 있어서,

상기 코어 기판은, 적층용의 제2 얼라이먼트 마크를 갖고, 상기 제1 얼라이먼트 마크와 상기 제2 얼라이먼트 마크로 상기 삼차원적인 위치 결정이 행해지는 반도체 장치의 제조 방법.

청구항 9.

제1항에 있어서,

상기 반도체 소자가 실장된 기판 및 상기 코어 기판 중 적어도 한쪽에서의 완성 시에 제거되는 영역의 일부에 설치되며, 상기 접착제층의 두께를 부분적으로 얇게 하기 위한 더미 패턴을 더 포함하는 반도체 장치의 제조 방법.

청구항 10.

반도체 장치의 제조 방법에 있어서,

제1 접속 전극과, 상기 제1 접속 전극에 전기적으로 접속된 제1 배선과, 얼라이먼트 마크를 갖는 기판에, 상기 제1 배선과 전기적으로 접속된 상태에서 반도체 소자를 실장하는 단계와,

제2 접속 전극과, 상기 제2 접속 전극에 전기적으로 접속된 제2 배선과, 적층을 위한 위치 결정용의 핀 구멍을 갖고 양면에 접착제층이 형성된 코어 기판과, 상기 반도체 소자를 실장한 기판을 상기 얼라이먼트 마크의 인식에 의해 위치 결정하여 적층하고, 상기 접착제가 경화되지 않고 용융하는 온도에서 열 압착을 행하여, 접착제의 점성력으로 상기 반도체 소자를 실장한 기판을 상기 코어 기판에 가고정하고, 상기 반도체 소자를 실장한 기판을 가고정한 코어 기판을, 상기 위치 결정용의 핀 구멍을 이용하여, 핀을 세운 지그판에 복수개 끼워 넣어 적층하는 단계와,

상기 복수개의 코어 기판을 열 프레스에 의해 접착하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 11.

제10항에 있어서,

상기 반도체 소자가 실장된 기판과, 상기 양면에 접착제층이 형성된 코어 기판의 제2 접속 전극 부분은, 각각 금속이 충전된 비어를 포함하고, 상기 열 프레스 시에 상기 비어에 충전된 금속이 접속되어, 합금층이 형성되는 반도체 장치의 제조 방법.

청구항 12.

제10항에 있어서,

상기 비어에 충전된 금속은, Cu, Sn, 및 Sn-Ag를 포함하는 그룹 중에서 선택된 어느 하나의 재료인 반도체 장치의 제조 방법.

청구항 13.

제12항에 있어서,

상기 비어 내에 형성된 금속의 표면에 설치되며, Sn, Sn-Ag, Sn-Pb, 및 Au를 포함하는 그룹 중에서 선택된 어느 하나의 재료로 이루어지는 도금층을 더 포함하는 반도체 장치의 제조 방법.

청구항 14.

제10항에 있어서,

상기 반도체 소자가 실장된 기판 및 상기 코어 기판 중 적어도 한쪽에서의 완성 시에 제거되는 영역의 일부에 설치되며, 상기 접착제층의 두께를 부분적으로 얇게 하기 위한 더미 패턴을 더 포함하는 반도체 장치의 제조 방법.

청구항 15.

반도체 장치의 제조 방법에 있어서,

제1 접속 전극과, 상기 제1 접속 전극에 전기적으로 접속된 제1 배선과, 위치 결정용의 제1 핀 구멍을 갖는 기판에, 상기 제1 배선과 전기적으로 접속된 상태에서 반도체 소자를 실장하는 단계와,

제2 접속 전극과, 상기 제2 접속 전극에 전기적으로 접속된 제2 배선과, 적층을 위한 위치 결정용의 제2 핀 구멍을 갖고 양면에 접착제층이 형성된 코어 기판과, 상기 반도체 소자를 실장한 기판을, 상기 제1 및 제2 위치 결정용의 핀 구멍을 이용하여, 핀을 세운 지그판에 복수개 끼워 넣어 적층하는 단계와,

상기 반도체 소자를 실장한 기판을 코어 기판에 열 프레스에 의해 접착함과 함께, 복수개 적층한 코어 기판을 접착하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 16.

제15항에 있어서,

상기 반도체 소자가 실장된 기판과, 상기 양면에 접착제층이 형성된 코어 기판의 제2 접속 전극 부분은, 각각 금속이 충전된 비어를 포함하고, 상기 열 프레스 시에 상기 비어에 충전된 금속이 접속되어, 합금층이 형성되는 반도체 장치의 제조 방법.

청구항 17.

제16항에 있어서,

상기 비어에 충전된 금속은, Cu, Sn, 및 Sn-Ag를 포함하는 그룹 중에서 선택된 어느 하나의 재료인 반도체 장치의 제조 방법.

청구항 18.

제17항에 있어서,

상기 비어 내에 형성된 금속의 표면에 설치되며, Sn, Sn-Ag, Sn-Pb, 및 Au를 포함하는 그룹 중에서 선택된 어느 하나의 재료로 이루어지는 도금층을 더 포함하는 반도체 장치의 제조 방법.

청구항 19.

제15항에 있어서,

상기 반도체 소자가 실장된 기판 및 상기 코어 기판 중 적어도 한쪽에서의 완성 시에 제거되는 영역의 일부에 설치되며, 상기 접착제층의 두께를 부분적으로 얇게 하기 위한 더미 패턴을 더 포함하는 반도체 장치의 제조 방법.

청구항 20.

반도체 장치의 제조 방법에 있어서,

제1 접속 전극과, 상기 제1 접속 전극에 전기적으로 접속된 제1 배선과, 제1 얼라이먼트 마크를 갖는 기판에, 상기 제1 배선과 전기적으로 접속된 상태에서 반도체 소자를 실장하는 단계와,

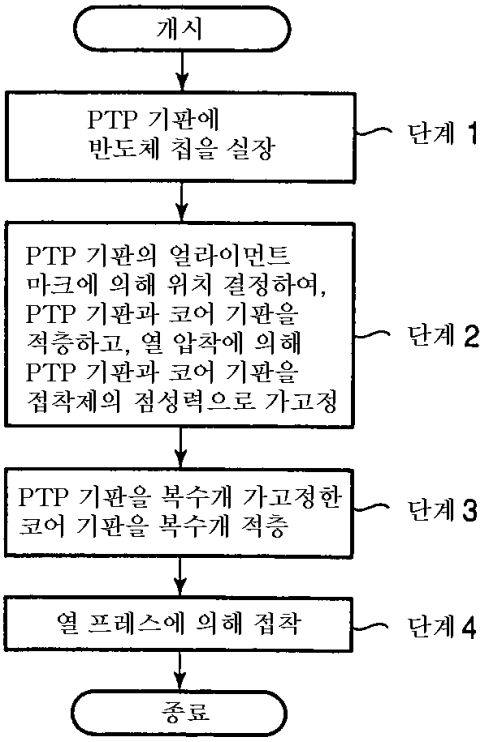
제2 접속 전극과, 상기 제2 접속 전극에 전기적으로 접속된 제2 배선을 갖는 코어 기판에, 상기 제1 얼라이먼트 마크의 인식에 의해 상기 반도체 소자가 실장된 기판을 복수개 위치 결정하여 적층하는 단계와,

상기 복수개의 기판을 상기 코어 기판에 가고정하는 단계와,

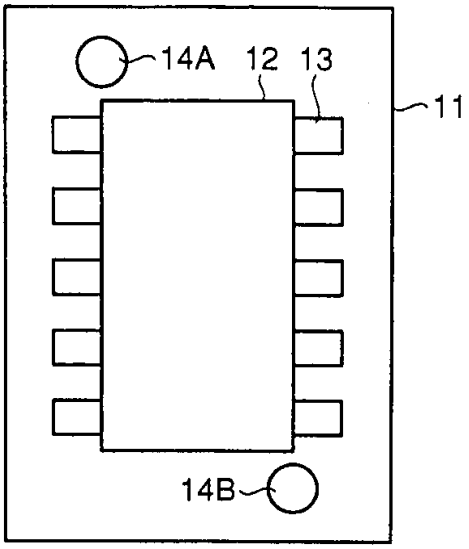
상기 가고정한 복수개의 기판과 상기 코어 기판을 열 프레스에 의해 접착하는 단계를 포함하는 반도체 장치의 제조 방법.

도면

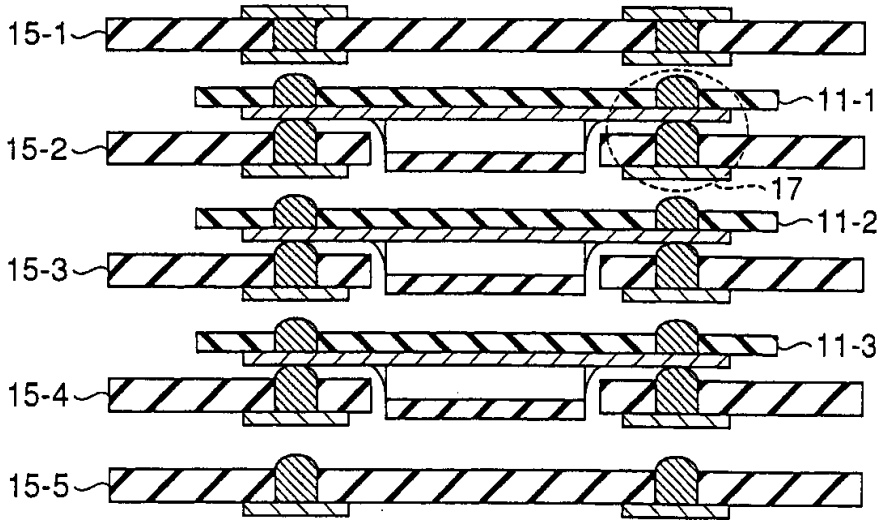
도면1


개시
PTP 기판에
반도체 칩을 실장
단계 1
PTP 기판의 얼라이먼트
마크에 의해 위치 결정하여,
PTP 기판과 코어 기판을
적층하고, 열 압착에 의해
PTP 기판과 코어 기판을
접착제의 점성력으로 가고정
단계 2
PTP 기판을 복수개 가고정한
코어 기판을 복수개 적층
단계 3
열 프레스에 의해 접착
단계 4
종료

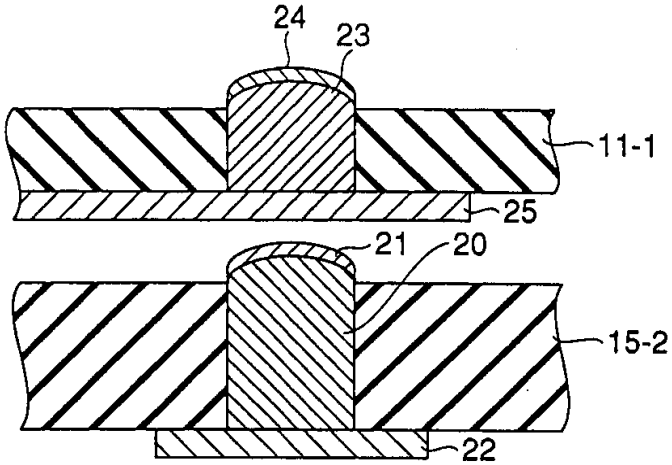
도면2


14A
12
13
11
14B

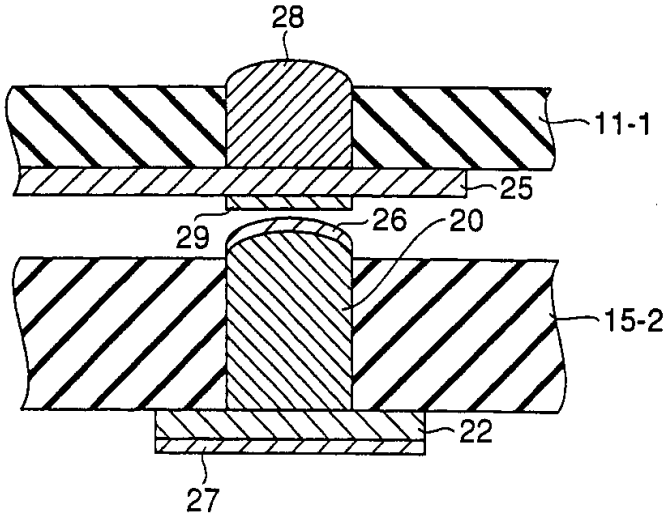
도면3


15-1
11-1
15-2
17
11-2
15-3
11-3
15-4
15-5

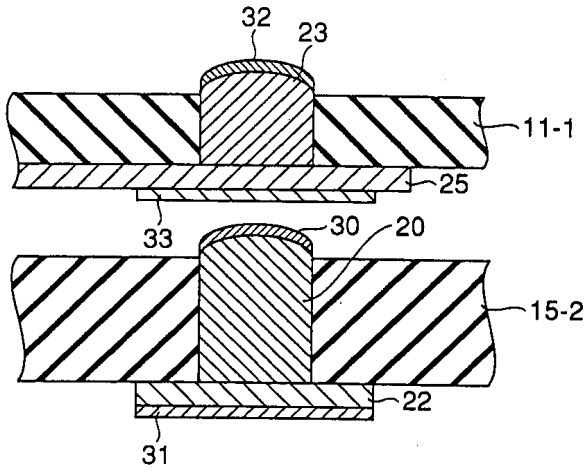
도면4


24
23
11-1
25
21
20
15-2
22

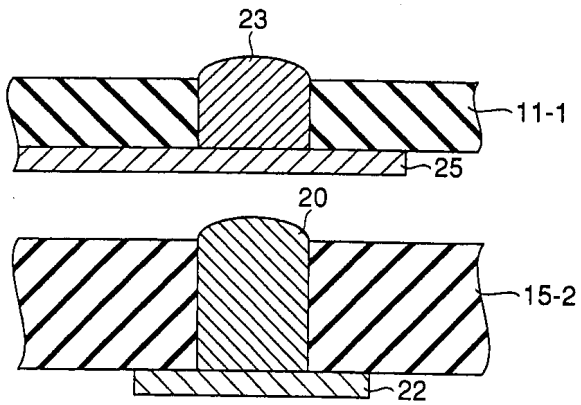
도면5


28
11-1
25
29
26
20
15-2
22
27

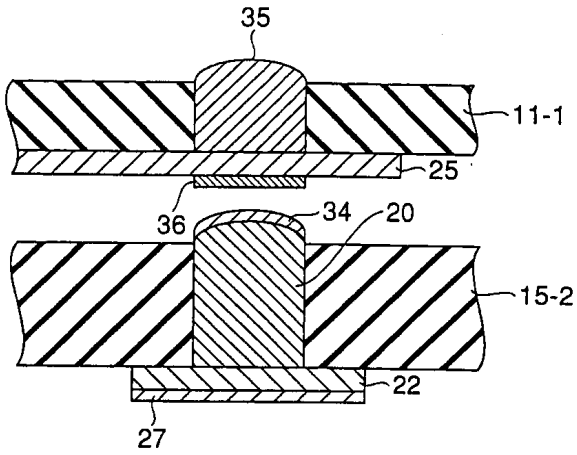
도면6


32
23
11-1
25
33
30
20
15-2
22
31

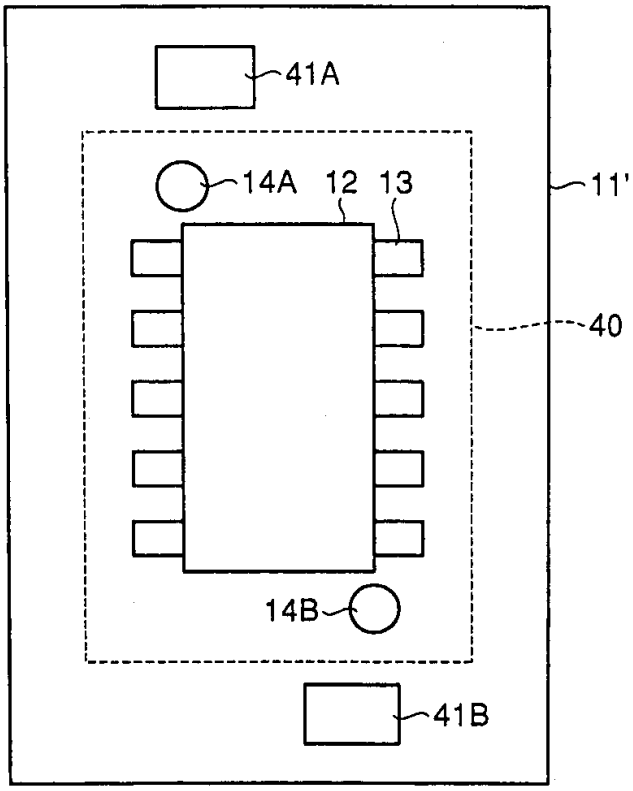
도면7


23
11-1
25
20
15-2
22

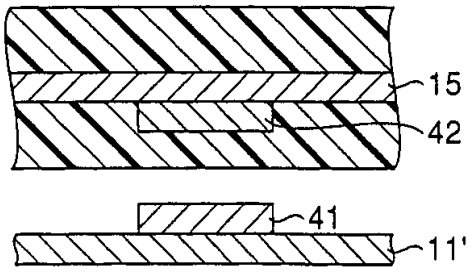
도면8


35
11-1
25
36
34
20
15-2
22
27

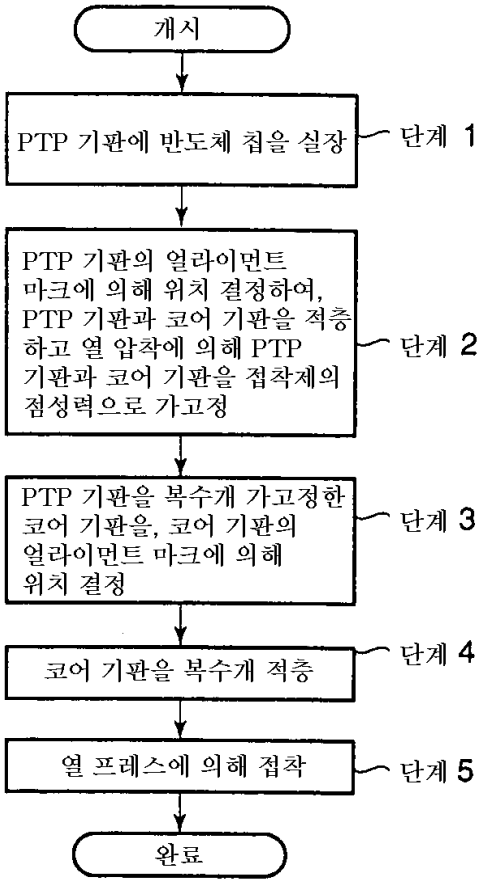
도면9a



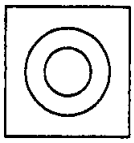
도면9b



도면10a



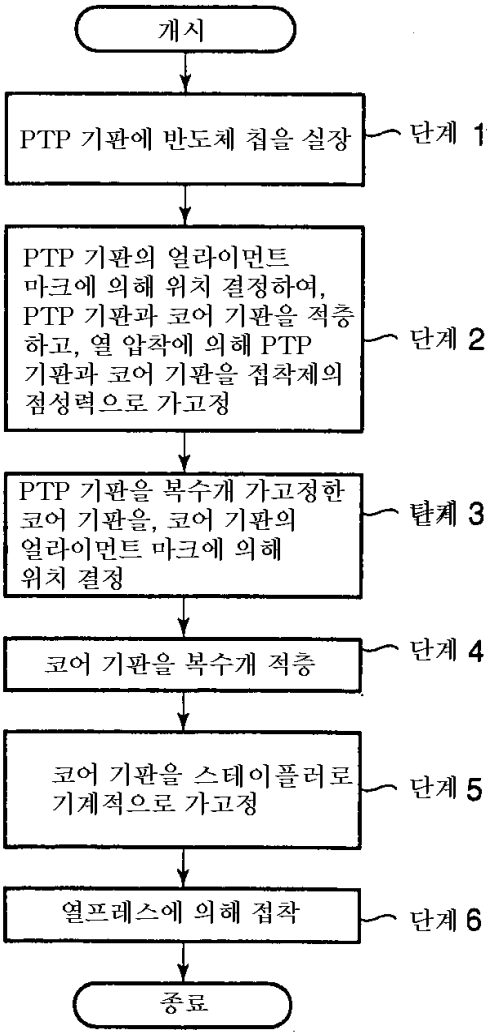
도면10b



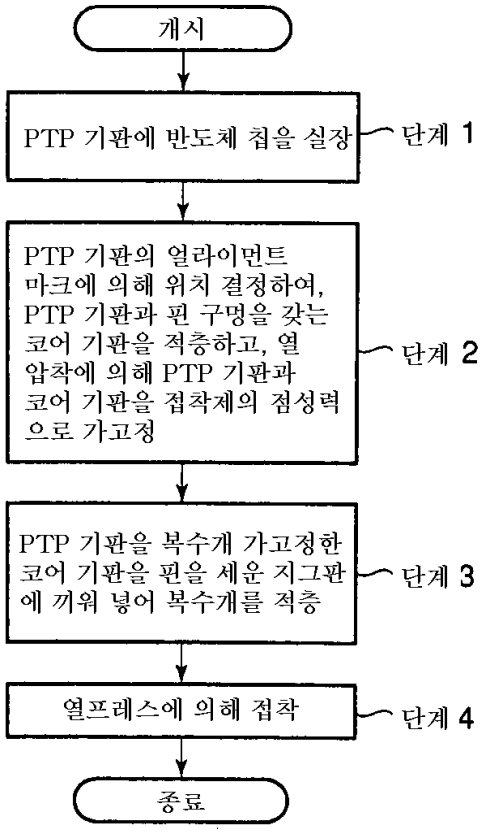
도면10c



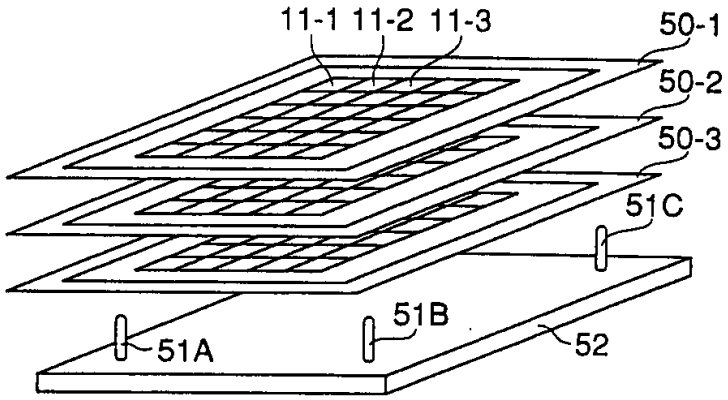
도면11


개시
PTP 기판에 반도체 칩을 실장
단계 1
PTP 기판의 얼라이먼트 마크에 의해 위치 결정하여, PTP 기판과 코어 기판을 적층하고, 열 압착에 의해 PTP 기판과 코어 기판을 접착제의 점성력으로 가고정
단계 2
PTP 기판을 복수개 가고정한 코어 기판을, 코어 기판의 얼라이먼트 마크에 의해 위치 결정
단계 3
코어 기판을 복수개 적층
단계 4
코어 기판을 스테이플러로 기계적으로 가고정
단계 5
열프레스에 의해 접착
단계 6
종료

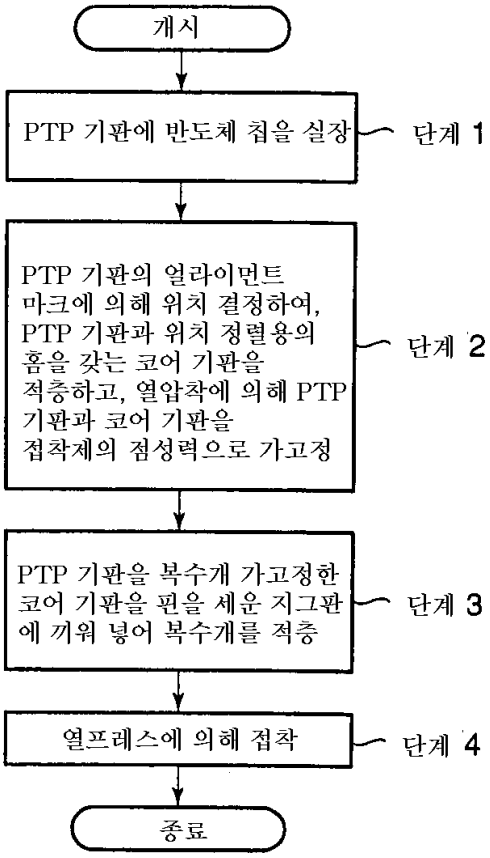
도면12


개시
PTP 기판에 반도체 칩을 실장
단계 1
PTP 기판의 얼라이먼트 마크에 의해 위치 결정하여, PTP 기판과 핀 구멍을 갖는 코어 기판을 적층하고, 열 압착에 의해 PTP 기판과 코어 기판을 접착제의 점성력으로 가고정
단계 2
PTP 기판을 복수개 가고정한 코어 기판을 핀을 세운 지그판에 끼워 넣어 복수개를 적층
단계 3
열프레스에 의해 접착
단계 4
종료

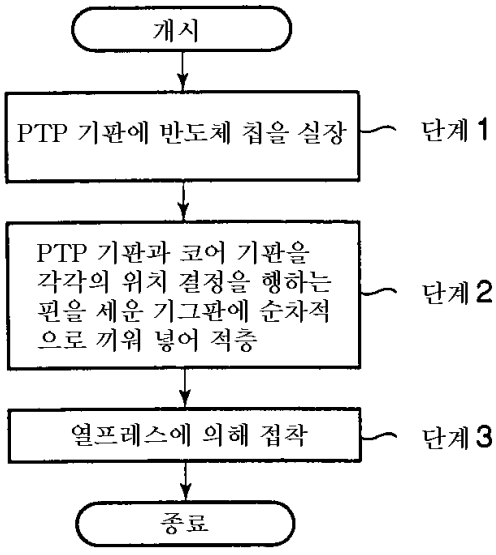
도면13


11-1
11-2
11-3
50-1
50-2
50-3
51C
51B
51A
52

도면14


개시
PTP 기판에 반도체 칩을 실장
단계 1
PTP 기판의 얼라이먼트 마크에 의해 위치 결정하여, PTP 기판과 위치 정렬용의 홈을 갖는 코어 기판을 적층하고, 열압착에 의해 PTP 기판과 코어 기판을 접착제의 점성력으로 가고정
단계 2
PTP 기판을 복수개 가고정한 코어 기판을 핀을 세운 지그판에 끼워 넣어 복수개를 적층
단계 3
열프레스에 의해 접착
단계 4
종료

도면15


개시
PTP 기판에 반도체 칩을 실장
단계 1
PTP 기판과 코어 기판을 각각의 위치 결정을 행하는 핀을 세운 기그판에 순차적으로 끼워 넣어 적층
단계 2
열프레스에 의해 접착
단계 3
종료

도면16

