

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3659512号

(P3659512)

(45) 発行日 平成17年6月15日(2005.6.15)

(24) 登録日 平成17年3月25日(2005.3.25)

(51) Int.Cl.⁷

H O 1 L 31/04

F I

H O 1 L 31/04

W

H O 1 L 31/04

B

H O 1 L 31/04

V

H O 1 L 31/04

T

請求項の数 18 (全 85 頁)

(21) 出願番号 特願平6-315219
 (22) 出願日 平成6年12月19日(1994.12.19)
 (65) 公開番号 特開平7-231109
 (43) 公開日 平成7年8月29日(1995.8.29)
 審査請求日 平成13年11月19日(2001.11.19)
 (31) 優先権主張番号 特願平5-319566
 (32) 優先日 平成5年12月20日(1993.12.20)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100088096
 弁理士 福森 久夫
 (72) 発明者 藤岡 靖
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 酒井 明
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 岡部 正太郎
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

最終頁に続く

(54) 【発明の名称】 光起電力素子及びその形成方法及びその形成装置

(57) 【特許請求の範囲】

【請求項1】

シリコン系非単結晶半導体からなり、第1の導電型を有する第1半導体層と、マイクロ波プラズマCVD法により形成された第1 i 型半導体層と、第1導電型とは反対導電型を有する第2半導体層と、第1導電型を有する第3半導体層と、高周波プラズマCVD法により形成された第2 i 型半導体層と、第1導電型とは反対導電型を有する第4半導体層との積層構造を有し、

前記第2半導体層が高周波プラズマCVD法により形成され、前記第4半導体層がプラズマドーピングにより形成されたことを特徴とする光起電力素子。

【請求項2】

基板上にシリコン系非単結晶半導体の積層膜を形成する光起電力素子形成方法において、高周波プラズマCVD法により n (または p) 型半導体層を形成する工程と、マイクロ波プラズマCVD法により i 型半導体層を形成する工程と、高周波プラズマCVD法により p (または n) 型半導体層を形成する工程と、高周波プラズマCVD法により n (または p) 型半導体層を形成する工程と、高周波プラズマCVD法により i 型半導体層を形成する工程と、プラズマドーピングにより p (または n) 型半導体層を形成する工程とを有することを特徴とする光起電力素子の形成方法。

【請求項3】

帯状基板上にシリコン系非単結晶半導体の積層膜を連続的に形成する光起電力素子形成装置において、少なくとも帯状基板の巻き出し室と、高周波プラズマCVD法による n (

またはp)型半導体層成膜室と、マイクロ波プラズマCVD法によるi型半導体層成膜室と、高周波プラズマCVD法によるp(またはn)型半導体層成膜室と、高周波プラズマCVD法によるn(またはp)型半導体層成膜室と、高周波プラズマCVD法によるi型半導体層成膜室と、プラズマドーピングによるp(またはn)型半導体層成膜室と、帯状基板の巻き取り室とを、前記帯状基板を移動させる方向に沿ってこの順に配置し、かつ各々をガスゲートを介して接続して、前記各成膜室を貫通し連続して移動する前記帯状基板上に、シリコン系非単結晶半導体の積層膜を連続的に形成することを特徴とする光起電力素子形成装置。

【請求項4】

前記ガスゲートを介して配置した前記マイクロ波CVD法によるi型半導体層成膜室と、前記高周波プラズマCVD法によるp(またはn)型半導体層成膜室との間に、さらに高周波プラズマCVD法によるi型半導体層成膜室をガスゲートを介して配置したことを特徴とする請求項3に記載の光起電力素子形成装置。

【請求項5】

前記ガスゲートを介して配置した前記マイクロ波CVD法によるi型半導体層成膜室と、前記高周波プラズマCVD法によるn(またはp)型半導体層成膜室との間に、さらに高周波プラズマCVD法によるi型半導体層成膜室をガスゲートを介して配置したことを特徴とする請求項3または4に記載の光起電力素子形成装置。

【請求項6】

シリコン系非単結晶半導体からなり、第1の導電型を有する第1半導体層と、マイクロ波プラズマCVD法により形成された第1i型半導体層と、第1導電型とは反対導電型を有する第2半導体層と、第1の導電型を有する第3半導体層と、主たる部分がマイクロ波プラズマCVD法により形成された第2i型半導体層と、第1導電型とは反対導電型を有する第4半導体層と、第1導電型を有する第5半導体層と、高周波プラズマCVD法により形成された第3i型半導体層と、第1導電型とは反対導電型を有する第6半導体層との積層構造を有し、

前記第2半導体層及び前記第4半導体層が高周波プラズマCVD法により形成され、前記第6半導体層がプラズマドーピングにより形成されたことを特徴とする光起電力素子。

【請求項7】

基板上にシリコン系非単結晶半導体の積層膜を形成する光起電力素子形成方法において、高周波プラズマCVD法によりn(またはp)型半導体層を形成する工程と、マイクロ波プラズマCVD法によりi型半導体層を形成する工程と、高周波プラズマCVD法によりp(またはn)型半導体層を形成する工程と、高周波プラズマCVD法によりn(またはp)型半導体層を形成する工程と、マイクロ波プラズマCVD法によりi型半導体層を形成する工程と、高周波プラズマCVD法によりp(またはn)型半導体層を形成する工程と、高周波プラズマCVD法によりn(またはp)型半導体層を形成する工程と、高周波プラズマCVD法によりi型半導体層を形成する工程と、プラズマドーピングによりp(またはn)型半導体層を形成する工程とを有することを特徴とする光起電力素子の形成方法。

【請求項8】

帯状基板上にシリコン系非単結晶半導体の積層膜を連続的に形成する光起電力素子形成装置において、少なくとも帯状基板の巻き出し室と、高周波プラズマCVD法によるn(またはp)型半導体層成膜室と、マイクロ波プラズマCVD法によるi型半導体層成膜室と、高周波プラズマCVD法によるp(またはn)型半導体層成膜室と、高周波プラズマCVD法によるn(またはp)型半導体層成膜室と、マイクロ波プラズマCVD法によるi型半導体層成膜室と、高周波プラズマCVD法によるp(またはn)型半導体層成膜室と、高周波プラズマCVD法によるn(またはp)型半導体層成膜室と、高周波プラズマCVD法によるi型半導体層成膜室と、プラズマドーピングによるp(またはn)型半導体層成膜室と、帯状基板の巻き取り室とを、前記帯状基板を移動させる方向に沿ってこの順に配置し、かつ各々をガスゲートを介して接続して、前記各成膜室を貫通し連続して移

10

20

30

40

50

動する前記帯状基板上に、シリコン系非単結晶半導体の積層膜を連続的に形成することを特徴とする光起電力素子形成装置。

【請求項 9】

前記ガスゲートを介して配置した前記マイクロ波 C V D 法による i 型半導体層成膜室と、前記高周波プラズマ C V D 法による p (または n) 型半導体層成膜室との間の少なくとも一箇所に、さらに高周波プラズマ C V D 法による i 型半導体層成膜室をガスゲートを介して配置したことを特徴とする請求項 8 に記載の光起電力素子形成装置。

【請求項 10】

前記ガスゲートを介して配置した前記マイクロ波 C V D 法による i 型半導体層成膜室と、前記高周波プラズマ C V D 法による n (または p) 型半導体層成膜室との間の少なくとも一箇所に、さらに高周波プラズマ C V D 法による i 型半導体層成膜室をガスゲートを介して配置したことを特徴とする請求項 8 または 9 に記載の光起電力素子形成装置。

10

【請求項 11】

前記プラズマドーピングがプラズマ処理であることを特徴とする請求項 2 に記載の光起電力素子の形成方法。

【請求項 12】

前記プラズマ処理の放電周波数が 1 k H z ~ 5 0 0 k H z であることを特徴とする請求項 11 に記載の光起電力素子の形成方法。

【請求項 13】

前記プラズマドーピングにおいて水素ガス流量が不純物元素を含有するガス流量の 1 0 倍以上であることを特徴とする請求項 2 に記載の光起電力素子の形成方法。

20

【請求項 14】

前記プラズマドーピングにおいて基板温度が 4 0 0 ° C 以下であることを特徴とする請求項 2 に記載の光起電力素子の形成方法。

【請求項 15】

前記プラズマドーピングがプラズマ処理であることを特徴とする請求項 7 に記載の光起電力素子の形成方法。

【請求項 16】

前記プラズマ処理の放電周波数が 1 k H z ~ 5 0 0 k H z であることを特徴とする請求項 15 に記載の光起電力素子の形成方法。

30

【請求項 17】

前記プラズマドーピングにおいて水素ガス流量が不純物元素を含有するガス流量の 1 0 倍以上であることを特徴とする請求項 7 に記載の光起電力素子の形成方法。

【請求項 18】

前記プラズマドーピングにおいて基板温度が 4 0 0 ° C 以下であることを特徴とする請求項 7 に記載の光起電力素子の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、太陽電池等の光起電力素子、特に変換効率が高く、プラズマ C V D 法により形成された、シリコン系非単結晶半導体からなる光起電力素子及びその形成方法並びにその形成装置に関する。

40

【0002】

【従来の技術】

近年、環境汚染の問題が深刻化してきているが、光を利用する光電変換素子である太陽電池による発電方式は、原子力発電に伴う放射能汚染や火力発電に伴う地球温暖化等の問題をおこすことがなく、また、太陽光は地球上いたるところに降り注いでいるためエネルギー源の偏在が少なく、さらには、複雑な大型の設備を必要とせず比較的高い発電効率を得られる等、今後の電力需要の増大に対しても、地球環境の破壊を引き起こすことなく対応できるクリーンな発電方式として注目を集め、実用化に向けて様々な研究開発がなされて

50

いる。

【0003】

ところで、太陽電池を用いる発電方式については、それを電力需要を賄うものとして確立させるためには、使用する太陽電池が、光電変換効率が十分に高く、特性安定性が優れたものであり、且つ大量生産しうるものであることが基本的に要求される。

【0004】

因みに、一般的な家庭において必要な電力を全て賄うには、1世帯あたり3kW程度の出力の太陽電池が必要とされるが、その太陽電池の光電変換効率が例えば10%程度であるとする、必要な出力を得るための前記太陽電池の面積は30m²程度となる。そして、例えば10万世帯の家庭において必要な電力を供給するには3,000,000m²とい

10

【0005】

こうしたことから、容易に入手できるシラン等の気体状の原料ガスを使用し、これをグロー放電分解して、ガラスや金属シート等の比較的安価な基板上にアモルファスシリコン等の非単結晶半導体薄膜を堆積させることにより作製できる太陽電池が量産性に富み、単結晶シリコン等を用いて作製される太陽電池に比較して低コストで生産できる可能性があるとして注目され、その生産方法、生産装置について各種の提案がなされている。

【0006】

因みに米国特許4,400,409号明細書には、ロール・ツー・ロール(Roll to Roll)方式を採用した連続プラズマCVD装置が開示されている。この装置によれば、複数のグロー放電領域を設け、所望の幅の十分に長い可撓性の帯状基板を、該基板が前記各グロー放電領域を順次貫通する経路に沿って配置し、前記各グロー放電領域において必要とされる導電型の半導体層を堆積形成しつつ、前記基板をその長手方向に連続的に搬送せしめることによって、半導体接合を有する大面積の素子を連続的に形成することができるとされている。こうしたことからこのロール・ツー・ロール方式は大面積の半導体素子の量産に適する方法といえよう。

20

【0007】

一方、マイクロ波を用いたプラズマプロセスが最近注目されている。マイクロ波は周波数が高いため従来のラジオ周波数の高周波を用いた場合よりもエネルギー密度を高めることが可能であり、プラズマを効率よく発生させ、維持させることに適している。

30

【0008】

例えば、特開平3-30419号公報には、マイクロ波プラズマCVD法を用いたロール・ツー・ロール方式の堆積膜形成方法および装置が開示されているが、マイクロ波によってプラズマを生起させることにより低圧下でも堆積膜の形成が可能になり、堆積膜の膜特性低下の原因となる活性種のポリマライゼーションを防ぎ高品質の堆積膜が得られるばかりでなく、プラズマ中でのポリシラン等の粉末の発生を抑え、且つ、成膜速度の飛躍的向上が図れるとされている。

【0009】

尚、前記特開平3-30419号公報にはpin構造の光起電力素子をロール・ツー・ロール方式で連続形成するために、i型半導体層をマイクロ波プラズマCVD法で、n、p型半導体層を高周波プラズマCVD法で形成する構成の装置が開示されている。非単結晶半導体からなる光起電力素子においてはpinまたはnipの層構成が一般的に採用されているが、このような層構成においてi型半導体層は入射光を吸収するために一定の膜厚を必要とするが、n、p型半導体層はi型半導体層の約1/10程度のごく薄い膜厚しか必要としない。そのためロール・ツー・ロール方式において、膜厚の必要なi型半導体層を成膜速度の速いマイクロ波プラズマCVD法で形成するようにした場合にも、n、p型半導体層は成膜速度の比較的遅い高周波プラズマCVD法で形成することが可能である。また、成膜速度の極めて速いマイクロ波プラズマCVD法によって、ごく薄い半導体層を再現性良く形成するにはかなりの習熟を要し、成膜速度の比較的遅い高周波プラズマCVD法による方が、ごく薄い半導体層をより容易に再現性良く形成することができる。

40

50

【0010】

ところで、ロール・ツー・ロール方式においてi型半導体層の形成に成膜速度の速いマイクロ波プラズマCVD法を採用した場合、高周波プラズマCVD法を採用した場合と比較して、帯状基板の搬送速度をかなり高速化することが可能である。そして、帯状基板の搬送速度を高めた場合には、n、p型半導体層の形成にあたっては、成膜に必要な時間は一定であるため、成膜室を帯状基板の搬送方向に搬送速度に比例して長くする必要がある。しかしながら、高周波プラズマCVD法によっても、薄く均質な非単結晶半導体層を長い成膜室で大面積に再現性良く形成するには限界があり、どうしても所定の膜厚より薄すぎたり厚すぎたりする膜厚のバラツキや、導電率等の特性のムラを生じやすい。特に、i型半導体層の光入射側に配置されるp型またはn型の不純物ドーブ層は、該不純物ドーブ層での光の吸収によるi型半導体層への入射光量の減少を防ぐため、その膜厚を必要最小限に薄くする必要があるが、従来の高周波プラズマCVD法で長い成膜室で大面積に薄く均質な不純物ドーブ層を形成することは難しく、形成した光起電力素子の特性にバラツキやムラを生じる原因になっていた。

10

【0011】

太陽電池等の光起電力素子では、光起電力素子の単位モジュールを直列または並列に接続してユニット化し、所望の電流、電圧を得ようとすることが多く、各単位モジュールにおいては単位モジュール間の出力電圧、出力電流等の特性のバラツキやムラの少ないことが要求され、単位モジュールを形成する段階で、その最大の特性決定要因である半導体積層膜の特性の均一性が要求される。また、モジュールの組み立て工程を簡略なものとするため、大面積にわたって特性の優れた半導体積層膜が形成できるようにすることが、太陽電池等の光起電力素子の量産性を高め、生産コストの大幅な削減をもたらすことになる。こういった点で、従来のi型半導体層をマイクロ波CVD法で、n、p型半導体層を高周波プラズマCVD法で形成する半導体積層膜の連続形成装置では、形成される光起電力素子用の半導体積層膜の特性にバラツキやムラを生じ易く、問題があった。

20

【0012】

n、p型の非結晶半導体層を形成する方法としては他に、イオン注入法が従来から知られている。イオン注入法によれば不純物イオンを打ち込む強さを加速電圧によって制御することでn、p型非単結晶半導体層の層厚を制御することができるが、不純物イオンを打ち込むためのイオン注入装置は、一般的に、イオンを発生させる装置系、イオンをビーム状にして引き出す装置系、ビームを走査する装置系などからなり、構成が複雑で、装置も高価であるため、非単結晶半導体の光起電力素子を生産性良く、低コストで製造するには適しておらず、不純物ドーブ層の形成手段としては採用されていなかった。

30

【0013】

一方、超LSI等で要求されるきわめて浅い接合を形成する方法として、上述のイオン注入法によらず、不純物ガスのプラズマによって不純物の導入を行うプラズマドーピングが最近注目されており、超LSIプロセスデータハンドブック（サイエンスフォーラム 1990年発行）等に報告されている。また、1988年第35回応用物理学関係連合講演会講演予稿集30p-M-6には、i型のアモルファスシリコン膜を不純物ガスの高周波プラズマにさらすプラズマドーピングによって、アモルファスシリコン膜に不純物のドーピングが可能であることが開示されている。ところが、このようなプラズマドーピングを太陽電池等の光起電力素子の不純物ドーブ層の形成に適用することについては従来開示されておらず、タンデム型の光起電力素子の形成において、いかにしてプラズマドーピングを行えば良好な光起電力素子が形成できるかについては、全く未知の状態であった。

40

【0014】

ところで、アモルファスシリコン系太陽電池には結晶系太陽電池にはない光照射に伴う特性劣化現象（Staebler-Wronski効果）があり、高効率化技術や大面積生産技術を基にした低コスト化の達成とともに、電力用途として実用化するための重要な課題となっている。この光劣化を機構解明とそれに対する抑制策に関しては、不純物の低減等の半導体材料の面から、タンデム型の素子構造の採用等のデバイスの面から、加熱アニール処理等の特

50

性回復処理の面からなど数多くの研究が行われており、なかでもタンデム型の素子構造の採用は、i 型半導体層の膜厚を薄くでき光劣化を抑制することができるとともに、バンドギャップの異なる太陽電池セルを積層することにより高効率化も図れるため近年注目されている。特にタンデム型の素子構造の中でも3層タンデム型は、2層タンデム型と比較して、入射光スペクトルのより広い波長範囲を活用可能で高い光電変換効率が得られるとともに、より高い出力電圧を得られる点で優れている。

【0015】

しかし、2層または3層タンデム型の素子は6層または9層以上の多数の層からなり、この多層構造からなる半導体積層膜をいかにして再現性良く、高速かつ連続的に形成できるかが課題となっていた。

10

【0016】

【発明が解決しようとする課題】

以上、従来のロール・ツー・ロール方式による半導体積層膜の連続形成装置では、膜厚の厚いi 型半導体層を高速成膜が可能なマイクロ波プラズマCVD法によって形成したときに、形成される光起電力素子の特性にバラツキやムラを生じ易いという問題点がある。本発明の目的は、上述の問題点を解決し、特性の優れた光起電力素子用の半導体積層膜を大面積に特性のバラツキやムラのない光起電力素子及びその形成方法及び高速かつ連続的に形成しうる装置を提供することにある。

【0017】

本発明の他の目的は、光劣化が抑制され、高い光電変換効率と高い出力電圧が得られる2層タンデム型及び3層タンデム型の光起電力素子用の半導体積層膜を提供することにある、また、再現性良く、高速かつ連続的に形成しうる装置を提供することにある。

20

【0018】

【課題を解決するための手段】

本発明の2層のタンデム型光起電力素子及びその形成方法及びその形成装置は、シリコン系非単結晶半導体からなり、第1の導電型を有する第1半導体層と、マイクロ波プラズマCVD法により形成された第1i 型半導体層と、第1導電型とは反対導電型を有する第2半導体層と、第1導電型を有する第3半導体層と、高周波プラズマCVD法により形成された第2i 型半導体層と、第1導電型とは反対導電型を有する第4半導体層との積層構造を有し、

30

前記第2半導体層が高周波プラズマCVD法により形成され、前記第4半導体層がプラズマドーピングにより形成されたことを特徴とする光起電力素子であり、

また、基板上にシリコン系非単結晶半導体の積層膜を形成する光起電力素子形成方法において、高周波プラズマCVD法によりn（またはp）型半導体層を形成する工程と、マイクロ波プラズマCVD法によりi 型半導体層を形成する工程と、高周波プラズマCVD法によりp（またはn）型半導体層を形成する工程と、高周波プラズマCVD法によりn（またはp）型半導体層を形成する工程と、高周波プラズマCVD法によりi 型半導体層を形成する工程と、プラズマドーピングによりp（またはn）型半導体層を形成する工程とを有することを特徴とする光起電力素子の形成方法であり、

また、带状基板上にシリコン系非単結晶半導体の積層膜を連続的に形成する光起電力素子形成装置において、少なくとも带状基板の巻き出し室と、高周波プラズマCVD法によるn（またはp）型半導体層成膜室と、マイクロ波プラズマCVD法によるi 型半導体層成膜室と、高周波プラズマCVD法によるp（またはn）型半導体層成膜室と、高周波プラズマCVD法によるn（またはp）型半導体層成膜室と、高周波プラズマCVD法によるi 型半導体層成膜室と、プラズマドーピングによるp（またはn）型半導体層成膜室と、带状基板の巻き取り室とを、前記带状基板を移動させる方向に沿ってこの順に配置し、かつ各々をガスゲートを介して接続して、前記各成膜室を貫通し連続して移動する前記带状基板上に、シリコン系非単結晶半導体の積層膜を連続的に形成することを特徴とする光起電力素子形成装置である。

40

【0019】

50

また、本発明の光起電力素子の形成装置において、望ましくは、前記ガスゲートを介して配置した前記マイクロ波CVD法によるi型半導体層成膜室と、前記高周波プラズマCVD法によるp（またはn）型半導体層成膜室との間に、さらに高周波プラズマCVD法によるi型半導体層成膜室をガスゲートを介して配置する。

【0020】

更に、本発明の光起電力素子の形成装置において、望ましくは、前記ガスゲートを介して配置した前記マイクロ波CVD法によるi型半導体層成膜室と、前記高周波プラズマCVD法によるn（またはp）型半導体層成膜室との間に、さらに高周波プラズマCVD法によるi型半導体層成膜室をガスゲートを介して配置する。

【0021】

本発明の3層のタンデム型光起電力素子及びその形成方法及びその形成装置は、シリコン系非単結晶半導体からなり、第1の導電型を有する第1半導体層と、主たる部分がマイクロ波プラズマCVD法により形成された第1i型半導体層と、第1導電型とは反対導電型を有する第2半導体層と、第1の導電型を有する第3半導体層と、マイクロ波プラズマCVD法により形成された第2i型半導体層と、第1導電型とは反対導電型を有する第4半導体層と、第1導電型を有する第5半導体層と、高周波プラズマCVD法により形成された第3i型半導体層と、第1導電型とは反対導電型を有する第6半導体層との積層構造を有し、

前記第2半導体層及び前記第4半導体層が高周波プラズマCVD法により形成され、前記第6半導体層がプラズマドーピングにより形成されたことを特徴とする光起電力素子であり、

また、基板上にシリコン系非単結晶半導体の積層膜を形成する光起電力素子形成方法において、高周波プラズマCVD法によりn（またはp）型半導体層を形成する工程と、マイクロ波プラズマCVD法によりi型半導体層を形成する工程と、高周波プラズマCVD法によりp（またはn）型半導体層を形成する工程と、高周波プラズマCVD法によりn（またはp）型半導体層を形成する工程と、マイクロ波プラズマCVD法によりi型半導体層を形成する工程と、高周波プラズマCVD法によりp（またはn）型半導体層を形成する工程と、高周波プラズマCVD法によりn（またはp）型半導体層を形成する工程と、高周波プラズマCVD法によりi型半導体層を形成する工程と、プラズマドーピングによりp（またはn）型半導体層を形成する工程とを有することを特徴とする光起電力素子の形成方法であり、

带状基板上にシリコン系非単結晶半導体の積層膜を連続的に形成する光起電力素子形成装置において、少なくとも带状基板の巻き出し室と、高周波プラズマCVD法によるn（またはp）型半導体層成膜室と、マイクロ波プラズマCVD法によるi型半導体層成膜室と、高周波プラズマCVD法によるp（またはn）型半導体層成膜室と、高周波プラズマCVD法によるn（またはp）型半導体層成膜室と、マイクロ波プラズマCVD法によるi型半導体層成膜室と、高周波プラズマCVD法によるp（またはn）型半導体層成膜室と、高周波プラズマCVD法によるn（またはp）型半導体層成膜室と、高周波プラズマCVD法によるi型半導体層成膜室と、プラズマドーピングによるp（またはn）型半導体層成膜室と、带状基板の巻き取り室とを、前記带状基板を移動させる方向に沿ってこの順に配置し、かつ各々をガスゲートを介して接続して、前記各成膜室を貫通し連続して移動する前記带状基板上に、シリコン系非単結晶半導体の積層膜を連続的に形成することを特徴とする光起電力素子形成装置である。

【0022】

また、本発明の光起電力素子の形成装置において、望ましくは、前記ガスゲートを介して配置した前記マイクロ波CVD法によるi型半導体層成膜室と、前記高周波プラズマCVD法によるp（またはn）型半導体層成膜室との間の少なくとも一箇所に、さらに高周波プラズマCVD法によるi型半導体層成膜室をガスゲートを介して配置する。

【0023】

更に、本発明の光起電力素子の形成装置において、望ましくは、前記ガスゲートを介して

10

20

30

40

50

配置した前記マイクロ波CVD法によるi型半導体層成膜室と、前記高周波プラズマCVD法によるn（またはp）型半導体層成膜室との間の少なくとも一箇所に、さらに高周波プラズマCVD法によるi型半導体層成膜室をガスゲートを介して配置する。

【0024】

【作用】

以下、図面を参照しながら本発明を詳細に説明する。

【0025】

（2層タンデム型光起電力素子について）

図1は本発明の半導体積層膜の連続形成装置の基本的な一例を示す模式的説明図である。

図1において、本発明の半導体積層膜の連続形成装置は、基本的には帯状部材等の基板巻き出し室101、高周波プラズマCVD法による第1の導電型層であるn（またはp）型半導体層成膜室102A、内部に3個の成膜室を有するマイクロ波プラズマCVD法によるi型半導体層成膜室103、高周波プラズマCVD法による第1の導電型と異なる第2の導電型であるp（またはn）型半導体層成膜室105A、高周波プラズマCVD法によるn（またはp）型半導体層成膜室102B、高周波プラズマCVD法によるi型半導体層成膜室104、プラズマドーピングによるp（またはn）型半導体層成膜室105B、帯状基板の巻き取り室106から構成されており、各室間はそれぞれガスゲート107によって接続されている。

【0026】

本発明の装置において帯状基板108は帯状基板の巻き出し室101内のボビン109から巻き出され、帯状基板の巻き取り室106内のボビン110に巻き取られるまでにガスゲートで接続された6個の成膜室を通過しながら移動させられ、その間に表面にnipniまたはpinpin構造の非単結晶半導体の積層膜を形成される。

【0027】

本発明は、発明者らの鋭意研究の結果得られた以下の知見に基づき更に検討を重ね完成に至ったものである。

【0028】

発明者らは、図1に示すロール・ツー・ロール方式の装置において光入射面からみて最も上側の比較的膜厚の薄いi型半導体層を高周波プラズマCVD法で、光入射面からみて下側の比較的膜厚の厚いi型半導体層をマイクロ波プラズマCVD法で、n、p型半導体層を高周波プラズマCVD法で形成して、非晶質シリコン系半導体からなるnipniまたはpinpin構造の2層タンデム型の光起電力素子を形成していた。

【0029】

この従来の装置において、マイクロ波プラズマCVD法によるi型半導体層成膜室103での成膜速度は約8nm/秒以上で極めて速く、2層タンデム型光起電力素子用の半導体積層膜の高速成膜が可能であった。尚、上側のnip構造の素子のi型半導体層は、成膜速度の比較的遅い高周波プラズマCVD法によって形成したが、2層タンデム型光起電力素子において上側の素子のi型半導体層には下側の素子のi型半導体層よりも強い光が照射されることになり、該素子のi型半導体層は同じ出力電流を得るのに下側の素子のi型半導体層よりも膜厚が薄くてよいため、該i型半導体層の成膜速度が遅いことが半導体積層膜全体的高速形成を妨げることはなかった。そして、高速成膜が可能になったことにより、帯状基板の搬送速度を高速化することができ、帯状基板の搬送速度を約100cm/分まで高速化しても、i型半導体成膜室103に1室の長さが約20cmの長さの成膜室を3室設けることで約300nmのi型半導体層を形成することができた。

【0030】

また、光起電力素子のi型半導体層の光入射側の不純物ドーパ層には、該層での光の吸収を防ぐため、アモルファス炭化シリコン等のバンドギャップの広いシリコン系材料や、短波光の吸収率が低い微結晶シリコンが好適に用いられるが、本発明者らはアモルファス系シリコンよりも約3桁も高い導電率が得られる微結晶シリコンを光入射側の不純物ドーパ層に用いたが、高周波プラズマCVD法によって不純物をドーパした高導電率の微結晶シ

10

20

30

40

50

リコン層を高速形成しようとした場合には、以下のような問題があった。

【0031】

すなわち、シリコン原子を含有する原料ガスの流量を増して成膜速度を上げようとする、原料ガス流量に対する高周波電力の比率が低下し、微結晶膜を形成することができなくなり、形成される膜がアモルファス化し、導電率が急激に低下して素子特性が低下するという問題がある。一方、高周波電力を増して成膜速度を上げると、成膜速度や導電率の成膜領域内での分布が大きくなり、ごく薄い層を成膜領域全体に均一に形成することができなくなり、また微結晶化させるために膨大な高周波電力が必要となり、きわめて大きな電源が必要になるとともに均一に電力を投入することが困難になる。さらに異常放電も起こり易くなるという問題がある。以上のような理由で、高周波プラズマCVD法によって高導電率の微結晶シリコンのごく薄い層を高速で形成するには限界があり、10 nm程度のごく薄い層を均一に形成するには、該層を約10 nm/分以下の成膜速度で形成する必要があった。

10

【0032】

したがって、従来のロール・ツー・ロール方式の装置において、i型半導体層をマイクロ波プラズマCVD法によって形成した場合、i型半導体層の光入射側の不純物ドーパ層を高周波プラズマCVD法によって形成するには、帯状基板の移動方向にかなり長い成膜室が必要であった。

【0033】

このような長い成膜室105A、105Bにおいて、10 nm程度の極めて薄い不純物ドーパ層を良質かつ均一に形成することは極めて困難であったが、本発明者らはより良い成膜条件を見い出すべく、導入するシリコン原料ガスの流量を変化させて、形成される光起電力素子の特性との対応を調べていた。この時、発明者らは最も光入射側の不純物ドーパ層を形成する成膜室105Bに流すシリコン原料ガスの SiH_4 の流量を減少させて、ついには0にまでしたが、それでも光起電力素子が形成される事を見い出した。すなわち、シリコン原子の原料ガスを含まないガスのプラズマによってもi型半導体層上に不純物ドーパ層が形成され、nipniまたはpinpin構造の2層タンデム型光起電力素子が形成されることを見いだしたのである。これは従来の不純物をドーパしたシリコン膜を堆積することによって不純物ドーパ層を形成するという考えからは到底思いつかない現象であった。

20

30

【0034】

二次イオン質量分析法(SIMS)によって、形成した光起電力素子のシリコン元素および不純物元素の膜厚方向の分布を分析したが、 SiH_4 を流さずにi型半導体層表面をプラズマにさらした場合にも、i型半導体層上に高濃度の不純物ドーパ層が約10 nmのごく薄い膜厚で形成されていることが確認された。また、同様に二次イオン質量分析法(SIMS)によって、形成された光起電力素子のi型半導体層上の不純物ドーパ層の膜厚の場所によるバラツキ、ムラ等を分析したが、 SiH_4 を流さない場合の方が、所定膜厚の膜の堆積が行われるだけの量の SiH_4 を流した場合よりも不純物ドーパ層の膜厚の均一性が高いことが確認された。

【0035】

40

このようにシリコンの原料ガスである SiH_4 を流さずに不純物ドーパ層が形成されたのは、不純物を含んだシリコン系非単結晶半導体が堆積されたのではなく、 B_2H_6 や PH_3 等の不純物ドーピングガスがプラズマにより電離されて不純物イオンとなり、プラズマのエネルギーによってi型半導体層の表面近傍のごく薄い領域に打ち込まれていわゆるプラズマドーピングが行われたためと考えられる。

【0036】

さらに、原因は不明であるが、発明者らが実験を行ったところ、光起電力素子の不純物ドーパ層のような約50 nm以下の比較的薄い微結晶膜を形成する場合、シリコンの原料ガスである SiH_4 等と不純物用のガスである B_2H_6 等との混合ガスのプラズマにより堆積したp型微結晶膜に較べて、 SiH_4 等のみのプラズマによりi型膜を堆積させた後、該

50

i 型膜を B_2H_6 等を含むプラズマによりプラズマドーピングした p 型微結晶膜の方が結晶性が良いことがわかった。また、微結晶の i 型半導体層にプラズマドーピングを行う場合、プラズマドーピングによって i 型半導体層の結晶性を低下させない事が重要であるが、この為には、プラズマドーピングを行う時に不純物元素を含有するガスとともに水素ガスを大量に流すことが望ましいことがわかった。

【0037】

水素ガスはプラズマによって励起状態の水素になり、膜表面に作用して膜を緻密にし、形成される不純物ドーピング層の結晶性を向上させる作用をするものと考えられる。水素ガスの流量は、望ましくは不純物元素を含有するガス（希釈なし）の 10 倍以上、より好ましくは 100 倍以上であった。また、このような励起状態の水素の膜表面への作用は、堆積膜表面の温度が高い場合、堆積膜表面の水素が離脱して能力が低下した。そのため、プラズマドーピングを行う際の基板温度は、好ましくは 400℃ 以下、より好ましくは 300℃ 以下、最適には 200℃ 以下であった。

【0038】

p 型不純物として B を含有する微結晶膜をプラズマ CVD 法により堆積する場合、結晶性が悪くなり易く、アモルファス化し易い傾向があった。これは、pin 接合を有する光起電力素子を 2 層以上複数積層した場合においても同様であった。

【0039】

次に、発明者らはこのように SiH_4 ガスを流さず i 型半導体層上にプラズマドーピングを行って光起電力素子を形成する時に、放電電力を一定に保ちつつ放電周波数を 1 kHz から 10 kHz, 75 kHz, 400 kHz, 1 MHz, 4 MHz, 13.56 MHz と変え、それぞれの放電周波数でプラズマドーピングを行って 7 種の光起電力素子を作製した。その結果、1 kHz ないし 13.56 Hz の各放電周波数において良好な特性の光起電力素子が大面积にバラツキやムラなく形成できることを見いだした。

【0040】

更に、本発明者らは図 1 に示す装置において成膜室 105 A においても SiH_4 ガスを流さないようにし、i 型半導体層の光入射側の不純物ドーピング層を全てプラズマドーピングによって形成するようにした。

【0041】

すると、 SiH_4 ガスを流して高周波プラズマ CVD 法によって層形成を行った場合と比較して、形成されるタンデム型光起電力素子の出力特性（光照射時の電圧－電流特性）において曲線因子の低下が見られ、良好な素子特性が得られなかった。尚、成膜室 105 B における最も光入射側の不純物ドーピング層のみをプラズマドーピングによって形成した場合には、このような曲線因子の低下は見られなかった。

【0042】

また、図 1 に示す装置において成膜室 102 A, 103, 105 A のみで成膜を行い、マイクロ波 CVD 法による i 型半導体層を有するシングル型光起電力素子を形成した場合に、成膜室 105 A における不純物ドーピング層の形成方法を高周波プラズマ CVD 法からプラズマドーピングに変えてもこのような曲線因子の低下は見られず良好な素子特性が得られた。

【0043】

すなわち、i 型半導体層の光入射側の不純物ドーピング層をプラズマドーピングによって形成し、該層の上に更に反対導電型の半導体層を積層した場合においてのみ曲線因子の低下が見られることがわかった。

【0044】

本発明は以上の知見に基づき、高品質の光起電力素子を大面积にバラツキやムラなく高速に形成しうる装置を実現したものである。すなわち、従来の i 型半導体層をマイクロ波プラズマ CVD 法で、n、p 型半導体層を高周波プラズマ CVD 法で形成するロール・ツー・ロール方式の半導体積層膜の連続形成装置における、i 型半導体層上の不純物ドーピング層を大面积に薄く均質に形成することが困難で、形成される光起電力素子に特性のバラツキ

10

20

30

40

50

やムラを生じ易いという問題点を最も光入射側に位置する不純物ドーピング層をプラズマドーピングによって形成するようにしたことにより解決し、高品質の2層タンデム型の光起電力素子を大面積にバラツキやムラなく、高速かつ連続的に形成しうるようにしたものである。

【0045】

(3層タンデム型光起電力素子について)

図2は本発明の半導体積層膜の連続形成装置の基本的な一例を示す模式的説明図である。図2において、本発明の半導体積層膜の連続形成装置は、基本的には帯状基板の巻き出し室101、高周波プラズマCVD法によるn(またはp)型半導体層成膜室102A、内部に3個の成膜室を有するマイクロ波プラズマCVD法によるi型半導体層成膜室103A、高周波プラズマCVD法によるp(またはn)型半導体層成膜室105A、高周波プラズマCVD法によるn(またはp)型半導体層成膜室102B、内部に3個の成膜室を有するマイクロ波プラズマCVD法によるi型半導体成膜室103B、高周波プラズマCVD法によるp(またはn)型半導体成膜室105B、高周波プラズマCVD法によるn(またはp)型半導体層成膜室102C、高周波プラズマCVD法によるi型半導体層成膜室104、プラズマドーピングによるp(またはn)型半導体層成膜室105C、帯状基板の巻き取り室106から構成されており、各室間はそれぞれガスゲート107によって接続されている。

10

【0046】

本発明の装置において帯状基板108は帯状基板の巻き出し室101内のボビン109から巻き出され、帯状基板の巻き取り室106内のボビン110に巻き取られるまでにガスゲートで接続された9個の成膜室を通過しながら移動させられ、その間に表面にn i p n i p n i pまたはp i n p i n p i n構造の非単結晶半導体の積層膜を形成される。

20

【0047】

本発明は、発明者らの鋭意研究の結果得られた以下の知見に基づき更に検討を重ね完成に至ったものである。

【0048】

発明者らは、図2に示すロール・ツー・ロール方式の装置において光入射面からみて最も上側の2つの比較的膜厚の薄いi型半導体層を高周波プラズマCVD法で、光入射面からみて下側の2つの比較的膜厚の厚いi型半導体層をマイクロ波プラズマCVD法で、n、p型半導体層を高周波プラズマCVD法で形成して、非晶質シリコン系半導体からなるn i p n i p n i pまたはp i n p i n p i n構造の3層タンデム型の光起電力素子を形成していた。

30

【0049】

この従来の装置において、マイクロ波プラズマCVD法によるi型半導体層成膜室103A、103Bでの成膜速度は約8nm/秒以上で極めて速く、3層タンデム型光起電力素子用の半導体積層膜の高速成膜が可能であった。尚、最も上側のn i p構造の素子のi型半導体層は、成膜速度の比較的遅い高周波プラズマCVD法によって形成したが、3層タンデム型光起電力素子において最も上側の素子のi型半導体層には直列接続された3素子の中で最も強い光が照射されることになり、該素子のi型半導体層は同じ出力電流を得るのに3素子のi型半導体層の中で最も膜厚が薄くてよいとため、該i型半導体層の成膜速度が遅いことが半導体積層膜全体の高速形成を妨げることはなかった。そして、高速成膜が可能になったことにより、帯状基板の搬送速度を高速化することができ、帯状基板の搬送速度を約100cm/分まで高速化しても、i型半導体成膜室103A、103Bに1室の長さが約20cmの長さの成膜室を3室設けることで約300nmのi型半導体層を形成することができた。

40

【0050】

また、2層タンデム型光起電力素子と同様に光起電力素子のi型半導体層の光入射側の不純物ドーピング層には、該層での光の吸収を防ぐため、アモルファス炭化シリコン等のバンドギャップの広いシリコン系材料や、短波光の吸収率が低い微結晶シリコンが一般に用いら

50

れるが、本発明者らはアモルファス系シリコンよりも約3桁も高い導電率が得られる微結晶シリコンを光入射側の不純物ドーパ層に用いていたが、高周波プラズマCVD法によって不純物をドーパした高導電率の微結晶シリコン層を高速形成しようとした場合には、2層タンデム型と同様な問題があった。

【0051】

すなわち、シリコン原子の原料ガスを含まないガスのプラズマによってもi型半導体層上に不純物ドーパ層が形成され、 $nipni$ または $pinp$ 構造の3層タンデム型光起電力素子が形成されることを見いだしたのである。これは従来の不純物をドーパしたシリコン膜を堆積することによって不純物ドーパ層を形成するという考えからは到底思いつかない現象であった。

10

【0052】

更に、本発明者らは図2に示す装置において成膜室105A、105Bにおいても SiH_4 ガスを流さないようにし、i型半導体層の光入射側の不純物ドーパ層を全てプラズマドーピングによって形成するようにした。

【0053】

すると、 SiH_4 ガスを流して高周波プラズマCVD法によって層形成を行った場合と比較して、形成されるタンデム型光起電力素子の出力特性（光照射時の電圧－電流特性）において曲線因子の低下が見られ、良好な素子特性が得られなかった。尚、成膜室105Cにおける最も光入射側の不純物ドーパ層のみをプラズマドーピングによって形成した場合には、このような曲線因子の低下は見られなかった。

20

【0054】

また、図2に示す装置において成膜室102A、103、105Aのみで成膜を行い、マイクロ波CVD法によるi型半導体層を有するシングル型光起電力素子を形成した場合に、成膜室105Aにおける不純物ドーパ層の形成方法を高周波プラズマCVD法からプラズマドーピングに変えてもこのような曲線因子の低下は見られず良好な素子特性が得られた。

【0055】

すなわち、i型半導体層の光入射側の不純物ドーパ層をプラズマドーピングによって形成し、該層の上に更に反対導電型の半導体層を積層した場合においてのみ曲線因子の低下が見られることがわかった。

30

【0056】

本発明は以上の知見に基づき、高品質の光起電力素子を大面積にバラツキやムラなく高速に形成しうる装置を実現したものである。すなわち、従来のi型半導体層をマイクロ波プラズマCVD法で、n、p型半導体層を高周波プラズマCVD法で形成するロール・ツー・ロール方式の半導体積層膜の連続形成装置における、i型半導体層上の不純物ドーパ層を大面積に薄く均質に形成することが困難で、形成される光起電力素子に特性のバラツキやムラを生じ易いという問題点を最も光入射側に位置する不純物ドーパ層をプラズマドーピングによって形成するようにしたことにより解決し、高品質の3層タンデム型の光起電力素子を大面積にバラツキやムラなく、高速かつ連続的に形成しうるようにしたものである。

40

【0057】

マイクロ波プラズマCVD法によるi型半導体層成膜室

本発明の2層または3層のタンデム型の光起電力素子を用いた装置においてマイクロ波プラズマCVD法によるi型半導体層成膜室とは、連続的に移動する带状基板上にマイクロ波プラズマCVD法により実質的に真性なシリコン系非単結晶半導体層を連続的に形成するための成膜室をいう。

【0058】

本発明の装置においてマイクロ波プラズマCVD法によるi型半導体層成膜室は、一つの成膜室の大きさを一定以上に大きくしないで带状基板のより速い移動速度に対応するため、あるいは一つの層を複数の成膜条件で形成するために、複数個連結して設けても良い。

50

【0059】

なお、本発明の装置において、マイクロ波プラズマCVD法による成膜室にはプラズマを形成するためのマイクロ波電力を投入する必要があるが、マイクロ波電力を投入する手段としては、特開平3-30419号公報に開示されたようなマイクロ波透過性部材からなるマイクロ波導入窓、特開平3-30420号公報に開示されたようなマイクロ波漏洩導波管、特開平3-30421号公報に開示されたようなマイクロ波放射アンテナ等の手段およびこれらに磁場形成装置を組み合わせることでECR条件にした手段を挙げることができる。

【0060】

以下、マイクロ波透過性部材からなるマイクロ波導入窓をマイクロ波電力投入手段として用いる場合について詳しく説明する。

10

【0061】

マイクロ波透過性部材はマイクロ波導入窓の先端部分に設けられ、前記成膜室内の真空雰囲気と前記マイクロ波導入窓の設置されている外気とを分離し、その内外間に存在している圧力差に耐え得るような構造に設計される。具体的には、そのマイクロ波の進行方向に対する断面形状が好ましくは円形、方形、楕円形の平板、ベルジャー状、タブレット状、円錐状とされるのが望ましい。

【0062】

また、マイクロ波透過性部材のマイクロ波の進行方向に対する厚さは、ここでのマイクロ波の反射が最少に抑えられるように、用いる材質の誘電率を考慮して設計されるのが望ましく、例えば平板状であるならばマイクロ波の波長の $1/2$ 波長にほぼ等しくされるのが好ましい。更に、その材質としては、マイクロ波導入窓から放射されるマイクロ波エネルギーを最小の損失で前記成膜室内へ透過させることができ、また、前記成膜室内への大気の流れが生じない気密性の優れたものが好ましく、具体的には石英、アルミナ、窒化ケイ素、ベリリア、マグネシア、ジルコニア、窒化ホウ素、炭化ケイ素等のガラス又はファインセラミックス等が挙げられる。

20

【0063】

また、マイクロ波透過性部材はマイクロ波エネルギー及び／又はプラズマエネルギーによる加熱によって熱劣化（ヒビ割れ、破壊）等を起こすことを防止するため均一に冷却されることが好ましい。

30

【0064】

具体的な冷却手段としては、前記マイクロ波透過性部材の大気側の面に向けて吹きつけられる冷却空気流であってもよいし、マイクロ波導入窓そのものを冷却空気、水、オイル、フロン等の冷却媒体にて冷却し、マイクロ波導入窓に接する部分を介してマイクロ波透過性部材を冷却しても良い。マイクロ波透過性部材を十分に低い温度まで冷却することで、比較的高いパワーのマイクロ波電力を成膜室内へ導入しても、発生する熱によってマイクロ波透過性部材にひび割れ等の破壊を生じさせることなく、高電子密度のプラズマを生起することができる。

【0065】

また、マイクロ波透過性部材がマイクロ波プラズマに接している部分には、帯状基板上と同様膜堆積が起こる。従って、堆積する膜の種類、特性にもよるが、該堆積膜によってマイクロ波導入窓から放射されるべきマイクロ波電力が吸収又は反射され、前記帯状部材によって形成される成膜室内へのマイクロ波エネルギーの投入量が減少し、放電開始直後に比較して著しくその変化量が増大した場合には、マイクロ波プラズマの維持そのものが困難になるばかりでなく、形成される堆積膜の成膜速度の減少や特性等の変化を生じることがある。このような場合には、マイクロ波透過性部材に堆積される膜をドライエッチング、ウェットエッチング、又はブラスト等の機械的方法等により除去すれば初期状態を復元できる。特に、前記真空状態を維持したまま堆積膜の除去を行う方法としてはドライエッチングが好適に用いられる。

40

【0066】

50

また、マイクロ波アプリーター手段ごと成膜室内の真空状態は保持したまま、いわゆるロードロック方式で成膜室外へ取り出し、マイクロ波透過性部材上に堆積した膜をウェットエッチング又は機械的除去等によって剥離して再利用するか、又は、新品と交換しても良い。

【0067】

更には、マイクロ波透過性部材の成膜室側の表面に沿って、該マイクロ波透過性部材とほぼ同等のマイクロ波透過性を有する材質からなるシートを連続的に送ることによって、該シートの表面上に堆積膜を付着、形成させ、マイクロ波プラズマ領域外へ排出するといった手法を採用することもできる。

【0068】

更にまた、特開平3-110798号公報に開示されたように、マイクロ波透過性部材の成膜室側に、マイクロ波電界を垂直に細かく分割する金属或いはマイクロ波反射部材を配置し、マイクロ波電力は成膜室内に投入しながらも、その分割部におけるプラズマの発生を困難なものとし、その結果成膜室内のプラズマとマイクロ波導入窓との距離を拡大させてマイクロ波導入窓上に膜が付着する事を防止するようにしてもよい。

【0069】

マイクロ波導入窓は、マイクロ波電源より供給されるマイクロ波電力を成膜室内に投入して、成膜室内に導入される堆積膜形成用原料ガスをプラズマ化し維持させることができる構造を有するものである。

【0070】

具体的には、マイクロ波伝送用導波管の先端部分にマイクロ波透過性部材を、気密保持が可能な状態に取り付けたものが好ましく用いられる。そしてマイクロ波導入窓はマイクロ波伝送用導波管と同一規格のものであっても良いし、他の規格のものであっても良い。また、マイクロ波導入窓の中でのマイクロ波の伝送モードは、成膜室内でのマイクロ波電力の伝送を効率良く行わせしめ、且つ、マイクロ波プラズマを安定して生起・維持・制御せしめる上で、単一モードとなるようにマイクロ波導入窓の寸法・形状等が設計されるのが望ましい。但し、複数モードが伝送されるようなものであっても、使用する原料ガス、圧力、マイクロ波電力等のマイクロ波プラズマ生起条件を適宜選択することによって使用することもできる。単一モードとなるように設計される場合の伝送モードとしては、例えば TE_{10} モード、 TE_{11} モード、 eH_1 モード、 TM_{11} モード、 TM_{01} モード等を挙げるこ
とができるが、好ましくは TE_{10} モード、 TE_{11} 、 eH_1 モードが選択される。そして、マイクロ波導入窓には、上述の伝送モードが伝送可能な導波管が接続され、好ましくは該導波管中の伝送モードと前記マイクロ波アプリーター手段中の伝送モードとは一致させるのが望ましい。導波管の種類としては、使用されるマイクロ波の周波数帯（バンド）及びモードによって適宜選択され、少なくともそのカットオフ周波数は使用される周波数よりも小さいものであることが好ましく、具体的にはJIS、EIAJ、IEC、JAN等の規格の方形導波管、円形導波管、又は楕円導波管等の他、2.45GHzのマイクロ波用として、方形の断面の内径で幅96cm×高さ27cmのもの等を挙げるこ
とができる。

【0071】

マイクロ波電線より供給されるマイクロ波電力は、マイクロ波導入窓を介して効率良く成膜室内へ投入されるため、いわゆるマイクロ波導入窓に起因する反射波に関する問題は回避しやすく、マイクロ波回路においてはスリスタブチューナー又はE-Hチューナー等のマイクロ波整合回路を用いなくとも比較的安定した放電を維持することが可能であるが、放電開始前や放電開始後でも異常放電等により強い反射波を生ずるような場合にはマイクロ波電源の保護のために前記マイクロ波整合回路を設けることが望ましい。

【0072】

本発明の装置において、上述したマイクロ波をプラズマCVD法による成膜室にマイクロ波電力を投入する手段の、マイクロ波の投入方向としては、成膜室内にプラズマが形成されれば、帯状基板の半導体層形成面に対して垂直な方向、帯状基板の半導体層形成面に対

10

20

30

40

50

して平行で、移動方向に対して垂直な方向、帯状基板の半導体層形成面に対して平行で、移動方向に対して平行方向等、いかなる方向でもよく、同時に数方向に投入してもよいが、好ましくは帯状基板の半導体層形成面に対して平行で、移動方向に対して垂直な方向に投入する。

【0073】

また、上述したマイクロ波をプラズマCVD法による成膜室にマイクロ波電力を投入する手段の配設数は、成膜室内にプラズマが形成されればいくつでもよいが、プラズマ形成空間が広い場合には複数個を配設することが好ましい。なお、マイクロ波電力を帯状基板の半導体層形成面に対して平行で、移動方向に対して垂直な方向に投入する場合、帯状基板の幅が比較的狭い場合には帯状基板の片側からマイクロ波を導入するだけでほぼ均一なプラズマが帯状基板上に形成できるが、帯状基板の幅が広い場合には帯状基板の両側からマイクロ波を導入するようにすることが好ましい。

10

【0074】

なお、マイクロ波投入手段が複数個配設された場合、それらのマイクロ波投入手段にマイクロ波電力を供給するには、それぞれ電源を設けて供給するようにしても、少数の電源からのマイクロ波電力をパワーデバイダーによって分割してそれぞれに供給するようにしてもよい。

【0075】

本発明の装置のマイクロ波プラズマCVD法による成膜室において、複数個のマイクロ波投入手段を互いに対向させて配設させる場合には、一方のマイクロ波投入手段より放射されたマイクロ波電力を、他方のマイクロ波投入手段が受信し、受信されたマイクロ波電力が前記他方のマイクロ波投入手段に接続されているマイクロ波電源にまで達して、該マイクロ波電源に損傷を与えたり、マイクロ波の発振に異常を生ぜしめる等の悪影響を及ぼすことのないように配置する必要がある。

20

【0076】

具体的には、マイクロ波投入手段の中を進行するマイクロ波の電界方向同士が互いに平行とならないようにマイクロ波導入手段を配設する。すなわち、マイクロ波投入手段に接続される導波管の長辺又は長軸を含む面とが互いに平行とならないように導波管を配設する。

【0077】

また、本発明の装置において、マイクロ波プラズマCVD法を行う成膜室には連続的に半導体層を形成するために帯状基板を通過、貫通させる必要があるが、成膜室内における帯状基板の形状としては、米国特許4566403号明細書に開示されたような平面形状、特開平3-30419号公報に開示されたようなΩ型形状等を挙げることができる。

30

【0078】

本発明の装置において、マイクロ波プラズマCVD法による成膜室内で、堆積膜形成用の原料ガスは、帯状基板が通過する成膜室内に配設されたその先端部に単一又は複数のガス放出孔を有するガス導入管より、成膜室内に放出され、投入されるマイクロ波電力によりプラズマ化され、マイクロ波プラズマ領域を形成する。ガス導入管を構成する材質としてはマイクロ波プラズマ中で損傷を受けることのないものが好適に用いられる。具体的にステンレススチール、Ni、Ti、W等耐熱性金属及びこれらの金属上にアルミナ、窒化ケイ素等のセラミックスを溶射処理等したものが挙げられる。

40

【0079】

また、原料ガスの導入は成膜室のいかなる位置から行ってもよいが、帯状基板上に形成されるプラズマが少なくとも帯状基板の幅方向に均一になるように、帯状基板の幅方向に複数の位置から導入するようにすることが望ましい。

【0080】

本発明の装置において、マイクロ波プラズマCVD法による成膜室を半導体層の形成に適した圧力に排気する手段としては真空ポンプが用いられる。マイクロ波プラズマCVD法では高周波プラズマCVD法よりも低い圧力でプラズマの維持が可能で、堆積膜形成時の

50

圧力を低圧化することにより高品質の堆積膜を高速に形成することが可能になるため、高周波プラズマCVD法による成膜室よりも高真空を得ることができる真空ポンプによって排気することが望ましい。具体的にこの様な高真空を得るに適した真空ポンプとしては、ターボ分子ポンプ、油拡散ポンプ、クライオポンプおよびこれらのポンプにロータリーポンプ、メカニカルブースターポンプ等を組み合わせたポンプ等が挙げられ、好適には、ターボ分子ポンプまたは油拡散ポンプにロータリーポンプとメカニカルブースターポンプを組み合わせたポンプが用いられる。

【0081】

なお、マイクロ波プラズマCVD法による成膜室を排気する排気管（排気口）は、大量の原料ガスおよび原料ガスの分解ガスを排気するため、成膜室内を区切って複数のプラズマ空間を形成した時に各プラズマ空間のガスを相互拡散させずに排気するため、成膜室内に複数方向の原料ガスの流れを形成するため、あるいは低真空時の荒引き用の手段と高真空時の排気用の手段を分けるため、等の目的のために複数設けてもよい。

10

【0082】

また、マイクロ波プラズマCVD法による成膜室を排気する排気管（排気口）には、成膜室内に投入されるマイクロ波電力が成膜室のプラズマ形成空間から外部に漏洩して、プラズマが不安定になったり、外部の電子機器にノイズをいれたりすることのないように、マイクロ波の漏洩を防ぎながらガスを通させる、金属性のメッシュあるいは金属性の板にマイクロ波が透過しない程度に小さな穴を高い開口率で開けたもの等を配設することが望ましい。

20

【0083】

本発明の装置において、マイクロ波プラズマCVD法による成膜室内には、該成膜室内を移動しつつその表面に半導体層を形成される帯状基板を、半導体膜の形成に適した温度に制御するための温度制御手段を設けることが望ましい。

【0084】

マイクロ波プラズマCVD法に適した低圧下ではガスの対流等による基板の冷却効果が少ないため、帯状基板は半導体層が形成される過程においてマイクロ波による高密度プラズマにさらされることによって加熱され、所望の温度以上に加熱されてしまうことがある。したがって、帯状基板がプラズマ形成空間に入る前に半導体層の形成に適した温度にまで加熱し、プラズマ形成空間においては一定温度が保たれるように、温度制御手段を配設することが好ましい。例えば、投入されるマイクロ波電力が大きな場合には、プラズマ形成空間の前にガスゲートを通させて温度の低下した帯状基板を加熱するためのヒーターを、プラズマ形成空間にプラズマによってさらに加熱される帯状基板を一定温度に保つための冷却手段を配設する。

30

【0085】

なお、成膜室内で帯状基板の表面には半導体層が形成されるため、成膜中の温度制御は裏面側から行うことが好ましい。

【0086】

また、成膜室内で帯状基板は連続的に移動しているため、帯状基板の加熱には非接触で加熱が可能なランプヒーター等の放射によるヒーター手段を用いることが好ましく、帯状基板の温度制御のための温度測定手段としては、移動表面の温度測定が可能で熱容量が小さく応答速度が速い熱電対を用いた移動表面温度計あるいは非接触で測定が可能な放射温度計等を用いることが好ましい。

40

【0087】

図3は本発明の装置におけるマイクロ波プラズマCVD法による成膜室の好適な一例を示す模式的断面図である。

【0088】

（放電室ユニット）

図3において帯状基板401は、真空容器402にガスゲート403から入り、図中左方から右方へ移動して、ガスゲート404へ出る。

50

【0089】

真空容器402の内部には箱状の成膜室ユニット405が取り外し可能に設置され、成膜室ユニット405内部を穴開き仕切板421, 422, 423, 424で仕切った成膜室406, 407, 408の内部にプラズマを形成することにより、成膜室の上部を移動する帯状基板401の表面(下面)にシリコン系非単結晶半導体を形成する。

【0090】

i型半導体層を形成するための成膜室が複数設けられているのは、各成膜室で成膜条件を変えることにより、膜厚方向にバンドギャップ等の膜の特性が変化したi型半導体層を形成するためであり、例えば406、407、408の3つの成膜室で1.7 eV, 1.6 eV, 1.5 eVのバンドギャップの堆積膜をそれぞれ形成すれば、連続的に移動する帯状基板には膜厚方向に1.7 eV, 1.6 eV, 1.5 eVと変化したi型半導体層を形成することができる。また、各成膜室での成膜速度を変える、あるいは移動可能に設けられた各成膜室間を仕切る穴開き仕切り板422, 423の位置を帯状基板の移動方向に移動させることによって、各成膜室で形成される堆積膜の膜厚を変え、膜厚方向の特性のプロファイルを変えることができる。

10

【0091】

さらに、穴開き仕切板422, 423の開口率を変えることによっても膜厚方向の特性のプロファイルを変えることも可能である。仕切板の開口率を低くすることにより、各成膜室の原料ガスの相互混入を抑制し、成膜室によって原料ガスの組成が非連続的に変化するようにして、形成される膜の特性を膜厚方向に非連続的に変化させることができる。また、仕切板の開口率を高くすることにより、各成膜室の原料ガスを仕切板近傍で相互に混入させ、成膜室の原料ガスの組成が連続的に変化するようにして形成される膜の特性を膜厚方向に連続的に変化させることができる。

20

【0092】

各成膜室406, 407, 408の底壁面には数カ所に穴が開けられ、不図示の原料ガス供給系に接続された原料ガス導入管409, 410, 411と、圧力計に接続された圧力測定管412, 413, 414と、同一構造により不図示のバイアス電源に接続されたバイアス電極415, 416, 417とが導入され、各成膜室への原料ガスの導入と圧力の測定と直流または高周波のバイアス電力の投入が行われる。

【0093】

また、各成膜室の側壁面には、成膜室ユニットの側壁に接して配置され、不図示のマイクロ波電源に接続されたマイクロ波導入窓418, 419, 420に対応した開口部が設けられ、各成膜室へのマイクロ波電力の投入が行われる。

30

【0094】

なお、原料ガス導入管409, 410, 411は帯状基板の幅方向に複数のノズルを備えており、帯状基板の幅方向にほぼ均等に原料ガスを導入できるようになっており、バイアス電極415, 416, 417は真空容器内の同軸構造部分に接続部を備え、成膜室内でマイクロ波導入窓の中央前方で帯状基板の幅方向に長くなっており、SUS、Ni等の金属からなるT字型の電極部と、真空容器の壁面の電流導入端子に接続された導線部とに分離可能になっている。

40

【0095】

また、各成膜室は金属製の穴開き仕切板421, 422, 423, 424によって仕切られており、各成膜室内のガスは各穴開き仕切板のほぼ全面に開けられた小穴を通して成膜室ユニット405外へ排気され、ガスゲート403, 404から流入するゲートガスとともに、ゲートバルブを介して不図示の高真空ポンプに接続された排気管425, 426からそれぞれ真空容器402外へ排気される。なお、真空容器402には排気管425, 426の他の低真空ポンプに接続された荒引き用の排気管427が設けられている。

【0096】

金属製の穴開き仕切板421, 422, 423, 424の穴は各成膜室に導入されるマイクロ波が透過しない程度に小さく、かつガスが充分に通過可能な程度に大きくほぼ全面に

50

開けられており、穴開き仕切板 4 2 1、4 2 4 の外側には粉受け板 4 2 8 が設けられ、万一、成膜室内で発生したシリコンの粉や膜が穴開き仕切板の穴から成膜室外に出てもここで捕捉され、排気管 4 2 5、4 2 6 へ落下しないようになっている。

【0097】

さらに、成膜室ユニット 4 0 5 の帯状基板 4 0 1 の入口、出口および幅方向両端部にはプラズマ漏れガード 4 2 9 が配設され、成膜室内のプラズマの外部への漏洩を防止している。なお、帯状基板 4 0 1 の入口と出口に設けたプラズマ漏れガード 4 2 9 の成膜室 4 0 6、4 0 8 の上部に設けられた部分の長さを帯状基板の移動方向に調節することにより、各成膜室 4 0 6、4 0 8 で形成される半導体膜の膜厚を調整することができる。

【0098】

また、成膜室ユニット 4 0 5 は成膜室温度制御装置 4 3 0 の上に乗る形に設置され、加熱、冷却による温度制御がなされるようになっている。成膜室温度制御装置 4 3 0 によって、成膜室ユニット 4 0 5 を成膜前には加熱してベーキングを行うことが、成膜中には冷却または加熱してプラズマによる成膜室の壁面温度の変化を抑制、制御することができる。

【0099】

図 4 は図 3 の成膜室ユニットを斜め上方から見た模式図を示している。

【0100】

図 4 において、内部構造を見やすくするために帯状基板および成膜室ユニットの壁の一部を切り取り、マイクロ波導入窓は本来の位置から少しずらして示してあり、図中の 5 0 1 ~ 5 2 9 は図 3 の 4 0 1 ~ 4 2 9 に対応しており、同一のものを示している。

【0101】

図 3、図 4 から分かる通り、成膜室ユニットは帯状基板を通さない時には、真空容器の上蓋 4 3 1 を開き、バイアス電極の成膜室内の電極部を外せば真空容器から上方に取り外し可能で、内壁にシリコン膜が大量に付着した時には、真空容器から取り外してエッチング処理、ブラスト処理等の化学的、物理的手段によって容易に清掃することができるようになっている。

【0102】

(マイクロ波導入窓)

図 3、図 4 に示したマイクロ波プラズマ C V D 法による成膜室において、成膜室にマイクロ波を投入するマイクロ波導入窓は、図 4 に示すように不図示のマイクロ波電源から、アイソレーター、パワーモニター、整合器等を経て導波管により供給されたマイクロ波電力を各成膜室内に効率的に導入する手段である。

【0103】

矩形導波管 5 5 0 により供給された 2. 4 5 G H z の連続したマイクロ波電力は、空洞共振構造のモード変換器 5 5 1 により矩形 T E₁₀ モードから円形 T E₁₁ モードへ変換され、マイクロ波波長の 1 / 2 と 1 / 4 の厚さのアルミナセラミックスの円板 5 5 2、5 5 3 を重ねたマイクロ波導入窓 5 1 8、5 1 9、5 2 0 を通して、減圧された成膜室内へ投入される。

【0104】

2 枚重ねられたアルミナセラミックス製の円板のうち、モード変換器側の厚さ 1 / 2 波長の円板 5 5 2 で成膜室の気密を保持しており、その周囲は水冷され、大気側からボルテックスクーラー（登録商標）により強制空冷されている。また厚さ 1 / 2 波長の円板 5 5 2 の大気側表面には、不図示のアルミナセラミックス製の円柱形状の小円板が 2 箇所張り付けられ、成膜室へのマイクロ波電力の投入効率を高める整合を行っている。厚さ 1 / 4 波長の円板 5 5 3 の成膜室側表面にはシリコン膜が堆積されるが、大量の膜が付着したときには、この厚さ 1 / 4 波長の円板だけを取り外し、エッチング処理、ブラスト処理等によって容易に清掃することができるようになっている。

【0105】

(帯状基板の温度制御機構)

図 3 に示したマイクロ波プラズマ C V D 法による成膜室において、真室容器 4 0 2 内の帯

10

20

30

40

50

状基板 401 の上面（裏面）側には、真空容器 402 の開閉可能な蓋 431 に固定されてランプヒーター 432 及び基板温度制御装置 433、434、435 が配設され、带状基板の裏面に面接触した、熱容量が小さく接触面積が広い薄板形状の表面温度測定用の熱電対 436、437、438、439 により温度を測定しながら带状基板 401 を裏面から所定の温度に温度制御する。

【0106】

带状基板 401 の温度はガスゲート 403 を通過する際に低下しているが、放電室 406 の前に配設されたランプヒーター 432 により放電室 406 に带状基板が達するまでに成膜に適した所定の温度にまで加熱され、放電室 406、407、408 の上に配設された基板温度制御装置 433、434、435 により堆積膜形成中に一定温度になるように温度調節がなされる。

10

【0107】

ランプヒーター 432 は带状基板の幅を均一に加熱できるだけの長さを有する棒状の赤外線ランプを带状基板の移動方向に対して垂直方向に複数配設した構造であり、2重構造のリフレクター 440 を備え、ランプからの放射光を带状基板側に集めて加熱効率を高めるとともに、真空容器の蓋 431 が加熱されることを防止している。さらに、ランプヒーター 432 に電力を供給する電気配線には、不図示の配線カバーが配設され、万一、放電室ユニット 405 からプラズマが漏洩して電気配線に当たってもスパーク、漏電等が発生しないようにしている。

【0108】

20

放電室上の温度制御装置 433、434、435 は成膜中の带状基板の温度を制御するものであり、ランプヒーター 432 によって所定の温度に加熱された带状基板 401 が、成膜室に導入される原料ガスによる冷却や高エネルギープラズマによる加熱によって温度変化することを抑制し、成膜中の带状基板の温度を所定の温度に維持制御している。

【0109】

（带状基板の支持機構）

図 3 に示したマイクロ波プラズマ CVD 法による成膜室で、真空容器 402 内の带状基板 401 の上面（裏面）側には数カ所に带状基板の裏面を回転支持する支持ローラー 441 が設けられ、真空容器 402 内で带状基板 401 が直線的に張られるように裏面から支持している。

30

【0110】

なお、支持ローラー 441 の内部にはキュリー点が高く、プラズマに影響を及ぼさない程度の磁力を発生する不図示の永久磁石が配設され、フェライト系ステンレス等の磁性体からなる带状基板を用いた場合に、支持ローラー 441 と带状基板を密着させるようにしている。

【0111】

また、支持ローラー 441 の表面はステンレス等の導電性材料で形成され、電氣的に接地されており、導電性の带状基板 401 を電氣的に接地している。

【0112】

高周波プラズマ CVD 法による成膜室

40

本発明の素子を用いた装置において高周波プラズマ CVD 法による成膜室とは、連続的に移動する带状基板上に高周波プラズマ CVD 法によりシリコン系非単結晶半導体を連続的に形成するための成膜室をいう。

【0113】

本発明において高周波プラズマ CVD 法による成膜室は、基本的には最も光入射側に位置するものを除く不純物ドーパ層と、最も光入射側に位置する i 型半導体層を形成するために配置されるが、望ましくは不純物ドーパ層の成膜室とマイクロ波プラズマ CVD 法による i 型半導体層の成膜室の間に、さらに高周波プラズマ CVD 法によるごく薄い i 型半導体層を形成する成膜室として配置される。

【0114】

50

光起電力素子の形成において、i 型半導体層をマイクロ波プラズマ C V D 法によって形成する場合、マイクロ波プラズマ C V D 法によって形成されるプラズマは高エネルギーであるため、放電条件によっては i 型半導体層の形成開始時に i 型半導体層の下の不純物ドーパ層が僅かにスパッタエッチングされる可能性がある。

【0115】

i 型半導体層形成時に不純物ドーパ層がスパッタエッチングされると、i 型半導体層中に不純物がドーパされ、i 型半導体層の特性が変化して形成される光起電力素子の特性にバラツキを生じる。このようなマイクロ波プラズマによる不純物ドーパ層のスパッタエッチングを防ぐために、i 型半導体層の下の不純物ドーパ層とマイクロ波プラズマ C V D 法による i 型半導体層との間に、高周波プラズマ C V D 法による低エネルギーのプラズマで i 型半導体層を形成する成膜室をさらに配置し、不純物ドーパ層の上に高周波プラズマ C V D 法による i 型半導体層を薄く形成し、不純物ドーパ層がマイクロ波プラズマに直接さらされないようにすることが望ましい。

10

【0116】

また、理由はまだ解明されてはいないが、本発明者らが i 型半導体層をマイクロ波 C V D 法によって成膜し、光起電力素子を形成する場合、該層と該層上の不純物ドーパ層との間に約 10 乃至 20 nm のごく薄い膜厚の高周波プラズマ C V D 法による i 型半導体層を挿入すると、形成される光起電力素子の特性が向上することが確認されている。したがって、マイクロ波 C V D 法による i 型半導体層の成膜室と高周波プラズマ C V D 法による不純物ドーパ層の成膜室との間に、高周波プラズマ C V D 法による i 型半導体層の成膜室をさらに配置し、マイクロ波 C V D 法による i 型半導体層と該層上の不純物ドーパ層の間に高周波プラズマ C V D 法によるごく薄い i 型半導体層を形成するようにすることが望ましい。

20

【0117】

また、本発明の装置において高周波プラズマ C V D 法による成膜室は、一つの成膜室の大きさを一定以上に大きくしないで帯状基板のより速い移動速度に対応するため、あるいは一つの層を複数の成膜条件で形成するために、複数個連結して設けても良い。

【0118】

本発明の装置において高周波プラズマ C V D 法による成膜室に高周波電力を投入する方式としては、放電電極を用いた容量結合方式、高周波コイルを用いた誘導結合方式等が挙げられるが、好適には平行平板電極を用いた容量結合方式が用いられる。

30

【0119】

本発明の装置において、高周波プラズマ C V D 法による成膜室内には、該成膜室内を移動しつつその表面に半導体層を形成される帯状基板を、半導体膜の形成に適した温度に制御するための温度制御手段を設けることが望ましい。

【0120】

なお、半導体膜成膜時に帯状基板の温度を一定に保つためには、帯状基板がプラズマ形成空間に入る前に半導体層の形成に適した温度にまで加熱し、プラズマ形成空間においてはその温度が維持されるように温度制御手段を配設することが好ましい。

【0121】

なお、成膜室内での帯状基板の表面には半導体層が形成されるため、成膜中の温度制御は裏面側から行うことが好ましい。

40

【0122】

また、成膜室内で帯状基板に連続的に移動しているため、帯状基板の加熱には非接触で加熱が可能なランプヒーター等の放射によるヒーター手段を用いることが好ましく、帯状基板の温度測定には、移動表面の温度測定が可能で熱容量が小さく応答速度が速い熱電対を用いた移動表面温度計あるいは非接触で測定が可能な放射温度計等の温度測定手段を用いることが好ましい。

【0123】

図 5 は本発明の装置における高周波プラズマ C V D 法による成膜室の好適な一例を示す模

50

式的断面図である。

【0124】

(放電室)

図5において帯状基板601は、真空容器602にガスゲート603から入り、図中左方から右方へ移動して、ガスゲート604へ出る。

【0125】

真空容器602の内部には放電室605が設けられ、電氣的に接地された帯状基板601と放電電極606との間に不図示の高周波電源から高周波電力を投入することにより、放電室605内にプラズマを形成し、帯状基板の下面(表面)にシリコン系非単結晶半導体を形成する。放電室605には不図示の原料ガス供給系に接続された原料ガス導入管607および不図示の排気装置に接続された排気管608が設けられ、帯状基板の移動方向と平行ガスの流れを形成する。

10

【0126】

原料ガスの流入経路にはブロックヒーター609が設けられ、プラズマ分解前の原料ガスの予熱と放電室605の加熱を行い、吹き出し部付近での原料ガスの分解促進と放電室605の内壁へのポリシラン粉の付着量の低減を図る。排気ガスの排出経路には放電室外部排気口610が設けられ、放電室605の外部のガス(ガスゲートから流入したゲートガス、真空容器602内壁からの放出ガス等)が放電室605を通ることなく排気管608へ排出されるようにし、堆積膜への不純物の混入を防止している。

【0127】

20

また、放電室605の上部の、帯状基板601の入口、出口および幅方向両端部にはプラズマ漏れガード611が配設され、放電室605内部のプラズマの外部への漏洩を阻止している。

【0128】

(帯状基板の温度制御機構)

図5に示した高周波プラズマCVD法による成膜室において、真空容器602内の帯状基板601の上面(裏面)側には、真空容器602の開閉可能な蓋612に固定されてランプヒーター613、614が配設され、帯状基板の裏面に面接触した熱電対615、616により温度をモニターしながら帯状基板601を裏面から所定の温度に加熱する。帯状基板601の温度はガスゲート603を通過する際に低下しているが、放電室605の前に設けたランプヒーター613により放電室605に帯状基板が達するまでに成膜に適した所定の温度にまで加熱され、放電室605の上に設けたランプヒーター614により堆積膜形成中に一定温度になるように温度維持がなされる。

30

【0129】

ランプヒーター613、614は帯状基板の幅を均一に加熱できるだけの長さを有する棒状の赤外線ランプを帯状基板の移動方向に対して垂直方向に複数配設した構造で、放電室605の前では密に、放電室605の後ろに行くほど粗になるように間隔を調整してある。また、ランプヒーター613、614には2重構造のリフレクター617が配設され、ランプからの放射光を帯状基板に集めて加熱効率を高めるとともに真空容器の蓋612が加熱されることを防止している。さらに、ランプヒーター613、614に電力を供給する電気配線には不図示の配線カバーが配設され、万一、放電室605からプラズマが漏洩しても電気配線からスパーク、漏電が発生しないようにしている。

40

【0130】

(帯状基板の支持機構)

図5に示した高周波プラズマCVD法による成膜室において、真空容器602内の真空容器605の入口と出口近傍には帯状基板の裏面を回転支持する支持ローラー618が設けられ、真空容器602内で帯状基板601が直線的に張られ、放電電極606との距離が一定に保たれるよう裏面から支持している。

【0131】

なお、支持ローラー618の内部にはキュリー点が高く、プラズマに影響を及ぼさない程

50

度の磁力を発生する不図示の永久磁石が配設され、フェライト系ステンレス等の磁性体からなる帯状基板を用いた場合に、支持ローラー618と帯状基板601を密着させるようにしている。

【0132】

また、支持ローラー618の表面はステンレス等の導電性材料で形成され、電氣的に接地されており、導電性の帯状基板601を電氣的に接地している。

【0133】

プラズマドーピングによる成膜室

本発明の光起電力素子を用いた装置においてプラズマドーピングによる成膜室とは、連続的に移動する帯状基板上のi型半導体層表面を不純物元素を含有したガスのグロー放電プラズマにさらし、プラズマドーピングにより不純物ドーピング層を連続的に形成するための成膜室（放電処理室）をいう。

10

【0134】

なお、本発明においてプラズマドーピング時の不純物元素を含有したガスには、 B_2H_6 、 BF_3 、 PH_3 等の不純物元素を含有するガスの他に水素やHe等の希釈ガスの他、放電を安定させるために、 SiH_4 、 Si_2H_6 、 SiF_4 等のSi原子を含有するガスを、所望の膜厚の半導体層を堆積によって形成するには十分少ない量だけ含んでいてもよい。

【0135】

本発明のプラズマドーピングにより1kHz乃至13.56MHzの周波数で良好な特性の光起電力素子が得られることがわかっており、プラズマドーピングによる成膜室の構造は、図5に一例を示した高周波プラズマCVD法による成膜室とほぼ同様でよい。

20

【0136】

なお、同じ放電電力でプラズマドーピングしたときに高い周波数では不純物元素の注入深さが浅くなりやすいことが、発明者らがSIMSによる不純物元素の膜厚方向の分布を調べる事により確認されている。

【0137】

光入射側のドーパ層として適した約3乃至30nmの層厚を形成するには好ましくは13.56MHz程度以下、より好ましくは500kHz以下の周波数が良い。

【0138】

低い周波数では放電が不安定になりやすく、放電空間内のプラズマが不均一になったり、スパーク等の異常な放電を起こし易い。また、いわゆるロール・ツー・ロール方式では基板を移動させるための放電室と基板とにわずかな隙間を設ける必要があるが、低い周波数ではプラズマがこの隙間から放電室外に漏れ易くなる。このような現象を防ぐには、好ましくは1kHz以上、より好ましくは5kHz以上の周波数が良い。

30

【0139】

このような理由から、光起電力素子に用いる光入射側のドーパ層をプラズマドーピングで作成する場合、好ましくは1kHzから13.56MHz、より好ましくは5kHz乃至500kHzである。

【0140】

また、本発明において該成膜室は、一つの成膜室の大きさを一定以上に大きくしないで帯状基板のより速い移動速度に対応するため、あるいは一つの層を複数の成膜条件で形成するために、複数個設けても良い。

40

【0141】

本発明の装置において、プラズマドーピングによる成膜室内には、該成膜室内を移動しつつその表面に半導体層を形成される帯状基板を、半導体層の形成に適した温度に制御するまたは成膜室内を加熱ベーキングするための温度制御手段を設けることが望ましい。

【0142】

なお、成膜室内で帯状基板の表面には半導体層が形成されるため、成膜中の温度制御は裏面から行うことが好ましい。

【0143】

50

また、成膜室内で帯状基板は連続的に移動しているため、帯状基板を加熱する場合には非接触で加熱が可能なランプヒーター等の放射によるヒーター手段を用いることが好ましく、帯状基板の温度測定には、移動表面の温度測定が可能で熱容量が小さく応答速度が速い熱電対を用いた移動表面温度計あるいは非接触で測定が可能な放射温度計等の温度測定手段を用いることが好ましい。

【0144】

(帯状基板の巻き出し室)

本発明において帯状基板の巻き出し室とは、成膜前の帯状基板を収納し、帯状基板を成膜室へ連続的に送り出すための真空容器をいう。

【0145】

図6(a)は本発明の装置における帯状基板の巻き出し室の一例を示す模式的断面図である。

【0146】

図6(a)において帯状基板701Aは真空容器702A内のボビン703Aにコイル状に巻かれて収納されており、帯状基板の巻き取り室の巻き取り機構に引かれてボビン703Aから巻き出され、ローラー704Aにより成膜面(表面)を下にした平面状にされ、ガスゲート705Aで接続された不図示の成膜室へと移動、供給される。ボビン703Aには帯状基板701Aに一定の張力をかける不図示の張力調節機構が接続され、帯状基板701Aに張力を与えて弛みの発生を防止している。また、フィルム巻き取りボビン706Aは不図示の巻き取り機構に接続され、帯状基板の表面と裏面とが擦れ合って傷付くことを防止するために帯状基板とともに巻き込まれ、ポリエチレン、ポリエチレンテレフタレート、ポリイミド、ポリアミド等の樹脂性シート、不織布、紙あるいはこれらにAl等の金属を薄く蒸着したもの等からなる、薄く柔らかい保護フィルム707Aを帯状基板の巻き出しにあわせて巻き取る。さらに、ローラー704Aには不図示のステアリング機構が設けられ、真空容器702Aの外部からローラー704Aの回転軸の方向を僅かに変えて帯状基板の進行方向を僅かに変化させ、ボビン703Aに巻かれた帯状基板の幅方向の位置がたとえ不揃いであっても、ガスゲート705Aに帯状基板を幅方向に対して常に一定の位置に供給することができるようになっている。

【0147】

また、真空容器702Aの内部は不図示に真空排気装置に接続された排気管708Aにより排気される。

【0148】

(帯状基板の巻き取り室)

本発明において帯状基板の巻き取り室とは、半導体積層膜成膜後の帯状基板を成膜室から連続的に回収し、収納する真空容器をいう。

【0149】

図6(b)は本発明の装置における帯状基板の巻き出し室の一例を示す模式的断面図である。

【0150】

帯状基板の巻き取り室と帯状基板の巻き出し室とは、ほとんど同じ装置構成でよいが、ボビン、ローラー等の回転方向は逆になる。

【0151】

図6(b)において半導体積層膜成膜後の帯状基板701Bはガスゲート705Bから真空容器702B内に入り、ローラー704Bを経て、不図示の回転機構に接続されたボビン703Bに巻き取られる。

【0152】

また、フィルム巻き取りボビン706Bは、帯状基板の表面と裏面とが擦れ合って傷付くことを防止するために、帯状基板とともに巻き込まれる。ポリエチレン、ポリエチレンテレフタレート、ポリイミド、ポリアミド等の樹脂性シート、不織布、紙あるいはこれらにAl等の金属を薄く蒸着したもの等からなる、薄く柔らかい保護フィルム707Bをボビ

10

20

30

40

50

ン 7 0 3 B に供給する。さらに、ローラー 7 0 4 B には不図示のステアリング機構が設けられ、真空容器 7 0 2 B の外部からローラー 7 0 4 B の回転軸の方向を僅かに変えて帯状基板の進行方向を僅かに変化させ、ガスゲート 7 0 5 B から入ってくる帯状基板の幅方向の位置がたとえ不揃いであっても、ポビン 7 0 3 B に帯状基板 7 0 1 B を幅方向に対して常に一定の位置に巻き取ることができるようになっている。

【0153】

なお、排気管 7 0 8 B は真空容器 7 0 2 B の内部を真空排気するもので、不図示の真空排気装置に接続されている。

【0154】

(ステアリング機構)

10

以下、ステアリング機構について図面を用いて更に詳しく説明する。

【0155】

帯状基板の巻き取り室には、帯状基板が移動中に移動方向に直角方向にズレることを防止するため、真空容器の内部に横ズレ検知機構と横ズレ修正の為のステアリング機構を備えている。

【0156】

図 7 は横ズレ検知機構とステアリング機構の説明のための模式図である。なお、理解を容易にするため帯状基板の一部を破断して示してある。

【0157】

図 7 において、帯状基板 8 0 1 はローラー 8 0 4 によってその移動方向を上方に曲げられる。また、ローラー 8 0 4 は軸受 8 0 6 を介して回転機構 8 0 3 に接続され、ローラー 8 0 4 の回転軸と直交する軸の周りに回転自在になり、ステアリング機構を構成する。なお、この回転機構 8 0 3 は真空容器の外部に回転軸が出され、不図示の減速機構を有するサーボモーターに接続されており、真空容器の外部から回転角が制御できるようになっている。

20

【0158】

図 7 において、帯状基板 8 0 1 が移動方向 8 0 5 の左側にズレた場合のステアリングの機構について説明する。まず、帯状基板の移動開始前に予めローラー 8 0 4 の左右に加わる張力が同一で、かつ帯状基板 8 0 1 が巻き取りポビンに整列巻きされるように、巻き取りポビン、回転機構 8 0 3、軸受 8 0 6 の位置を調節する。そしてその位置を横ズレ検知機構 8 0 2 の横ズレ量 = 0、回転機構の回転角 = 0 とする。次に帯状基板 8 0 1 を移動させ、左側にズレはじめたら、横ズレ検知機構 8 0 2 で帯状基板 8 0 1 の左側方向への横ズレ量を検知する。さらにこの横ズレ量に応じて、帯状基板の移動方向 8 0 5 に対してローラー 8 0 4 の右側が移動方向に、左側が移動の逆方向に動くように回転機構 8 0 3 を僅かな角度だけ回転させる。この回転に応じ、帯状基板にかかる張力はローラー 8 0 4 の右側で強まり、左側で弱まる。その結果、帯状基板 8 0 1 は張力の強いローラー 8 0 4 の右側方向へ徐々に戻り、最終的に横ズレ量 = 0 のとき回転角 = 0 となるようにすると、帯状基板は元の位置に復元する。右側にズレた場合にはローラー 8 0 4 を逆方向に回転させ、帯状基板を左側に戻して、元の位置に復元する。以上の動作はステアリング機構と横ズレ検知機構を接続する不図示のフィードバック機構により自動的に行われ、帯状基板は常に幅方向に対して一定範囲内に位置制御がなされ、巻き取りポビンに幅方向の位置が揃った状態で巻き取られる。

30

40

【0159】

(ガスゲート)

本発明においてガスゲートとは、隣接する成膜室をスリット状の分離通路によって接続し、さらに該分離通路に例えば Ar, He, H₂ 等のガスを導入して成膜室に向かうガスの流れを形成することにより、隣接する成膜室間で帯状基板を移動させ、原料ガスを分離する成膜室間の接続手段をいう。

【0160】

図 3、図 5、図 6 は本発明における各種成膜室、帯状基盤の巻き出し及び巻き取り室並び

50

にそれらを接続するガスゲートの一例を示す模式的断面図であり、図3、図5、図6に示したガスゲートは基本的には全て同じ構造である。

【0161】

図3においてガスゲート403は帯状基板401を通過させ、原料ガスを分離するスリット状の分離通路442を備えている。分離通路442のほぼ中央部の帯状基板の上下には、帯状基板の幅方向に複数のガス導入口を有し、不図示のゲートガス供給系に接続されたゲートガス導入管443、444が接続され、帯状基板401の上下から原料ガス分離用のゲートガスを導入している。また、分離通路442において帯状基板401は、その表面が分離通路442の下側壁面に接触せず一定の僅かな間隔を維持するように、その裏面を複数の支持ローラー445によって回転支持されている。

10

【0162】

なお、支持ローラー445の内部にはキュリー点が高く、プラズマに影響を及ぼさない程度の磁力を発生する不図示の永久磁石が配設され、フェライト系ステンレス等の磁性体からなる帯状基板を用いた場合に、支持ローラー445と帯状基板401を密着させるようにしている。

【0163】

また、スリット状の分離通路442は、帯状基板が移動時に波打ったり、振動したりして帯状基板の半導体膜形成面が分離通路の内壁下面に接触して傷つくことのないようにするためには、帯状基板の厚さ方向に広く、帯状基板の移動方向に短いほうがよく、接続する成膜室間の原料ガスの混入を防ぐためには帯状基板の厚さ方向に狭く、帯状基板の移動方向に長いほうがよい。したがって、スリット状の分離通路442の帯状基板の幅方向の内寸は帯状基板の幅よりやや広い程度でどこでもほぼ一定であるが、帯状基板の厚さ方向の内寸は接続する成膜室の圧力差が大きい程、また不純物ガスの許容混入量が少ない程狭くしてある。例えば、マイクロ波CVD法によるi型半導体層成膜室は内圧が低く、しかも不純物ガスの許容混入量が少ないため、該成膜室と内圧が比較的高く、不純物ガスを導入する高周波プラズマCVD法による不純物ドーブ層成膜室との間を接続するガスゲートでは、分離通路の帯状基板の厚さ方向の内寸は帯状基板がやっと通過できる程度にまで狭くしてあり、約0.3～3mmの範囲に設定されている。一方、圧力差がほとんどない帯状基板の巻き出し室や巻き取り室と高周波プラズマCVD法の成膜室との間を接続するガスゲートでは、分離通路の帯状基板の厚さ方向の内寸は帯状基板が容易に移動可能なように比較的広くしてあり、約1mm～5mmの範囲に設定されている。

20

30

【0164】

(帯状基板)

本発明の装置において好適に用いられる帯状基板の材質としては、半導体層形成時に必要とされる温度において変形、歪みが少なく、所望の強度を有し、また、導電性を有するものであることが好ましく、具体的にはステンレススチール、アルミニウム及びその合金、鉄及びその合金、銅及びその合金等の金属の薄板及びその複合体、及びそれらの表面に異種材質の金属薄膜及び／または SiO_2 、 Si_3N_4 、 Al_2O_3 、 AlN 等の絶縁性薄膜をスパッタ法、蒸着法、鍍金法等により表面コーティング処理を行ったもの、又、ポリイミド、ポリアミド、ポリエチレンテレフタレート、エポキシ等の耐熱性樹脂性シート又はこれらとガラスファイバー、カーボンファイバー、ホウ素ファイバー、金属繊維等との複合体の表面に金属単体または合金、及び透明導電性酸化物(TCO)等を鍍金、蒸着、スパッタ、塗布等の方法で導電性処理を行ったものが挙げられる。

40

【0165】

なお、帯状基板が金属等の導電性のものであっても、基板に到達した長波光の反射率の向上、基板材料と半導体層との相互拡散の防止・密着性の向上、基板表面の平滑化等の目的で異種の金属層を半導体層形成側表面に設けても良い。

【0166】

光反射層として設ける場合、このような金属層としてはAg、Al、Cu、AlSi等の可視光から近赤外で反射率の高い金属が適している。

50

【0167】

また、これらの金属層の上には、金属層からの半導体層への金属の拡散の防止、光反射率の向上等の目的で更に透明導電層を設けても良い。

【0168】

このような透明導電層としてはZnO、SnO₂、In₂O₃、ITO等の透明導電性酸化物が最適なものとして挙げられる。

【0169】

帯状基板の表面性としてはいわゆる平滑面であっても、微小の凹凸面であってもよい。微小の凹凸面とする場合、その表面粗さは、形成される半導体層に凹凸に起因する欠陥を生じず、且ついわゆる光の閉じこめ効果によって入射光の光路長の増大をもたらす範囲内であることが好ましい。

10

【0170】

また、帯状基板の厚さとしては、移動搬送時に平面形状が維持される強度を発揮する範囲内であれば、コスト、収納ペース等を考慮して可能な限り薄い方が望ましい。具体的には、好ましくは0.01mm乃至5mm、より好ましくは0.02mm乃至2mm、最適には0.05mm乃至1mmであることが望ましい。また、前記帯状部材の幅寸法については、各成膜室内に形成されるプラズマの均一性が保たれ、且つ、形成する光起電力素子のモジュール化に適した大きさであることが好ましく、具体的に好ましくは5cm乃至100cm、より好ましくは10cm乃至80cmであることが望ましい。

【0171】

20

更に、前記帯状基板の長さについては、特に制限されることなく、ロール状に巻き取られる程度の長さであっても良く、長尺のものを溶接等によって更に長尺化したものであっても良い。

【0172】

以上のような帯状基板の本発明の装置への投入は、円筒状のボビンに塑性変形しない範囲内の直径でコイル状に巻き付けた形態で行うことが望ましい。

【0173】

装置例

以下、図面を用いて前述の各成膜室によって構成される本発明の装置の例を示すが、本発明はこれらの装置例によって何ら限定されるものではない。

30

【0174】

まず、2層タンデム型素子の形成装置例を示す。

【0175】

装置例1-1

図1は本発明の光起電力素子の形成装置の基本的一例を示す模式的説明図である。図1において、本発明の光起電力素子の形成装置は、帯状基板の巻き出し室101、高周波プラズマCVD法によるn（またはp）型半導体層成膜室102A、マイクロ波プラズマCVD法によるi型半導体層成膜室103、高周波プラズマCVD法によるp（またはn）型半導体層成膜室105A、高周波プラズマCVD法によるn（またはp）型半導体層成膜室102B、高周波プラズマCVD法によるi型半導体層成膜室104、プラズマドーピングによるp（またはn）型半導体層成膜室105B、帯状基板の巻き取り室106から構成されている。

40

【0176】

なお、一連の成膜室は自重によって垂れ下がる帯状基板の形状に沿って、懸垂曲線状、円弧状等の重力方向に凸の形状に配置されており、帯状基板が僅かな張力によって弛みなく張られ成膜中に一定形状に保持されるとともに、帯状基板の移動時に帯状基板およびその上に形成された半導体膜にかかる応力を低減して、基板の変形や応力による膜の欠陥の発生を抑制している。

【0177】

図1の装置において帯状基板108は、帯状基板の巻き出し室101のボビン109から

50

巻き出され、带状基板の巻き取り室106のボビン110に巻き取られるまでに、ガスゲート107によって接続された6個の成膜室を通過しながら移動させられ、その表面にn i p n i pまたはp i n p i n構造の非単結晶半導体の積層膜を連続的に形成される。

【0178】

带状基板の巻き出し室101から供給された带状基板108はガスゲートを介し、

(1) 先ず高周波プラズマCVD法によるn(またはp)型層形成室102Aに入り、高周波プラズマCVD法によってn(またはp)型のシリコン系非単結晶半導体の層を表面に形成され、

(2) 次にマイクロ波プラズマCVD法によるi型半導体層形成室103に入り、マイクロ波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

10

(3) 次に高周波プラズマCVD法によるp(またはn)型半導体層形成室105Aに入り、高周波プラズマCVD法によってp(またはn)型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(4) 次に高周波プラズマCVD法によるn(またはp)型半導体層形成室102Bに入り、高周波プラズマCVD法によってn(またはp)型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(5) 次に高周波プラズマCVD法によるi型半導体層形成室104に入り、高周波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(6) 次にプラズマドーピングによるp(またはn)型半導体層形成室105Bに入り、プラズマドーピングによってi型半導体層の表面にp(またはn)型のシリコン系非単結晶半導体の層を形成され、

20

そして、最後に带状基板の巻き取り室106に回収される。

【0179】

装置例1-2

図8は本発明の半導体積層膜の連続形成装置の他の例を示す模式的説明図である。

【0180】

図8において、本発明の半導体膜の連続形成装置は、带状基板の巻き出し室201、高周波プラズマCVD法によるn(またはp)型半導体層成膜室202A、高周波プラズマCVD法によるごく薄いi型半導体層成膜室211、マイクロ波プラズマCVD法によるi型半導体層成膜室203、高周波プラズマCVD法によるごく薄いi型半導体層成膜室212、高周波プラズマCVD法によるp(またはn)型半導体層成膜室205A、高周波プラズマCVD法によるn(またはp)型半導体層成膜室202B、高周波プラズマCVD法によるi型半導体層成膜室204、プラズマドーピングによるp(またはn)型半導体層成膜室205B、带状基板の巻き取り室206から構成されている。

30

【0181】

なお、一連の成膜室は自重によって垂れ下がる带状基板の形状に沿って、懸垂曲線状、円弧状等の重力方向に凸の形状に配置されており、带状基板が僅かな張力によって弛みなく張られ成膜中に一定形状に保持されるとともに、带状基板の移動時に带状基板およびその上に形成された半導体膜にかかる応力を低減して、基板の変形や応力による膜の欠陥の発生を抑制している。

40

【0182】

図8の装置において带状基板208は、带状基板の巻き出し室201のボビン209から巻き出され、带状基板の巻き取り室206のボビン210に巻き取られるまでに、ガスゲート207で接続された8個の成膜室を通過しながら移動させられ、その表面にn i p n i pまたはp i n p i n構造の非単結晶半導体の積層膜を連続的に形成される。

【0183】

带状基板の巻き出し室201から供給された带状基板208はガスゲートを介し、

(1) 先ず高周波プラズマCVD法によるn(またはp)型層形成室202Aに入り、高周波プラズマCVD法によってn(またはp)型のシリコン系非単結晶半導体の層を表面

50

に形成され、

(2) 次に高周波プラズマCVD法によるi型半導体層形成室211に入り、高周波プラズマCVD法によってごく薄いi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(3) 次にマイクロ波プラズマCVD法によるi型半導体層形成室203に入り、マイクロ波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(4) 次に高周波プラズマCVD法によるi型半導体層形成室212に入り、高周波プラズマCVD法によって、ごく薄いi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

10

(5) 次に高周波プラズマCVD法によるp(またはn)型半導体層形成室205Aに入り、高周波プラズマCVD法によってp(またはn)型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(6) 次に高周波プラズマCVD法によるn(またはp)型半導体層形成室202Bに入り、高周波プラズマCVD法によってn(またはp)型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(7) 次に高周波プラズマCVD法によるi型半導体層形成室204に入り、高周波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(8) 次にプラズマドーピングによるp(またはn)型半導体層形成室205Bに入り、プラズマドーピングによってi型層の表面にp(またはn)型のシリコン系非単結晶半導体の層を形成され、

20

そして、最後に帯状基板の巻き取り室206に回収される。

【0184】

装置例1-3

図8の高周波プラズマCVD法によるi型半導体層形成室211とそれを接続するガスゲートを取り除いたものを本発明の装置例として挙げることができる。

【0185】

この場合、マイクロ波CVD法によるi型半導体層の下に高周波プラズマCVD法によるごく薄いi型半導体層が形成されないだけで、他は装置例2と同様である。

【0186】

30

装置例1-4

図8の高周波プラズマCVD法によるi型半導体層形成室212とそれを接続するガスゲートとを取り除いたものを本発明の装置例として挙げることができる。

【0187】

この場合、マイクロ波CVD法によるi型半導体層の上に高周波プラズマCVD法によるごく薄いi型半導体層が形成されないだけで、他は装置例2と同様である。

【0188】

装置例1-5

図9は本発明の光起電力素子の形成装置の一例を示す模式的説明図である。図9の装置は図8の装置の高周波プラズマCVD法によるi型半導体層形成室204を204(1)と204(2)の2個に増やしたものであり、光入射側に位置する高周波プラズマCVD法によるi型半導体層を複数の半導体層形成室で形成するようにした以外は装置例2と同様である。

40

次に、3層タンデム型素子の形成装置例を示す。

【0189】

装置例2-1

図2は本発明の光起電力素子の形成装置の基本的な一例を示す模式的説明図である。図2において、本発明の光起電力素子の形成装置は、帯状基板の巻き出し室101、高周波プラズマCVD法によるn(またはp)型半導体層成膜室102A、マイクロ波プラズマCVD法によるi型半導体層成膜室103A、高周波プラズマCVD法によるp(またはn)

50

型半導体層成膜室105A、高周波プラズマCVD法によるn（またはp）型半導体層成膜室102B、マイクロ波プラズマCVD法によるi型半導体層成膜室103B、高周波プラズマCVD法によるp（またはn）型半導体層成膜室105B、高周波プラズマCVD法によるn（またはp）型半導体層成膜室102C、高周波プラズマCVD法によるi型半導体層成膜室104、プラズマドーピングによるp（またはn）型半導体層成膜室105C、带状基板の巻き取り室106から構成されている。

【0190】

なお、一連の成膜室は自重によって垂れ下がる带状基板の形状に沿って、懸垂曲線状、円弧状等の重力方向に凸の形状に配置されており、带状基板が僅かな張力によって弛みなく張られ成膜中に一定形状に保持されるとともに、带状基板の移動時に带状基板およびその上に形成された半導体膜にかかる応力を低減して、基板の変形や応力による膜の欠陥の発生を抑制している。

10

【0191】

図2の装置において带状基板108は、带状基板の巻き出し室101のポビン109から巻き出され、带状基板の巻き取り室106のポビン110に巻き取られるまでに、ガスゲート107によって接続された9個の成膜室を通過しながら移動させられ、その表面にnipnipnipまたはpinpinpin構造の非単結晶半導体の積層膜を連続的に形成される。

【0192】

带状基板の巻き出し室101から供給された带状基板108はガスゲートを介し、

20

（1）まず高周波プラズマCVD法によるn（またはp）型層形成室102Aに入り、高周波プラズマCVD法によってn（またはp）型のシリコン系非単結晶半導体の層を表面に形成され、

（2）次にマイクロ波プラズマCVD法によるi型半導体層形成室103Aに入り、マイクロ波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（3）次に高周波プラズマCVD法によるp（またはn）型半導体層形成室105Aに入り、高周波プラズマCVD法によってp（またはn）型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（4）次に高周波プラズマCVD法によるn（またはp）型半導体層形成室102Bに入り、高周波プラズマCVD法によってn（またはp）型のシリコン系非単結晶半導体の層をさらに形成、積層され、

30

（5）次にマイクロ波プラズマCVD法によるi型半導体層形成室103Bに入り、マイクロ波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（6）次に高周波プラズマCVD法によるp（またはn）型半導体層形成室105Bに入り、高周波プラズマCVD法によってp（またはn）型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（7）次に高周波プラズマCVD法によるn（またはp）型半導体層形成室102Cに入り、高周波プラズマCVD法によってn（またはp）型のシリコン系非単結晶半導体の層をさらに形成、積層され、

40

（8）次に高周波プラズマCVD法によるi型半導体層形成室104に入り、高周波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（9）次にプラズマドーピングによるp（またはn）型半導体層形成室105Cに入り、プラズマドーピングによってi型半導体層の表面にp（またはn）型のシリコン系非単結晶半導体の層を形成され、

そして、最後に带状基板の巻き取り室106に回収される。

【0193】

装置例2-2

図10は本発明の半導体積層膜の連続形成装置の他の例を示す模式的説明図である。

50

【0194】

図10において、本発明の半導体膜の連続形成装置は、帯状基板の巻き出し室201、高周波プラズマCVD法によるn（またはp）型半導体層成膜室202A、高周波プラズマCVD法によるごく薄いi型半導体層成膜室211A、マイクロ波プラズマCVD法によるi型半導体層成膜室203A、高周波プラズマCVD法によるごく薄いi型半導体層成膜室212A、高周波プラズマCVD法によるp（またはn）型半導体層成膜室205A、高周波プラズマCVD法によるn（またはp）型半導体層成膜室202B、高周波プラズマCVD法によるごく薄いi型半導体層成膜室211B、マイクロ波プラズマCVD法によるi型半導体層成膜室203B、高周波プラズマCVD法によるごく薄いi型半導体層成膜室212B、高周波プラズマCVD法によるp（またはn）型半導体層成膜室205B、高周波プラズマCVD法によるn（またはp）型半導体層成膜室202C、高周波プラズマCVD法によるi型半導体層成膜室204、プラズマドーピングによるp（またはn）型半導体層成膜室205C、帯状基板の巻き取り室206から構成されている。

10

【0195】

なお、一連の成膜室は自重によって垂れ下がる帯状基板の形状に沿って、懸垂曲線状、円弧状等の重力方向に凸の形状に配置されており、帯状基板が僅かな張力によって弛みなく張られ成膜中に一定形状に保持されるとともに、帯状基板の移動時に帯状基板およびその上に形成された半導体膜にかかる応力を低減して、基板の変形や応力による膜の欠陥の発生を抑制している。

【0196】

20

図10の装置において帯状基板208は、帯状基板の巻き出し室201のポビン209から巻き出され、帯状基板の巻き取り室206のポビン210に巻き取られるまでに、ガスゲート207で接続された13個の成膜室を通過しながら移動させられ、その表面にn i p n i p n i pまたはp i n p i n p i n構造の非単結晶半導体の積層膜を連続的に形成される。

【0197】

帯状基板の巻き出し室201から供給された帯状基板208はガスゲートを介し、

（1）先ず高周波プラズマCVD法によるn（またはp）型層形成室202Aに入り、高周波プラズマCVD法によってn（またはp）型のシリコン系非単結晶半導体の層を表面に形成され、

30

（2）次に高周波プラズマCVD法によるi型半導体層形成室211Aに入り、高周波プラズマCVD法によってごく薄いi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（3）次にマイクロ波プラズマCVD法によるi型半導体層形成室203Aに入り、マイクロ波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（4）次に高周波プラズマCVD法によるi型半導体層形成室212Aに入り、高周波プラズマCVD法によってごく薄いi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（5）次に高周波プラズマCVD法によるp（またはn）型半導体層形成室205Aに入り、高周波プラズマCVD法によってp（またはn）型のシリコン系非単結晶半導体の層をさらに形成、積層され、

40

（6）次に高周波プラズマCVD法によるn（またはp）型半導体層形成室202Bに入り、高周波プラズマCVD法によってn（またはp）型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（7）次に高周波プラズマCVD法によるi型層形成室211Bに入り、高周波プラズマCVD法によってごく薄いi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

（8）次にマイクロ波プラズマCVD法によるi型半導体層形成室203Bに入り、マイクロ波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積

50

層され、

(9) 次に高周波プラズマCVD法によるi型半導体形成室212Bに入り、高周波プラズマCVD法によってごく薄いi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(10) 次に高周波プラズマCVD法によるp(またはn)型半導体形成室205Bに入り、高周波プラズマCVD法によってp(またはn)型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(11) 次に高周波プラズマCVD法によるn(またはp)型半導体層形成室202Cに入り、高周波プラズマCVD法によってn(またはp)型のシリコン系非単結晶半導体の層をさらに形成、積層され、

10

(12) 次に高周波プラズマCVD法によるi型半導体層形成室204に入り、高周波プラズマCVD法によってi型のシリコン系非単結晶半導体の層をさらに形成、積層され、

(13) 次にプラズマドーピングによるp(またはn)型半導体層形成室205Cに入り、プラズマドーピングによってi型層の表面にp(またはn)型のシリコン系非単結晶半導体の層を形成され、

そして、最後に帯状基板の巻き取り室206に回収される。

【0198】

装置例2-3

図10の高周波プラズマCVD法によるi型半導体層形成室211Aおよび/または211Bとそれを接続ガスゲートを取り除いたものを本発明の装置例として挙げることができる。

20

【0199】

この場合、少なくとも一つのマイクロ波CVD法によるi型半導体層の下に高周波プラズマCVD法によるごく薄いi型半導体層が形成されないだけで、他は装置例2-2と同様である。

【0200】

装置例2-4

図10の高周波プラズマCVD法によるi型半導体層形成室212Aおよび/または212Bとそれを接続するガスゲートとを取り除いたものを本発明の装置例として挙げることができる。

30

【0201】

この場合、少なくとも一つのマイクロ波CVD法によるi型半導体層の上に高周波プラズマCVD法によるごく薄いi型半導体層が形成されないだけで、他は装置例2-2と同様である。

【0202】

装置例2-5

図11は本発明の光起電力素子の形成装置の一例を示す模式的説明図である。図11の装置は図10の装置の高周波プラズマCVD法によるi型半導体層形成室204を204(1)と204(2)の2個に増やしたものであり、最も光入射側に位置する高周波プラズマCVD法によるi型半導体層を複数の半導体層形成室で形成するようにした以外は装置例2-2と同様である。

40

以下、本発明の装置を用いて光起電力素子用の半導体積層膜を連続的に形成する方法の一例を説明する。

【0203】

まず、2層タンデム素子の形成方法を図1に示した構成の装置を用いて説明する。

【0204】

帯状基板投入工程

図1に示した本発明の装置を用いて半導体積層膜を形成するには、先ず帯状基板を装置内に投入して所定の位置にセットする。

【0205】

50

本発明の装置に帯状基板を投入するには、先ず帯状基板の巻き出し室101に帯状基板108をコイル状に巻き付けたボビン109を投入し、その先端を巻き出してガスゲート107を介して成膜室102A～105Bを通過させ、帯状基板の巻き取り室106の空ボビン110まで張り渡し、その先端を固定する。

【0206】

成膜前の帯状基板を巻き付けたボビン109には、帯状基板108と共に帯状基板の表面の傷付き防止用の保護フィルムを巻き込んでもよく、このような保護フィルムが巻き込まれている場合、この保護フィルムの先端を帯状基板の巻き出し室101内の保護フィルム巻き取り用のボビンに固定する。

【0207】

同様に、帯状基板を巻き取るボビン110には帯状基板108と共に帯状基板の表面の傷付き防止用の保護フィルムを巻き込んでもよく、このような保護フィルムを巻き込む場合、この保護フィルムを帯状基板の巻き取り室106内の保護フィルム巻き出し用ボビンから巻き出し、その先端を帯状基板を巻き取る空ボビン110に帯状基板108に重ねて固定する。

【0208】

帯状基板およびフィルムを各ボビンに固定した後、巻き取り用のボビンの軸を固定して停止しておき、巻き出し用のボビンに張力発生用のトルクを与え、帯状基板および保護フィルムを弛まずに張る。

【0209】

予熱、ベーキング工程

帯状基板の投入、セットの後、帯状基板を張られて静止した状態に保ち、各成膜室の蓋を閉じ、装置内部をロータリーポンプ、メカニカルブースターポンプ等の真空ポンプにより排気する。なお、このとき、帯状基板巻き出し室101と巻き取り室106に接続された真空ポンプによってほぼ均等に排気し、成膜室102A～105Bをガスゲート107を介して排気して、帯状基板の巻き出し室101、巻き取り室106から成膜室102A～105Bへの吸着ガスの流入と、不純物ドープ層成膜室102A、105Bからi型半導体層成膜室103、104への吸着ガスの流入を防ぐようにすることが望ましい。

【0210】

各成膜室が10Pa程度にまで排気されたら、各成膜室に接続された真空ポンプによって各成膜室内をさらに排気して1Pa以下にする。

【0211】

各成膜室の内圧が1Pa以下になったら、成膜室102A～105Bの排気を止め、H₂、He、Ar、Ne、Kr、Xe等のガスを103、104へ導入し、成膜室から帯状基板の巻き出し室101および巻き取り室106へのガスの流れを形成し、各室101～106内を数Pa程度の圧力にする。

【0212】

各成膜室の圧力が安定したら、各成膜室を各成膜室内のランプヒーター、基板温度制御装置、成膜室温度制御装置、ブロックヒーターによって加熱し、各成膜室の内壁および帯状基板を100～500℃に予熱、ベーキングする。

【0213】

半導体層の形成工程

各成膜室の予熱、ベーキングの後、帯状基板の巻き取り室106の巻き取りボビン110の軸を回転させ、帯状基板108を巻き出し室101から成膜室102A、103、105A、102B、104、105Bを通過して巻き取り室106に一定速度で連続的に移動させる。帯状基板の搬送速度は、好ましくは1～100mm/秒、より好ましくは5～50mm/秒とする。

【0214】

帯状基板を移動させながら、各成膜室102A～105Bのランプヒーター、基板温度制御装置、成膜室温度制御装置、ブロックヒーターによって、各成膜室の堆積膜形成空間に

10

20

30

40

50

おける帯状基板の温度と各成膜室内壁面の温度を所定の温度に制御する。

【0215】

帯状基板の温度が安定したら成膜室からの H_2 、He、Ar、Ne、Kr、Xe等のガスの導入を止め、各成膜室102A～105Bを各成膜室に接続された真空ポンプによって排気し、原料ガス分離用の H_2 、He、Ar、Ne、Kr、Xe等のガスを、ガスボンベからマスフローコントローラーを介して各ガスゲート107に導入する。

【0216】

ガスの流量が安定したら、マイクロ波プラズマCVD法によるi型半導体層成膜室103の排気をロータリーポンプ、メカニカルブースターポンプ等の低真空ポンプから、ターボ分子ポンプ、油拡散ポンプ等の高真空ポンプに切り替える。

10

次に、各成膜室102A～105Bに半導体層形成用の原料ガスをガスボンベからマスフローコントローラーを介して所定の流量を導入する。

【0217】

各成膜室の原料ガスの流量が安定したら、各成膜室の排気能力を排気管に設けた排気量調整バルブ等によって調整し、各成膜室を所定の圧力に設定する。

【0218】

原料ガスを導入した場合の各室の好ましい内圧は、マイクロ波プラズマCVD法による成膜室103は0.1～10Pa、その他は10～1000Paである。なお、不純物ガスの温入を防ぐために、i型半導体層の成膜室104の内圧はn型半導体の成膜室102B、p型半導体層の成膜室105Bの内圧より、n型半導体の成膜室102Aの内圧は帯状基板の巻き出し室101の内圧より、p型層の成膜室105Bの内圧は帯状基板の巻き取り室106の内圧より、それぞれやや高く設定することが望ましい。

20

【0219】

各成膜室の圧力が安定したら、各成膜室102A～105Bにそれぞれマイクロ波電力、高周波電力等の放電電力を投入する。放電電力の投入によって各成膜室内の原料ガスは電離され、プラズマを形成する。

【0220】

以上のように帯状基板を一定速度で移動させながら各成膜室102A～105B内において同時にプラズマを形成することにより、連続的に移動する帯状基板上にはそれぞれの成膜室内で半導体層が形成され、nipniまたはpinpin構造の光起電力素子が連続的に形成される。

30

次に3層のタンデム素子の形成方法を図2に示した構成の装置を用いて説明する。

【0221】

帯状基板投入工程

図2に示した本発明の装置を用いて半導体積層膜を形成するには、まず帯状基板を装置内に投入して所定の位置にセットする。

【0222】

本発明の装置に帯状基板を投入するには、まず帯状基板の巻き出し室101に帯状基板108をコイル状に巻き付けたボビン109を投入し、その先端を巻き出してガスゲート107を介して成膜室102A～105Cを通過させ、帯状基板の巻き取り室106の空ボビン110まで張り渡し、その先端を固定する。

40

【0223】

成膜前の帯状基板を巻き付けたボビン109には、帯状基板108と共に帯状基板の表面の傷付き防止用の保護フィルムを巻き込んでもよく、このような保護フィルムが巻き込まれている場合、この保護フィルムの先端を帯状基板の巻き出し室101内の保護フィルム巻き取り用のボビンに固定する。

【0224】

同様に、帯状基板を巻き取るボビン110には帯状基板108と共に帯状基板の表面の傷付き防止用の保護フィルムを巻き込んでもよく、このような保護フィルムを巻き込む場合、この保護フィルムを帯状基板の巻き取り室106内の保護フィルム巻き出し用ボビンか

50

ら巻き出し、その先端を帯状基板を巻き取る空ボビン110に帯状基板108に重ねて固定する。

【0225】

帯状基板およびフィルムを各ボビンに固定した後、巻き取り用のボビンの軸を固定して停止しておき、巻き出し用のボビンに張力発生用のトルクを与え、帯状基板および保護フィルムを弛まずに張る。

【0226】

予熱、ベーキング工程

帯状基板の投入、セットの後、帯状基板を張られて静止した状態に保ち、各成膜室の蓋を閉じ、装置内部をロータリーポンプ、メカニカルブースターポンプ等の真空ポンプにより排気する。なお、このとき、帯状基板巻き出し室101と巻き取り室106に接続された真空ポンプによってほぼ均等に排気し、成膜室102A～105Cをガスゲート107を介して排気して、帯状基板の巻き出し室101、巻き取り室106から成膜室102A～105Cへの吸着ガスの流入と、不純物ドーブ層成膜室102A、105Cからi型半導体層成膜室103A、104への吸着ガスの流入を防ぐようにすることが望ましい。

【0227】

各成膜室が10Pa程度にまで排気されたら、各成膜室に接続された真空ポンプによって各成膜室内をさらに排気して1Pa以下にする。

【0228】

各成膜室の内圧が1Pa以下になったら、成膜室102A～105Cの排気を止め、 H_2 、He、Ar、Ne、Kr、Xe等のガスを成膜室103A、103B、104へ導入し、成膜室から帯状基板の巻き出し室101および巻き取り室106へのガスの流れを形成し、各室101～106内を数Pa程度の圧力にする。

【0229】

各成膜室の圧力が安定したら、各成膜室を各成膜室内のランプヒーター、基板温度制御装置、成膜室温度制御装置、ブロックヒーターによって加熱し、各成膜室の内壁および帯状基板を100～500℃に予熱、ベーキングする。

【0230】

半導体層の形成工程

各成膜室の予熱、ベーキングの後、帯状基板の巻き取り室106の巻き取りボビン110の軸を回転させ、帯状基板108を巻き出し室101から成膜室102A、103A、105A、102B、103B、105B、102C、104、105Cを通過して巻き取り室106に一定速度で連続的に移動させる。帯状基板の搬送速度は、好ましくは1～100mm/秒、より好ましくは5～50mm/秒とする。

【0231】

帯状基板を移動させながら、各成膜室102A～105Cのランプヒーター、基板温度制御装置、成膜室温度制御装置、ブロックヒーターによって、各成膜室の堆積膜形成空間における帯状基板の温度と各成膜室内壁面の温度を所定の温度に制御する。

【0232】

帯状基板の温度が安定したら成膜室からの H_2 、He、Ar、Ne、Kr、Xe等のガスの導入を止め、各成膜室102A～105Cを各成膜室に接続された真空ポンプによって排気し、原料ガス分離用の H_2 、He、Ar、Ne、Kr、Xe等のガスを、ガスボンベからマスフローコントローラーを介して各ガスゲート107に導入する。

【0233】

ガスの流量が安定したら、マイクロ波プラズマCVD法によるi型半導体層成膜室103A、103Bの排気をロータリーポンプ、メカニカルブースターポンプ等の低真空ポンプから、ターボ分子ポンプ、油拡散ポンプ等の高真空ポンプに切り替える。

【0234】

次に、各成膜室102A～105Cに半導体層形成用の原料ガスをガスボンベからマスフローコントローラーを介して所定の流量を導入する。

10

20

30

40

50

【0235】

各成膜室の原料ガスの流量が安定したら、各成膜室の排気能力を排気管に設けた排気量調整バルブ等によって調整し、各成膜室を所定の圧力に設定する。

【0236】

原料ガスを導入した場合の各室の好ましい内圧は、マイクロ波プラズマCVD法による成膜室103A、103Bは0.1～10Pa、その他は10～1000Paである。なお、不純物ガスの温入を防ぐために、i型半導体層の成膜室104の内圧はn型半導体の成膜室102C、p型半導体層の成膜室105Cの内圧より、n型半導体の成膜室102Aの内圧は帯状基板の巻き出し室101の内圧より、p型層の成膜室105Cの内圧は帯状基板の巻き取り室106の内圧より、それぞれやや高く設定することが望ましい。

10

【0237】

各成膜室の圧力が安定したら、各成膜室102A～105Cにそれぞれマイクロ波電力、高周波電力、低周波電力、直流電力等の放電電力を投入する。放電電力の投入によって各成膜室内の原料ガスは電離され、プラズマを形成する。

【0238】

以上のように帯状基板を一定速度で移動させながら各成膜室102A～105C内において同時にプラズマを形成することにより、連続的に移動する帯状基板上にはそれぞれの成膜室内で半導体層が形成され、nipnipnipまたはpinpinpin構造の光起電力素子が連続的に形成される。

2層または3層タンデムの素子の形成方法

20

2層タンデム素子については図1の各成膜室102A～105Bにおいて、3層タンデム素子については図2の各成膜室102A～105Cにおいて各半導体層の形成条件は以下の通りである。

【0239】

(成膜室102A、102B、102C、105A、105Bにおける成膜条件)

成膜室102A、102B、102C、105A、105Bにおいては高周波プラズマCVD法によってnまたはp型のシリコン系非単結晶半導体層が形成される。

【0240】

該成膜室に導入される原料ガスとしては、少なくともSi原子を含有したガス化し得る化合物を含む。Si原子を含有したガス化し得る化合物としては、 SiH_4 、 Si_2H_6 、 SiF_4 、 SiFH_3 、 SiF_2H_2 、 SiF_3H 、 Si_3H_8 、 SiD_4 、 SiHD_3 、 Si_2D_2 、 SiH_3D 、 $\text{Si}_2\text{D}_3\text{H}_3$ 等が挙げられる。また、原料ガスには光学的バンドギャップを狭める目的でGe原子を含有するガス化し得る化合物を含んでいても良い。

30

【0241】

具体的にはGe原子を含有するガス化し得る化合物としては、 GeH_4 、 GeD_4 、 GeF_4 、 GeFH_3 、 GeF_2H_2 、 GeF_3H 、 GeHD_3 、 GeH_2D_2 、 GeH_3D 等が挙げられる。さらにまた、原料ガスには光学的バンドギャップを広げる目的でC、O、N等の原子を含有するガス化し得る化合物を含んでいても良い。

【0242】

具体的にC原子を含有するガス化し得る化合物としては、 CH_4 、 CD_4 、 $\text{C}_n\text{H}_{2n+2}$ (nは整数)、 C_nH_{2n} (nは整数)、 C_2H_2 、 C_6H_6 、 CO_2 、CO等が挙げられる。

40

【0243】

O原子を含有するガス化し得る化合物としては、 O_2 、CO、 CO_2 、NO、 NO_2 、 N_2O 、 $\text{CH}_3\text{CH}_2\text{OH}$ 、 CH_3OH 等が挙げられる。

【0244】

N原子を含有するガス化し得る化合物としては、 N_2 、 NH_3 、 ND_3 、NO、 NO_2 、 N_2O が挙げられる。

【0245】

また、原料ガス中には形成されるシリコン系非単結晶半導体層の伝導型をnまたはp型に価電子制御するために周期律表第V族または第II族の原子を含有するガス化し得る化

50

合物を含む。

【0246】

第V族原子導入用の出発物質として有効に使用されるものとしては、具体的にはP原子導入用には PH_3 、 P_2H_4 等の水素化リン、 PH_4I 、 PF_3 、 PF_5 、 PCl_3 、 PCl_5 、 PBr_3 、 PBr_5 、 PI_3 等のハロゲン化リンを挙げることができる。このほかに AsH_3 、 AsF_3 、 AsCl_3 、 AsBr_3 、 AsF_5 、 SbF_3 、 SbF_5 、 SbCl_3 、 SbCl_5 、 BiH_3 、 BiCl_3 、 BiBr_3 等も挙げることができる。特に PH_3 、 PF_3 、 AsH_3 が適している。

【0247】

第III族原子導入用の出発物質として有効に使用されるものとしては、具体的にはB原子導入には B_2H_6 、 B_4H_{10} 、 B_5H_9 、 B_6H_{11} 、 B_6H_{12} 、 B_6H_{14} 等の水素化ホウ素、 BP_3 、 BCl_3 等のハロゲン化ホウ素も挙げることができる。このほかに AlCl_3 、 GaCl_3 、 InCl_3 等も挙げることができる。特に B_2H_6 、 BF_3 が適している。

【0248】

また、原料ガスには、 H_2 、 D_2 、 He 、 Ne 、 Ar 、 Xe 、 Kr 等の希釈ガスを含んでも良い。

【0249】

該成膜室に投入される放電電力は高周波プラズマを形成するためのものであり、少なくとも高周波電力を含む、投入される高周波電力は成膜室に導入される原料ガスの流量に応じて適宜決定されるが、プラズマ形成空間に対して $0.001 \sim 1 \text{ W/cm}^3$ の範囲が好ましく、リップル等の変動が少ない安定した連続発振波であることが望ましい。高周波電力の周波数としては、 $1 \text{ MHz} \sim 500 \text{ MHz}$ の範囲が好ましく、 13.56 MHz の工業用周波数が好適に用いられ、周波数の変動の少ないものであることが好ましい。

【0250】

高周波電力とともに直流電力を投入してもよく、高周波放電電極または放電電極とは別に設けた電極に、電極側が正になる向きに $10 \sim 200 \text{ V}$ の電圧をスパーク等の異常放電の起こらない範囲内で投入することが好ましい。

【0251】

このような高周波電力を成膜量に投入し、好ましくは同時に直流電力を投入し、成膜室内において原料ガスを電離、分解して、帯状基板上にnまたはp型のシリコン系非単結晶半導体層の形成を行う。

【0252】

なお、このような成膜条件で形成される半導体層は、シリコン系材料の非晶質（いわゆる微結晶も含まれる）から多結晶までの非単結晶材料である。

【0253】

（成膜室103、103A、103Bにおける成膜条件）

成膜室103、103A、103Bにおいてはマイクロ波プラズマCVD法によってi型のシリコン系非単結晶半導体層が形成される。

【0254】

該成膜室に導入される原料ガスとしては、少なくともSi原子を含有したガス化し得る化合物を含む。Si原子を含有したガス化し得る化合物としては SiH_4 、 Si_2H_6 、 SiF_4 、 SiFH_3 、 SiF_2H_2 、 SiF_3H 、 Si_3H 、 SiD_4 、 SiHD_3 、 SiH_2D_2 、 SiH_3D 、 $\text{Si}_2\text{D}_3\text{H}_3$ 等が挙げられる。また、原料ガスには光学的バンドギャップを狭める目的でGe原子を含有するガス化し得る化合物を含んでも良い。

【0255】

具体的にGe原子を含有するガス化し得る化合物としては、 GeH_4 、 GeD_4 、 GeF_4 、 GeFH_3 、 GeF_2H_2 、 GeF_3H 、 GeHD_3 、 GeH_2D_2 、 GeH_3D 等が挙げられる。さらにまた、原料ガスには光学的バンドギャップを広げる目的でC、O、N等の原子を含有するガス化し得る化合物を含んでも良い。

【0256】

10

20

30

40

50

具体的にC原子を含有するガス化し得る化合物としては、 CH_4 、 CD_4 、 $\text{C}_n\text{H}_{2n+2}$ （ n は整数）、 C_nH_{2n} （ n は整数）、 C_2H_2 、 C_6H_6 、 CO_2 、 CO 等が挙げられる。

【0257】

O原子を含有するガス化し得る化合物としては、 O_2 、 CO 、 CO_2 、 NO 、 NO_2 、 N_2O 、 $\text{CH}_3\text{CH}_2\text{OH}$ 、 CH_3OH 等が挙げられる。

【0258】

N原子を含有するガス化し得る化合物としては、 N_2 、 NH_3 、 ND_3 、 NO 、 NO_2 、 N_2O 等が挙げられる。

【0259】

また、該成膜室で形成される半導体層は実質的に真性であれば微量の価電子制御用の不純物を含んでいてもよく、原料ガス中には微量の周期律表第V族または第III族の原子を含有するガス化し得る化合物を含んでいてもよい。

10

【0260】

第V族原子導入用の出発物質として有効に使用されるものとしては、具体的にはP原子導入用には、 PH_3 、 P_2H_4 等の水素化リン、 PH_4I 、 PF_3 、 PF_5 、 PCl_3 、 PCl_5 、 PBr_3 、 PBr_5 、 PI_3 等のハロゲン化リンを挙げることができる。このほかに AsH_3 、 AsF_3 、 AsCl_3 、 AsBr_3 、 AsF_5 、 SbF_3 、 SbF_5 、 SbCl_3 、 SbCl_5 、 BiH_3 、 BiCl_3 、 BiBr_3 等も挙げることができる。特に PH_3 、 PF_3 、 AsH_3 が適している。

【0261】

20

第III族原子導入用の出発物質として有効に使用されるものとしては、具体的にはB原子導入用には、 B_2H_6 、 B_4H_{10} 、 B_5H_9 、 B_5H_{11} 、 B_6H_{12} 、 B_6H_{14} 等の水素化ホウ素、 BF_3 、 BCl_3 等のハロゲン化ホウ素を挙げることができる。このほかに AlCl_3 、 GaCl_3 、 InCl_3 等も挙げることができる。特に B_2H_6 、 BF_3 が適している。

【0262】

また、原料ガスには、 H_2 、 D_2 、 He 、 Ne 、 Ar 、 Xe 、 Kr 等の希釈ガスを含んでいても良い。

【0263】

該成膜室に投入される放電電力は前記原料ガスを電離しマイクロ波プラズマを形成するためのものであり、少なくともマイクロ波電力を含む。投入されるマイクロ波電力は成膜室に導入される原料ガスの流量に応じて適宜決定されるが、プラズマ形成空間に対して0.01～1W/cm³の範囲が好ましく、リップル等の変動が少ない安定した連続発振波であることが望ましい。マイクロ波電力の周波数としては、500MHz～10GHzの範囲が好ましく、2.45GHzの工業用周波数が好適に用いられ、周波数の変動の少ないものであることが好ましい。

30

【0264】

さらに、本発明の装置のマイクロ波プラズマCVD法によるi型半導体層の成膜室103A、103Bには、マイクロ波電力とともに高周波電力および／または直流電力を、マイクロ波プラズマ形成空間内にバイアス電極を設けて投入することが望ましい。

【0265】

40

高周波電力を投入する場合、その電力は0.02～2W/cm³の範囲が好ましく、周波数としては1MHz～500MHzの範囲が好ましく、13.56MHzの工業用周波数が好適に用いられる。また、直流電力を投入する場合、バイアス電極側が正になる向きに10～300Vの電圧をスパーク等の異常放電の起こらない範囲内で投入することが好ましい。

【0266】

このようなマイクロ波電力を成膜室に投入し、望ましくは同時に高周波あるいは直流電力を投入し、成膜室内において原料ガスを電離、分解して、帯状基板上にi型のシリコン系非単結晶半導体層の形成を行う。

【0267】

50

なお、このような成膜条件で形成される半導体層は、シリコン系材料の非晶質（いわゆる微結晶も含まれる）から多結晶までの非単結晶材料である。

【0268】

（成膜室104における成膜条件）

成膜室104においては高周波プラズマCVD法によってi型のシリコン系非単結晶半導体層が形成される。

【0269】

該成膜室に導入される原料ガスとしては、少なくともSi原子を含有したガス化し得る化合物を含む。Si原子を含有したガス化し得る化合物としては、 SiH_4 、 Si_2H_6 、 SiF_4 、 SiFH_3 、 SiF_2H_2 、 SiF_3H 、 Si_3H_8 、 SiD_4 、 SiHD_3 、 SiH_2D_2 、 SiH_3D 、 $\text{Si}_2\text{D}_3\text{H}_3$ 等が挙げられる。また、原料ガスには光学的バンドギャップを狭める目的でGe原子を含有するガス化し得る化合物を含んでいても良い。

【0270】

具体的にGe原子を含有するガス化し得る化合物としては、 GeH_4 、 GeD_4 、 GeF_4 、 GeFH_3 、 GeF_2H_2 、 GeF_3H 、 GeHD_3 、 GeH_2D_2 、 GeH_3D 等が挙げられる。さらにまた、原料ガスには光学的バンドギャップを広げる目的でC、O、N等の原子を含有するガス化し得る化合物を含んでいても良い。

【0271】

具体的にC原子を含有するガス化し得る化合物としては、 CH_4 、 CD_4 、 $\text{C}_n\text{H}_{2n+n}$ （nは整数）、 C_nH_{2n} （nは整数）、 C_2H_2 、 C_6H_6 、 CO_2 、CO等が挙げられる。

【0272】

O原子を含有するガス化し得る化合物としては、 O_2 、CO、 CO_2 、NO、 NO_2 、 N_2O 、 $\text{CH}_3\text{CH}_2\text{OH}$ 、 CH_3OH 等が挙げられる。

【0273】

N原子を含有するガス化し得る化合物としては、 N_2 、 NH_3 、 ND_3 、NO、 NO_2 、 N_2O 等が挙げられる。

【0274】

また、該成膜室で形成される半導体層は実質的に真性であれば微量の価電子制御用の不純物を含んでいてもよく、原料ガス中には微量の周期律表第V族および／または第III族の原子を含有するガス化し得る化合物を含んでいてもよい。第V族原子導入用の出発物質として有効に使用されるものとしては、具体的にはP原子導入用には、 PH_3 、 P_2H_4 等の水素化リン、 PH_4I 、 PF_3 、 PF_5 、 PCl_3 、 PCl_5 、 PBr_3 、 PBr_5 、 PI_3 等のハロゲン化リンを挙げることができる。このほかにAsH₃、AsF₃、AsCl₃、AsBr₃、AsF₅、SbF₃、SbF₅、SbCl₃、SbCl₅、BiH₃、BiCl₃、BiBr₃等も挙げることができる。特に PH_3 、 PF_3 、AsH₃が適している。

【0275】

第III族原子導入用の出発物質として有効に使用されるものとしては、具体的にはB原子導入用には、 B_2H_6 、 B_4H_{10} 、 B_6H_9 、 B_5H_{11} 、 B_6H_{12} 、 B_6H_{14} 等の水素化ホウ素、 BF_3 、 BCl_3 等のハロゲン化ホウ素を挙げることができる。このほかにAlCl₃、GaCl₃、InCl₃等も挙げることができる。特に B_2H_6 、 BF_3 が適している。

【0276】

また、原料ガスには、 H_2 、 D_2 、He、Ne、Ar、Xe、Kr等の希釈ガスを含んでいても良い。

【0277】

該成膜室に投入される放電電力は前記原料ガスを電離し高周波プラズマを形成するためのものであり、少なくとも高周波電力を含む。投入される高周波電力は成膜室に導入される原料ガスの流量に応じて適宜決定されるが、プラズマ形成空間に対して0.001～1W/cm³の範囲が好ましく、リップル等の変動が少ない安定した連続発振波であることが望ましい。高周波電力の周波数としては、1MHz～500MHzの範囲が好ましく、13.56MHzの工業用周波数が好適に用いられ、周波数の変動の少ないものであること

10

20

30

40

50

が好ましい。

【0278】

高周波電力とともに直流電力を投入してもよく、高周波放電電極や放電電極とは別に設けた電極に、電極側が正になる向きに10～200Vの電圧をスパーク等の異常放電の起こらない範囲内で投入することが好ましい。

【0279】

このような高周波電力を成膜室に投入し、好ましくは同時に直流電力を投入し、成膜室内において原料ガスを電離、分解して、帯状基板上にi型のシリコン系非単結晶半導体層の形成を行う。

【0280】

なお、このような成膜条件で形成される半導体層は、シリコン系材料の非晶質（いわゆる微結晶も含まれる）から多結晶までの非単結晶材料である。

【0281】

（成膜室105B、105Cにおける成膜条件）

成膜室105B、105Cにおいてはプラズマドーピングによってpまたはn型のシリコン系非単結晶半導体層が形成される。

【0282】

該成膜室に導入される原料ガスとしては、i型の非単結晶半導体層表面近傍をプラズマドーピングによってpまたはn型にするために周期律表第III族または第V族の原子を含有するガス化し得る化合物を含む。

【0283】

第III族原子導入用の出発物質として有効に使用されるものとしては、具体的にはB原子導入用には、 B_2H_6 、 B_4H_{10} 、 B_5H_9 、 B_5H_{11} 、 B_6H_{12} 、 B_6H_{14} 等の水素化ホウ素、 BF_3 、 BCl_3 等のハロゲン化ホウ素を挙げることができる。このほかに $AlCl_3$ 、 $GaCl_3$ 、 $InCl_3$ 等も挙げることができる。特に B_2H_6 、 BF_3 が適している。

【0284】

第V族原子導入用の出発物質として有効に使用されるものとしては、具体的にはP原子導入用には、 PH_3 、 P_2H_4 等の水素化リン、 PH_4I 、 PF_3 、 PF_5 、 PCl_3 、 PCl_5 、 PBr_3 、 PBr_5 、 PI_3 等のハロゲン化リンを挙げることができる。このほかに AsH_3 、 AsF_3 、 $AsCl_3$ 、 $AsBr_3$ 、 AsF_5 、 SbF_3 、 SbF_5 、 $SbCl_3$ 、 $SbCl_5$ 、 BiH_3 、 $BiCl_3$ 、 $BiBr_3$ 等も挙げることができる。特に PH_3 、 PF_3 、 AsH_3 が適している。

【0285】

また、原料ガスには、 H_2 、 D_2 、 He 、 Ne 、 Ar 、 Xe 、 Kr 等の希釈ガスを含んでも良い。

【0286】

更に、原料ガスには所望の膜厚の不純物ドーパ層を堆積によって形成するには十分少量のSi原子を含有するガスおよび／またはC、O、N等の原子を含有するガスを含んでも良い。

【0287】

なお、このようなSi原子を含有するガスとしては、 SiH_4 、 Si_2H_6 、 SiF_4 、 $SiFH_3$ 、 SiF_2H_2 、 SiF_3H 、 Si_3H_8 、 SiD_4 、 $SiHD_3$ 、 SiH_2D_2 、 SiH_3D 、 $Si_2D_3H_3$ 等が挙げられる。また、C原子を含有するガスとしては CH_4 、 CD_4 、 C_nH_{2n+2} （nは整数）、 C_nH_{2n} （nは整数）、 C_2H_2 、 C_6H_6 、 CO_2 、 CO 等が、O原子を含有するガスとしては O_2 、 CO 、 CO_2 、 NO 、 NO_2 、 N_2O 、 CH_3CH_2OH 、 CH_3OH 等が、N原子を含有するガスとしては N_2 、 NH_3 、 ND_3 、 NO 、 NO_2 、 N_2O 等が挙げられる。

【0288】

該成膜室に投入される放電電力は、高周波、マイクロ波等前記原料ガスを電離しグロー放電プラズマを形成するためのものであるが、好ましくは1kHz～13.56Hzの周波

10

20

30

40

50

電力である。なお、1 kHz～500 kHzの周波数（低周波）でプラズマドーピングを行うと、イオンの動く距離が長く、打ち込み厚みが厚くなると思われる。

【0289】

投入電力はプラズマ形成空間の体積に対して0.001～1 W/cm³の範囲が好ましく、リップル等の変動が少ない安定した連続発振波であることが望ましい。放電電力とともに直流電力を投入してもよく、放電電極または放電電極とは別に設けた電極に、電極側が正になる向きに10～200 Vの電圧をスパーク等の異常放電の起こらない範囲内で投入することが好ましい。

【0290】

このような放電電力を成膜室に投入し、好ましくは同時に直流電力を投入し、成膜室内において原料ガスを電離、分解して、带状基板上にpまたはn型のシリコン系非単結晶半導体層の形成を行う。

10

【0291】

なお、このような成膜条件で形成される半導体層は、シリコン系材料の非晶質（いわゆる微結晶も含まれる）から多結晶までの非単結晶材料である。

【0292】

带状基板を連続的に移動させながら、各成膜室102A～105C内において同時に上述のような半導体層の形成を一定時間続け、表面に半導体積層膜を形成した带状基板を一定の長さ形成し、巻き取り室106内の巻き取りボビン110に連続的に巻き取る。

【0293】

20

带状基板の取り出し工程

表面に半導体積層膜が形成された带状基板が一定長さ形成され、巻き取り室のボビンに巻き取られたら、各成膜室102A～105Cへの放電電力の投入、原料ガスの供給および带状基板の移動、加熱を停止し、各ガスゲートへのゲートガスの供給も停止する。各室101～106内を一度各室に接続された真空ポンプによって排気し、成膜室103A、103Bの排気を高真空ポンプから低真空ポンプに切り替える。次に各成膜室102A～105C内および各成膜室に原料ガスを供給した原料ガス供給系をHe、Ar等の不活性ガスによって十分にパージする。

【0294】

各成膜室および各成膜室に原料ガスを供給した原料ガス供給系のパージが終了したら、各室101～106の排気を停止し、各室101～106内にHe、Ar等の不活性ガスを大気圧よりやや低い圧力に充填して、各室内および带状基板を冷却する。

30

【0295】

各室内および带状基板が室温近くまで冷却されたら、装置内部に乾燥N₂、Ar、He等ガスを導入して装置を大気圧にし、各ボビンにかかっている駆動力、トルクを落とし、带状基板の巻き出し室101から巻き取り室106までの部分を残して巻き取り室106内で切り、带状基板の巻き取り室106から带状基板が巻かれたボビン110を取り出す。

【0296】

なお、本発明の装置において、带状基板を装置内に投入するあるいは装置外に取り出すにあたり、带状基板の巻き出し室101や巻き取り室106の内部は大気にさらされることになるが、一連の成膜室102A～105C内に大気が入ると成膜室内壁面に水蒸気や酸素等の不純物ガスが吸着し、形成される半導体膜の特性に影響を及ぼす場合がある。したがって、带状基板の巻き出し室101と成膜室102Aの間および带状基板の巻き取り室106と成膜室105Cとの間に適宜の大気流入防止手段を設けて、いわゆるロードロック構造としてもよい。この場合、大気流入防止手段としては、成膜室102A～105Cの内部を減圧状態に保つための真空シール手段や、成膜室102A～105Cに膜形成に影響を与えないHe等の不活性ガスや高純度窒素等のガスを導入して大気圧以上に加圧し、巻き出し室101や巻き取り室106への清浄なガスの流れを形成して大気の流れを阻止するガス流による大気流入防止手段等が挙げられる。

40

【0297】

50

ただし、シール構造を設ける場合、成膜室102A～105Cを真空に保持したまま、成膜室102A～105Cの内部に帯状基板を貫通させることはきわめて困難なので、帯状基板108が成膜室102A～105Cを貫通した状態で真空封止状態が維持できるように、シール構造としては帯状基板を挟み込んだ形で真空を保持できるように設計されたリング、ガスケット、ヘリコフレックス、磁性流体等を用いた機械的封止構造とすることが望ましい。

【0298】

また、上記の大気流入防止手段はマイクロ波プラズマCVD法によるi型半導体層成膜室103A、103Bに設けてもよい。マイクロ波プラズマCVD法によるi型層成膜室では高速成膜が行われるため、その内部には他の成膜室よりも多量の半導体膜が付着する。多量の膜が付着したまま半導体膜の形成を続けると、マイクロ波導入窓のマイクロ波透過率が低下して投入電力が低下したり、剥れた膜片が半導体膜に付着して欠陥が発生したりするため、成膜室103の内部は定期的に清掃する必要がある。その際に他の成膜室に大気が入り込んで影響を及ぼすことを防止するためにも、上記の大気流入防止手段を配設することは有効で、成膜室103A、103Bと他の成膜室との間にも大気流入防止手段を配設することが望ましい。

10

【0299】

以上の一連の工程によって、本発明の装置によって帯状基板上に連続的に半導体積層膜を形成することができる。

【0300】

20

【実施例】

以下、本発明を半導体積層膜の連続形成装置を用いての実施例を示すが、本発明はこれらの実施例によって何ら限定されるものではない。

【0301】

まず、2層タンデム型素子の実施例を示す。

【0302】

(実施例1-1)

装置例1-1で示した本発明の半導体積層膜の連続形成装置を用い、基板上にi型半導体層がそれぞれ非晶質シリコンゲルマニウム、非晶質シリコンからなる2個のnip構造の光起電力素子を順に積層し、nipnip構造のシリコン系非単結晶半導体を積層した光起電力素子を連続的に形成した。なお、成膜室103においてi型半導体層を原料ガス中のゲルマニウム原子を含有する原料ガスの濃度の異なる3室で形成するようにして、成膜室103で連続的に形成されるi型半導体層のゲルマニウムの含有量が膜厚方向に多少多と変化するようにした。

30

【0303】

まず、SUS430BA製の帯状のステンレス板（幅12cm×長さ200m×厚さ0.15mm）の表面にスパッタリング法により500nmのAg層と、約2μmのZnO透明導電層とを形成、積層した、微小な凹凸表面を有する帯状基板をボビン109に巻き付けた状態で帯状基板の巻き出し室101にセットし、該帯状基板を各ガスゲート107を介して成膜室102A～105Bを貫通させ、帯状基板の巻き取り室106まで渡し、弛まない程度に張力をかけた。なお、帯状基板の巻き取り室106には十分に乾燥したアラミド紙製の保護フィルム（デュポン製ノーメックス（商品名）、幅12cm×長さ200m×厚さ0.05mm）の巻き付けられたボビンをセットし、帯状基板とともに該保護フィルムが巻き込まれるようにした。

40

【0304】

帯状基板をセットした後、各室101～106内を不図示のロータリーポンプとメカニカルブースターポンプを組み合わせたポンプで一度真空排気し、引き続き排気しながらHeガスを導入して約200PaのHe雰囲気中で各成膜室内部を約350℃に加熱ベーキングした。

【0305】

50

加熱ベーキングの後、各室101～106を一度真空排気し、引き続き成膜室101, 102A, 105A, 102B, 104, 105B, 106をそれぞれの成膜室に接続したロータリーポンプとメカニカルブースターポンプを組み合わせたポンプで、成膜室103Aをそれぞれの成膜室に接続した各2台の油拡散ポンプ（パリアン社製HS-16）で排気しながら、各ガスゲート107にゲートガスとして H_2 を各500sccm、各成膜室102A～105Bにそれぞれの原料ガスを所定流量導入した。そして、各室101～106の排気管に設けたスロットルバルブの開度を調節することにより、帯状基板の巻き出し室101、巻き取り室106の内圧を125Paに、成膜室102A, 103, 105A, 102B, 104, 105Bの内圧をそれぞれ130Pa, 約1Pa, 130Pa, 130Pa, 135Pa, 130Paに設定した。

10

【0306】

各室の圧力が安定したところで、帯状基板の巻き取り室106の巻き取りボビン110を回転させ、帯状基板108を成膜室102Aから105Bに向かう方向に100cm/分の一定速度で連続的に移動させた。また、各成膜室102A～105B内に設けた不図示の温度制御装置により、移動する帯状基板が各成膜室の成膜空間内で所定の温度になるように温度制御を行った。

【0307】

帯状基板の温度が安定したところで、成膜室102A, 105A, 102B, 104に平行平板電極から13.56MHzの高周波電力を、成膜室103の内部に設けた成膜室に、それぞれの成膜室の片側の側壁に設けたマイクロ波導入窓から2.45GHzのマイクロ波電力を、成膜室105Bに平行平板電極から75kHzの高周波電力をそれぞれ不図示の電源からマッチング装置を介して投入した。更に、成膜室103の内部の成膜室にはマイクロ波導入窓前方に帯状基板に平行に配設した棒状のバイアス電極から13.56MHzの高周波電力を不図示の電源からマッチング装置を介して投入した。尚、103の内部の各成膜室の帯状基板移動方向に対する長さは全て約20cmであったが、帯状基板表面とプラズマとの間に一定の長さの遮蔽板（プラズマ漏れガード兼用）を設けることによって半導体層の形成領域の帯状基板移動方向に対する長さを調節した。放電電力の投入により各成膜室102A～105B内の原料ガスはプラズマ化し、各成膜室内で連続的に移動する帯状基板表面に半導体膜の形成が行われ、帯状基板表面に連続的にn i p n i p構造の半導体積層膜が形成された。表1に第1番目の光起電力素子を形成する成膜室102A乃至105Bにおける成膜条件を、表2に第2番目の光起電力素子を形成する成膜室102B乃至105Bにおける成膜条件を示す。

20

30

【0308】

帯状基板の搬送を開始してから連続して180分間移動させ、その間に170分間連続して半導体積層膜の形成を行った。

【0309】

約170mに亘って半導体積層膜を形成した後、放電電力の投入と、原料ガスの導入と、帯状基板および成膜室の加熱とを停止し、成膜室内のページを行い、帯状基板および装置内部を十分冷却してから装置を開け、ボビン110に巻かれた帯状基板を帯状基板の巻き取り室106から装置の外へ取り出した。

40

【0310】

更に、取り出した帯状基板を連続モジュール化装置によって連続的に加工し、本発明の装置で形成した半導体積層膜の上に、透明電極として全面に70nmのITO ($In_2O_3 + SnO_2$) 薄膜を形成し、集電電極として一定間隔に細線状のAg電極を形成し、単位素子の直列化等のモジュール化を行うことにより、バンドギャップの異なる光起電力素子を積層した2層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。作製した太陽電池の層構成の模式図を図12に示す。

【0311】

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²) の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層

50

を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.15と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3%以内に減少した。

【0312】

(比較例1-1)

装置例1-1で示した本発明の装置のp型半導体層の成膜室105Bを高周波プラズマCVD法による成膜室に変えた装置を用いて、i型半導体層上の不純物ドーパ層であるp型半導体層を全て高周波プラズマCVD法によって形成するようにした以外は実施例1-1と同様にしてnipni構造のシリコン系非単結晶半導体の積層膜を連続的に形成し、太陽電池モジュールを作製した。表3に第2番目の光起電力素子を形成する成膜室102B乃至105Bにおける成膜条件を示す。

10

【0313】

作製した太陽電池モジュールについて、AM1.5(100mW/cm²)の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、実施例1-1で作製した太陽電池モジュールの光電変換効率の平均値を1.15とした相対値で1.00と低かった。また、モジュール間の光電変換効率のバラツキも±5%大きかった。

【0314】

(比較例1-2)

装置例1-1で示した本発明の装置のp型半導体層の成膜室105Aをプラズマドーピングによる成膜室に変えた装置を用いて、i型半導体層上の不純物ドーパ層であるp型半導体層を全プラズマドーピングによって形成するようにした以外は実施例1-1と同様にしてnipni構造のシリコン系非単結晶半導体の積層膜を連続的に形成し、太陽電池モジュールを作製した。表4に第1番目の光起電力素子を形成する成膜室102A乃至105Aにおける成膜条件を、表2に第2番目の光起電力素子を形成する成膜室102B乃至105Bにおける成膜条件を示す。

20

【0315】

作製した太陽電池モジュールについて、AM1.5(100mW/cm²)の疑似太陽光照射下にて特性評価を行ったところ、曲線因子が低く、その光電変換効率の平均値は、実施例1-1で作製した太陽電池モジュールの光電変換効率の平均値を1.15とした相対値で0.95と低かった。

30

【0316】

(実施例1-2)

装置例1-1で示した本発明の半導体積層膜の連続形成装置を用い、成膜室104において形成されるi型半導体層を非晶質炭化シリコンに変えた以外は実施例1-1と同様にして、基板上にi型半導体層がそれぞれ非晶質シリコンゲルマニウム、非晶質炭化シリコンからなる2個のnip構造の光起電力素子を順に積層し、nipni構造のシリコン系非単結晶半導体からなる光起電力素子を連続的に形成した。そして更にモジュール化を行い、2層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。なお、第1番目の光起電力素子を形成する成膜室102A乃至105Aにおける成膜条件は実施例1-1と同じく表1に示す通りで、第2番目の光起電力素子を形成する成膜室102B乃至105Bにおける成膜条件のみ表5に示すように変更した。作製した太陽電池の層構成の模式図を図12に示す。

40

【0317】

作製した太陽電池モジュールについて、AM1.5(100mW/cm²)の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.15と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3%以内に減少した。

50

【0318】

(実施例1-3)

装置例1-1で示した本発明の半導体積層膜の連続形成装置を用い、プラズマドーピングによるp型半導体層の成膜室105Bの放電周波数を75kHzから13.56Hzに変えた以外は実施例1-1と同様にして、nipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成した。そして更にモジュール化を行い、バンドギャップの異なる光起電力素子を積層した2層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。作製した太陽電池の層構成の模式図を図12に示す。

【0319】

10

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²)の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.15と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3%以内に減少した。

【0320】

(実施例1-4)

装置例1-1で示した本発明の半導体積層膜の連続形成装置を用い、プラズマドーピングによるp型半導体層の成膜室105Bに導入する原料ガス中にSiH₄ガスを約10nm 20の半導体層を堆積によって形成するには十分に少ない量の3sccmだけ加えた以外は実施例1と同様にして、nipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成した。そして更にモジュール化を行い、バンドギャップの異なる光起電力素子を積層した2層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。作製した太陽電池の層構成の模式図を図13に示す。

【0321】

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²)の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1. 301.4と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3以内に減少した。

【0322】

(比較例1-3)

装置例1-1で示した本発明の装置のp型半導体層の成膜室105Bに導入する原料ガス中にSiH₄ガスを約10nmの半導体層を堆積によって形成するのに十分な量の30sccmだけ加えた以外は実施例1-4と同様にして、nipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成し、太陽電池モジュールを作製した。

【0323】

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²)の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対比較で0. 40.85と低かった。また、モジュール間の光電変換効率のバラツキは±6%と大きかった。

【0324】

(実施例1-5)

装置例1-1で示した本発明の半導体積層膜の連続形成装置を用い、成膜室102A、102Bでp型半導体層を、成膜室105A、105Bでn型半導体層を形成するようにして、形成する半導体層の伝導型を逆に変えた以外は実施例1-1と同様にして、pinp 50

i n構造のシリコン系非単結晶半導体の積層膜を連続的に形成した。そして更にモジュール化を行い、バンドギャップの異なる光起電力素子を積層した2層タンデム型太陽電池によって構成された35 cm×35 cmの太陽電池モジュールを連続的に作製した。表6に第1番目の光起電力素子を形成する成膜室102A乃至105Aにおける成膜条件を、表7に第2番目の光起電力素子を形成する成膜室102B乃至105Bにおける成膜条件を示す。作製した太陽電池の層構成の模式図を図14に示す。

【0325】

作製した太陽電池モジュールについて、AM1.5 (100 mW/cm²) の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのn型半導体層を高周波プラズマCVD法によって形成する装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.15と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3%以内に減少した。

10

【0326】

(実施例1-6)

装置例1-2で示した本発明の半導体積層膜の連続形成装置を用い、マイクロ波プラズマCVD法によるi型半導体層の形成前及び形成後に高周波プラズマCVD法によるi型半導体層が形成されるようにした以外は実施例1-1とほぼ同様にして、基板上にi型半導体層がそれぞれ非晶質シリコンゲルマニウム、非晶質シリコンからなる2個のnip構造の光起電力素子を順に積層し、nipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成した。そして更にモジュール化を行い、バンドギャップの異なる光起電力素子を積層した2層タンデム型太陽電池によって構成された35 cm×35 cmの太陽電池モジュールを連続的に作製した。表8に第1番目の光起電力素子を形成する成膜室202A乃至205Aにおける成膜条件を、表2に第2番目の光起電力素子を形成する成膜室202B乃至205Bにおける成膜条件を示す。作製した太陽電池の層構成の模式図を図15に示す。

20

【0327】

作製した太陽電池モジュールについて、AM1.5 (100 mW/cm²) の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.18と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±2%以内に減少した。

30

【0328】

(実施例1-7)

装置例1-2で示した構成の本発明の半導体積層膜の連続形成装置を用い、幅36 cmの幅広の帯状基板を使用した以外は実施例1-6とほぼ同様にして、nipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成し、バンドギャップの異なる太陽電池セルを積層した2層タンデム型太陽電池によって構成された、35 cm×35 cmの太陽電池モジュールを連続的に作製した。

40

【0329】

本発明で用いた装置は、帯状基板の幅方向に対する寸法のみ実施例1-1～1-6で用いた装置の3倍であった。マイクロ波プラズマCVD法による成膜室203内に3個備えられた成膜室には、それぞれ帯状基板の両側にマイクロ波投入手段が対向して配設され、成膜室203には6個のマイクロ波投入手段からマイクロ波電力を投入した。尚、対向して配設されたマイクロ波投入手段の電界方向は互いに垂直であった。表9に第1番目の光起電力素子を形成する成膜室220A乃至205Aにおける成膜条件を、表10に第2番目の光起電力素子を形成する成膜室202B乃至205Bにおける成膜条件を示す。作製した太陽電池の層構成の模式図を図14に示す。

【0330】

50

作製した太陽電池モジュールについて、 $AM1.5 (100\text{ mW}/\text{cm}^2)$ の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.18と良好な値を示した。また、従来の装置を用いて作製した場合に±6%あったモジュール間の光電変換効率のバラツキは±2.5%以内に減少しており、大面積にわたって高品質の光起電力素子用の半導体積層膜が均一性良く形成されたことを確認した。

【0331】

次に、3層タンデム型素子の実施例を示す。

【0332】

10

(実施例2-1)

装置例2-1で示した本発明の半導体積層膜の連続形成装置を用い、基板上にi型半導体層がそれぞれ非晶質シリコンゲルマニウム、非晶質シリコンゲルマニウム、非晶質シリコンからなる3個のnip構造の光起電力素子を順に積層し、nipnipnip構造のシリコン系非単結晶半導体を積層した光起電力素子を連続的に形成した。なお、成膜室103A、103Bにおいてi型半導体層を原料ガス中のゲルマニウム原子を含有する原料ガスの濃度の異なる3室で形成するようにして、成膜室103A、103Bで連続的に形成されるi型半導体層のゲルマニウムの含有量が膜厚方向に多少多と変化するようにした。

【0333】

まず、SUS430BA製の帯状のステンレス板(幅12cm×長さ200m×厚さ0.15mm)の表面にスパッタリング法により500nmのAg層と、約2μmのZnO透明導電層とを形成、積層した、微小な凹凸表面を有する帯状基板をボビン109に巻き付けた状態で帯状基板の巻き出し室101にセットし、該帯状基板を各ガスゲート107を介して成膜室102A~105Cを貫通させ、帯状基板の巻き取り室106まで渡し、弛まない程度に張力をかけた。なお、帯状基板の巻き取り室106には十分に乾燥したアラミド紙製の保護フィルム(デュポン製ノーメックス(商品名)、幅12cm×長さ200m×厚さ0.05mm)の巻き付けられたボビンをセットし、帯状基板とともに該保護フィルムが巻き込まれるようにした。

20

【0334】

帯状基板をセットした後、各室101~106内を不図示のロータリーポンプとメカニカルブースターポンプを組み合わせたポンプで一度真空排気し、引き続き排気しながらHeガスを導入して約200PaのHe雰囲気中で各成膜室内部を約350℃に加熱ベーキングした。

30

【0335】

加熱ベーキングの後、各室101~106を一度真空排気し、引き続き成膜室101, 102A, 105A, 102B, 105B, 102C, 104, 105C, 106をそれぞれの成膜室に接続したロータリーポンプとメカニカルブースターポンプを組み合わせたポンプで、成膜室103A, 103Bをそれぞれの成膜室に接続した各2台の油拡散ポンプ(バリアン社製HS-16)で排気しながら、各ガスゲート107にゲートガスとしてH₂を各500sccm、各成膜室102A~105Cにそれぞれの原料ガスを所定流量導入した。そして、各室101~106の排気管に設けたスロットルバルブの開度を調節することにより、帯状基板の巻き出し室101、巻き取り室106の内圧を125Paに、成膜室102A, 103A, 105A, 102B, 103B, 105B, 102C, 104, 105Cの内圧をそれぞれ130Pa, 約1Pa, 130Pa, 130Pa, 約1Pa, 130Pa, 130Pa, 135Pa, 130Paに設定した。

40

【0336】

各室の圧力が安定したところで、帯状基板の巻き取り室106の巻き取りボビン110を回転させ、帯状基板108を成膜室102Aから105Cに向かう方向に100cm/分の一定速度で連続的に移動させた。また、各成膜室102A~105C内に設けた不図示の温度制御装置により、移動する帯状基板が各成膜室の成膜空間内で所定の温度になるよ

50

うに温度制御を行った。

【0337】

带状基板の温度が安定したところで、成膜室102A、105A、102B、105B、102C、104に平行平板電極から13.56MHzの高周波電力を、成膜室103A、103Bの内部に設けた成膜室に、それぞれの成膜室の片側の側壁に設けたマイクロ波導入窓から2.45GHzのマイクロ波電力を、成膜室105Cに平行平板電極から75kHzの高周波電力をそれぞれ不図示の電源からマッチング装置を介して投入した。更に、成膜室103A、103Bの内部の成膜室にはマイクロ波導入窓前方に带状基板に平行に配設した棒状のバイアス電極から13.56MHzの高周波電力を不図示の電源からマッチング装置を介して投入した。尚、103A、103Bの内部の各成膜室の带状基板移動方向に対する長さは全て約20cmであったが、带状基板表面とプラズマとの間に一定の長さの遮蔽板（プラズマ漏れガード兼用）を設けることによって半導体層の形成領域の带状基板移動方向に対する長さを調節した。放電電力の投入により各成膜室102A～105C内の原料ガスはプラズマ化し、各成膜室内で連続的に移動する带状基板表面に半導体膜の形成が行われ、带状基板表面に連続的にn i p n i p n i p構造の半導体積層膜が形成された。表11に第1番目の光起電力素子を形成する成膜室102A乃至105Aにおける成膜条件を、表12に第2番目の光起電力素子を形成する成膜室102B乃至105Bにおける成膜条件を、表13に第3番目の光起電力素子を形成する成膜室102C乃至105Cにおける成膜条件を示す。

10

【0338】

带状基板の搬送を開始してから連続して180分間移動させ、その間に170分間連続して半導体積層膜の形成を行った。

20

【0339】

約170mにわたり半導体積層膜を形成した後、放電電力の投入と、原料ガスの導入と、带状基板および成膜室の加熱とを停止し、成膜室内のパージを行い、带状基板および装置内部を十分冷却してから装置を開け、ボビン110に巻かれた带状基板を带状基板の巻き取り室106から装置の外へ取り出した。

【0340】

更に、取り出した带状基板を連続モジュール化装置によって連続的に加工し、本発明の装置で形成した半導体積層膜の上に、透明電極として全面に70nmのITO ($\text{In}_2\text{O}_3 + \text{SnO}_2$) 薄膜を形成し、集電電極として一定間隔に細線状のAg電極を形成し、単位素子の直列化等のモジュール化を行うことにより、バンドギャップの異なる光起電力素子を積層した3層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。作製した太陽電池の層構成の模式図を図15に示す。

30

【0341】

作製した太陽電池モジュールについて、AM1.5 ($100\text{mW}/\text{cm}^2$) の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.15と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3%以内に減少した。

40

【0342】

(比較例2-1)

装置例2-1で示した本発明の装置のp型半導体層の成膜室105Cを高周波プラズマCVD法による成膜室に変えた装置を用いて、i型半導体層上の不純物ドーブ層であるp型半導体層を全て高周波プラズマCVD法によって形成するようにした以外は実施例2-1と同様にしてn i p n i p n i p構造のシリコン系非単結晶半導体の積層膜を連続的に形成し、太陽電池モジュールを作製した。

【0343】

表14に第3番目の光起電力素子を形成する成膜室102C乃至105Cにおける成膜条

50

件を示す。

【0344】

作製した太陽電池モジュールについて、AM1.5 (100 mW/cm²) の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、実施例2-1で作製した太陽電池モジュールの光電変換効率の平均値を1.15とした相対値で1.00と低かった。また、モジュール間の光電変換効率のバラツキも±5%と大きかった。

【0345】

(比較例2-2)

装置例2-1で示した本発明の装置のp型半導体層の成膜室105Aおよび105Bをそれぞれプラズマドーピングによる成膜室に変えた装置を用いて、i型半導体層上の不純物ドーパ層であるp型半導体層を全プラズマドーピングによって形成するようにした以外は実施例2-1と同様にしてnipnipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成し、太陽電池モジュールを作製した。表15に第1番目の光起電力素子を形成する成膜室102A乃至105Aにおける成膜条件を、表16に第2番目の光起電力素子を形成する成膜室102B乃至105Bにおける成膜条件を、表13に第3番目の光起電力素子を形成する成膜室102C乃至105Cにおける成膜条件を示す。

10

【0346】

作製した太陽電池モジュールについて、AM1.5 (100 mW/cm²) の疑似太陽光照射下にて特性評価を行ったところ、曲線因子が低く、その光電変換効率の平均値は、実施例2-1で作製した太陽電池モジュールの光電変換効率の平均値を1.15とした相対値で0.95と低かった。

20

【0347】

(実施例2-2)

装置例2-1で示した本発明の半導体積層膜の連続形成装置を用い、成膜室104において形成されるi型半導体層を非晶質炭化シリコンに変えた以外は実施例2-1と同様にして、基板上にi型半導体層がそれぞれ非晶質シリコンゲルマニウム、非晶質シリコンゲルマニウム、非晶質炭化シリコンからなる3個のnip構造の光起電力素子を順に積層し、nipnipnip構造のシリコン系非単結晶半導体からなる光起電力素子を連続的に形成した。そして更にモジュール化を行い、3層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。なお、第1番目の光起電力素子を形成する成膜室102A乃至105Aにおける成膜条件と、第2番目の光起電力素子を形成する成膜室102B乃至105Bにおける成膜条件とは実施例2-1と同じく表11と表12に示す通りで、第3番目の光起電力素子を形成する成膜室102C乃至105Cにおける成膜条件のみ第7表に示すように変更した。作製した太陽電池の層構成の模式図を図15に示す。

30

【0348】

作製した太陽電池モジュールについて、AM1.5 (100 mW/cm²) の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.15と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3%以内に減少した。

40

【0349】

(実施例2-3)

装置例2-1で示した本発明の半導体積層膜の連続形成装置を用い、プラズマドーピングによるp型半導体層の成膜室105Cの放電周波数を75kHzから13.56MHzに変えた以外は実施例2-1と同様にして、nipnipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成した。そして更にモジュール化を行い、バンドギャップの異なる光起電力素子を積層した3層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。作製した太陽電池の層構成の模式図を

50

図15に示す。

【0350】

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²)の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.15と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3%以内に減少した。

【0351】

(実施例2-4)

装置例2-1で示した本発明の半導体積層膜の連続形成装置を用い、プラズマドーピングによるp型半導体層の成膜室105Cに導入する原料ガス中にSiH₄ガスを約10nmの半導体層を堆積によって形成するには十分に少ない量の3sccmだけ加えた以外は実施例2-1と同様にして、nipnipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成した。そして更にモジュール化を行い、バンドギャップの異なる光起電力素子を積層した3層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。作製した太陽電池の層構成の模式図を図15に示す。

【0352】

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²)の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.14と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3以内に減少した。

【0353】

(比較例2-3)

装置例2-1で示した本発明の装置のp型半導体層の成膜室105Cに導入する原料ガス中にSiH₄ガスを約10nmの半導体層を堆積によって形成するのに十分な量の30sccmだけ加えた以外は実施例2-4と同様にして、nipnipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成し、太陽電池モジュールを作製した。

【0354】

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²)の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する従来のロール・ツー・ロール方式の装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対比較で0.85と低かった。また、モジュール間の光電変換効率のバラツキは±6%と大きかった。

【0355】

(実施例2-5)

装置例2-1で示した本発明の半導体積層膜の連続形成装置を用い、成膜室102A, 102B, 102Cでp型半導体層を、成膜室105A, 105B, 105Cでn型半導体層を形成するようにして、形成する半導体層の伝導型を逆に変えた以外は実施例1と同様にして、pinpinpin構造のシリコン系非単結晶半導体の積層膜を連続的に形成した。そして更にモジュール化を行い、バンドギャップの異なる光起電力素子を積層した3層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。表18に第1番目の光起電力素子を形成する成膜室102A乃至105Aにおける成膜条件を、表19に第2番目の光起電力素子を形成する成膜室102B乃至105Bにおける成膜条件を、表20に第3番目の光起電力素子を形成する成膜室102C乃至105Cにおける成膜条件を示す。作製した太陽電池の層構成の模式図を図16に示す。

10

20

30

40

50

【0356】

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²) の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのn型半導体層を高周波プラズマCVD法によって形成する装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.15と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±3%以内に減少した。

【0357】

(実施例2-6)

装置例2-2で示した本発明の半導体積層膜の連続形成装置を用い、マイクロ波プラズマCVD法によるi型半導体層の形成前及び形成後に高周波プラズマCVD法によるi型半導体層が形成されるようにした以外は実施例2-1とほぼ同様にして、基板上にi型半導体層がそれぞれ非晶質シリコンゲルマニウム、非晶質シリコンゲルマニウム、非晶質シリコンからなる3個のnip構造の光起電力素子を順に積層し、nipnipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成した。そして更にモジュール化を行い、バンドギャップの異なる光起電力素子を積層した3層タンデム型太陽電池によって構成された35cm×35cmの太陽電池モジュールを連続的に作製した。

10

【0358】

表21に第1番目の光起電力素子を形成する成膜室202A乃至205Aにおける成膜条件を、表22に第2番目の光起電力素子を形成する成膜室202B乃至205Bにおける成膜条件を、表23に第3番目の光起電力素子を形成する成膜室202C乃至205Cにおける成膜条件および表面処理条件を示す。作製した太陽電池の層構成の模式図を図17に示す。

20

【0359】

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²) の疑似太陽光照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全てのp型半導体層を高周波プラズマCVD法によって形成する装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を1.00とした相対値で1.18と良好な値を示した。また、従来の装置を用いて作製した場合に±5%あったモジュール間の光電変換効率のバラツキは±2%以内に減少した。

30

【0360】

(実施例2-7)

装置例2-2で示した構成の本発明の半導体積層膜の連続形成装置を用い、幅36cmの幅広の帯状基板を使用した以外は実施例2-6とほぼ同様にして、nipnipnip構造のシリコン系非単結晶半導体の積層膜を連続的に形成し、バンドギャップの異なる太陽電池セルを積層した3層タンデム型太陽電池によって構成された、35cm×35cmの太陽電池モジュールを連続的に作製した。

【0361】

本発明で用いた装置は、帯状基板の幅方向に対する寸法のみ実施例2-1～2-6で用いた装置の3倍であった。マイクロ波プラズマCVD法による成膜室203A、203B内に各3個備えられた成膜室には、それぞれ帯状基板の両側にマイクロ波投入手段が対向して配設され、成膜室203Aおよび成膜室203Bには各6個のマイクロ波投入手段からマイクロ波電力を投入した。尚、対向して配設されたマイクロ波投入手段の電界方向は互いに垂直であった。表24に第1番目の光起電力素子を形成する成膜室220A乃至205Aにおける成膜条件を、表25に第2番目の光起電力素子を形成する成膜室202B乃至205Bにおける成膜条件を、表26に第3番目の光起電力素子を形成する成膜室202C乃至205Cにおける成膜条件および表面処理条件を示す。作製した太陽電池の層構成の模式図を図17に示す。

40

【0362】

作製した太陽電池モジュールについて、AM1.5 (100mW/cm²) の疑似太陽光

50

照射下にて特性評価を行ったところ、その光電変換効率の平均値は、全ての p 型半導体層を高周波プラズマ CVD 法によって形成する装置を用いて作製した太陽電池モジュールの光電変換効率の平均値を 1.00 とした相対値で 1.18 と良好な値を示した。また、従来の装置を用いて作製した場合に ±6% あったモジュール間の光電変換効率のバラツキは ±2.5% 以内に減少しており、大面積にわたって高品質の光起電力素子用の半導体積層膜が均一性良く形成されたことを確認した。

【0363】

【表 1】

成膜室		成膜条件				
半導体層形成方法	102A	103 (1)	103 (2)	103 (3)	105A	
	高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法	
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 SiGe層 50	i型非晶質 SiGe層 100	i型非晶質 SiGe層 25	p型非晶質 Si層 約10	
半導体層形成領域の帯状基板移動方向の長さ (cm)	60	10	20	5	100	
原料ガス (sccm)	SiH ₄ 150	SiH ₄ 125	SiH ₄ 100	SiH ₄ 125	SiH ₄ 30	
	PH ₃ 3	GeH ₄ 25	GeH ₄ 50	GeH ₄ 25	BF ₃ 1	
	H ₂ 1500	H ₂ 200	H ₂ 200	H ₂ 200	H ₂ 500	
成膜室内圧 (Pa)	130	0.9	1	0.9	130	
帯状基板温度 (°C)	350	350	350	350	150	
放電電力 (W)	高周波 (13.56MHz) 150	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	高周波 (13.56MHz) 1000	
バイアス電力 (W)	—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—	

【 0 3 6 4 】

【 表 2 】

10

20

30

40

成膜室 成膜条件	102B	104 (1)	104 (2)	105B
半導体層形成方法	高周波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 Si層 80	i型非晶質 Si層 80	p型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)	60	200	200	100
原料ガス (sccm)	SiH ₄ 150 PH ₃ 3 H ₂ 1500	SiH ₄ 400 H ₂ 4000	SiH ₄ 400 H ₂ 4000	BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	135	130
帯状基板温度 (°C)	300	300	300	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 400	高周波 (13.56MHz) 400	低周波 (75kHz) 1000
バイアス電力 (W)	—	—	—	—

10

20

30

【 0 3 6 5 】

【 表 3 】

成膜室 成膜条件	102B	104 (1)	104 (2)	105B
半導体層形成方法	高周波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 Si層 80	i型非晶質 Si層 80	p型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)	60	200	200	100
原料ガス (sccm)	SiH ₄ 150 PH ₃ 5 H ₂ 1500	SiH ₄ 400 H ₂ 4000	SiH ₄ 400 H ₂ 4000	SiH ₄ 30 BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	135	130
帯状基板温度 (°C)	300	300	300	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 400	高周波 (13.56MHz) 400	高周波 (13.56MHz) 1000
バイアス電力 (W)	—	—	—	—

【 0 3 6 6 】

【表 4】

10

20

30

成膜室 成膜条件	102A			103 (1)	103 (2)	103 (3)	105A
	高周波 プラズマCVD法	n型非晶質 Si層 20	i型非晶質 SiGe層 50	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)		60	10	20	5	100	
半導体層形成領域の帯状基板移動方向の長さ (cm)							
原料ガス (sccm)	SiH ₄	150	125	SiH ₄	100	SiH ₄	BF ₃
	PH ₃	3	25	GeH ₄	50	GeH ₄	H ₂
	H ₂	1500	200	H ₂	200	H ₂	500
成膜室内圧 (Pa)	130	130	0.9	1	0.9	130	
帯状基板温度 (°C)	350	350	350	350	350	150	
放電電力 (W)	高周波 (13.56MHz) 150	300	300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	低周波 (75kHz) 1000
バイアス電力 (W)	—	600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—	—

【 0 3 6 7 】

【 表 5 】

10

20

30

40

成膜室 成膜条件	202B	204 (1)	204 (2)	205B
半導体層形成方法 (または表面処理方法)	高周波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 Si層 80	i型非晶質 Si層 80	p型非晶質 Si層 約10
帯状基板がプラズマにさら される領域の長さ (cm)	60	200	200	100
原料ガス (sccm)	SiH ₄ 450 PH ₃ 9 H ₂ 4500	SiH ₄ 1200 H ₂ 12000	SiH ₄ 1200 H ₂ 12000	BF ₃ 3 H ₂ 1500
成膜室内圧 (Pa)	130	135	135	130
帯状基板温度 (°C)	300	300	300	150
放電電力 (W)	高周波 (13.56MHz) 450	高周波 (13.56MHz) 1200	高周波 (13.56MHz) 1200	低周波 (75kHz) 3000
バイアス電力 (W)	—	—	—	—

10

20

30

【 0 3 6 8 】

【表 6】

成膜条件	成膜室	102A				103 (1)		103 (2)		103 (3)		105A	
		高周波 プラズマCVD法		マイクロ波 プラズマCVD法		マイクロ波 プラズマCVD法		マイクロ波 プラズマCVD法		マイクロ波 プラズマCVD法		高周波 プラズマCVD法	
形成する半導体層 (nm)		p型非晶質 Si層 20		i型非晶質 SiGe層 50		i型非晶質 SiGe層 100		i型非晶質 SiGe層 25		n型非晶質 Si層 約10			
半導体層形成領域の帯状基板移動方向の長さ (cm)		60		10		20		5		100			
原料ガス (sccm)		SiH ₄ 150		SiH ₄ 125		SiH ₄ 100		SiH ₄ 125		SiH ₄ 30			
		B ₂ H ₆ 3		GeH ₄ 25		GeH ₄ 50		GeH ₄ 25		PH ₃ 1			
		H ₂ 1500		H ₂ 200		H ₂ 200		H ₂ 200		H ₂ 500			
成膜室内圧 (Pa)		130		0.9		1		0.9		130			
帯状基板温度 (°C)		350		350		350		350		150			
放電電力 (W)		高周波 (13.56MHz) 150		マイクロ波 (2.45GHz) 300		マイクロ波 (2.45GHz) 300		マイクロ波 (2.45GHz) 300		高周波 (13.56MHz) 1000			
バイアス電力 (W)		—		高周波 (13.56MHz) 600		高周波 (13.56MHz) 600		高周波 (13.56MHz) 600		—			

【 0 3 6 9 】

【 表 7 】

10

20

30

40

成膜室 成膜条件	102B	104 (1)	104 (2)	105B
半導体層形成方法	高周波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)	p型非晶質 Si層 20	i型非晶質 Si層 80	i型非晶質 Si層 80	n型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)	60	200	200	100
原料ガス (sccm)	SiH ₄ 150 B ₂ H ₆ 3 H ₂ 1500	SiH ₄ 400 H ₂ 4000	SiH ₄ 400 H ₂ 4000	PH ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	135	130
帯状基板温度 (°C)	300	300	300	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 400	高周波 (13.56MHz) 400	低周波 (75kHz) 1000
バイアス電力 (W)	—	—	—	—

10

20

30

【0370】

【表8】

成膜室 成膜条件	202A	211	203 (1)	203 (2)	203 (3)	212	205A
	半導体層形成方法 (または表面処理方法)	高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)	n 型非晶質 Si層 20	i 型非晶質 Si層 10	i 型非晶質 SiGe層 50	i 型非晶質 SiGe層 100	i 型非晶質 SiGe層 25	i 型非晶質 Si層 20	p 型非晶質 Si層 約10
帯状基板がプラズマにさら される領域の長さ (cm)	60	60	10	20	5	60	100
原料ガス (sccm)	SiH ₄ 150 PH ₃ 3 H ₂ 1500	SiH ₄ 75 H ₂ 750	SiH ₄ 125 GeH ₄ 25 H ₂ 200	SiH ₄ 100 GeH ₄ 50 H ₂ 200	SiH ₄ 125 GeH ₄ 25 H ₂ 200	SiH ₄ 150 H ₂ 1500	SiH ₄ 30 BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	0.9	1	0.9	135	130
帯状基板温度 (°C)	350	350	350	350	350	350	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 75	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	高周波 (13.56MHz) 150	高周波 (13.56MHz) 1000
バイアス電力 (W)	—	—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—	—

【 0 3 7 1 】

【表 9】

10

20

30

40

成膜室 成膜条件	202A	211	203 (1)	203 (2)	203 (3)	212	205A
	半導体層形成方法 (または表面処理方法)	高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 Si層 10	i型非晶質 SiGe層 50	i型非晶質 SiGe層 100	i型非晶質 SiGe層 25	i型非晶質 Si層 20	p型非晶質 Si層 約10
帯状基板がプラズマにさら される領域の長さ (cm)	60	60	10	20	5	60	100
原料ガス (sccm)	SiH ₄ 450	SiH ₄ 225	SiH ₄ 375	SiH ₄ 300	SiH ₄ 375	SiH ₄ 450	SiH ₄ 90
	PH ₃ 9 H ₂ 4500	H ₂ 2250	GeH ₄ 75 H ₂ 600	GeH ₄ 150 H ₂ 600	GeH ₄ 75 H ₂ 600	H ₂ 4500	BF ₃ 3 H ₂ 1500
成膜室内圧 (Pa)	130	135	0.9	1	0.9	135	130
帯状基板温度 (°C)	350	350	350	350	350	350	150
放電電力 (W)	高周波 (13.56MHz) 450	高周波 (13.56MHz) 225	マイクロ波 (2.45GHz) 450 × 2	マイクロ波 (2.45GHz) 450 × 2	マイクロ波 (2.45GHz) 450 × 2	高周波 (13.56MHz) 450	高周波 (13.56MHz) 3000
バイアス電力 (W)	—	—	高周波 (13.56MHz) 1800	高周波 (13.56MHz) 1800	高周波 (13.56MHz) 1800	—	—

【0372】

【表10】

10

20

30

40

成膜室 成膜条件	202B	204 (1)	204 (2)	205B
半導体層形成方法 (または表面処理方法)	高周波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)	n 型非晶質 Si 層 20	i 型非晶質 Si 層 80	i 型非晶質 Si 層 80	p 型非晶質 Si 層 約 10
帯状基板がプラズマにさら される領域の長さ (cm)	60	200	200	100
原料ガス (sccm)	SiH ₄ 450 PH ₃ 9 H ₂ 4500	SiH ₄ 1200 H ₂ 12000	SiH ₄ 1200 H ₂ 12000	BF ₃ 3 H ₂ 1500
成膜室内圧 (Pa)	130	135	135	130
帯状基板温度 (°C)	300	300	300	150
放電電力 (W)	高周波 (13.56MHz) 450	高周波 (13.56MHz) 1200	高周波 (13.56MHz) 1200	低周波 (75kHz) 3000
バイアス電力 (W)	—	—	—	—

【 0 3 7 3 】

【表 1 1】

10

20

30

成膜室 成膜条件	102A		103A (1)		103A (2)		103A (3)		105A	
	半導体層形成方法	高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 SiGe層 50	i型非晶質 SiGe層 100	i型非晶質 SiGe層 25	p型非晶質 Si層 約10					
半導体層形成領域の帯状基板移動方向の長さ (cm)	60	10	20	5	100					
原料ガス (sccm)	SiH ₄ 150	SiH ₄ 125	SiH ₄ 100	SiH ₄ 125	SiH ₄ 30					
	PH ₃ 3	GeH ₄ 25	GeH ₄ 50	GeH ₄ 25	BF ₃ 1					
	H ₂ 1500	H ₂ 200	H ₂ 200	H ₂ 200	H ₂ 500					
成膜室内圧 (Pa)	130	0.9	1	0.9	130					
帯状基板温度 (°C)	350	350	350	350	150					
放電電力 (W)	高周波 (13.56MHz) 150	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	高周波 (13.56MHz) 1000					
バイアス電力 (W)	—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—					

【0374】

【表12】

10

20

30

40

成膜条件	成膜室		102B	103B (1)	103B (2)	103B (3)	105B
半導体層形成方法			高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)			n型非晶質 Si層 20	i型非晶質 SiGe層 50	i型非晶質 SiGe層 100	i型非晶質 SiGe層 25	p型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)			60	10	20	5	100
原料ガス (sccm)			SiH ₄ 150	SiH ₄ 140	SiH ₄ 120	SiH ₄ 140	SiH ₄ 30
			PH ₃ 3	GeH ₄ 10	GeH ₄ 30	GeH ₄ 10	BF ₃ 1
			H ₂ 1500	H ₂ 200	H ₂ 200	H ₂ 200	H ₂ 500
成膜室内圧 (Pa)			130	0.9	1	0.9	130
帯状基板温度 (°C)			300	300	300	300	150
放電電力 (W)			高周波 (13.56MHz) 150	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	高周波 (13.56MHz) 1000
バイアス電力 (W)			—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—

【0375】

【表13】

10

20

30

40

成膜室 成膜条件	102C	104	105C
半導体層形成方法	高周波 プラズマCVD法	高周波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 Si層 80	p型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)	60	200	100
原料ガス (sccm)	SiH ₄ 150 PH ₃ 3 H ₂ 1500	SiH ₄ 400 H ₂ 4000	BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	130
帯状基板温度 (°C)	250	250	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 400	低周波 (75kHz) 1000
バイアス電力 (W)	—	—	—

10

20

30

【 0 3 7 6 】

【 表 1 4 】

成膜室 成膜条件	102C	104	105C
半導体層形成方法	高周波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 Si層 80	p型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)	60	200	100
原料ガス (sccm)	SiH ₄ 150 PH ₃ 3 H ₂ 1500	SiH ₄ 400 H ₂ 4000	SiH ₄ 30 BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	130
帯状基板温度 (°C)	250	250	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 400	高周波 (13.56MHz) 1000
バイアス電力 (W)	—	—	—

【 0 3 7 7 】

【 表 1 5 】

10

20

30

成膜条件	成膜室		103A (1)	103A (2)	103A (3)	105A
	半導体層形成方法	102A				
形成する半導体層 (nm)	高周波 プラズマCVD法	n型非晶質 Si層 20	マイクロ波 プラズマCVD法 i型非晶質 SiGe層 50	マイクロ波 プラズマCVD法 i型非晶質 SiGe層 100	マイクロ波 プラズマCVD法 i型非晶質 SiGe層 25	プラズマ ドーピング p型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)		60	10	20	5	100
原料ガス (sccm)		SiH ₄ 150 PH ₃ 3 H ₂ 1500	SiH ₄ 125 GeH ₄ 25 H ₂ 200	SiH ₄ 100 GeH ₄ 50 H ₂ 200	SiH ₄ 125 GeH ₄ 25 H ₂ 200	BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)		130	0.9	1	0.9	130
帯状基板温度 (°C)		350	350	350	350	150
放電電力 (W)		高周波 (13.56MHz) 150	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	低周波 (75kHz) 1000
バイアス電力 (W)		—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—

【0378】

【表16】

10

20

30

40

成膜条件		成膜室				
半導体層形成方法		102B	103B (1)	103B (2)	103B (3)	105B
形成する半導体層 (nm)		高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	プラズマ ドーピング
		n型非晶質 Si層 20	i型非晶質 SiGe層 50	i型非晶質 SiGe層 100	i型非晶質 SiGe層 25	p型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)		60	10	20	5	100
原料ガス (sccm)		SiH ₄ 150 PH ₃ 3 H ₂ 1500	SiH ₄ 140 GeH ₄ 10 H ₂ 200	SiH ₄ 120 GeH ₄ 30 H ₂ 200	SiH ₄ 140 GeH ₄ 10 H ₂ 200	BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)		130	0.9	1	0.9	130
帯状基板温度 (°C)		300	300	300	300	150
放電電力 (W)		高周波 (13.56MHz) 150	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	低周波 (75kHz) 1000
バイアス電力 (W)		—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—

【0379】

【表17】

10

20

30

40

成膜室 成膜条件	102C	104	105C
半導体層形成方法	高周波 プラズマCVD法	高周波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 SiC層 120	p型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)	60	300	100
原料ガス (sccm)	SiH ₄ 150 PH ₃ 3 H ₂ 1500	SiH ₄ 400 CH ₄ 200 H ₂ 4000	BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	130
帯状基板温度 (°C)	250	250	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 600	低周波 (75kHz) 1000
バイアス電力 (W)	—	—	—

10

20

30

【0380】

【表18】

成膜条件	成膜室		102A	103A (1)	103A (2)	103A (3)	105A
半導体層形成方法			高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)			p型非晶質 Si層 20	i型非晶質 SiGe層 50	i型非晶質 SiGe層 100	i型非晶質 SiGe層 25	n型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)			60	10	20	5	100
原料ガス (sccm)			SiH ₄ 150 B ₂ H ₆ 3 H ₂ 1500	SiH ₄ 125 GeH ₄ 25 H ₂ 200	SiH ₄ 100 GeH ₄ 50 H ₂ 200	SiH ₄ 125 GeH ₄ 25 H ₂ 200	SiH ₄ 30 PH ₃ 1 H ₂ 500
成膜室内圧 (Pa)			130	0.9	1	0.9	130
帯状基板温度 (°C)			350	350	350	350	150
放電電力 (W)			高周波 (13.56MHz) 150	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	高周波 (13.56MHz) 1000
バイアス電力 (W)			—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—

【0381】

【表19】

10

20

30

40

成膜条件	成膜室	102B	103B (1)	103B (2)	103B (3)	105B
		高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)		p 型非晶質 Si層 20	i 型非晶質 SiGe層 50	i 型非晶質 SiGe層 100	i 型非晶質 SiGe層 25	n 型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)		60	10	20	5	100
原料ガス (sccm)		SiH ₄ 150 B ₂ H ₆ 3 H ₂ 1500	SiH ₄ 140 GeH ₄ 10 H ₂ 200	SiH ₄ 120 GeH ₄ 30 H ₂ 200	SiH ₄ 140 GeH ₄ 10 H ₂ 200	SiH ₄ 30 PH ₃ 1 H ₂ 500
成膜室内圧 (Pa)		130	0.9	1	0.9	130
帯状基板温度 (°C)		300	300	300	300	150
放電電力 (W)		高周波 (13.56MHz) 150	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	高周波 (13.56MHz) 1000
バイアス電力 (W)		—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—

【 0 3 8 2 】

【 表 2 0 】

10

20

30

40

成膜室 成膜条件	102C	104	105C
半導体層形成方法	高周波 プラズマCVD法	高周波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)	p型非晶質 Si層 20	i型非晶質 Si層 80	n型非晶質 Si層 約10
半導体層形成領域の帯状基板移動方向の長さ (cm)	60	200	100
原料ガス (sccm)	SiH ₄ 150 B ₂ H ₆ 3 H ₂ 1500	SiH ₄ 400 H ₂ 4000	PH ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	130
帯状基板温度 (°C)	250	250	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 400	低周波 (75kHz) 1000
バイアス電力 (W)	—	—	—

10

20

30

【 0 3 8 3 】

【 表 2 1 】

成膜室 成膜条件	202A	211A	203A (1)	203A (2)	203A (3)	212A	205A
	高周波 プラズマCVD法	高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)	n 型非晶質 Si 層 20	i 型非晶質 Si 層 10	i 型非晶質 SiGe 層 50	i 型非晶質 SiGe 層 100	i 型非晶質 SiGe 層 25	i 型非晶質 Si 層 20	p 型非晶質 Si 層 約10
帯状基板がプラズマにさらされる領域の長さ (cm)	60	60	10	20	5	60	100
原料ガス (sccm)	SiH ₄ 150	SiH ₄ 75	SiH ₄ 125	SiH ₄ 100	SiH ₄ 125	SiH ₄ 150	SiH ₄ 30
	PH ₃ 3 H ₂ 1500	H ₂ 750	GeH ₄ 25 H ₂ 200	GeH ₄ 50 H ₂ 200	GeH ₄ 25 H ₂ 200	H ₂ 1500	BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	0.9	1	0.9	135	130
帯状基板温度 (°C)	350	350	350	350	350	350	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 75	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	高周波 (13.56MHz) 150	高周波 (13.56MHz) 1000
バイアス電力 (W)	—	—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—	—

【 0 3 8 4 】

【 表 2 2 】

10

20

30

40

成膜室 成膜条件	202B	211B	203B (1)	203B (2)	203B (3)	212B	205B
半導体層形成方法 (または表面処理方法)	高周波 プラズマCVD法	高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)	n 型非晶質 Si 層 20	i 型非晶質 Si 層 10	i 型非晶質 SiGe 層 50	i 型非晶質 SiGe 層 100	i 型非晶質 SiGe 層 25	i 型非晶質 Si 層 20	p 型非晶質 Si 層 約10
帯状基板がプラズマにさら される領域の長さ (cm)	60	60	10	20	5	60	100
原料ガス (sccm)	SiH ₄ 150 PH ₃ 3 H ₂ 1500	SiH ₄ 75 H ₂ 750	SiH ₄ 140 GeH ₄ 10 H ₂ 200	SiH ₄ 120 GeH ₄ 30 H ₂ 200	SiH ₄ 140 GeH ₄ 10 H ₂ 200	SiH ₄ 150 H ₂ 1500	SiH ₄ 30 BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	0.9	1	0.9	135	130
帯状基板温度 (°C)	300	300	300	300	300	300	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 75	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	マイクロ波 (2.45GHz) 300	高周波 (13.56MHz) 150	高周波 (13.56MHz) 1000
バイアス電力 (W)	—	—	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	高周波 (13.56MHz) 600	—	—

【 0 3 8 5 】

【 表 2 3 】

10

20

30

40

成膜室 成膜条件	202C	204	205C
半導体層形成方法 (または表面処理方法)	高周波 プラズマCVD法	高周波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 Si層 80	p型非晶質 Si層 約10
帯状基板がプラズマにさら される領域の長さ (cm)	60	200	100
原料ガス (sccm)	SiH ₄ 150 PH ₃ 3 H ₂ 1500	SiH ₄ 400 H ₂ 4000	BF ₃ 1 H ₂ 500
成膜室内圧 (Pa)	130	135	130
帯状基板温度 (°C)	250	250	150
放電電力 (W)	高周波 (13.56MHz) 150	高周波 (13.56MHz) 400	低周波 (75kHz) 1000
バイアス電力 (W)	—	—	—

10

20

30

【 0 3 8 6 】

【 表 2 4 】

成膜室 成膜条件	202A	211A	203A (1)	203A (2)	203A (3)	212A	205A
	高周波 プラズマCVD法	高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 Si層 10	i型非晶質 SiGe層 50	i型非晶質 SiGe層 100	i型非晶質 SiGe層 25	i型非晶質 Si層 20	p型非晶質 Si層 約10
帯状基板がプラズマにさらされる領域の長さ (cm)	60	60	10	20	5	60	100
原料ガス (sccm)	SiH ₄ 450	SiH ₄ 225	SiH ₄ 375	SiH ₄ 300	SiH ₄ 375	SiH ₄ 450	SiH ₄ 90
	PH ₃ 9 H ₂ 4500	H ₂ 2250	GeH ₄ 75 H ₂ 600	GeH ₄ 150 H ₂ 600	GeH ₄ 75 H ₂ 600	H ₂ 4500	BF ₃ 3 H ₂ 1500
成膜室内圧 (Pa)	130	135	0.9	1	0.9	135	130
帯状基板温度 (°C)	350	350	350	350	350	350	150
放電電力 (W)	高周波 (13.56MHz) 450	高周波 (13.56MHz) 225	マイクロ波 (2.45GHz) 450 × 2	マイクロ波 (2.45GHz) 450 × 2	マイクロ波 (2.45GHz) 450 × 2	高周波 (13.56MHz) 450	高周波 (13.56MHz) 3000
バイアス電力 (W)	—	—	高周波 (13.56MHz) 1800	高周波 (13.56MHz) 1800	高周波 (13.56MHz) 1800	—	—

【 0 3 8 7 】

【 表 2 5 】

10

20

30

40

成膜室 成膜条件	202B	211B	203B (1)	203B (2)	203B (3)	212B	205B
半導体層形成方法 (または表面処理方法)	高周波 プラズマCVD法	高周波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	マイクロ波 プラズマCVD法	高周波 プラズマCVD法	高周波 プラズマCVD法
形成する半導体層 (nm)	n 型非晶質 Si層 20	i 型非晶質 Si層 10	i 型非晶質 SiGe層 50	i 型非晶質 SiGe層 100	i 型非晶質 SiGe層 25	i 型非晶質 Si層 20	p 型非晶質 Si層 約10
帯状基板がプラズマにさら される領域の長さ (cm)	60	60	10	20	5	60	100
原料ガス (sccm)	SiH ₄ 450 PH ₃ 9 H ₂ 4500	SiH ₄ 225 H ₂ 2250	SiH ₄ 420 GeH ₄ 30 H ₂ 600	SiH ₄ 360 GeH ₄ 90 H ₂ 600	SiH ₄ 420 GeH ₄ 30 H ₂ 600	SiH ₄ 450 H ₂ 4500	SiH ₄ 90 BF ₃ 3 H ₂ 1500
成膜室内圧 (Pa)	130	135	0.9	1	0.9	135	130
帯状基板温度 (°C)	300	300	300	300	300	300	150
放電電力 (W)	高周波 (13.56MHz) 450	高周波 (13.56MHz) 225	マイクロ波 (2.45GHz) 450 × 2	マイクロ波 (2.45GHz) 450 × 2	マイクロ波 (2.45GHz) 450 × 2	高周波 (13.56MHz) 450	高周波 (13.56MHz) 3000
バイアス電力 (W)	—	—	高周波 (13.56MHz) 1800	高周波 (13.56MHz) 1800	高周波 (13.56MHz) 1800	—	—

【 0 3 8 8 】

【 表 2 6 】

10

20

30

40

成膜室 成膜条件	202C	204	205C
半導体層形成方法 (または表面処理方法)	高周波 プラズマCVD法	高周波 プラズマCVD法	プラズマ ドーピング
形成する半導体層 (nm)	n型非晶質 Si層 20	i型非晶質 Si層 80	p型非晶質 Si層 約10
帯状基板がプラズマにさら される領域の長さ (cm)	60	200	100
原料ガス (sccm)	SiH ₄ 450 PH ₃ 9 H ₂ 4500	SiH ₄ 1200 H ₂ 12000	BF ₃ 3 H ₂ 1500
成膜室内圧 (Pa)	130	135	130
帯状基板温度 (°C)	250	250	150
放電電力 (W)	高周波 (13.56MHz) 450	高周波 (13.56MHz) 1200	低周波 (75kHz) 3000
バイアス電力 (W)	—	—	—

【0389】

【発明の効果】

本発明によれば、ロール・ツー・ロール方式で、高品質の光起電力素子用の半導体積層膜を大面積に特性のバラツキやムラなく、高速かつ連続的に形成することができる。

【0390】

さらに、本発明によれば、光劣化が少なく、高い光電変換効率が得られる2層または3層のタンデム型の光起電力素子用の半導体積層膜を大面積に高速かつ連続的に形成することができる。

【図面の簡単な説明】

【図1】本発明の2層のタンデム型の光起電力素子の連続形成装置の一例を示す模式的断面図である。

【図2】本発明の3層のタンデム型の光起電力素子の連続形成装置の一例を示す模式的断面図である。

【図3】本発明の装置におけるマイクロ波プラズマCVD法による成膜室の一例を示す模式的断面図である。

【図4】成膜室ユニットの一例を示す模式図である。

【図5】本発明の装置における高周波プラズマCVD法による成膜室の一例を示す模式的断面図である。

【図6】(a)は、本発明の装置における帯状基板の巻き出し室の一例を示す模式的断面図であり、(b)は帯状基板の巻き取り室の一例を示す模式的断面図である。

【図 7】ステアリング機構の一例を示す模式図である。

【図 8】本発明の 2 層のタンデム型の光起電力素子の連続形成装置の他の一例を示す模式的断面図である。

【図 9】本発明の 2 層のタンデム型の光起電力素子の連続形成装置の他の一例を示す模式的断面図である。

【図 10】本発明の 3 層のタンデム型の光起電力素子の連続形成装置の他の一例を示す模式的断面図である。

【図 11】本発明の 3 層のタンデム型の光起電力素子の連続形成装置の他の一例を示す模式的断面図である。

【図 12】本発明の 2 層のタンデム型の光起電力素子の一例を示す模式的断面図である。 10

【図 13】本発明の 2 層のタンデム型の別の光起電力素子の一例を示す模式的断面図である。

【図 14】本発明の 2 層のタンデム型のさらに別の光起電力素子の一例を示す模式的断面図である。

【図 15】本発明の 3 層のタンデム型の光起電力素子の一例を示す模式的断面図である。

【図 16】本発明の 3 層のタンデム型の別の光起電力素子の一例を示す模式的断面図である。

【図 17】本発明の 3 層のタンデム型のさらに別の光起電力素子の一例を示す模式的断面図である。

【符号の説明】

20

101, 201, 702A 帯状基板の巻き出し室、

102A, 102B, 102C, 202A, 202B, 202C 高周波プラズマ CVD 法による n (または p) 型半導体層の成膜室、

103A, 103B, 203A, 203B マイクロ波プラズマ CVD 法による i 型半導体層の成膜室、

104, 204 高周波プラズマ CVD 法による i 型半導体層の成膜室、

105C, 205C プラズマドーピングによる p (または n) 型半導体層の成膜室、

106, 206, 702B 帯状基板の巻き取り室、

107, 207, 403, 404, 603, 604, 705A, 705B ガスゲート、

108, 208, 401, 501, 601, 701A, 701B, 801 帯状基板、 30

109, 209, 703A 帯状基板の巻き出しボビン、

110, 210, 703B 帯状基板の巻き取りボビン、

706A 保護フィルムの巻き取りボビン、

706B 保護フィルムの巻き出しボビン、

211A, 211B, 212A, 212B 高周波プラズマ CVD 法による i 型半導体層の成膜室、

402, 602 真空容器、

405, 505 放電室ユニット、

406, 407, 408, 506, 507, 508 成膜室、

409, 410, 411, 511, 607 原料ガス導入管、 40

412, 413, 414, 514 圧力測定管、

415, 416, 417, 515, 516, 517 バイアス電極、

418, 419, 420, 518, 519, 520 マイクロ波導入窓、

421, 422, 423, 424, 521, 522, 523, 524 穴開き仕切板、

425, 426, 608, 708A, 708B 排気管、

427 荒引き用排気管、

428, 528 粉受け板、

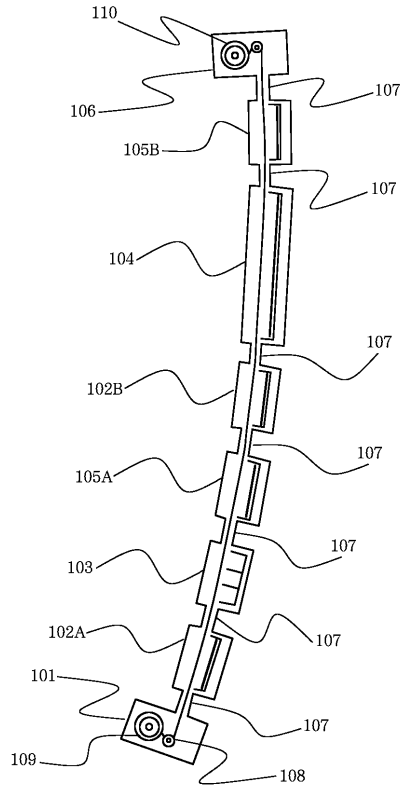
429, 529, 611 プラズマ漏れガード、

430 成膜室温度制御装置、

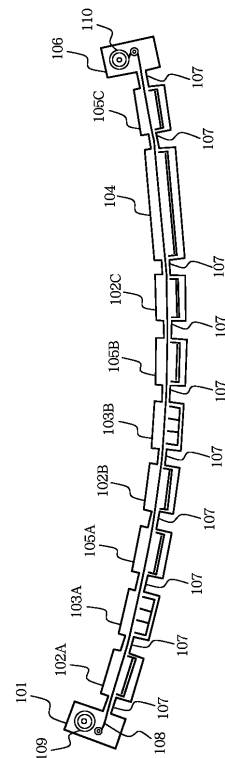
431, 612 蓋、 50

4 3 2, 6 1 3, 6 1 4 ランプヒーター、
4 3 3, 4 3 4, 4 3 5 基板温度制御装置、
4 3 6, 4 3 7, 4 3 8, 4 3 9, 6 1 5, 6 1 6 熱電対、
4 4 0, 6 1 7 リフレクター、
4 4 1, 4 4 5, 6 1 8 支持ローラー、
4 4 2 分離通路、
4 4 3, 4 4 4 ゲートガス導入管、
5 5 0 矩形導波管、
5 5 1 モード変換器、
5 5 2, 5 5 3 アルミナセラミックス製円板、 10
6 0 5 放電室、
6 0 6 放電電極、
6 0 9 ブロックヒーター、
6 1 0 放電室外部排気口、
7 0 4 A, 7 0 4 B, 8 0 4 ローラー、
7 0 7 A, 7 0 7 B 保護フィルム、
8 0 2 横ズレ検知機構、
8 0 3 回転機構、
8 0 5 帯状基板の移動方向、
8 0 6 軸受、 20
1 2 0 1, 1 3 0 1, 1 4 0 1, 1 5 0 1, 1 6 0 1, 1 7 0 1 基板、
1 2 0 2 A, 1 2 0 2 B, 1 3 0 2 A, 1 4 0 2 A, 1 4 0 2 B, 1 5 0 2 A, 1 5 0 2
B, 1 6 0 2 A, 1 7 0 2 A, 1 7 0 2 B 高周波プラズマCVD法によるn型半導体層
、
1 2 0 3, 1 3 0 3, 1 4 0 3, 1 5 0 3, 1 6 0 3, 1 7 0 3 マイクロ波プラズマC
VD法によるi型半導体層、
1 2 0 4, 1 3 0 4, 1 4 0 4, 1 4 0 8, 1 4 0 9, 1 5 0 4, 1 6 0 4, 1 7 0 4,
1 7 0 8, 1 7 0 9 高周波プラズマCVD法によるi型半導体層、1 2 0 6, 1 4 0 6
、1 5 0 6, 1 7 0 6 プラズマドーピングによるp型半導体層、
1 2 1 0, 1 3 1 0, 1 4 1 0, 1 5 1 0, 1 6 1 0, 1 7 1 0 透明導電膜、 30
1 2 1 1, 1 3 1 1, 1 4 1 1, 1 5 1 1, 1 6 1 1, 1 7 1 1 集電電極、1 2 0 5 A
、1 3 0 5 A, 1 3 0 5 B, 1 4 0 5 B, 1 5 0 5 A, 1 6 0 5 A, 1 6 0 5 B, 1 7 0
5 B 高周波プラズマCVDによるp型半導体層、
1 3 0 7, 1 6 0 7 プラズマドーピングによるn型半導体層。

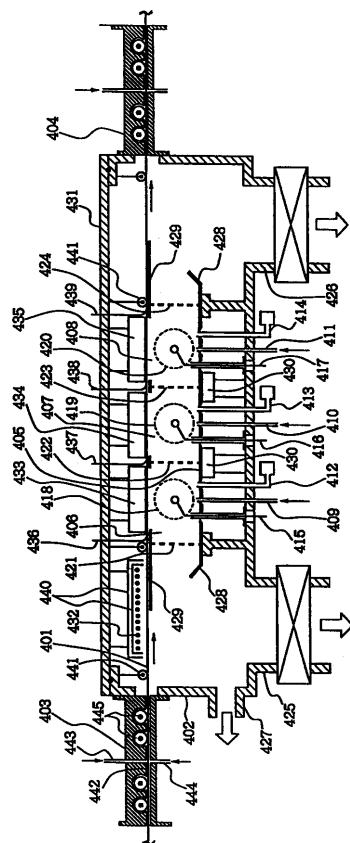
【 図 1 】



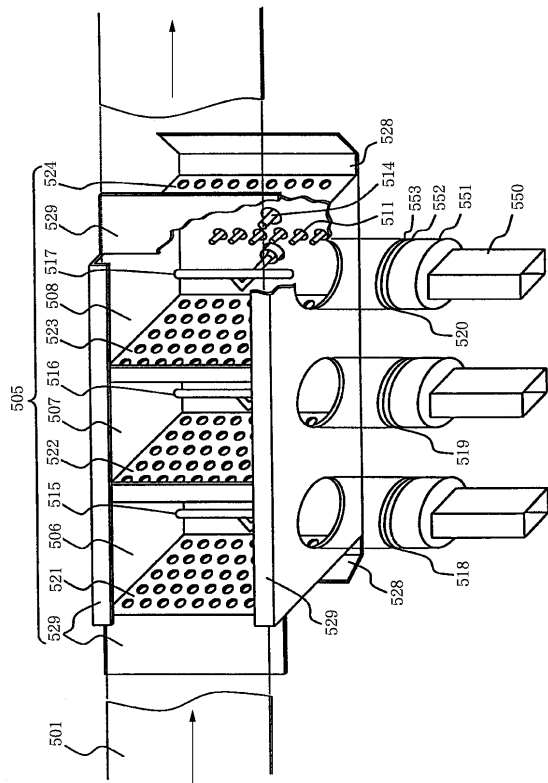
【 図 2 】



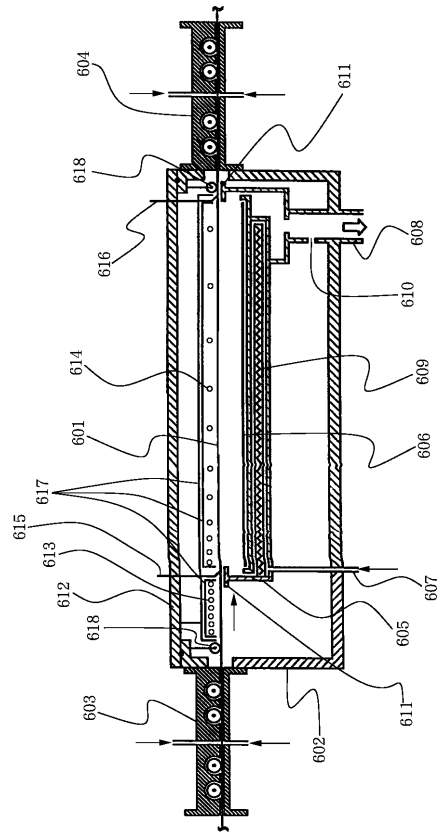
【 図 3 】



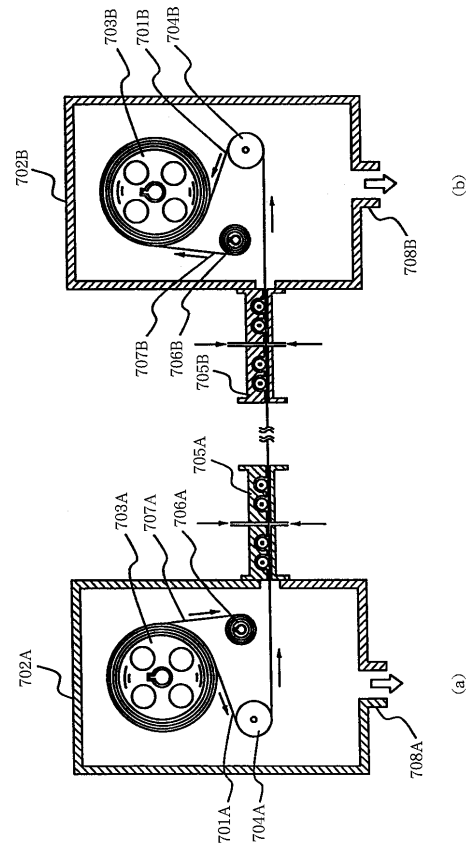
【 図 4 】



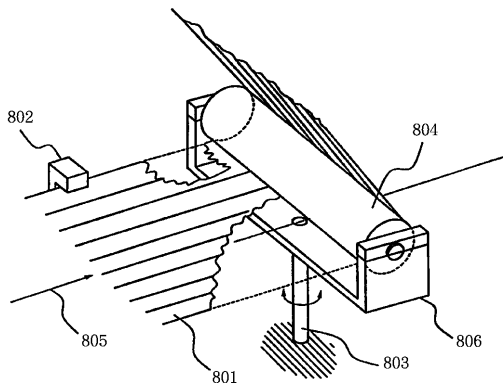
【図 5】



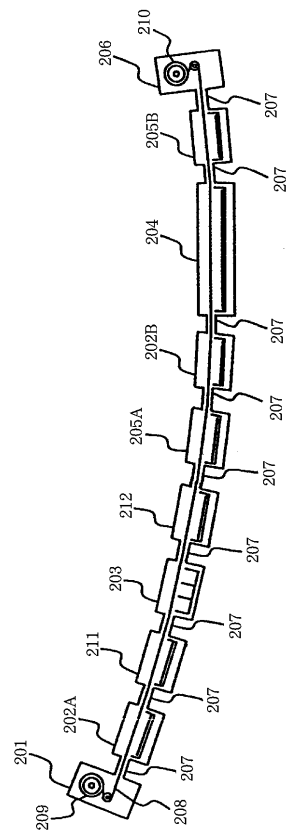
【図 6】



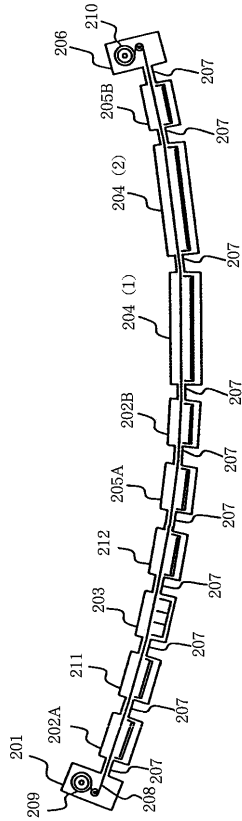
【図 7】



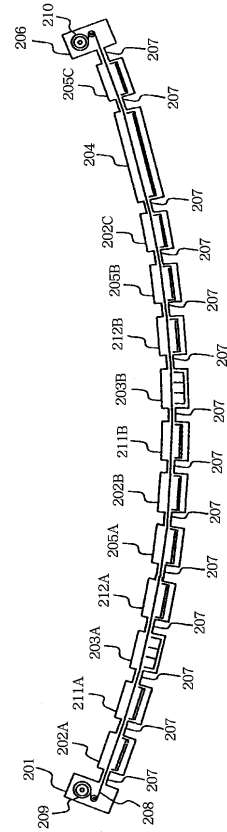
【図 8】



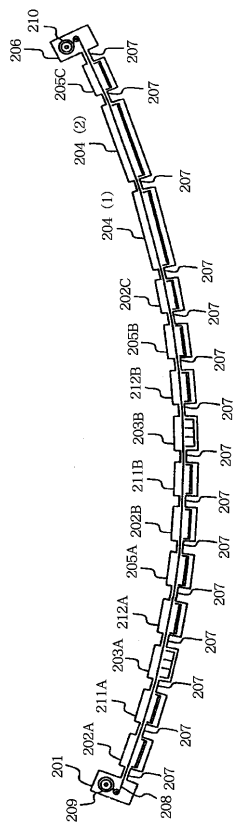
【図 9】



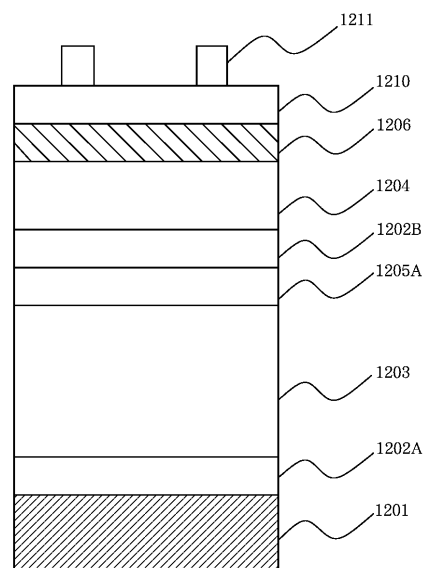
【図 10】



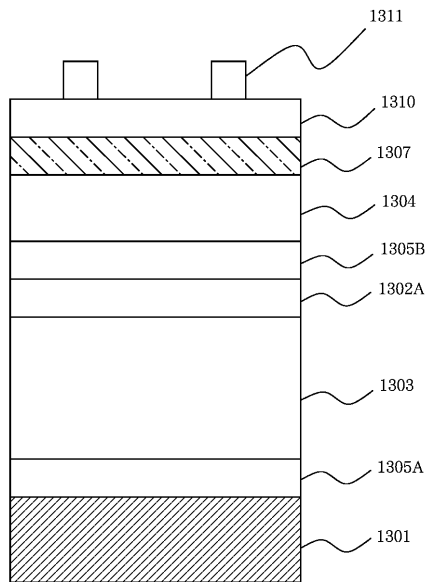
【図 11】



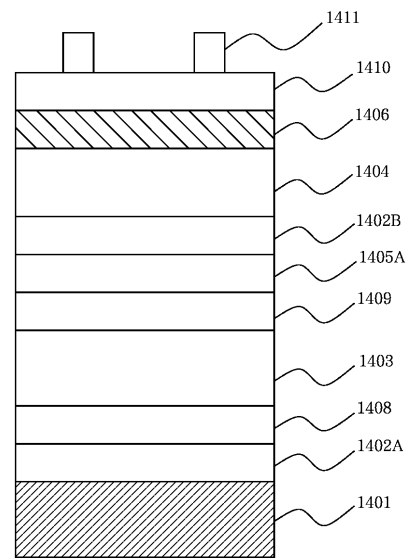
【図 12】



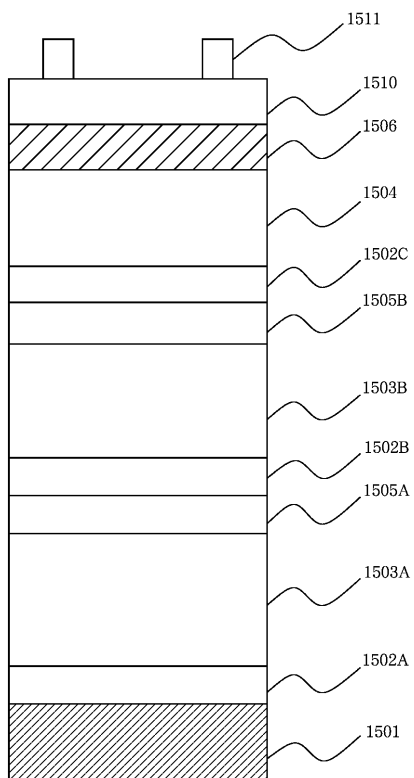
【図 1 3】



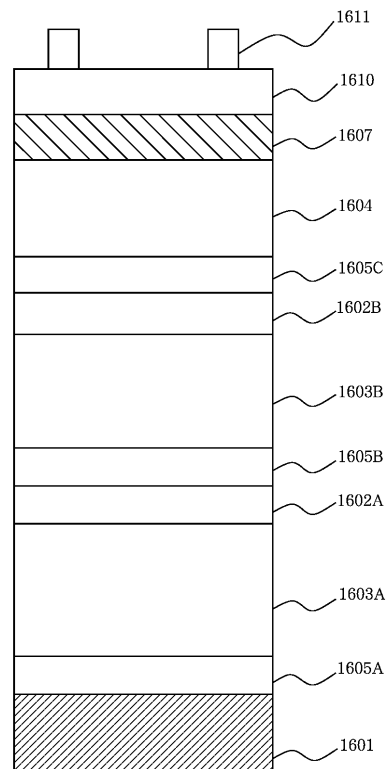
【図 1 4】



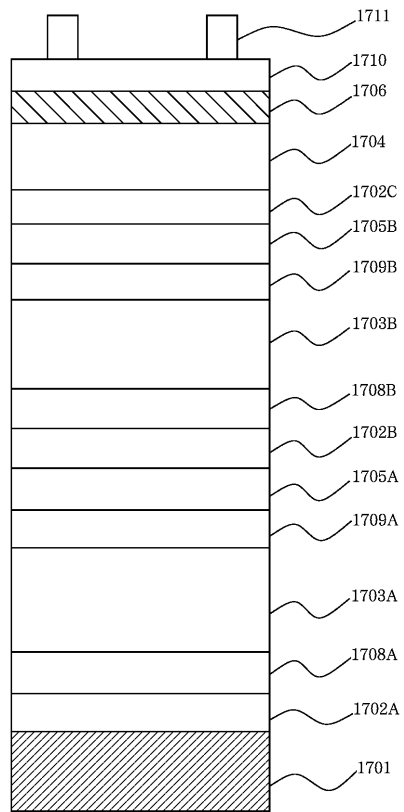
【図 1 5】



【図 1 6】



【図 17】



フロントページの続き

- (72)発明者 保野 篤司
東京都大田区下丸子3丁目30番2号キャノン株式会社内
- (72)発明者 芳里 直
東京都大田区下丸子3丁目30番2号キャノン株式会社内
- (72)発明者 田村 秀男
東京都大田区下丸子3丁目30番2号キャノン株式会社内
- (72)発明者 金井 正博
東京都大田区下丸子3丁目30番2号キャノン株式会社内

審査官 金高 敏康

- (56)参考文献 特開平01-103829 (JP, A)
特開平03-030419 (JP, A)
特開平03-030420 (JP, A)
特開平03-030421 (JP, A)
特開平04-056170 (JP, A)
特開平04-333289 (JP, A)
特開平05-036621 (JP, A)
特開平06-232431 (JP, A)
特開平06-232432 (JP, A)
特開平06-232433 (JP, A)
特開平06-232434 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H01L 31/04
JICSTファイル(JOIS)
WPI