



(12) 发明专利申请

(10) 申请公布号 CN 103794188 A

(43) 申请公布日 2014. 05. 14

(21) 申请号 201410046370. 9

(22) 申请日 2014. 02. 10

(71) 申请人 北京京东方显示技术有限公司

地址 100176 北京市经济技术开发区经海一路 118 号

申请人 京东方科技集团股份有限公司

(72) 发明人 刘宝玉 张亮 许益祯 孙志华

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 李迪

(51) Int. Cl.

G09G 3/36 (2006. 01)

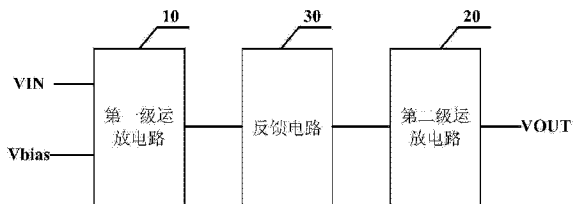
权利要求书1页 说明书5页 附图2页

(54) 发明名称

一种输出缓冲电路、阵列基板和显示装置

(57) 摘要

本发明公开了一种输出缓冲电路,包括第一级运放电路、第二级运放电路和反馈电路,设置在第一级运放电路和第二级运放电路之间;第一级运放电路,用作差分输入电路;第二级运放电路,用作有源负载的共源级放大电路;反馈电路,用于提供偏置电压以及交替提供拉电流和灌电流的驱动能力。通过反馈电路将第一运放电路和第二级运放电路组成一个单位增益放大器,使整个电路具有交替提供拉电流和灌电流的驱动能力。不再需要专门的稳压电路,电路结构简单,可以减小芯片面积,还由于不再需要专门的稳压电路也能够降低功耗,同时还能抑制输出电压的波动,保证工作时电路的稳定性,最大限度地抑制偏移,使得输出信号更精准,显示的画面品质也更加良好。



1. 一种输出缓冲电路,包括第一级运放电路和第二级运放电路,其特征在于,还包括反馈电路;

所述第一级运放电路,用作差分输入电路;

所述第二级运放电路,用作有源负载的共源级放大电路;

所述反馈电路,设置在第一级运放电路和第二级运放电路之间,用于提供偏置电压以及交替提供拉电流和灌电流的驱动能力。

2. 如权利要求 1 所述的输出缓冲电路,其特征在于,所述第一级运放电路包括:

第一晶体管,栅极连接信号输入端;

第二晶体管,漏极连接所述第一晶体管的漏极;

第三晶体管,源极连接电源电压,漏极连接所述第一晶体管的源极;

第四晶体管,源极连接电源电压,栅极连接漏极,并且栅极连接所述第三晶体管的栅极,漏极还连接所述第二晶体管的源极;

第五晶体管,栅极连接偏置电压输入端,源极连接所述第一晶体管的漏极和所述第二晶体管的漏极,漏极连接到公共连接端电压;

其中第一晶体管、第二晶体管和第五晶体管为 NMOS 管,第三晶体管和第四晶体管为 PMOS 管。

3. 如权利要求 1 所述的输出缓冲电路,其特征在于,所述第二级运放电路包括:

第九晶体管,栅极连接第一级运放电路中所述第一晶体管的源极和所述第三晶体管的漏极,源极连接电源电压,漏极连接第一级运放电路中所述第二晶体管的栅极;

第十晶体管,栅极连接偏置电压输入端和第一级运放电路中所述第五晶体管的栅极,源极连接所述第九晶体管的漏极和第一级运放电路中所述第二晶体管的栅极,漏极连接公共连接端电压;

其中第九晶体管为 PMOS 管,第十晶体管为 NMOS 管。

4. 如权利要求 1 所述的输出缓冲电路,其特征在于,所述反馈电路包括:

第六晶体管,栅极连接第一级运放电路中所述第一晶体管的源极、所述第三晶体管的漏极和第二级运放电路中所述第九晶体管的栅极,源极连接电源电压;

第七晶体管,栅极连接偏置电压输入端、第一级运放电路中所述第五晶体管的栅极和第二级运放电路中所述第十晶体管的栅极,漏极连接公共连接端电压;

第八晶体管,栅极连接所述第六晶体管的漏极和所述第七晶体管的源极,源极连接信号输出端、第二级运放电路中所述第九晶体管的漏极和第二级运放电路中所述第十晶体管的源极,漏极连接公共连接端电压;

其中第六晶体管和第八晶体管为 PMOS 管,第七晶体管为 NMOS 管。

5. 如权利要求 4 所述的输出缓冲电路,其特征在于,还包括稳压电容,所述稳压电容的第一端连接所述第八晶体管的源极,并和第八晶体管组成源极跟随器,以提供灌电流输出能力,稳压电容的第二端和所述第八晶体管的漏极共同连接到公共连接端电压。

6. 一种阵列基板,其特征在于,所述阵列基板包括权利要求 1-5 中任一项所述的输出缓冲电路。

7. 一种显示装置,其特征在于,所述显示装置中包括权利要求 6 所述的阵列基板。

## 一种输出缓冲电路、阵列基板和显示装置

### 技术领域

[0001] 本发明涉及液晶显示领域,尤其涉及一种输出缓冲电路、阵列基板和显示装置。

### 背景技术

[0002] 液晶显示屏以其轻便、超薄、多色彩和高清等特点越来越多的走进人们的生活,并在显示领域占据主导地位。但是在当今的显示领域中,随着对显示器的分辨率和像素质量的要求越来越高,整个电压驱动电路的功耗也越来越大,对驱动控制芯片的功耗和液晶屏的画面品质要求也越来越高。

[0003] 当前,主流面板大多采用 TFT-LCD (Thin Film Transistor-Liquid Crystal Display, 薄膜场效应晶体管液晶显示器) 技术来获得更好的画质以及尽可能低的功耗。由于 TFT-LCD 的栅极驱动(即 Gate Driver) 芯片输出缓冲电路直接驱动液晶屏上的电容,其性能的好坏将直接影响到液晶屏的显示质量。随着液晶屏的尺寸越来越大,对其功耗的要求也越来越高。一般的栅极驱动输出缓冲电路的示意图如图 1 所示,由两级运放电路组成,第一级运放电路和第二级运放电路之间直接级联。

[0004] 由于上述图 1 所示的电路中没有反馈电路,无法实现对输出波动的抑制,导致输出的电压会有较大的波动性,稳定性较差。为了解决输出不稳定的问题,现有电路一般需要在上述两级运放电路的基础上增加专门的稳压电路,增大芯片面积,同时还需要增加输出级偏置电流来增加灌电流,功耗也很大。

### 发明内容

[0005] (一) 要解决的技术问题

[0006] 针对上述缺陷,本发明要解决的技术问题是如何抑制输出电压的波动,使其具有良好的稳定性。

[0007] (二) 技术方案

[0008] 为解决上述问题,本发明提供了一种输出缓冲电路,包括第一级运放电路和第二级运放电路,还包括反馈电路,设置在第一级运放电路和第二级运放电路之间;

[0009] 所述第一级运放电路,用作差分输入电路;

[0010] 所述第二级运放电路,用作有源负载的共源级放大电路;

[0011] 所述反馈电路,设置在第一级运放电路和第二级运放电路之间,用于提供偏置电压以及交替提供拉电流和灌电流的驱动能力。

[0012] 进一步地,所述第一级运放电路包括:

[0013] 第一晶体管,栅极连接信号输入端;

[0014] 第二晶体管,漏极连接所述第一晶体管的漏极;

[0015] 第三晶体管,源极连接电源电压,漏极连接所述第一晶体管的源极;

[0016] 第四晶体管,源极连接电源电压,栅极连接漏极,并且栅极连接所述第三晶体管的栅极,漏极还连接所述第二晶体管的源极;

[0017] 第五晶体管,栅极连接偏置电压输入端,源极连接所述第一晶体管的漏极和所述第二晶体管的漏极,漏极连接到公共连接端电压;

[0018] 其中第一晶体管、第二晶体管和第五晶体管为 NMOS 管,第三晶体管和第四晶体管为 PMOS 管。

[0019] 进一步地,所述第二级运放电路包括:

[0020] 第九晶体管,栅极连接第一级运放电路中所述第一晶体管的源极和所述第三晶体管的漏极,源极连接电源电压,漏极连接第一级运放电路中所述第二晶体管的栅极;

[0021] 第十晶体管,栅极连接偏置电压输入端和第一级运放电路中所述第五晶体管的栅极,源极连接所述第九晶体管的漏极和第一级运放电路中所述第二晶体管的栅极,漏极连接公共连接端电压;

[0022] 其中第九晶体管为 PMOS 管,第十晶体管为 NMOS 管。

[0023] 进一步地,所述反馈电路包括第六晶体管,栅极连接第一级运放电路中所述第一晶体管的源极、所述第三晶体管的漏极和第二级运放电路中所述第九晶体管的栅极,源极连接电源电压;

[0024] 第七晶体管,栅极连接偏置电压输入端、第一级运放电路中所述第五晶体管的栅极和第二级运放电路中所述第十晶体管的栅极,漏极连接公共连接端电压;

[0025] 第八晶体管,栅极连接所述第六晶体管的漏极和所述第七晶体管的源极,源极连接信号输出端、第二级运放电路中所述第九晶体管的漏极和第二级运放电路中所述第十晶体管的源极,漏极连接公共连接端电压;

[0026] 其中第六晶体管和第八晶体管为 PMOS 管,第七晶体管为 NMOS 管。

[0027] 进一步地,还包括稳压电容,所述稳压电容的第一端连接所述第八晶体管的源极,并和第八晶体管组成源极跟随器,以提供灌电流输出能力,稳压电容的第二端和所述第八晶体管的漏极共同连接到公共连接端电压。

[0028] 为解决上述技术问题,本发明还提供了一种阵列基板,所述阵列基板包括以上所述的输出缓冲电路。

[0029] 为解决上述技术问题,本发明还提供了一种显示装置,所述显示装置中包括以上所述的阵列基板。

[0030] (三)有益效果

[0031] 本发明提供了一种输出缓冲电路、阵列基板和显示装置,其中输出缓冲电路包括第一级运放电路和第二级运放电路,还包括反馈电路,设置在第一级运放电路和第二级运放电路之间;第一级运放电路,用作差分输入电路;第二级运放电路,用作有源负载的共源级放大电路;反馈电路,用作提供偏置电压以及交替提供拉电流和灌电流的驱动能力。本发明提供的输出缓冲电路中增加反馈电路,动态控制输出端的工作状态,通过该反馈电路将第一运放电路和第二级运放电路组成一个单位增益放大器,是整个电路具有交替提供拉电流和灌电流的驱动能力。该电路中不再需要专门的稳压电路,电路结构简单,可以减小芯片面积,还由于不再需要专门的稳压电路也能够降低功耗,同时还能抑制输出电压的波动,保证工作时电路的稳定性,最大限度地抑制偏移,使得输出信号更精准,显示的画面品质也更加良好。

## 附图说明

- [0032] 图 1 为现有技术中提供的一种输出缓冲电路的设计原理图；  
[0033] 图 2 为本发明实施例中提供的一种输出缓冲电路的组成示意图；  
[0034] 图 3 为本发明实施例中提供的一种输出缓冲电路的设计原理图。

## 具体实施方式

[0035] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0036] 目前 TFT-LCD 栅极驱动的驱动电压 VOFF 的输出缓冲电路的正常输出电压是  $-8V$ , 还需外接稳压电容。如图 1 所示,第一级运放电路是由五个晶体管 M1 ~ M5 组成的差分输入电路,第二级运放电路则采用由两个晶体管 M9 和 M10 组成的有源负载的共源级放大电路,以获得更高的增益和较大的输出电压摆幅。为了减小静态功耗 M10 和 M9 的偏置电流较小,电压负反馈将两级运放组成了一个单位增益放大器。以 PMOS 管 M9 为输出驱动管的共源级放大电路只有拉电流输出能力(给稳压电容充电),为了能够驱动稳压电容同时吸收正电压和负电压变动,输出缓冲电路还必需具备提供灌电流的能力,以形成稳压电容的放电回路。所以如何使该单位增益放大器具备输出灌电流的能力成为该设计中的关键问题。如果用增加输出级偏置电流 M10 的方法必然会导致有源负载阻抗下降,导致运放的增益下降,因而降低了输出电压的精度,更严重的是这种方法增加了静态功耗,为了解决这一问题本发明实施例中提供的输出缓冲电路在单位增益放大器的基础上,增加了第八晶体管 M8 与稳压电容 C1 组成的源跟随器,以提供灌电流输出能力。

[0037] 本发明实施例中提供了一种输出缓冲电路,组成示意图如图 2 所示,包括第一级运放电路 10 和第二级运放电路 20,还包括反馈电路 30,设置在第一级运放电路 10 和第二级运放电路 20 之间;

[0038] 第一级运放电路 10,用作差分输入电路;

[0039] 第二级运放电路 20,用作有源负载的共源级放大电路;

[0040] 反馈电路 30,设置在第一级运放电路 10 和第二级运放电路 20 之间,用于提供偏置电压以及交替提供拉电流和灌电流的驱动能力。

[0041] 本实施例中的输出缓冲电路通过在第一级运放电路和第二级运放电路之间增加设置反馈电路,就能实现负反馈来动态控制输出端的工作状态,输出高电平时,对负载提供电流,实现“拉电流”;输出低电平时,输出端要吸收负载的电流,即实现“灌电流”,从而提高其对拉电流和灌电流的驱动能力,达到抑制输出电压波动的目的,保证稳定性。

[0042] 对于优选地,本实施例中最佳方案的输出缓冲电路的设计原理图如图 3 所示,其中的第一级运放电路 10 包括:

[0043] 第一晶体管 M1,栅极连接信号输入端 VIN;

[0044] 第二晶体管 M2,漏极连接第一晶体管 M1 的漏极;

[0045] 第三晶体管 M3,源极连接电源电压 VDD,漏极连接第一晶体管 M1 的源极;

[0046] 第四晶体管 M4,源极连接电源电压 VDD,栅极连接漏极,并且栅极连接第三晶体管 M3 的栅极,漏极还连接第二晶体管 M2 的源极;

[0047] 第五晶体管 M5,栅极连接偏置电压输入端 Vbias,源极连接第一晶体管 M1 的漏极

和第二晶体管 M2 的漏极,漏极连接到公共连接端电压 VSS ;

[0048] 其中第一晶体管 M1、第二晶体管 M2 和第五晶体管 M5 为 NMOS 管,第三晶体管 M3 和第四晶体管 M4 为 PMOS 管。

[0049] 优选地,本实施例中的第二级运放电路 20 包括:

[0050] 第九晶体管 M9,栅极连接第一级运放电路 10 中第一晶体管 M1 的源极和第三晶体管 M3 的漏极,源极连接电源电压 VDD,漏极连接第一级运放电路 10 中第二晶体管 M2 的栅极;

[0051] 第十晶体管 M10,栅极连接偏置电压输入端 Vbias 和第一级运放电路 10 中第五晶体管 M5 的栅极,源极连接第九晶体管 M9 的漏极和第一级运放电路 10 中第二晶体管 M2 的栅极,漏极连接公共连接端电压 VSS ;

[0052] 其中第九晶体管 M9 为 PMOS 管,第十晶体管 M10 为 NMOS 管。

[0053] 优选地,本实施例中的反馈电路 30 包括:

[0054] 第六晶体管 M6,栅极连接第一级运放电路 10 中第一晶体管 M1 的源极、第三晶体管 M3 的漏极和第二级运放电路 20 中第九晶体管 M9 的栅极,源极连接电源电压 VDD ;

[0055] 第七晶体管 M7,栅极连接偏置电压输入端 Vbias、第一级运放电路 10 中第五晶体管 M5 的栅极和第二级运放电路 20 中第十晶体管 M10 的栅极,漏极连接公共连接端电压 VSS ;

[0056] 第八晶体管 M8,栅极连接第六晶体管 M6 的漏极和第七晶体管 M7 的源极,源极连接信号输出端 VOUT、第二级运放电路 10 中第九晶体管 M9 的漏极和第二级运放电路 20 中第十晶体管 M10 的源极,漏极连接公共连接端电压 VSS ;

[0057] 其中第六晶体管 M6 和第八晶体管 M8 为 PMOS 管,第七晶体管 M7 为 NMOS 管。

[0058] 偏置电压输入端 Vbias 通过和第五晶体管 M5、第七晶体管 M7 和第十晶体管 M10 连接,为其提供该偏置电压使得晶体管打开,并在放大状态下工作。

[0059] 优选地,本实施例中还包括稳压电容 C1,稳压电容 C1 的第一端连接第八晶体管 M8 的源极,并和第八晶体管 M8 组成源极跟随器,以提供灌电流输出能力,稳压电容 C1 的第二端和第八晶体管 M8 的漏极共同连接到公共连接端电压 VSS。

[0060] 更进一步的,本实施例中反馈电路 30 中的第六晶体管 M6 的栅极还与第三晶体管 M3 的漏极以及第九晶体管 M9 的栅极连接,第六晶体管 M6 的漏极和第七晶体管 M7 的源极连接,并且该连接点上的电压为第二偏置电压 V2,再与第八晶体管 M8 的栅极连接,因此第六晶体管 M6 和第七晶体管 M7 能够为第八晶体管 M8 提供浮动的偏置电压 V2,这样就能保证第八晶体管 M8 的工作状态能够受到偏置电压 V2,也就是输出电压 VOUT 的动态控制。

[0061] 具体的,当输出电压 VOUT 不受到反馈电路的影响时,也就是输出电压为正常值 VOUT 时,通过调整第六晶体管 M6 和第七晶体管 M7 的尺寸,使得

[0062]  $V_{OUT} - |V_{th, M8}| < V_2 < V_{DD} - |V_{ds, M6}|$  公式(1)

[0063] 其中  $|V_{th, M8}|$  是 PMOS 管 M8 的阈值电压绝对值,且  $V_{th, M8} < 0$ ,  $|V_{ds, M6}|$  是 PMOS 管 M6 的饱和导通电压,第八晶体管 M8 的  $V_{gs}$  电压为:

[0064]  $V_{gs} = V_2 - V_{OUT}$  公式(2)

[0065] 根据公式(1)和公式(2)可知:

[0066]  $V_{gs} > -|V_{th, M8}| = V_{th, M8}$  公式(3)

[0067] 此时第八晶体管 M8 的  $V_{gs}$  电压大于其阈值电压,处于完全截止状态,对原来的两级单位增益放大电路的性能不会产生任何影响。

[0068] 其中对于调整 M6 和 M7 的尺寸,主要是调节 M6 和 M7 的宽度来改变 MOS 管的宽长比,从而改变 MOS 管的源漏电压,实现对输出端工作状态的控制。

[0069] 综上所述,本发明实施例提供的输出缓冲电路的设计方案和普通两级运放相比,其电路结构简单,稳定性好。该电路通过三个晶体管构成的反馈电路就能进行稳压,不再需要专门的稳压电路,减小芯片面积,还能降低功耗,可以应用于 TFT-LCD 驱动电路中,由于电路中有输出反馈,输出信号稳定,最大限度地抑制偏移,输出信号更精准,可以提高画面品质。

[0070] 基于上述本发明实施例中还提供了一种阵列基板,该阵列基板包括上述输出缓冲电路。

[0071] 更进一步的,本发明实施例中还提供了一种显示装置,包括阵列基板、彩膜基板以及在阵列基板和彩膜基板中间填充液晶,其中的阵列基板就是上述包括输出缓冲电路的阵列基板。

[0072] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的范畴,本发明的专利保护范围应由权利要求限定。





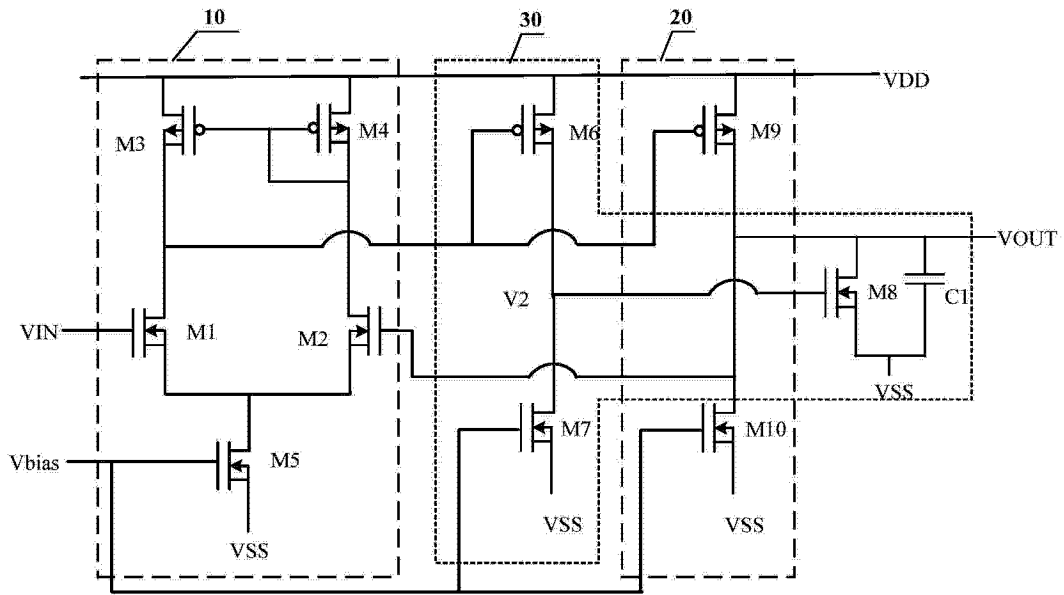


图 3