

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 6 月 5 日 (05.06.2025)



(10) 国际公布号
WO 2025/112686 A1

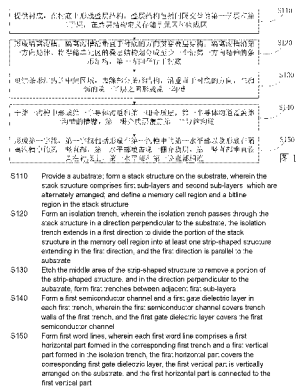
- (51) 国际专利分类号:
H10B 12/00 (2023.01)
- (21) 国际申请号: PCT/CN2024/113355
- (22) 国际申请日: 2024 年 8 月 20 日 (20.08.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202311640776.5 2023年12月1日 (01.12.2023) CN
- (71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室 100176 (CN)。
- (72) 发明人: 董博闻(**DONG, Bowen**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室 100176 (CN)。李辉辉(**LI, Huihui**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室 100176 (CN)。李庚霏

(**LI, Gengfei**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室 100176 (CN)。胡琪(**HU, Qi**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室 100176 (CN)。王桂磊(**WANG, Guilei**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室 100176 (CN)。赵超(**ZHAO, Chao**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室 100176 (CN)。

- (74) 代理人: 华进联合专利商标代理有限公司 (**ADVANCE CHINA IP LAW OFFICE**); 中国广东省广州市天河区珠江东路6号4501房 (部位: 自编01-03和08-12单元) (仅限办公用途) 510623 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,

(54) **Title:** MEMORY MANUFACTURING METHOD, MEMORY, AND ELECTRONIC DEVICE

(54) 发明名称: 存储器的制作方法及存储器、电子设备



(57) **Abstract:** The present disclosure relates to the technical field of integrated circuits, and relates to a memory manufacturing method, a memory, and an electronic device. In order to manufacture as many device units as possible on a limited substrate, the memory manufacturing method comprises: on a substrate (100), forming a stack structure (200) in which first sub-layers (210) and second sub-layers (220) are alternately arranged; forming an isolation trench (130) to divide the stack structure (200) into strip-shaped structures (300); in a direction perpendicular to the substrate (100), forming first trenches (121) between adjacent first sub-layers (210); using the strip-shaped structures (300) to block trench walls of the first trenches (121); forming a first semiconductor channel (161) and a first gate dielectric layer (171) in each first trench (121); and removing all film layers outside the first trenches (121) by etching, thereby preventing conductive film layers remained outside the first trenches (121) from forming a parasitic device affecting the performance of the memory. The number of layers of a three-dimensional stack of a memory can be increased, and the integration density can be improved.

LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开涉及一种存储器的制作方法及存储器、电子设备, 涉及集成电路技术领域。为了在有限的衬底上做出尽可能多的器件单元, 存储器的制作方法包括: 在衬底(100)上形成第一子层(210)与第二子层(210)交替的叠层结构(200); 形成隔离沟槽(130)将叠层结构(200)划分成条形结构(300); 沿垂直于衬底(100)的方向, 在相邻的第一子层(210)之间形成第一沟槽(121); 利用条形结构(300)对第一沟槽(121)的槽壁形成遮挡, 于第一沟槽(121)中形成第一半导体沟道(161)和第一栅介质层(171), 将第一沟槽(121)以外的膜层全部刻蚀去除, 避免第一沟槽(121)以外残留的导电膜层形成寄生器件影响存储器的性能, 能够提高存储器的三维堆叠的层数、提升集成密度。

存储器的制作方法及存储器、电子设备

相关申请的交叉引用

本公开要求 2023 年 12 月 01 日申请的，申请号为 202311640776.5，名称为“存储器的制作方法及存储器、电子设备”的中国专利申请的优先权，的中国专利申请的优先权，所述专利申请的全部内容通过引用结合在本公开中。

技术领域

本公开涉及集成电路技术领域，特别是涉及一种存储器的制作方法及存储器、电子设备。

背景技术

随着集成电路技术的发展，器件的关键尺寸日益缩小，单个芯片所包含的器件种类及数量随之增加，使得工艺生产中的任何微小差异都可能对器件性能造成影响。

为了尽可能降低产品的成本，人们希望在有限的衬底上做出尽可能多的器件单元。自从摩尔定律问世以来，业界提出了各种半导体结构设计和工艺优化，以满足人们对当前产品的需求。

发明内容

根据一些实施例，本公开一方面提供了一种存储器的制作方法，包括以下步骤：

提供衬底，在所述衬底上形成叠层结构，所述叠层结构包括交替堆叠的第一子层和第二子层，在所述叠层结构定义存储单元区和位线区；

形成隔离沟槽，所述隔离沟槽沿垂直于所述衬底的方向贯穿所述叠层结构，所述隔离沟槽沿第一方向延伸、将所述存储单元区的所述叠层结构划分成至少一个沿所述第一方向延伸的条形结构，所述第一方向平行于所述衬底；

刻蚀所述条形结构的中间区域，去除部分所述条形结构，沿垂直于所述衬底的方向，在相邻的所述第一子层之间形成第一沟槽；

于所述第一沟槽中形成第一半导体沟道和第一栅介质层，所述第一半导体沟道覆盖所述第一沟槽的槽壁，所述第一栅介质层覆盖所述第一半导体沟道；

形成第一字线，所述第一字线包括形成在所述第一沟槽中的第一水平部以及形成在所述隔离沟槽中的第一竖直部，所述第一水平部覆盖所述第一栅介质层，所述第一竖直部垂直设置在所述衬底上，所述第一水平部和所述第一竖直部相连。

根据一些实施例，在相邻的所述第一子层之间形成第一沟槽，包括：

于所述隔离沟槽中形成隔离层；

在所述隔离层中形成第二沟槽，所述第二沟槽的一侧壁暴露出所述条形结构的中间区域的部分表面；

刻蚀去除所述第二沟槽暴露出的所述条形结构，形成所述第一沟槽，所述中间区域的所述第一沟槽和所述第一子层沿垂直于所述衬底的方向交替设置。

根据一些实施例，于所述第一沟槽中形成第一半导体沟道和第一栅介质层，包括：

形成半导体材料层，所述半导体材料层覆盖所述第一沟槽的槽壁和所述第二沟槽的槽壁；

形成栅介质材料层，所述栅介质材料层覆盖所述半导体材料层；

去除所述第二沟槽中的所述半导体材料层和所述栅介质材料层，所述第一沟槽中的所述半导体材料层形成所述第一半导体沟道，所述第一沟槽中的所述栅介质材料层形成所述第一栅介质层。

根据一些实施例，形成第一字线，包括：

于所述第一沟槽中形成所述第一水平部，所述第一水平部覆盖所述第一栅介质层并填充所述第一沟槽，所述第二沟槽的一侧壁暴露出所述第一水平部的部分表面；

形成所述第一竖直部，所述第一竖直部接触所述第一水平部的暴露的表面并填充所述第二沟槽。

根据一些实施例，于所述第一沟槽中形成所述第一水平部，包括：

形成栅介质材料层之后，形成第一栅导电层，所述第一栅导电层覆盖所述栅介质材料层并填充所述第一沟槽和所述第二沟槽；

刻蚀去除所述第二沟槽中的所述第一栅导电层，保留所述第一沟槽中的所述第一栅导电层，形成所述第一水平部。

根据一些实施例，所述制作方法，包括：

依次刻蚀去除所述第二沟槽中的所述第一栅导电层、所述栅介质材料层和所述半导体材料层，暴露出所述第二沟槽。

根据一些实施例，所述制作方法，包括：

刻蚀去除所述第二沟槽的周围的部分所述隔离层，形成第三沟槽，所述第三沟槽暴露出位于所述第二沟槽中的所述半导体材料层；

基于所述第三沟槽刻蚀去除所述第二沟槽中的所述半导体材料层、所述栅介质材料层和所述第一栅导电层。

根据一些实施例，形成所述第一竖直部，包括：

形成第二栅导电层，所述第二栅导电层至少填充所述第二沟槽，形成所述第一竖直部。

根据一些实施例，沿所述第一方向，所述第一沟槽和所述位线区间隔预设距离。

根据一些实施例，在所述叠层结构定义选择区，所述存储单元区和所述位线区沿所述第一方向排列，所述选择区沿第二方向在所述位线区的一端，所述第二方向平行于所述衬底且与所述第一方向相交；所述制作方法，还包括：

刻蚀所述位线区，去除所述位线区的部分所述叠层结构，沿垂直于所述衬底的方向，在所述位线区中相邻的所述第一子层之间形成第四沟槽，所述第四沟槽靠近所述选择区设置。

根据一些实施例，所述制作方法，还包括：

于所述第一沟槽中形成所述第一半导体沟道和所述第一栅介质层的同时，于所述第四沟槽中形成第二半导体沟道和第二栅介质层，所述第二半导体沟道覆盖所述第四沟槽的槽壁，所述第二栅介质层覆盖所述第二半导体沟道；

形成所述第一字线的同时，形成第二字线，所述第二字线包括形成在所述第四沟槽的第二水平部以及形成在所述隔离沟槽的第二竖直部，所述第二水平部覆盖所述第二栅介质层并填充所述第四沟槽，所述第二竖直部垂直设置在所述衬底上，所述第二水平部和所述第二竖直部相连。

根据一些实施例，所述第一子层为氧化硅层，所述第二子层为半导体掺杂层，形成所述隔离沟槽之后，所述位线区的所述半导体掺杂层形成沿第二方向延伸的位线，所述第二方向平行于所述衬底且与所述第一方向相交。

根据一些实施例，所述制作方法，还包括：

刻蚀去除远离所述位线区的一端的部分所述第一子层，暴露出所述半导体掺杂层远离所述位线区的一端的部分表面；

形成介电层，所述介电层覆盖所述半导体掺杂层的暴露的表面；

形成上电极，所述上电极覆盖所述介电层。

根据一些实施例，所述第一子层为氧化硅层，所述第二子层为氮化硅层；于所述存储单元区形成隔离沟槽之后，所述制作方法包括：

刻蚀去除全部的所述第二子层，在所述第二子层被去除的区域形成空气层；

于所述位线区的所述空气层中形成位线，所述位线沿第二方向延伸，所述第二方向平行于所述衬底且与所述第一方向相交；

形成导体层，所述导体层填充所述空气层未被填充的区域。

根据一些实施例，所述制作方法，还包括：

刻蚀去除远离所述位线区的一端的部分所述第一子层，暴露出所述导体层远离所述位

线区的一端的部分表面；

形成介电层，所述介电层覆盖所述导体层的暴露的表面；

形成上电极，所述上电极覆盖所述介电层。

根据一些实施例，本公开另一方面提供了一种存储器，所述存储器包括：

衬底；

至少一条第一字线，所述第一字线包括第一竖直部以及至少一个第一水平部，所述第一竖直部垂直设置在所述衬底上，至少一个所述第一水平部沿垂直于所述衬底的方向间隔排列并与所述第一竖直部连接；

至少一列存储单元列，所述存储单元列包括沿垂直于所述衬底的方向间隔排列的至少一个存储单元；

所述存储单元包括单元晶体管，所述第一水平部作为所述单元晶体管的栅极，所述单元晶体管包括沿远离所述第一水平部的方向依次设置的第一栅介质层和第一半导体沟道，所述单元晶体管还包括沿第一方向相对设置在所述第一半导体沟道两侧的第一源/漏极和第二源/漏极，所述第一方向平行于所述衬底。

根据一些实施例，在平行于所述第一方向且垂直于所述衬底的平面中，所述第一半导体沟道环绕所述第一水平部。

根据一些实施例，所述第一半导体沟道包括连接沟道，连接沟道位于所述第一水平部在第二方向的一侧，所述第二方向平行于所述衬底且与所述第一方向相交。

根据一些实施例，所述第一半导体沟道为杯状，所述第一半导体沟道套设在所述第一水平部上。

根据一些实施例，所述存储单元还包括电容器，沿所述第一方向，所述电容器设置在所述单元晶体管的一侧，所述电容器和所述单元晶体管的所述第一源/漏极相连。

根据一些实施例，所述电容器包括下电极、介电层和上电极，所述下电极与所述第一源/漏极相连，所述介电层设置在所述上电极和所述下电极之间。

根据一些实施例，在平行于所述衬底的平面中，多个所述电容器的所述上电极相互连接，形成封闭图形。

根据一些实施例，在所述封闭图形内具有共用上极板，共用上极板与所述上电极连接。

根据一些实施例，所述存储器还包括：

至少一条位线，至少一条所述位线沿垂直于所述衬底的方向间隔排列，所述位线沿第二方向延伸，所述位线和沿所述第二方向排列的所述单元晶体管的所述第二源/漏极相连，所述第二方向平行于所述衬底且与所述第一方向相交。

根据一些实施例，所述存储器还包括：

第二字线，所述第二字线包括第二竖直部以及至少一个第二水平部，所述第二竖直部垂直设置在所述衬底上，至少一个所述第二水平部沿垂直于所述衬底的方向间隔排列并与所述第二竖直部连接；

至少一个选择晶体管，至少一个所述选择晶体管沿垂直于所述衬底的方向间隔排列，所述第二水平部作为所述选择晶体管的栅极，所述选择晶体管包括沿远离所述第二水平部的方向依次设置的第二栅介质层和第二半导体沟道，所述选择晶体管还包括沿所述第二方向相对设置在所述第二半导体沟道两侧的第三源/漏极和第四源/漏极；所述选择晶体管的所述第三源/漏极和所述位线一一对应连接。

根据一些实施例，所述存储器还包括：

至少一条选择线，至少一条所述选择线沿垂直于所述衬底的方向间隔排列，所述选择线沿所述第一方向延伸，且所述选择线和所述选择晶体管的所述第四源/漏极一一对应连接。

根据一些实施例，本公开又一方面提供了一种电子设备，如第二方面所述的存储器。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一些实施例中提供的存储器的制作方法的流程图。

图 2 为一些实施例中提供的存储器的制作方法的流程图。

图 3 为一些实施例中提供的存储器的制作方法的流程图。

图 4 为一些实施例中在衬底上形成叠层结构的结构示意图。

图 5 为一些实施例中叠层结构的俯视图。

图 6 为一些实施例中形成隔离沟槽之后的结构示意图。

图 7 为一些实施例中形成隔离沟槽之后的俯视图。

图 8 为一些实施例中形成隔离层之后的结构示意图。

图 9 为一些实施例中形成第一子沟槽之后的结构示意图。

图 10 为一些实施例中形成第一子沟槽之后的俯视图。

图 11 为一些实施例中去除第二区域的第一子层之后的俯视图。

图 12 为一些实施例中去除第一子层之后的第二区域的一视角的结构示意图。

图 13 为一些实施例中形成介电层之后的第二区域的一视角的结构示意图。

图 14 为一些实施例中形成上电极之后的第二区域的一视角的结构示意图。

图 15 为一些实施例中形成共用上极板之后的第二区域的一视角的结构示意图。

图 16 为一些实施例中形成第二沟槽之后的结构示意图。

图 17 为一些实施例中形成第二沟槽之后沿图 16 中 A-A 线的平行于衬底的剖面图。

图 18 为一些实施例中形成第二沟槽之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 19 为一些实施例中形成第一沟槽之后沿图 16 中 A-A 线的平行于衬底的剖面图。

图 20 为一些实施例中形成第一沟槽之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 21 为一些实施例中形成半导体材料层之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 22 为一些实施例中形成栅介质材料层之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 23 为一些实施例中形成第一栅导电层之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 24 为一些实施例中去除第二沟槽和第五沟槽中的第一栅导电层之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 25 为一些实施例中去除第二沟槽和第五沟槽中的栅介质材料层之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 26 为一些实施例中形成第一水平部和第二水平部之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 27 为一些实施例中形成第二栅导电层之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 28 为一些实施例中形成第一字线和第二字线之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 29 为一些实施例中形成第三沟槽和第六沟槽之后沿图 16 中 A-A 线的平行于衬底的剖面图。

图 30 为一些实施例中形成第三沟槽和第六沟槽之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 31 为一些实施例中形成第一水平部和第二水平部之后沿图 16 中 A-A 线的平行于衬底的剖面图。

图 32 为一些实施例中形成第一水平部和第二水平部之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 33 为一些实施例中形成第一字线和第二字线之后沿图 16 中 A-A 线的平行于衬底的剖面图。

图 34 为一些实施例中形成第一字线和第二字线之后沿图 16 中 B-B 线和 C-C 线的垂直于衬底的剖面图。

图 35 为一些实施例中在衬底上形成叠层结构的结构示意图。

图 36 为一些实施例中形成隔离沟槽之后的结构示意图。

图 37 为一些实施例中形成第一隔离层之后的结构示意图。

图 38 为一些实施例中形成第一隔离层之后的俯视图。

图 39 为一些实施例中形成第二子沟槽之后的结构示意图。

图 40 为一些实施例中形成第二子沟槽之后的俯视图。

图 41 为一些实施例中形成第二子沟槽之后的沿图 40 中 D-D 线的垂直于衬底的剖面图。

图 42 为一些实施例中形成空气层之后的沿图 40 中 D-D 线的垂直于衬底的剖面图。

图 43 为一些实施例中形成导体层之后的沿图 40 中 D-D 线的垂直于衬底的剖面图。

图 44 为一些实施例中形成第二隔离层之后的结构示意图。

图 45 为一些实施例中形成第一子沟槽之后的沿图 44 中 E-E 线的平行于衬底的剖面图。

图 46 为一些实施例中去除第二区域的第一子层之后的结构示意图。

图 47 为一些实施例中形成电容器之后第二区域的一视角的结构示意图。

图 48 为一些实施例中形成共用上极板之后第二区域的一视角的结构示意图。

图 49 为一些实施例中形成第二沟槽和第五沟槽之后的沿图 44 中 E-E 线的平行于衬底的剖面图。

图 50 为一些实施例中形成第一沟槽和第四沟槽之后的沿图 44 中 E-E 线的平行于衬底的剖面图。

图 51 为一些实施例中形成第一水平部和第二水平部之后的沿图 44 中 E-E 线的平行于衬底的剖面图。

图 52 为一些实施例中提供的存储器的结构示意图。

图 53 为一些实施例中提供的存储器的沿图 52 中 F-F 线的平行于衬底的剖面图。

图 54 为一些实施例中提供的存储器的沿图 52 中 G-G 线、H-H 线的垂直于衬底的剖面图。

图 55 为一些实施例中提供的存储器的沿图 52 中 I-I 线的垂直于衬底的剖面图。

图 56 为一些实施例中提供的存储器的沿图 52 中 J-J 线的垂直于衬底的剖面图。

图 57 为一些实施例中提供的存储器的沿图 52 中 I-I 线的垂直于衬底的剖面图。

图 58 为一些实施例中提供的存储器的沿图 52 中 J-J 线的垂直于衬底的剖面图。

附图标记说明：

100、衬底；130、隔离沟槽；131、第一子沟槽；132、第二子沟槽；200、叠层结构；210、第一子层；220、第二子层；220a、半导体掺杂层；230、隔离层；231、第一隔离层；232、第二隔离层；240、空气层；250、导体层；300、条形结构；410、半导体材料层；420、栅介质材料层；430、第一栅导电层；440、第二栅导电层；121、第一沟槽；221、第二沟槽；321、第三沟槽；421、第四沟槽；521、第五沟槽；621、第六沟槽；161、第一半导体沟道；1611、连接沟道；171、第一栅介质层；261、第二半导体沟道；271、第二栅介质层；181、第一源/漏极；182、第二源/漏极；281、第三源/漏极；282、第四源/漏极；600、电容器；610、介电层；620、上电极；630、下电极；640、共用上极板；

BL、位线；WL1、第一字线；WL2、第二字线；HS1、第一水平部；VP1、第一竖直部；HS2、第二水平部；VP2、第二竖直部；SUC、存储单元列；SU、存储单元；MCT、单元晶体管；G1、单元晶体管的栅极；ST、选择晶体管；G2、选择晶体管的栅极；SL、选择线；

Z1、存储单元区；Z2、位线区；Z3、选择区；A1、第一区域；A2、第二区域；A11、

中间区域；

D1、第一方向；D2、第二方向；D3、第三方向。

具体实施方式

为了便于理解本公开，下面将参照相关附图对本公开进行更全面的描述。附图中给出了本公开的首选实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本公开。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一掺杂类型成为第二掺杂类型，且类似地，可以将第二掺杂类型成为第一掺杂类型；第一掺杂类型与第二掺杂类型为不同的掺杂类型，譬如，第一掺杂类型可以为P型且第二掺杂类型可以为N型，或第一掺杂类型可以为N型且第二掺杂类型可以为P型。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向(譬如，旋转90度或其它取向)，并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本公开的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此，本公开的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并不限定本公开的范围。

本公开示例性的实施例中提供一种存储器的制作方法，如图1所示，图1示出了根据本公开一示例性的实施例提供的存储器的制作方法的流程图，本实施例对半导体结构不作限制，下面将以存储器为动态随机存储器(Dynamic Random Access Memory, DRAM)为例进行介绍，但本实施例并不以此为限，本实施例中的存储器还可以为其他类型的存储器，比如静态随机存取存储器(Static Random-Access Memory, SRAM)、快闪存储器(flash EPROM)、铁电存储器(Ferroelectric Random Access Memory, FRAM)、磁性随机存取存储器(Magnetic Random-Access Memory, MRAM)。

如图1所示，本公开一些实施例提供的一种存储器的制作方法，包括如下的步骤：

步骤 S110: 提供衬底, 在衬底上形成叠层结构, 叠层结构包括间隔交替的第一子层和第二子层, 在叠层结构定义存储单元区和位线区。

步骤 S120: 形成隔离沟槽, 隔离沟槽沿垂直于衬底的方向贯穿叠层结构, 隔离沟槽沿第一方向延伸、将存储单元区的叠层结构划分成至少一个沿第一方向延伸的条形结构, 第一方向平行于衬底。

步骤 S130: 刻蚀条形结构的中间区域, 去除部分条形结构, 沿垂直于衬底的方向, 在相邻的第一子层之间形成第一沟槽。

步骤 S140: 于第一沟槽中形成第一半导体沟道和第一栅介质层, 第一半导体沟道覆盖第一沟槽的槽壁, 第一栅介质层覆盖第一半导体沟道。

步骤 S150: 形成第一字线, 第一字线包括形成在第一沟槽中的第一水平部以及形成在隔离沟槽中的第一竖直部, 第一水平部覆盖第一栅介质层, 第一竖直部垂直设置在衬底上, 第一水平部和第一竖直部相连。

在步骤 S110 中, 参照图 4 或参照图 35, 衬底 100 可以为半导体衬底, 半导体衬底的材料可以包括硅 (Si)、硅锗 (SiGe)、硅锗碳 (SiGeC)、碳化硅 (SiC)、砷化镓 (GaAs)、砷化铟 (InAs)、磷化铟 (InP) 或其它的 III/V 半导体材料或 II/VI 半导体材料。或者, 还例如, 半导体衬底可以是包括诸如 Si/SiGe、Si/SiC、绝缘体上硅 (SOI) 或绝缘体上硅锗的层状衬底。衬底 100 可以为单层结构或多层结构。

参照图 4 或参照图 35, 叠层结构 200 包括沿垂直于衬底 100 的顶面的方向 (第三方向 D3) 交替堆叠的第一子层 210 和第二子层 220。在一些实施例中, 参照图 4, 第一子层 210 为氧化硅层, 第二子层 220 为半导体掺杂层 (比如可以为多晶硅层)。在另一些实施例中, 参照图 35, 第一子层 210 为氧化硅层, 第二子层 220 为氮化硅层。

其中, 叠层结构 200 的第二子层 220 设置的位置用于后续形成存储单元 SU, 本实施例中, 叠层结构 200 的顶层和底层均为第一子层 210。

参照图 5, 基于叠层结构 200 上划分出存储单元区 Z1 和位线区 Z2, 存储单元区 Z1 用于形成在衬底 100 上方阵列的存储单元 SU, 位线区 Z2 用于形成位线 BL, 存储单元区 Z1 和位线区 Z2 沿第一方向 D1 排列, 参照图 5 所示, 沿第一方向 D1, 可以在位线区 Z2 的两侧各自定义一独立的存储单元区 Z1。

在步骤 S120 中, 参照图 5、图 6、图 7 或参照图 36, 在叠层结构 200 的顶面形成掩膜层 (图中未示出), 图形化掩膜层暴露出存储单元区 Z1 的叠层结构 200 的部分顶面, 刻蚀去除被图形化后的掩膜层暴露出的叠层结构 200, 在叠层结构 200 中形成隔离沟槽 130, 隔离沟槽 130 暴露出衬底 100 的部分顶面, 隔离沟槽 130 将存储单元区 Z1 的叠层结构 200 划分成多个条形结构 300, 条形结构 300 沿第一方向 D1 延伸, 多个条形结构 300 沿第二方向 D2 间隔设置, 也即沿第二方向 D2, 条形结构 300 和隔离沟槽 130 交替设置。

在步骤 S130 中, 参照图 17、图 19、图 20 或图 50, 可以基于隔离沟槽 130 (参照图 6 或图 36) 刻蚀条形结构 300 的中间区域 A11, 在条形结构 300 的中间区域 A11 形成沿第三方向 D3 间隔排列的第一沟槽 121, 第一沟槽 121 平行于衬底 100 设置, 第一沟槽 121 周围的条形结构 300 对第一沟槽 121 形成遮挡。形成第一沟槽 121 之后, 沿第三方向 D3, 条形结构 300 的中间区域 A11, 第一子层 210 (参照图 20) 和第一沟槽 121 交替设置。

一些实施例中, 沿第一方向 D1, 第一沟槽 121 和位线区 Z2 间隔预设距离, 避免后续形成的第一字线和位线区 Z2 的距离过近, 避免影响存储器中器件之间的电隔离效果。

在步骤 S140 中, 参照图 20-图 26, 或参照图 29-图 32, 或参照图 51, 于第一沟槽 121 (参照图 19 或图 50) 中形成第一半导体沟道 161 和第一栅介质层 171, 可以采用合适的沉积工艺依次沉积形成半导体材料层 410 和栅介质材料层 420, 半导体材料层 410 和栅介质材料层 420 层叠覆盖第一沟槽 121 的槽壁以及条形结构 300、隔离沟槽 130 以及位线区 Z2 的叠层结构 200 的暴露的表面。

然后, 采用刻蚀工艺刻蚀半导体材料层 410 和栅介质材料层 420, 条形结构 300 对第一沟槽 121 (参照图 19 或图 50) 的槽壁形成遮挡, 第一沟槽 121 中的半导体材料层 410 和栅介质材料层 420 被刻蚀保留, 在第一沟槽 121 中形成第一半导体沟道 161 和第一栅介

质层 171，而覆盖在第一沟槽 121 的槽壁以及条形结构 300、隔离沟槽 130 以及位线区 Z2 的叠层结构 200 的暴露的表面的半导体材料层 410 和栅介质材料层 420 全部被刻蚀去除，从而确保第一沟槽 121 以外的区域没有残留的半导体材料层 410 和栅介质材料层 420。

在步骤 S150 中，参照图 27、图 28、图 33、图 34、图 52、图 53，第一字线 WL1 的第一水平部 HS1 和第一竖直部 VP1 可以在不同的制程中分别形成，比如，第一水平部 HS1 可以和第一半导体沟道 161、第一栅介质层 171 在同一制程步骤中形成；然后，在隔离沟槽 130 中形成第一竖直部 VP1；或者，在一些实施例中，第一字线 WL1 的第一水平部 HS1 和第一竖直部 VP1 可以在同一制程步骤中形成。

本公开的存储器的制作方法，在条形结构中形成平行于衬底设置的第一沟槽，在制作第一半导体沟道和第一栅介质层的过程中，形成第一半导体沟道的膜层和形成第一栅介质层的膜层覆盖第一沟槽以及其他的结构的暴露的表面，利用条形结构对第一沟槽的槽壁形成遮挡，保留第一沟槽中的膜层形成第一半导体沟道和第一栅介质层，将第一沟槽以外的膜层全部刻蚀去除，避免第一沟槽以外存在残留的导电膜层在存储单元中形成寄生器件，避免寄生器件影响存储器的性能，可进一步提高存储器的三维堆叠的层数，提升存储器的集成密度。

在一些实施例中：步骤 S130 在相邻的第一子层之间形成第一沟槽，包括以下步骤：

步骤 S131：于隔离沟槽中形成隔离层。

步骤 S132：在隔离层中形成第二沟槽，第二沟槽的一侧壁暴露出条形结构的中间区域的部分表面。

步骤 S133：刻蚀去除第二沟槽暴露出的条形结构，形成第一沟槽，中间区域的第一沟槽和第一子层沿垂直于衬底的方向交替设置。

在步骤 S131 中，参照图 9，可以采用任一种合适的沉积工艺形成隔离层 230，隔离层 230 填充隔离沟槽 130，隔离层 230 的材料可以包括氧化硅、氮化硅、或氮氧化硅中的至少一种。可以理解的是，隔离层 230 可以一次沉积形成，也可以分为多次沉积形成。

在步骤 S132 中，参照图 17 或参照图 49，刻蚀去除靠近条形结构 300 的部分隔离层 230，形成第二沟槽 221，第二沟槽 221 暴露出条形结构 300 的中间区域 A11 的部分表面。

在步骤 S133 中，参照图 19 或参照图 50，基于第二沟槽 221 刻蚀条形结构 300，去除中间区域 A11 的部分结构，沿第三方向 D3，在中间区域 A11 形成间隔设置的第一沟槽 121，且第一沟槽 121 和第一子层 210 沿第三方向 D3 交替设置。一些实施例中，可以采用湿法刻蚀工艺形成第一沟槽 121，向第二沟槽 221 中注入刻蚀液，通过刻蚀液腐蚀去除中间区域 A11 的部分结构，其中，刻蚀液刻蚀去除的可以是第二子层 220，也可以是在第二子层 220 的原本的位置形成的其他膜层。

本公开的存储器的制作方法，在隔离层中形成靠近条形结构的第二沟槽，然后基于第二沟槽的侧壁刻蚀条形结构形成第一沟槽，减少了刻蚀叠层结构形成贯穿叠层结构的孔或沟槽的工序，降低了制程难度，不仅能够提升制程效率、降低工艺成本，还能提高产品的良品率。

在一些实施例中，步骤 S140：于第一沟槽中形成第一半导体沟道和第一栅介质层，包括以下步骤：

步骤 S141：形成半导体材料层，半导体材料层覆盖第一沟槽的槽壁和第二沟槽的槽壁。

步骤 S142：形成栅介质材料层，栅介质材料层覆盖半导体材料层。

步骤 S143：去除第二沟槽中的半导体材料层和栅介质材料层，第一沟槽中的半导体材料层形成第一半导体沟道，第一沟槽中的栅介质材料层形成第一栅介质层。

在步骤 S141 中，参照图 20、图 21 所示，可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)沉积形成半导体材料层 410，半导体材料层 410 覆盖第一沟槽 121 的槽壁和第二沟槽 221 的槽壁以及叠层结构 200 的顶面。

其中，半导体材料层 410 可以是单晶硅或多晶硅等，也可以是氧化物半导体层，氧化物半导体层 410 的材料可以包括铟镓锌氧化物。比如，氧化物半导体层 410 的材料可以包括以下材料中的至少一种：氧化锌锡(ZTO)、氧化铟锌(IZO)、氧化铟锡(ITO)、掺

钨氧化铟 (IWO)、氧化锌 (ZnO_x)、氧化铟 (InO_x 、 In_2O_3)、氧化锡 (SnO_2)、氧化钛 (TiO_x)、氧化铟锌 (InSnO_x)、氮氧化锌 ($\text{Zn}_x\text{O}_y\text{N}_z$)、氧化镁锌 ($\text{Mg}_x\text{Zn}_y\text{O}_z$)、氧化铟锌 ($\text{In}_x\text{Zn}_y\text{O}_z$)、氧化铟镓锌 ($\text{In}_x\text{Ga}_y\text{Zn}_z\text{O}_a$)、氧化锆铟锌 ($\text{Zr}_x\text{In}_y\text{Zn}_z\text{O}_a$)、氧化铪铟锌 ($\text{Hf}_x\text{In}_y\text{Zn}_z\text{O}_a$)、氧化锡铟锌 ($\text{Sn}_x\text{In}_y\text{Zn}_z\text{O}_a$)、氧化铝锡铟锌 ($\text{Al}_x\text{Sn}_y\text{In}_z\text{Zn}_a\text{O}_d$)、氧化硅铟锌 ($\text{Si}_x\text{In}_y\text{Zn}_z\text{O}_a$)、氧化锌锡 ($\text{Zn}_x\text{Sn}_y\text{O}_z$)、氧化铝锌锡 ($\text{Al}_x\text{Zn}_y\text{Sn}_z\text{O}_a$)、氧化镓锌锡 ($\text{Ga}_x\text{Zn}_y\text{Sn}_z\text{O}_a$)、氧化锆锌锡 ($\text{Zr}_x\text{Zn}_y\text{Sn}_z\text{O}_a$)、氧化铟镓硅 (InGaSiO)。

在步骤 S142 中,参照图 22 所示,可以采用原子层沉积工艺沉积形成栅介质材料层 420,栅介质材料层 420 覆盖半导体材料层 410。栅介质材料层的材料可以包括氧化铝 (Al_2O_3)、氧化铪 (HfO_2)、氮氧化铪 (HfON)、氧化锆 (ZrO_2)、氧化钽 (Ta_2O_5)、氧化钛 (TiO_2)、锶钛氧化物 (SrTiO_3)、硅酸铪 (HfSiO)、硅酸锆 (ZrSiO)、硅酸锶 (SrSiO) 中的至少一种;再或者,栅介质材料层的材料可以包括氮化硅酸铪 (HfSiON)、氮化硅酸锆 (ZrSiON)、氮化硅酸锶 (SrSiON) 中的至少一种。

在步骤 S143 中,在一些示例中,参照图 24、图 25、图 26,自第二沟槽 221 的中心向槽壁的方向依次去除第二沟槽 221 中的栅介质材料层 420 和半导体材料层 410。

在另一些示例中,参照图 29 所示,在第二沟槽 221 的外周形成第三沟槽 321,暴露出第二沟槽 221 中的半导体材料层 410,自第二沟槽 221 的槽壁向中心的方向依次去除第二沟槽 221 中的半导体材料层 410 和栅介质材料层 420。

在一些实施例中,步骤 S150,形成第一字线,包括以下步骤:

步骤 S151:于第一沟槽中形成第一水平部,第一水平部覆盖第一栅介质层并填充第一沟槽,第二沟槽的一侧壁暴露出第一水平部的部分表面。

步骤 S152:形成第一竖直部,第一竖直部接触第一水平部的暴露的表面并填充第二沟槽。

在步骤 S151 中,于第一沟槽中形成第一水平部,包括以下步骤:

步骤 S1511:形成第一栅导电层,第一栅导电层覆盖栅介质材料层并填充第一沟槽和第二沟槽。

本步骤在步骤 S142 形成栅介质材料层 420 之后执行。参照图 23 所示,可以采用化学气相沉积工艺 (Chemical Vapor Deposition, CVD)、原子层沉积工艺或溅射 (sputtering) 中的任一种沉积工艺沉积形成第一栅导电层 430,第一栅导电层 430 填充第二沟槽 221 和第一沟槽 121 未填充的区域。

步骤 S1512:刻蚀去除第二沟槽中的第一栅导电层,保留第一沟槽中的第一栅导电层,形成第一水平部。

本步骤可以在步骤 S143 之前执行,也可以在步骤 S143 之后执行。

在一些示例中,参照图 24-图 26 所示,可以依次刻蚀去除第二沟槽 221 中的第一栅导电层 430、栅介质材料层 420 和半导体材料层 410,暴露出第二沟槽 221。

在一些示例中,参照图 29 所示,先刻蚀去除第二沟槽 221 的周围的部分隔离层 230,形成第三沟槽 321,第三沟槽 321 暴露出位于第二沟槽 221 中的半导体材料层 410;然后,基于第三沟槽 321 刻蚀去除第二沟槽 221 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430。

在步骤 S152 中,形成第一竖直部 VP1,包括:形成第二栅导电层 440,第二栅导电层 440 至少填充第二沟槽 221 形成第一竖直部 VP1。

其中,参照图 23、图 27 所示,第一栅导电层 430 的材料、第二栅导电层 440 的材料可以选自钛或钛的化合物、钽或钽的化合物、钨或钨的化合物、铜或铜的化合物中的至少一种,第一栅导电层 430 和第二栅导电层 440 的材料可以相同也可以不同。

在一些实施例中,参照图 4 所示,在步骤 S120 中定义存储单元区 Z1 和位线区 Z2 的同时,在叠层结构 200 定义选择区 Z3,存储单元区 Z1 和位线区 Z2 沿第一方向 D1 排列,选择区 Z3 沿第二方向 D2 在位线区 Z2 的一端,第二方向 D2 平行于衬底 100 且与第一方向 D1 相交。

在一些实施例中,存储器的制作方法,还包括以下步骤:

如图 18、图 50 所示, 参照图 4, 刻蚀位线区 Z2, 去除位线区 Z2 的部分叠层结构 200, 沿垂直于衬底 100 的方向, 在位线区 Z2 中相邻的第一子层 210 之间形成第四沟槽 421, 第四沟槽 421 靠近选择区 Z3 设置。上述步骤可以和步骤 S130 同时执行, 首先, 刻蚀去除靠近选择区 Z3 的部分隔离层 230, 形成第五沟槽 521, 第五沟槽 521 暴露出位线区 Z2 的部分叠层结构 200。基于第五沟槽 521 刻蚀位线区 Z2 的叠层结构 200, 在位线区 Z2 形成第四沟槽 421。

如图 31、图 51 所示, 于第一沟槽 121 中形成第一半导体沟道 161 和第一栅介质层 171 的同时, 于第四沟槽 421 中形成第二半导体沟道 261 和第二栅介质层 271, 第二半导体沟道 261 覆盖第四沟槽 421 的槽壁, 第二栅介质层 271 覆盖第二半导体沟道 261。

如图 33、图 52、图 53 所示, 形成第一字线 WL1 的同时, 形成第二字线 WL2, 第二字线 WL2 包括形成在第四沟槽 421 的第二水平部 HS2 以及形成在隔离沟槽 130 的第二竖直部 VP2, 第二水平部 HS2 覆盖第二栅介质层 271 并填充第四沟槽 421, 第二竖直部 VP2 垂直设置在衬底 100 上, 第二水平部 HS2 和第二竖直部 VP2 相连。

本公开一些实施例提供了一种存储器的制作方法, 如图 2 所示, 图 2 示出了根据本公开一些实施例提供的存储器的制作方法的流程图, 图 4-图 34 为存储器的制作方法的各个阶段的示意图, 下面结合图 4-图 34 并参照图 52-图 56 对存储器的制作方法进行介绍。如图 2 所示, 存储器的制作方法, 包括如下的步骤:

步骤 S210: 提供衬底, 在衬底上形成叠层结构, 叠层结构包括交替的第一子层和第二子层, 在叠层结构定义存储单元区、位线区和选择区, 存储单元区和位线区沿第一方向排列, 选择区沿第二方向在位线区的一端。

参照图 4, 本实施例的衬底 100 和步骤 S110 中的衬底 100 相同, 在此不再赘述。

参照图 4、图 5 所示, 叠层结构 200 包括沿第三方向 D3 交替堆叠的第一子层 210 和第二子层 220, 第一子层 210 为氧化硅层, 第二子层 220 为半导体掺杂层, 半导体掺杂层为导电掺杂的多晶硅层, 半导体掺杂层可以具有 P 型导电类型或 N 型导电类型。叠层结构 200 的顶层和底层均为第一子层 210。

在衬底 100 上形成叠层结构 200, 可以采用以下实施方式:

参照图 4、图 5 所示, 可以选用化学气相沉积工艺、原子层沉积工艺或溅射中的任一种沉积工艺交替沉积形成氧化硅层和半导体掺杂层, 重复循环若干次形成叠层结构 200。叠层结构 200 的氧化硅层和半导体掺杂层可以交替堆叠多层。

参照图 5, 根据待形成的存储器的结构对叠层结构 200 布局, 在叠层结构 200 上定义出存储单元区 Z1、位线区 Z2 和选择区 Z3, 一些实施例中, 沿第一方向 D1 在位线区 Z2 的两侧各定义一存储单元区 Z1, 沿第二方向 D2 在位线区 Z2 的一端部定义出选择区 Z3。第一方向 D1 平行于衬底 100, 第二方向 D2 平行于衬底 100 且与第一方向 D1 相交。

步骤 S220: 形成隔离沟槽, 隔离沟槽沿垂直于衬底的方向贯穿叠层结构, 隔离沟槽沿第一方向延伸、将存储单元区的叠层结构划分成至少一个沿第一方向延伸的条形结构, 位线区的半导体掺杂层形成沿第二方向延伸的位线, 选择区的半导体掺杂层形成沿第一方向延伸的选择线。

如图 6、图 7 所示, 参照图 4、图 5, 在叠层结构 200 的顶面上形成第一掩膜层 (图中未示出), 第一掩膜层暴露出存储单元区 Z1 的叠层结构 200 的部分顶面和选择区 Z3 的叠层结构 200 的部分顶面, 刻蚀去除掩膜层暴露出的叠层结构 200 形成隔离沟槽 130, 隔离沟槽 130 将存储单元区 Z1 的叠层结构 200 划分成沿第一方向 D1 延伸、沿第二方向 D2 间隔排列的条形结构 300, 同时, 位线区 Z2 被保留的第二子层 220 (以下统称为半导体掺杂层) 直接形成为沿第二方向 D2 延伸、沿第三方向 D3 间隔排列的位线 BL (参照图 33), 被保留的半导体掺杂层直接形成为沿第一方向 D1 延伸、沿第三方向 D3 间隔排列的选择线 SL (参照图 33), 且选择区 Z3 的选择线 SL 和存储单元区 Z1 的条形结构 300 沿第二方向 D2 间隔设置。

步骤 S230: 于隔离沟槽中形成隔离层。

如图 8 所示, 参照图 6、图 7, 可以选择化学气相沉积工艺或原子层沉积工艺中任意

一种沉积工艺沉积形成隔离层 230，隔离层 230 填充隔离沟槽 130。隔离层 230 的材料可以包括氧化硅、氮化硅或氮氧化硅中的至少一种。

步骤 S240：于存储单元区远离位线区的一端形成电容器。

于存储单元区远离位线区的一端形成电容器，包括以下步骤：

步骤 S241：刻蚀去除远离位线区的一端的部分第一子层，暴露出半导体掺杂层远离位线区的一端的部分表面。

刻蚀去除远离位线区 Z2 的一端的部分第一子层 210，可以采用以下步骤：

沿第一方向 D1，在存储单元区 Z1 的条形结构 300 定义出沿远离位线区 Z2 依次排列的第一区域 A1 和第二区域 A2（参照图 11），第一区域 A1 靠近位线区 Z2，第二区域 A2 远离位线区 Z2。

如图 9、图 10 所示，在结构的顶面形成第二掩膜层（图中未示出），第二掩膜层暴露出和第二区域 A2 相连的隔离层 230 的顶面，基于第二掩膜层刻蚀隔离层 230，刻蚀去除和第二区域 A2 相连的隔离层 230，暴露出远离位线区 Z2 的部分隔离沟槽 130，将本步骤暴露出的隔离沟槽 130 定义为第一子沟槽 131，第一子沟槽 131 暴露出第二区域 A2 的条形结构 300 的表面。

然后，参照图 11、图 12 所示，基于第一子沟槽 131 刻蚀条形结构 300，去除第二区域 A2 的第一子层 210（以下统称为氧化硅层），暴露出第二区域 A2 的半导体掺杂层的表面。

示例性的，可以采用干法工艺或湿法工艺刻蚀去除第二区域 A2 的氧化硅层。

步骤 S242：形成介电层，介电层覆盖半导体掺杂层的暴露的表面。

如图 13 所示，参照图 12，通过原子层沉积工艺沉积形成介电层 610，介电层 610 均匀覆盖在第二区域 A2 的半导体掺杂层的暴露的表面上。介电层 610 的材料可以包括钛酸锶（ SrTiO_3 ）、氧化铝（ Al_2O_3 ）、氧化锆（ ZrO ）或氧化铪（ HfO_2 ）中的至少一种。

步骤 S243：形成上电极，上电极覆盖介电层。

如图 14 所示，参照图 13，可以采用原子层沉积工艺沉积形成上电极 620，上电极 620 覆盖介电层 610 的表面，上电极 620 的材料可以包括高熔点金属，诸如钴（Co）、钛（Ti）、镍（Ni）、钨（W）和/或钼（Mo）中的至少一种；或者，上电极 620 的材料还可以包括金属氮化物，诸如钛氮化物、钛硅氮化物、钛铝氮化物、钽氮化物、钽硅氮化物、钽铝氮化物、和/或钨氮化物。

介电层 610 覆盖的半导体掺杂层（也即第二区域 A2 的半导体掺杂层）、介电层 610 和上电极 620 在存储单元区 Z1 远离位线区 Z2 的一端（也即第二区域 A2）形成电容器 600，介电层 610 覆盖的半导体掺杂层（也即第二区域 A2 的半导体掺杂层）作为电容器 600 的下电极 630。

在一些实施例中，在步骤 S243 之后还执行了以下步骤：

步骤 S244：形成共用上极板，共用上极板覆盖上电极并填充半导体掺杂层之间未被填充的区域以及第一子沟槽中未被填充的区域。

如图 15 所示，参照图 14，可以通过化学气相沉积工艺、物理气相沉积工艺、原子层沉积工艺或溅射中的任一种沉积工艺形成共用上极板 640，共用上极板 640 覆盖各电容器 600 的上电极 620 的表面并填充第二区域 A2 的半导体掺杂层之间未被填充的区域以及第一子沟槽 131 中未被填充的区域。

共用上极板 640 的材料可以包括掺杂有导电离子的半导体材料或者导电金属。比如，共用上极板 640 的材料可以包括单晶硅或多晶硅，共用上极板 640 的材料也可以包括金属钨、钴、钛和/或镍中的至少一种。如此，能够充分利用存储器的面积，增加存储器的存储能力。

步骤 S250：在隔离层中形成第二沟槽，第二沟槽的一侧壁暴露出条形结构的中间区域的部分表面，同时，在隔离层中形成第五沟槽，第五沟槽的一侧壁暴露出位线区的叠层结构的部分表面。

如图 16、图 17、图 18 所示，在结构的顶面形成第三掩膜层（图中未示出），第三掩膜层定义有第二沟槽 221 和第五沟槽 521 的图案，刻蚀去除第三掩膜层暴露出隔离层 230，

分别形成第二沟槽 221 和第五沟槽 521，第二沟槽 221 设置在存储单元区 Z1（参照图 5），第二沟槽 221 暴露出条形结构 300 的中间区域 A11 的部分表面，本实施例中，条形结构 300 的中间区域 A11 指的是第一区域 A1（参照图 11）的中间区域 A11。第五沟槽 521 靠近选择区 Z3（参照图 5）设置，第五沟槽 521 暴露出位线区 Z2 的叠层结构 200 的部分表面。

步骤 S260：刻蚀条形结构的中间区域，去除部分条形结构，沿垂直于衬底的方向，在相邻的第一子层之间形成第一沟槽，同时刻蚀位线区，去除位线区的部分叠层结构，沿垂直于衬底的方向，在位线区中相邻的第一子层之间形成第四沟槽，第四沟槽靠近选择区设置。

如图 19、图 20 所示，参照图 17、图 18，可以采用湿法工艺刻蚀叠层结构 200，刻蚀去除被第二沟槽 221 暴露出的半导体掺杂层，在第一区域 A1（参照图 11）的中间区域 A11 形成第一沟槽 121，第一沟槽 121 和第二沟槽 221 连通，第一沟槽 121 将存储单元区 Z1 的半导体掺杂层划分成沿第一方向 D1 独立设置在第一沟槽 121 两侧的两段，参照图 52、图 55、图 56 所示，第一区域 A1 中，位于第一沟槽 121 左侧的半导体掺杂层作为后续形成的存储单元 SU 中单元晶体管 MCT 的第一源/漏极 181，位于第一沟槽 121 右侧的半导体掺杂层作为后续形成的存储单元 SU 中单元晶体管 MCT 的第二源/漏极 182，可以看出，第一源/漏极 181 和电容器 600 相连，第二源/漏极 182 和位线 BL 相连。

同时，如图 19、图 20 所示，参照图 17、图 18，刻蚀去除被第五沟槽 521 暴露出的半导体掺杂层，在位线区 Z2 的中间区域 A11 形成第四沟槽 421，第四沟槽 421 和第五沟槽 521 连通，且第四沟槽 421 将位线区 Z2 的半导体掺杂层划分成沿第二方向 D2 独立设置在第四沟槽 421 两侧的两段。参照图 52、图 55、图 56 所示，靠近位线 BL 的部分作为后续形成的选择晶体管 ST 的第三源/漏极 281，靠近选择区 Z3 的部分作为后续形成的选择晶体管 ST 的第四源/漏极 282，可以看出，第三源/漏极 281 和位线 BL 相连，第四源/漏极 282 和选择线 SL 相连。

步骤 S270：于第一沟槽中形成第一半导体沟道和第一栅介质层，第一半导体沟道覆盖第一沟槽的槽壁，第一栅介质层覆盖第一半导体沟道，同时，于第四沟槽中形成第二半导体沟道和第二栅介质层，第二半导体沟道覆盖第四沟槽的槽壁，第二栅介质层覆盖第二半导体沟道。

可以采用以下实施方式，如图 21、图 22、图 23 所示，依次形成半导体材料层 410、栅介质材料层 420 和第一栅导电层 430，半导体材料层 410 覆盖第一沟槽 121 的槽壁、第二沟槽 221 的槽壁、第四沟槽 421 的槽壁和第五沟槽 521 的槽壁，栅介质材料层 420 覆盖半导体材料层 410，第一栅导电层 430 覆盖栅介质材料层 420 并填充第一沟槽 121 未被填充的区域、第二沟槽 221 未被填充的区域、第四沟槽 421 未被填充的区域和第五沟槽 521 未被填充的区域。

如图 26 或如图 32 所示，刻蚀去除第二沟槽 221 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430 以及第五沟槽 521 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430，第一沟槽 121 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430 被保留，并分别形成第一半导体沟道 161、第一栅介质层 171 和第一字线 WL1 的第一水平部 HS1，第四沟槽 421 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430 被保留，并分别形成第二半导体沟道 261、第二栅介质层 271 和第二字线 WL2 的第二水平部 HS2。

在一些实施例中，去除第二沟槽 221 和第五沟槽 521 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430，采用以下实施方式：

如图 24 所示，参照图 23，用湿法工艺刻蚀去除第二沟槽 221 中的第一栅导电层 430，同时去除第五沟槽 521 中的第一栅导电层 430，暴露出第二沟槽 221 和第五沟槽 521 中的栅介质材料层 420。然后，如图 25 所示，参照图 24，采用湿法工艺刻蚀去除第二沟槽 221 中的栅介质材料层 420，同时去除第五沟槽 521 中的栅介质材料层 420，暴露出第二沟槽 221 和第五沟槽 521 中的半导体材料层 410。接着，如图 26 所示，参照图 25，采用湿法工艺刻蚀去除第二沟槽 221 中的半导体材料层 410，同时去除第五沟槽 521 中的半导体材料

层 410，暴露出第二沟槽 221 和第五沟槽 521。

自沟槽中心向槽壁的方向逐层去除第一栅导电层 430、栅介质材料层 420 和半导体材料层 410，制程工艺简单、制程步骤精简、能够节约制程时间、降低制程成本。

在一些实施例中，去除第二沟槽 221 和第五沟槽 521 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430，采用以下实施方式：

首先，如图 29、图 30 所示，刻蚀去除第二沟槽 221 的周围的部分隔离层 230，形成第三沟槽 321，第三沟槽 321 暴露出位于第二沟槽 221 中的半导体材料层 410，同时，刻蚀去除第五沟槽 521 的周围的部分隔离层 230，形成第六沟槽 621，第六沟槽 621 暴露出位于第六沟槽 621 中的半导体材料层 410。

可以在结构的顶面上形成第四掩膜层，第四掩膜层暴露出第二沟槽 221 周围的部分隔离层 230 的顶面和第五沟槽 521 周围的部分隔离层 230 的顶面，刻蚀去除被第四沟槽 421 暴露出的隔离层 230，在第二沟槽 221 的外周形成第三沟槽 321，同时在第五沟槽 521 的外周形成第六沟槽 621。

然后，如图 31 所示，参照图 30，基于第三沟槽 321 逐层刻蚀去除第二沟槽 221 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430，同时基于第六沟槽 621 逐层刻蚀去除第五沟槽 521 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430。

可以采用湿法工艺逐层刻蚀去除第二沟槽 221 和第五沟槽 521 中的半导体材料层 410、栅介质材料层 420 和第一栅导电层 430。自沟槽的槽壁向中心的方向刻蚀第二沟槽 221 和第五沟槽 521 中的膜层，能够确保第二沟槽 221 和第五沟槽 521 中的半导体材料层 410 全部被刻蚀去除，避免第二沟槽 221 或第五沟槽 521 中存在残留的半导体材料层 410 在存储器中形成寄生器件，进一步提升的存储器的性能和品质，并且，本实施例中在第二沟槽 221 外侧形成第三沟槽 321，能够增大后续形成的第一竖直部 VP1 的尺寸，降低第一字线 WL1 的电阻；同样的，本实施例也能降低第二字线 WL2 的电阻。

步骤 S280：形成第一字线，同时形成第二字线。

如图 33、图 34 所示，第一字线 WL1 包括形成在第一沟槽 121 中的第一水平部 HS1 以及形成在隔离沟槽 130 中的第一竖直部 VP1，第一水平部 HS1 覆盖第一栅介质层 171，第一竖直部 VP1 垂直设置在衬底 100 上并填充第二沟槽 221，第一水平部 HS1 和第一竖直部 VP1 相连。

如图 33、图 34 所示，第二字线 WL2 包括形成在第四沟槽 421 的第二水平部 HS2 以及形成在隔离沟槽 130 的第二竖直部 VP2，第二水平部 HS2 覆盖第二栅介质层 271，第二竖直部 VP2 垂直设置在衬底 100 上并填充第五沟槽 521，第二水平部 HS2 和第二竖直部 VP2 相连。

参照图 26、图 31、图 32 所示，第一字线 WL1 的第一水平部 HS1 和第二字线 WL2 的第一水平部 HS1 已经在步骤 S270 中形成，只需形成第一字线 WL1 的第一竖直部 VP1 和第二字线 WL2 的第二竖直部 VP2。

如图 27 所示，可以选用化学气相沉积工艺、原子层沉积工艺、物理气相沉积工艺或溅镀中的任一种沉积工艺沉积形成第二栅导电层 440，第二栅导电层 440 分别填充第二沟槽 221 和第五沟槽 521，可以理解的是，在形成第三沟槽 321 和第六沟槽 621 的实施例中，第二栅导电层 440 还填充第三沟槽 321 和第六沟槽 621。

如图 28 所示，刻蚀去除覆盖在结构顶面的第二栅导电层 440，第二沟槽 221 中的第二栅导电层 440 形成第一竖直部 VP1，第一竖直部 VP1 覆盖第一水平部 HS1 和第一水平部 HS1 共同形成第一字线 WL1。在一些实施例中，第二沟槽 221 和第三沟槽 321 中的第二栅导电层 440 共同形成第一竖直部 VP1。

第五沟槽 521 中的第二栅导电层 440 形成第二竖直部 VP2，第二竖直部 VP2 覆盖第二水平部 HS2 和第二水平部 HS2 共同形成第二字线 WL2。在一些实施例中，第五沟槽 521 和第六沟槽 621 中的第二栅导电层 440 共同形成第二竖直部 VP2。

本实施例的存储器的制作方法，基于氧化硅和半导体掺杂层形成的叠层结构形成三维架构，在形成半导体掺杂层时通过原位掺杂激活半导体掺杂层中的导电离子，以使半导体

掺杂层具有导电性，如此，形成隔离沟槽后，位线区的半导体掺杂层直接形成位线，选择区的半导体掺杂层形成选择线，无需执行导电材料的置换的步骤，提高了制程效率。

本实施例的存储器的制作方法，在隔离层中形成第二沟槽和第五沟槽，减少刻蚀叠层结构的步骤；同时，利用叠层结构保护第一沟槽和第四沟槽，采用由内向外或由外向内的方式去除第二沟槽和第五沟槽中的半导体材料层、栅介质材料层和第一栅导电层，避免导电材料残留形成寄生器件，避免寄生器件影响存储器的性能，可进一步提高存储器的三维堆叠的层数，提升存储器的集成密度。

本实施例的存储器的制作方法，在存储器中形成的晶体管具有较低的关态电流，可以降低存储器的漏电，有利于降低存储器的功耗、降低存储器中器件的尺寸，提高存储器中器件的阵列密度。

本公开一些实施例提供了一种存储器的制作方法，如图3所示，图3示出了根据本公开一些实施例提供的存储器的制作方法的流程图，图35-图53为存储器的制作方法的各个阶段的示意图，下面结合图35-图53并参照图52、图57、图58对存储器的制作方法进行介绍。如图3所示，存储器的制作方法，包括如下的步骤：

步骤S310：提供衬底，在衬底上形成叠层结构，叠层结构包括交替的第一子层和第二子层，在叠层结构定义存储单元区、位线区和选择区，存储单元区和位线区沿第一方向排列，选择区沿第二方向在位线区的一端。

参照图35所示，叠层结构200包括沿第三方向D3交替堆叠的第一子层210和第二子层220，第一子层210为氧化硅层，第二子层220为氮化硅层。叠层结构200的顶层和底层均为第一子层210（也即氧化硅层）。

一些实施例中，在衬底100上形成叠层结构200，可以采用以下实施方式：

参照图35所示，可以选用化学气相沉积工艺、原子层沉积工艺或溅射中的任一种沉积工艺交替沉积形成氧化硅层和氮化硅层，重复循环若干次形成叠层结构200。叠层结构200的氧化硅层和氮化硅层可以交替堆叠2层~1024层或更多层。例如，氧化硅层和氮化硅层可以交替堆叠48层、64层、128层、256层或512层等。

参照图5，根据待形成的存储器的结构对叠层结构200布局，在叠层结构200上定义出存储单元区Z1、位线区Z2和选择区Z3，本实施例中，沿第一方向D1在位线区Z2的两侧各定义一存储单元区Z1，沿第二方向D2在位线区Z2的一端部定义出选择区Z3。第一方向D1平行于衬底100，第二方向D2平行于衬底100且与第一方向D1相交。

步骤S320：形成隔离沟槽，隔离沟槽垂直贯穿叠层结构，隔离沟槽沿第一方向延伸、将存储单元区的叠层结构划分成至少一个沿第一方向延伸的条形结构。

形成隔离沟槽的实施方式和上述实施例中步骤S220中的实施方式相同，在此不再赘述。

一些实施例和上述实施例的区别之处在于，如图36所示，参照图36，叠层结构200包括交替设置的氧化硅层和氮化硅层，因此，形成隔离沟槽130之后，位线区Z2被保留的叠层结构200沿第二方向D2延伸，选择区Z3被保留的叠层结构200沿第一方向D1延伸。

步骤S330：刻蚀去除全部的第二子层，在第二子层被去除的区域形成空气层。

本实施例中，刻蚀去除全部的第二子层，包括以下步骤：

步骤S331：形成第一隔离层，第一隔离层填充部分隔离沟槽。

如图37所示，可以选择化学气相沉积工艺或物理气相沉积工艺沉积第一隔离层231，第一隔离层231的材料可以包括氧化硅、氮化硅或氮氧化硅中的至少一种。

步骤S332：刻蚀去除部分第一隔离层，在隔离槽中形成第二子沟槽，第二子沟槽暴露出叠层结构的部分侧壁。

如图38所示，沿第一方向D1，在存储单元区Z1的条形结构300定义出沿远离位线区Z2依次排列的第一区域A1和第二区域A2，第一区域A1靠近位线区Z2，第二区域A2远离位线区Z2。

本实施例中，如图39、图40、图41所示，在结构的顶面上形成第五掩膜层（图中未

示出), 第五掩膜层暴露出第一隔离层 231 的部分顶面, 刻蚀去除第五掩膜层暴露出的第一隔离层 231, 暴露出部分隔离沟槽 130, 一些实施例中, 将本步骤中暴露出的隔离沟槽 130 定义为第二子沟槽 132, 第二子沟槽 132 暴露出第一区域 A1 的叠层结构 200 的部分侧壁, 保留的第一隔离层 231 用于支撑叠层结构 200 的架构。

步骤 S333: 基于第二子沟槽刻蚀去除全部的第二子层。

如图 42 所示, 参照 39、图 40、图 41, 向第二子沟槽 132 中注入刻蚀液, 刻蚀液可以为磷酸溶液, 通过刻蚀液溶解去除全部的第二子层 220 (也即氮化硅层, 以下统称为氮化硅层), 去除全部的氮化硅层, 在氮化硅层原本的位置形成空气层 240, 沿第三方向 D3, 氧化硅层和空气层 240 交替设置。

步骤 S340: 于位线区的空气层中形成位线, 位线沿第二方向延伸, 第二方向平行于衬底且与第一方向相交。

于位线区 Z2 的空气层 240 中形成位线 BL, 采用以下实施方式:

参照图 42、图 53, 可以采用原子层沉积工艺或化学气相沉积工艺沉积导电金属材料层, 导电金属材料层填充空气层 240 以及部分第二子沟槽 132。然后, 刻蚀去除位线区 Z2 以外的导电金属材料层, 位线区 Z2 的空气层 240 中的导电金属材料层被保留形成位线 BL, 位线 BL 沿第二方向 D2 延伸, 沿第三方向 D3 间隔排列。

位线 BL 的材料可以包括钛或钛的化合物、钽或钽的化合物、钨或钨的化合物、铜或铜的化合物中的至少一种; 一些实施例中位线 BL 的材料包括金属钨, 如此, 位线 BL 的电阻更小、导电性更好。

步骤 S350: 形成导体层, 导体层填充空气层未被填充的区域。

如图 43 所示, 参照图 42, 可以采用原子层沉积工艺或化学气相沉积工艺沉积导体层 250 的材料填充空气层未被填充的区域以及第二子沟槽 132, 然后刻蚀去除第二子沟槽 132 中的导体层的材料, 在空气层 240 未被填充的区域形成导体层 250。参照图 53, 选择区 Z3 的导体层 250 形成选择线 SL, 选择线 SL 沿第一方向 D1 延伸、沿第三方向 D3 间隔排列。

导体层 250 的材料可以包括钛或钛的化合物、钽或钽的化合物, 一些实施例中, 导体层 250 的材料包括氮化钛。

如图 44 所示, 参照图 43, 然后于第二子沟槽 132 中填充第二隔离层 232。

步骤 S360: 于存储单元区远离位线区的一端形成电容器。

一些实施例中, 于存储单元区远离位线区的一端形成电容器, 包括以下步骤:

步骤 S361: 刻蚀去除远离位线区的一端的部分第一子层, 暴露出导体层远离位线区的一端的部分表面。

如图 45 所示, 参照图 44, 在结构的顶面形成第二掩膜层 (图中未示出), 第二掩膜层暴露出和第二区域 A2 相连的第一隔离层 231 的顶面, 基于第二掩膜层刻蚀去除和第二区域 A2 相连的第一隔离层 231, 形成和第二区域 A2 相连的第一子沟槽 131, 第一子沟槽 131 的侧壁暴露出第二区域 A2 的氧化硅层和导体层 250 的部分表面。

然后, 如图 46 所示, 参照图 45, 基于第一子沟槽 131 刻蚀去除第二区域 A2 的氧化硅层, 暴露出第二区域 A2 的导体层 250 的表面。

步骤 S362: 形成介电层, 介电层覆盖被导体层暴露的表面。

参照图 47 所示, 通过原子层沉积工艺沉积形成介电层 610, 介电层 610 均匀覆盖在第二区域 A2 的半导体掺杂层的暴露的表面上。介电层 610 的材料和上述实施例中步骤 S242 中形成介电层 610 的材料相同, 在此不再赘述。

步骤 S363: 形成上电极, 上电极覆盖介电层。

参照图 47 所示, 可以采用原子层沉积工艺沉积形成上电极 620, 上电极 620 覆盖介电层 610 的表面, 上电极 620 的材料和上述实施例中步骤 S243 中形成上电极 620 的材料相同, 在此不再赘述。

介电层 610 覆盖的导体层 250 (也即第二区域 A2 的导体层 250)、介电层 610 和上电极 620 在存储单元区 Z1 远离位线区 Z2 的一端 (也即第二区域 A2) 形成电容器 600, 介电层 610 覆盖的导体层 250 (也即第二区域 A2 的导体层 250) 作为电容器 600 的下电极 630。

在一些实施例中，在步骤 S363 之后还执行了以下步骤：

步骤 S364：形成共用上极板，共用上极板覆盖上电极并填充导体层 250 之间未被填充的区域以及第一子沟槽中未被填充的区域。

参照图 48 所示，一些实施例中，形成共用上极板 640 的制程以及共用上极板 640 的材料和选择和上述实施例中 S244 相同，在此不再赘述。

步骤 S370：形成第二沟槽，第二沟槽暴露出第一区域的部分侧壁，同时形成第五沟槽，第五沟槽的一侧壁暴露出位线区的部分侧壁。

如图 49 所示，在结构的顶面形成第三掩膜层（图中未示出），第三掩膜层定义有第二沟槽 221 和第五沟槽 521 的图案，刻蚀去除第三掩膜层暴露出第一隔离层 231 和第二隔离层 232，分别形成第二沟槽 221 和第五沟槽 521。

沿第一方向 D1，第二沟槽 221 和位线区 Z2 间隔预设距离，第二沟槽 221 靠近条形结构 300 设置，并暴露出条形结构 300 的部分侧壁。

沿第二方向 D2，第五沟槽 521 和选择区 Z3 间隔预设距离，第五沟槽 521 靠近位线区 Z2 的叠层设置，并暴露出位线区 Z2 的叠层的部分侧壁。

步骤 S380：刻蚀条形结构的中间区域，去除部分条形结构，沿垂直于衬底的方向，在相邻的第一子层之间形成第一沟槽，同时刻蚀位线区，去除位线区的部分叠层结构，沿垂直于衬底的方向，在位线区中相邻的第一子层之间形成第四沟槽，第四沟槽靠近选择区设置。

如图 50 所示，基于第二沟槽 221 刻蚀条形结构 300，刻蚀去除被第二沟槽 221 暴露出的导体层 250，形成第一沟槽 121。参照图 52、图 57、图 58，第一沟槽 121 将存储单元区 Z1 的导体层 250 划分成沿第一方向 D1 独立设置在第一沟槽 121 两侧的两段，参照图 55 所示，第一区域 A1 中，位于第一沟槽 121 左侧的导体层 250 作为后续形成的存储单元 SU 中单元晶体管 MCT 的第一源/漏极 181，位于第一沟槽 121 右侧的导体层 250 作为后续形成的存储单元 SU 中单元晶体管 MCT 的第二源/漏极 182，可以看出，第一源/漏极 181 和电容器 600 相连，第二源/漏极 182 和位线相连。

如图 50 所示，基于第五沟槽 521 刻蚀位线区 Z2，去除被第五沟槽 521 暴露出的导电金属材料层，形成第四沟槽 421。参照图 52、图 57、图 58，第四沟槽 421 将位线区 Z2 的导电金属材料层划分成沿第二方向 D2 独立设置在第四沟槽 421 两侧的两段，其中，远离选择线 SL 的部分作为后续形成的选择晶体管 ST 的第三源/漏极 281，靠近选择区 Z3 的部分作为后续形成的选择晶体管 ST 的第四源/漏极 282，可以看出，第三源/漏极 281 和位线 BL 相连，第四源/漏极 282 和选择线 SL 相连。

步骤 S390：于第一沟槽中形成第一半导体沟道和第一栅介质层，第一半导体沟道覆盖第一沟槽的槽壁，第一栅介质层覆盖第一半导体沟道，同时，于第四沟槽中形成第二半导体沟道和第二栅介质层，第二半导体沟道覆盖第四沟槽的槽壁，第二栅介质层覆盖第二半导体沟道。

步骤 S400：形成第一字线，同时形成第二字线。

参照图 51、图 52、图 53 所示，一些实施例中的步骤 S390、步骤 S400 和上述实施例中的步骤 S270、步骤 S280 的实施方法相同，在此不再赘述。

本实施例的存储器的制作方法，可以基于氧化硅和氮化硅层形成的叠层结构形成三维架构的存储器，也可以基于氧化硅和半导体掺杂层形成的叠层结构形成三维架构的存储器，存储器的制作方法适用范围广泛。

根据一示例性实施例，提供了一种存储器，参照图 52、图 55、图 56、图 57、图 58，并参照图 33、图 53，存储器包括衬底 100、至少一条第一字线 WL1、以及至少一列存储单元列 SUC；第一字线 WL1 包括第一竖直部 VP1 以及至少一个第一水平部 HS1，第一竖直部 VP1 垂直设置在衬底 100 上，至少一个第一水平部 HS1 沿垂直于衬底 100 的方向间隔排列并与第一竖直部 VP1 连接；至少一列存储单元列 SUC，存储单元列 SUC 包括沿垂直于衬底 100 的方向间隔排列的至少一个存储单元 SU；存储单元 SU 包括单元晶体管 MCT，第一水平部 HS1 作为单元晶体管 MCT 的栅极 G1，单元晶体管 MCT 包括沿远离第一水平

部 HS1 的方向依次设置的第一栅介质层 171 和第一半导体沟道 161，单元晶体管 MCT 还包括沿第一方向 D1 相对设置在第一半导体沟道 161 两侧的第一源/漏极 181 和第二源/漏极 182，第一方向 D1 平行于衬底 100。存储器中没有在制程中残留的导电膜层，没有寄生器件，能够提高半导体结构的响应速度、避免响应延迟，提高半导体结构的良率和电性能。

第一字线 WL1 包括第一竖直部 VP1 以及至少一个第一水平部 HS1，第一水平部 HS1 作为单元晶体管 MCT 的栅极 G1，第一水平部 HS 不受第一字线 WL1 的第一竖直部 VP1 的长度限制，第一水平部 HS 可以增加单元晶体管 MCT 的栅极 G1 的长度，从而增强单元晶体管 MCT 的栅极 G1 的控制能力；另外，第一水平部 HS1 位置的第一半导体沟道 161 可以得到保护，避免去除寄生沟道时损伤第一水平部 HS1 位置的第一半导体沟道 161。

在一些实施例中，参照图 52、图 53，在平行于第一方向 D1 且垂直于衬底 100 的平面中，第一半导体沟道 161 环绕第一水平部 HS1，如此设置可以增强单元晶体管 MCT 的栅极 G1 的控制能力。

在一些实施例中，参照图 52、图 53，第一半导体沟道 161 包括连接沟道 1611，连接沟道 1611 位于第一水平部 HS1 在第二方向 D2 的一侧，第二方向 D2 平行于衬底 100 且与第一方向 D1 相交，如此设置使得第一半导体沟道 161 进一步包覆第一水平部 HS1，进一步增强单元晶体管 MCT 的栅极 G1 的控制能力。

在一些实施例中，参照图 52、图 53，并参照图 33、图 53，第一半导体沟道 161 为杯状，第一半导体沟道 161 套设在第一水平部 HS1 上。

第一水平部 HS1 的一侧和第一竖直部 VP1 相连，第一水平部 HS1 除和第一竖直部 VP1 相连的区域以外，第一水平部 HS1 的全部外周面均被第一半导体沟道 161 覆盖，比如，参照图 52、图 53 所示，在一些实施例中，第一水平部 HS1 沿平行于衬底 100 的方向的截面图为正方形或长方形，第一水平部 HS1 的一侧的侧面和第一竖直部 VP1 相连，第一水平部 HS1 的其余五面均被第一半导体沟道 161 覆盖，第一半导体沟道 161 对第一水平部 HS1 覆盖面积较大，单元晶体管 MCT 的栅极 G1 的控制能力较大。

在一些实施例中，如图 55、图 56 所示，存储单元 SU 还包括半导体掺杂层 220a，半导体掺杂层 220a 包括沿第一方向 D1 相对设置在第一半导体沟道 161 的两侧的两段，第一源/漏极 181 和第二源/漏极 182 分别设置在第一半导体沟道 161 的两侧的半导体掺杂层 220a 中。

在一些实施例中，如图 57、图 58 所示，存储单元 SU 还包括导体层 250，导体层 250 包括沿第一方向 D1 相对设置在第一半导体沟道 161 的两侧的两段，第一源/漏极 181 和第二源/漏极 182 分别设置在第一半导体沟道 161 的两侧的导体层 250 中。

在一些实施例中，存储单元 SU 还包括用于存储数据的记忆体件，用于存储数据的记忆体件可以为电容器 600 或磁性隧道结或相变组件。

在一些实施例中，参照图 52、图 55、图 56、图 57、图 58，存储单元 SU 还包括电容器 600，沿第一方向 D1，电容器 600 设置在单元晶体管 MCT 的一侧，电容器 600 和单元晶体管 MCT 的第一源/漏极 181 相连。

在一些实施例中，参照图 52、图 55、图 56、图 57、图 58，电容器 600 包括下电极 630、介电层 610 和上电极 620，下电极 630 与第一源/漏极 181 相连，介电层 610 设置在上电极 620 和下电极 630 之间。介电层 610 覆盖在下电极 630 上，上电极 620 覆盖在介电层 610 上。

在一些实施例中，参照图 52、图 55、图 56、图 57、图 58，电容器 600 的下电极 630 设置在半导体掺杂层 220a 中，电容器 600 的下电极 630 和第一源/漏极 181 同侧设置，第一源/漏极 181 靠近第一半导体沟道 161 设置，电容器 600 的下电极 630 远离第一半导体沟道 161 设置。

在一些实施例中，参照图 52、图 55、图 56、图 57、图 58，电容器 600 的下电极 630 设置在导体层 250 中，同样的，电容器 600 的下电极 630 和第一源/漏极 181 同侧设置，第一源/漏极 181 靠近第一半导体沟道 161 设置，电容器 600 的下电极 630 远离第一半导体沟道 161 设置。

在一些实施例中，参照图 52、图 55、图 56、图 57、图 58，在平行于衬底 100 的平面中，多个电容器 600 的上电极 620 相互连接，形成封闭图形，如此设置可以增加上电极 620、下电极 630 的相对面积，增大电容。

在一些实施例中，参照图 52、图 55、图 56、图 57、图 58，在封闭图形内具有共用上极板 640，共用上极板 640 与上电极 620 连接，如此设置可以增加存储器中电容器 600 的体积占比，增加存储器的存储电容。

在一些实施例中，参照图 52、图 55、图 56、图 57、图 58，存储器还包括至少一条位线 BL，位线 BL 沿垂直于衬底 100 的方向间隔排列，位线 BL 沿第二方向 D2 延伸，位线 BL 和沿第二方向 D2 排列的多个单元晶体管 MCT 的第二源/漏极相连，第二方向 D2 平行于衬底 100 且与第一方向 D1 相交，位线 BL 用于在单元晶体管 MCT 导通时，对单元晶体管 MCT 所在的存储单元 SU 执行读取或写入操作。

在一些实施例中，参照图 52、图 55、图 56、图 57、图 58，存储器还包括第二字线 WL2，第二字线 WL2 包括第二竖直部 VP2 以及至少一个第二水平部 HS2，第二竖直部 VP2 垂直设置在衬底 100 上，至少一个第二水平部 HS2 沿垂直于衬底 100 的方向间隔排列并与第二竖直部 VP2 连接。

参照图 52、图 55、图 56、图 57、图 58，存储器还包括至少一个选择晶体管 ST，至少一个选择晶体管 ST 沿垂直于衬底 100 的方向间隔排列，第二水平部 HS2 作为选择晶体管 ST 的栅极 G2，选择晶体管 ST 包括沿远离第二水平部 HS2 的方向依次设置的第二栅介质层 271 和第二半导体沟道 261，选择晶体管 ST 还包括沿第二方向 D2 相对设置在第二半导体沟道 261 两侧的第三源/漏极 281 和第四源/漏极 282；选择晶体管 ST 的第三源/漏极 281 和位线 BL 一一对应连接。

参照图 52、图 55、图 56、图 57、图 58，存储器还包括至少一条选择线 SL，至少一条选择线 SL 沿垂直于衬底 100 的方向间隔排列，选择线 SL 沿第一方向 D1 延伸，且选择线 SL 和选择晶体管 ST 的第四源/漏极 282 一一对应连接。选择线 SL 用于向选择晶体管 ST 提供电压，并通过电压控制选择晶体管 ST 的导通或截止，进而通过位线 BL 控制与其相连的存储单元 SU。

根据一示例性实施例，提供了一种电子设备，电子设备包括上述实施例中的存储器。电子设备可以为存储设备、手机、电脑、平板电脑、电视、人工智能设备等。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本公开的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本公开构思的前提下，还可以做出若干变形和改进，这些都属于本公开的保护范围。因此，本公开专利的保护范围应以所附权利要求为准。

权利要求

1.一种存储器的制作方法，包括以下步骤：

提供衬底，在所述衬底上形成叠层结构，所述叠层结构包括交替堆叠的第一子层和第二子层，在所述叠层结构定义存储单元区和位线区；

形成隔离沟槽，所述隔离沟槽沿垂直于所述衬底的方向贯穿所述叠层结构，所述隔离沟槽沿第一方向延伸、将所述存储单元区的所述叠层结构划分成至少一个沿所述第一方向延伸的条形结构，所述第一方向平行于所述衬底；

刻蚀所述条形结构的中间区域，去除部分所述条形结构，沿垂直于所述衬底的方向，在相邻的所述第一子层之间形成第一沟槽；

于所述第一沟槽中形成第一半导体沟道和第一栅介质层，所述第一半导体沟道覆盖所述第一沟槽的槽壁，所述第一栅介质层覆盖所述第一半导体沟道；

形成第一字线，所述第一字线包括形成在所述第一沟槽中的第一水平部以及形成在所述隔离沟槽中的第一竖直部，所述第一水平部覆盖所述第一栅介质层，所述第一竖直部垂直设置在所述衬底上，所述第一水平部和所述第一竖直部相连。

2.根据权利要求1所述的存储器的制作方法，其中，在相邻的所述第一子层之间形成第一沟槽，包括：

于所述隔离沟槽中形成隔离层；

在所述隔离层中形成第二沟槽，所述第二沟槽的一侧壁暴露出所述条形结构的中间区域的部分表面；

刻蚀去除所述第二沟槽暴露出的所述条形结构，形成所述第一沟槽，所述中间区域的所述第一沟槽和所述第一子层沿垂直于所述衬底的方向交替设置。

3.根据权利要求2所述的存储器的制作方法，其中，于所述第一沟槽中形成第一半导体沟道和第一栅介质层，包括：

形成半导体材料层，所述半导体材料层覆盖所述第一沟槽的槽壁和所述第二沟槽的槽壁；

形成栅介质材料层，所述栅介质材料层覆盖所述半导体材料层；

去除所述第二沟槽中的所述半导体材料层和所述栅介质材料层，所述第一沟槽中的所述半导体材料层形成所述第一半导体沟道，所述第一沟槽中的所述栅介质材料层形成所述第一栅介质层。

4.根据权利要求3所述的存储器的制作方法，其中，形成第一字线，包括：

于所述第一沟槽中形成所述第一水平部，所述第一水平部覆盖所述第一栅介质层并填充所述第一沟槽，所述第二沟槽的一侧壁暴露出所述第一水平部的部分表面；

形成所述第一竖直部，所述第一竖直部接触所述第一水平部的暴露的表面并填充所述第二沟槽。

5.根据权利要求4所述的存储器的制作方法，其中，于所述第一沟槽中形成所述第一水平部，包括：

形成栅介质材料层之后，形成第一栅导电层，所述第一栅导电层覆盖所述栅介质材料层并填充所述第一沟槽和所述第二沟槽；

刻蚀去除所述第二沟槽中的所述第一栅导电层，保留所述第一沟槽中的所述第一栅导电层，形成所述第一水平部。

6.根据权利要求5所述的存储器的制作方法，其中，所述制作方法，包括：

依次刻蚀去除所述第二沟槽中的所述第一栅导电层、所述栅介质材料层和所述半导体材料层，暴露出所述第二沟槽。

7.根据权利要求 5 所述的存储器的制作方法,其中,所述制作方法,包括:

刻蚀去除所述第二沟槽的周围的部分所述隔离层,形成第三沟槽,所述第三沟槽暴露出位于所述第二沟槽中的所述半导体材料层;

基于所述第三沟槽刻蚀去除所述第二沟槽中的所述半导体材料层、所述栅介质材料层和所述第一栅导电层。

8.根据权利要求 4 所述的存储器的制作方法,其中,形成所述第一竖直部,包括:

形成第二栅导电层,所述第二栅导电层至少填充所述第二沟槽,形成所述第一竖直部。

9.根据权利要求 1-8 中任一项所述的存储器的制作方法,其中,沿所述第一方向,所述第一沟槽和所述位线区间隔预设距离。

10.根据权利要求 1-8 中任一项所述的存储器的制作方法,其中,在所述叠层结构定义选择区,所述存储单元区和所述位线区沿所述第一方向排列,所述选择区沿第二方向在所述位线区的一端,所述第二方向平行于所述衬底且与所述第一方向相交;所述制作方法,还包括:

刻蚀所述位线区,去除所述位线区的部分所述叠层结构,沿垂直于所述衬底的方向,在所述位线区中相邻的所述第一子层之间形成第四沟槽,所述第四沟槽靠近所述选择区设置。

11.根据权利要求 10 所述的存储器的制作方法,其中,所述制作方法,还包括:

于所述第一沟槽中形成所述第一半导体沟道和所述第一栅介质层的同时,于所述第四沟槽中形成第二半导体沟道和第二栅介质层,所述第二半导体沟道覆盖所述第四沟槽的槽壁,所述第二栅介质层覆盖所述第二半导体沟道;

形成所述第一字线的同时,形成第二字线,所述第二字线包括形成在所述第四沟槽的第二水平部以及形成在所述隔离沟槽的第二竖直部,所述第二水平部覆盖所述第二栅介质层并填充所述第四沟槽,所述第二竖直部垂直设置在所述衬底上,所述第二水平部和所述第二竖直部相连。

12.根据权利要求 1 所述的存储器的制作方法,其中,所述第一子层为氧化硅层,所述第二子层为半导体掺杂层,形成所述隔离沟槽之后,所述位线区的所述半导体掺杂层形成沿第二方向延伸的位线,所述第二方向平行于所述衬底且与所述第一方向相交。

13.根据权利要求 12 所述的存储器的制作方法,其中,所述制作方法,还包括:

刻蚀去除远离所述位线区的一端的部分所述第一子层,暴露出所述半导体掺杂层远离所述位线区的一端的部分表面;

形成介电层,所述介电层覆盖所述半导体掺杂层的暴露的表面;

形成上电极,所述上电极覆盖所述介电层。

14.根据权利要求 1 所述的存储器的制作方法,其中,所述第一子层为氧化硅层,所述第二子层为氮化硅层;于所述存储单元区形成隔离沟槽之后,所述制作方法包括:

刻蚀去除全部的所述第二子层,在所述第二子层被去除的区域形成空气层;

于所述位线区的所述空气层中形成位线,所述位线沿第二方向延伸,所述第二方向平行于所述衬底且与所述第一方向相交;

形成导体层,所述导体层填充所述空气层未被填充的区域。

15.根据权利要求 14 所述的存储器的制作方法,其中,所述制作方法,还包括:

刻蚀去除远离所述位线区的一端的部分所述第一子层,暴露出所述导体层远离所述位线区的一端的部分表面;

形成介电层,所述介电层覆盖所述导体层的暴露的表面;

形成上电极,所述上电极覆盖所述介电层。

16.一种存储器,所述存储器包括:

衬底;

至少一条第一字线，所述第一字线包括第一竖直部以及至少一个第一水平部，所述第一竖直部垂直设置在所述衬底上，至少一个所述第一水平部沿垂直于所述衬底的方向间隔排列并与所述第一竖直部连接；

至少一列存储单元列，所述存储单元列包括沿垂直于所述衬底的方向间隔排列的至少一个存储单元；

所述存储单元包括单元晶体管，所述第一水平部作为所述单元晶体管的栅极，所述单元晶体管包括沿远离所述第一水平部的方向依次设置的第一栅介质层和第一半导体沟道，所述单元晶体管还包括沿第一方向相对设置在所述第一半导体沟道两侧的第一源/漏极和第二源/漏极，所述第一方向平行于所述衬底。

17.根据权利要求 16 所述的存储器，其中，在平行于所述第一方向且垂直于所述衬底的平面中，所述第一半导体沟道环绕所述第一水平部。

18.根据权利要求 17 所述的存储器，其中，所述第一半导体沟道包括连接沟道，连接沟道位于所述第一水平部在第二方向的一侧，所述第二方向平行于所述衬底且与所述第一方向相交。

19.根据权利要求 17 所述的存储器，其中，所述第一半导体沟道为杯状，所述第一半导体沟道套设在所述第一水平部上。

20.根据权利要求 16 所述的存储器，其中，所述存储单元还包括电容器，沿所述第一方向，所述电容器设置在所述单元晶体管的一侧，所述电容器和所述单元晶体管的所述第一源/漏极相连。

21.根据权利要求 20 所述的存储器，其中，所述电容器包括下电极、介电层和上电极，所述下电极与所述第一源/漏极相连，所述介电层设置在所述上电极和所述下电极之间。

22.根据权利要求 21 所述的存储器，其中，在平行于所述衬底的平面中，多个所述电容器的所述上电极相互连接，形成封闭图形。

23.根据权利要求 22 所述的存储器，其中，在所述封闭图形内具有共用上极板，共用上极板与所述上电极连接。

24.根据权利要求 16 所述的存储器，其中，所述存储器还包括：
至少一条位线，至少一条所述位线沿垂直于所述衬底的方向间隔排列，所述位线沿第二方向延伸，所述位线和沿所述第二方向排列的多个所述单元晶体管的所述第二源/漏极相连，所述第二方向平行于所述衬底且与所述第一方向相交。

25.根据权利要求 24 所述的存储器，其中，所述存储器还包括：

第二字线，所述第二字线包括第二竖直部以及至少一个第二水平部，所述第二竖直部垂直设置在所述衬底上，至少一个所述第二水平部沿垂直于所述衬底的方向间隔排列并与所述第二竖直部连接；

至少一个选择晶体管，至少一个所述选择晶体管沿垂直于所述衬底的方向间隔排列，所述第二水平部作为所述选择晶体管的栅极，所述选择晶体管包括沿远离所述第二水平部的方向依次设置的第二栅介质层和第二半导体沟道，所述选择晶体管还包括沿所述第二方向相对设置在所述第二半导体沟道两侧的第三源/漏极和第四源/漏极；所述选择晶体管的所述第三源/漏极和所述位线一一对应连接。

26.根据权利要求 25 所述的存储器，其中，所述存储器还包括：

至少一条选择线，至少一条所述选择线沿垂直于所述衬底的方向间隔排列，所述选择线沿所述第一方向延伸，且所述选择线和所述选择晶体管的所述第四源/漏极一一对应连接。

27.一种电子设备，包括如权利要求 16 至 26 中任一项所述的存储器。

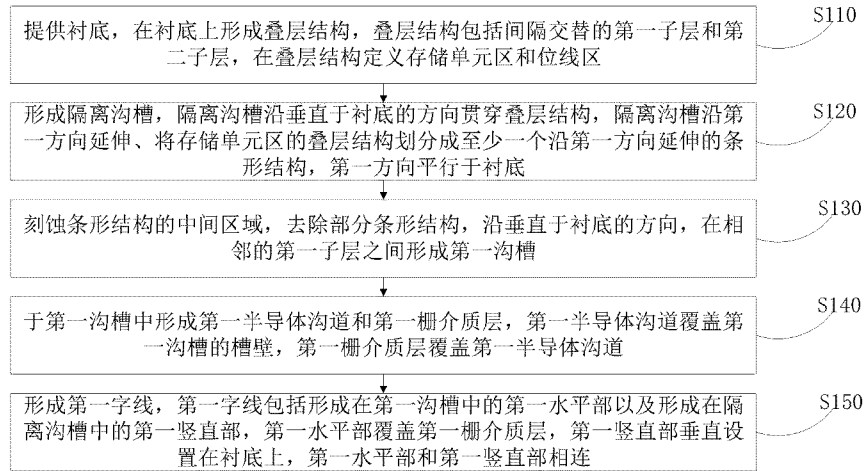


图 1

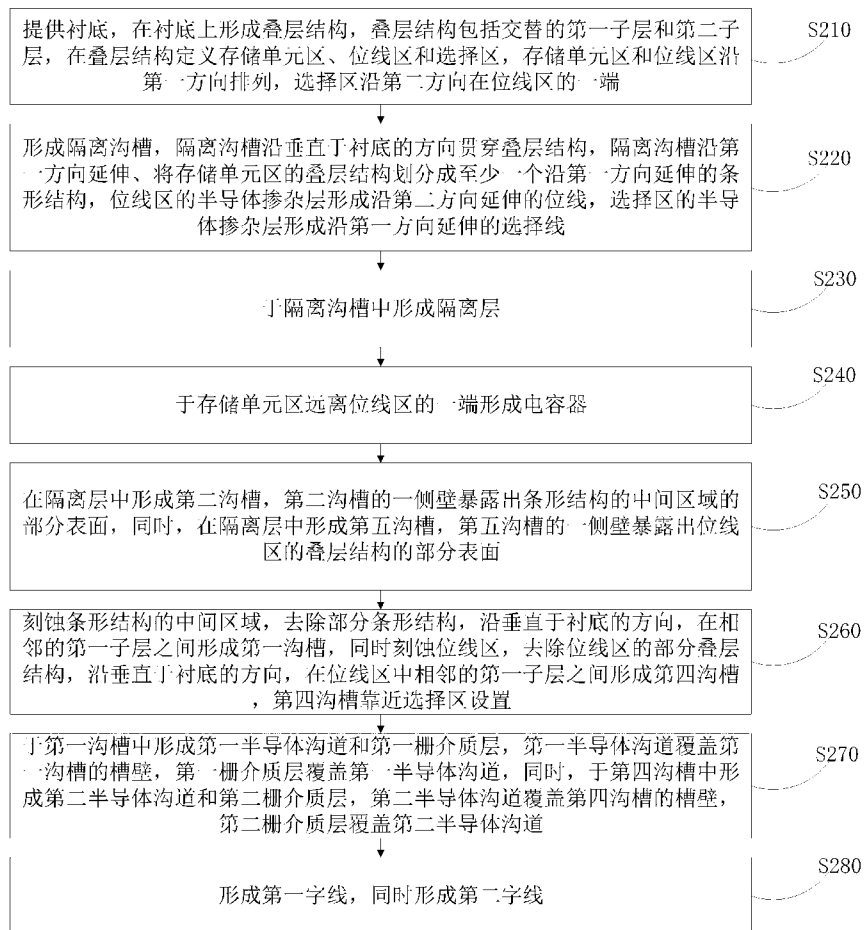


图 2

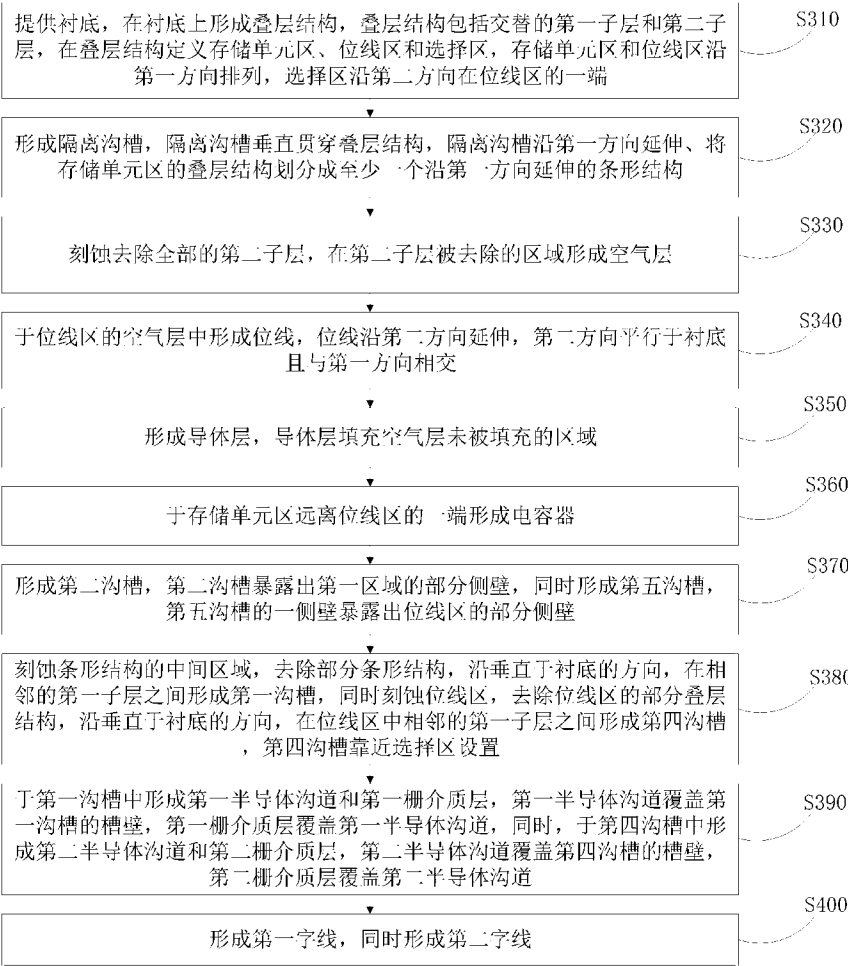


图 3

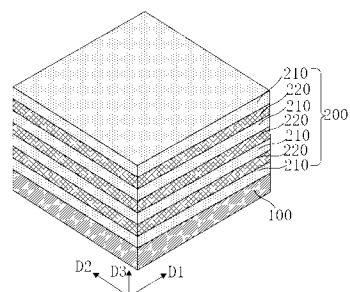


图 4

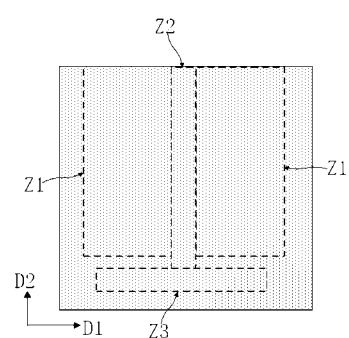


图 5

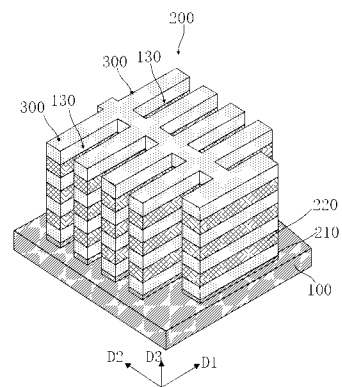


图 6

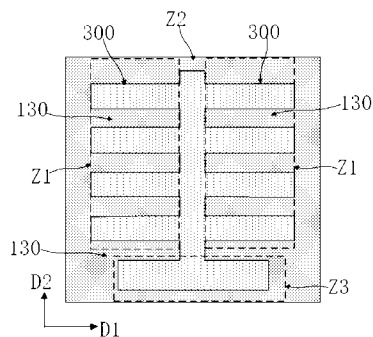


图 7

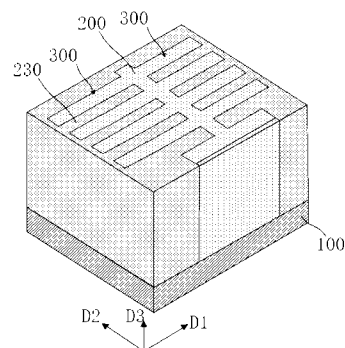


图 8

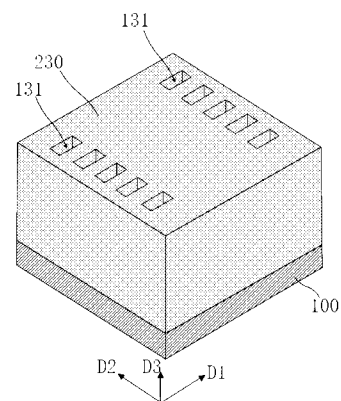


图 9

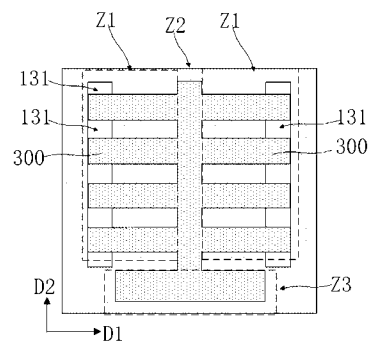


图 10

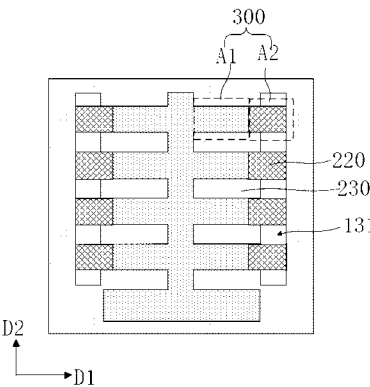


图 11

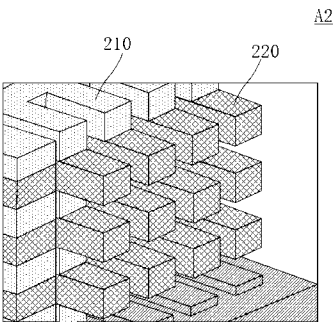


图 12

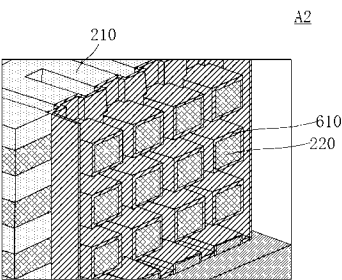


图 13

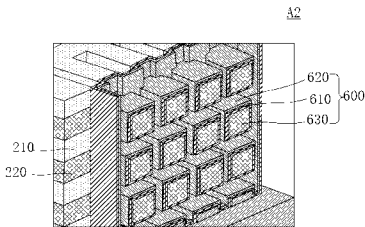


图 14

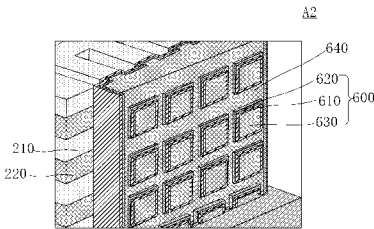


图 15

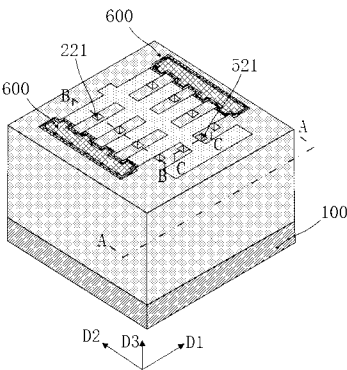


图 16

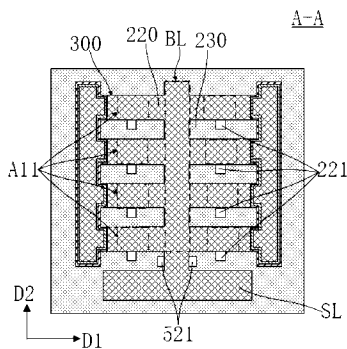


图 17

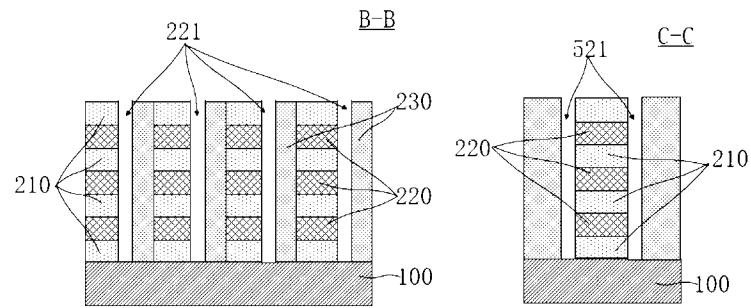


图 18

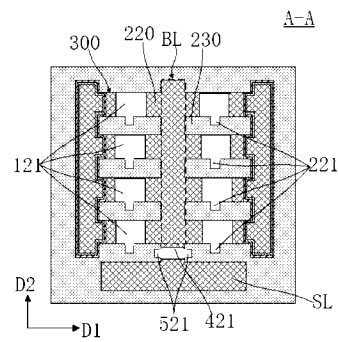


图 19

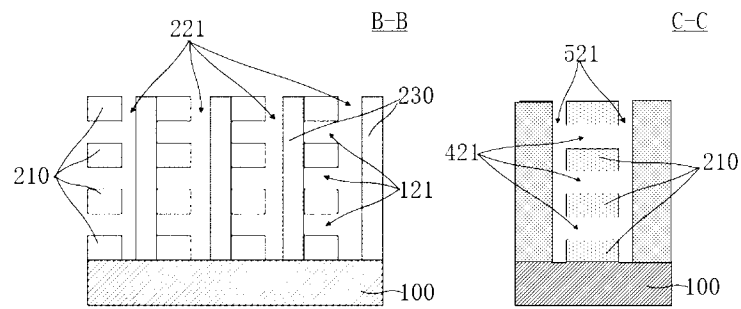


图 20

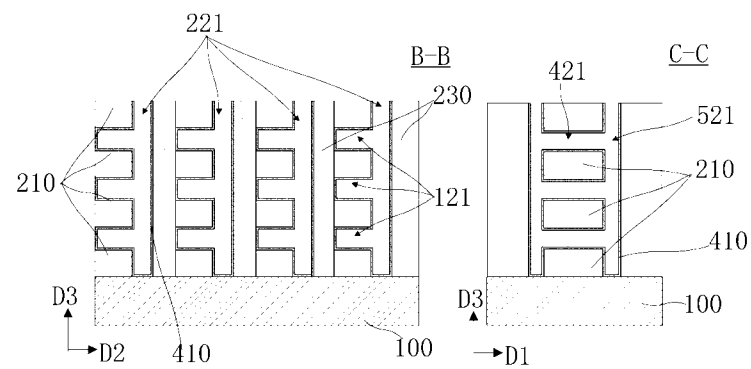


图 21

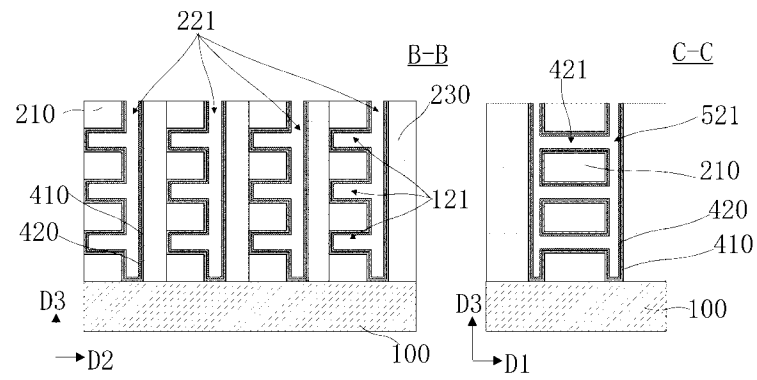


图 22

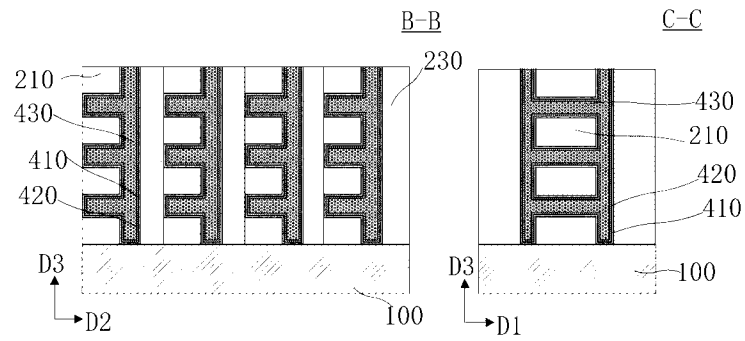


图 23

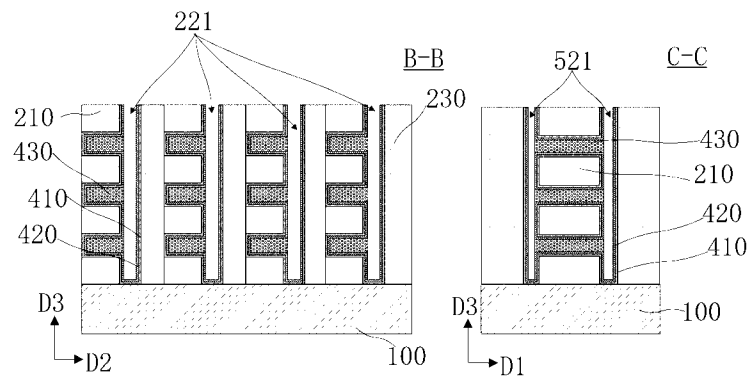


图 24

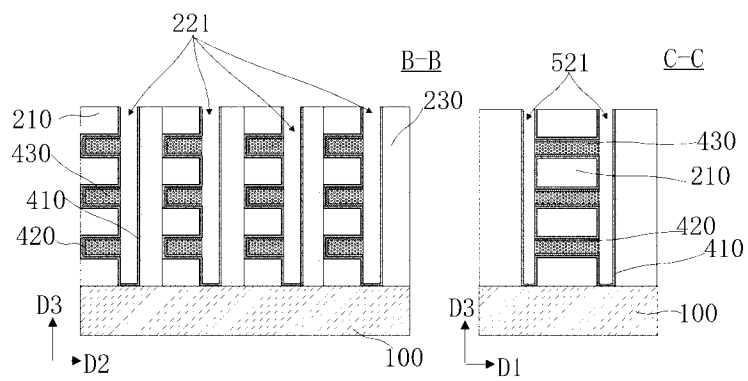


图 25

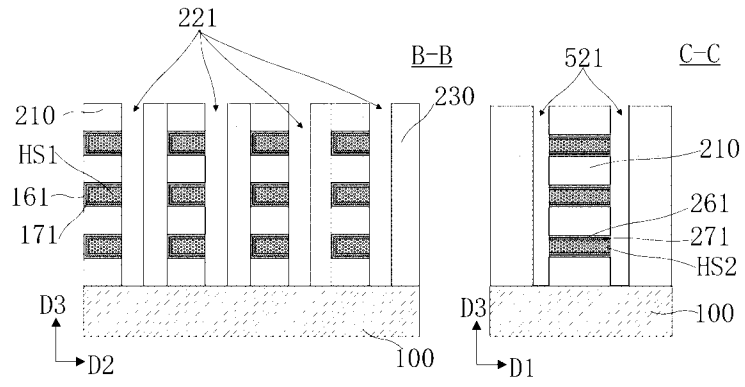


图 26

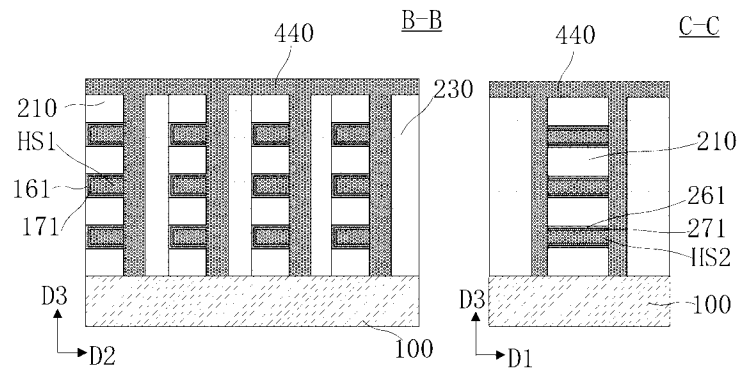


图 27

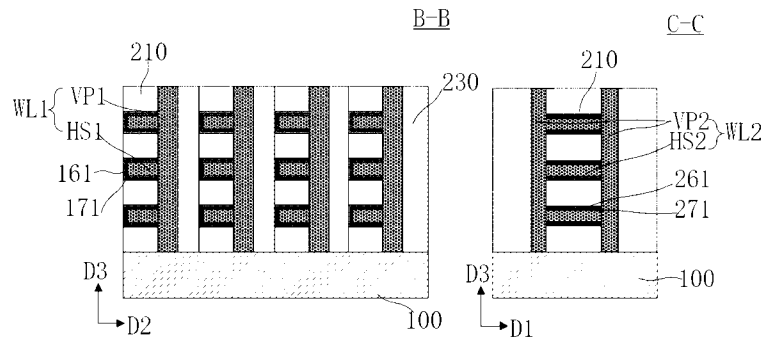


图 28

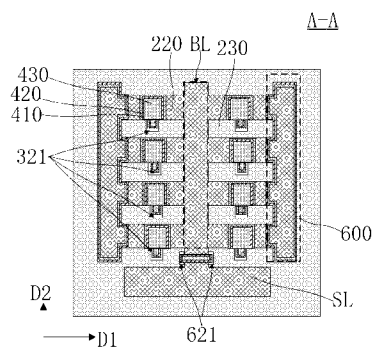


图 29

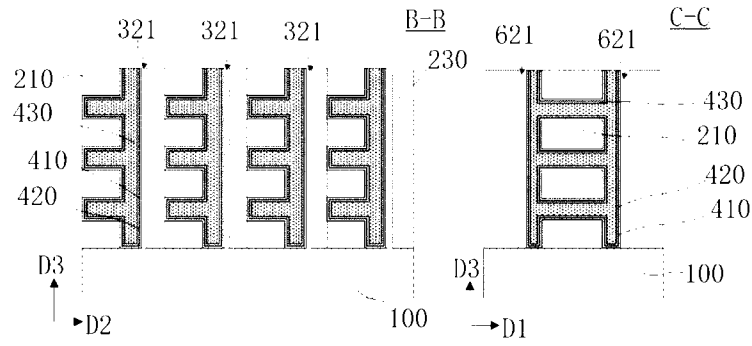


图 30

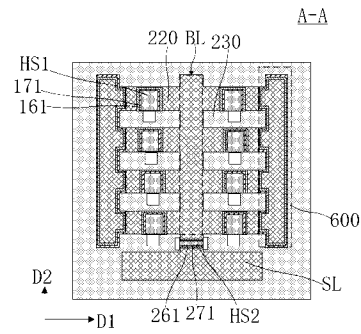


图 31

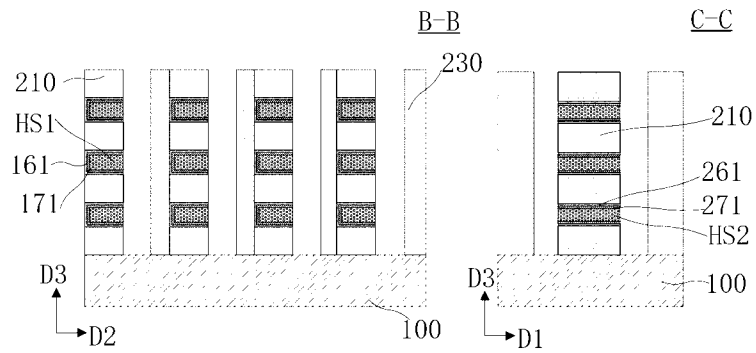


图 32

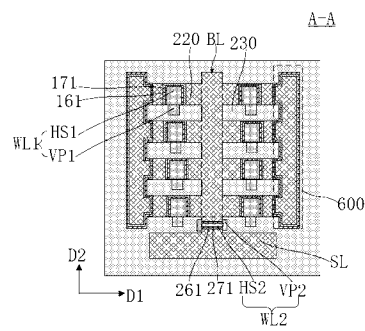


图 33

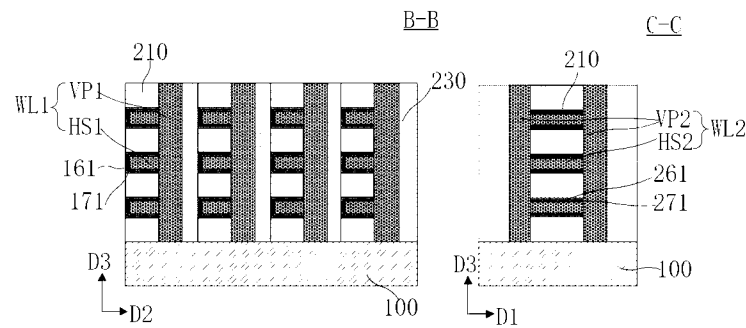


图 34

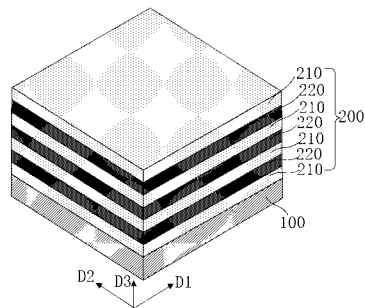


图 35

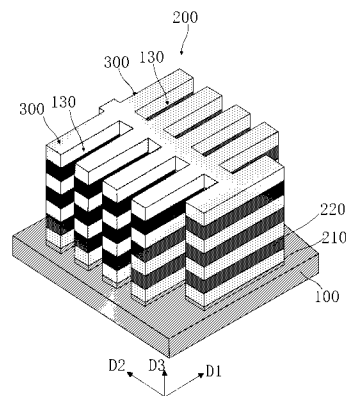


图 36

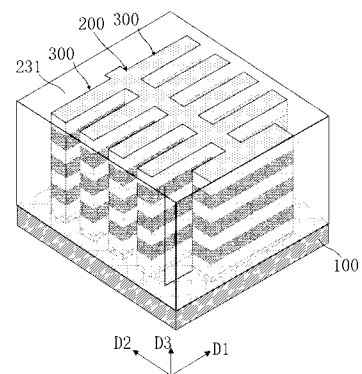


图 37

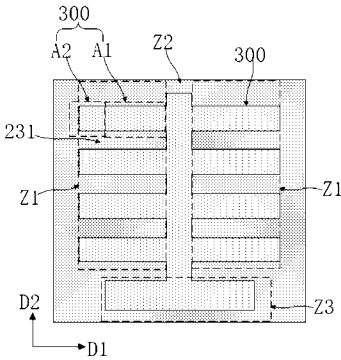


图 38

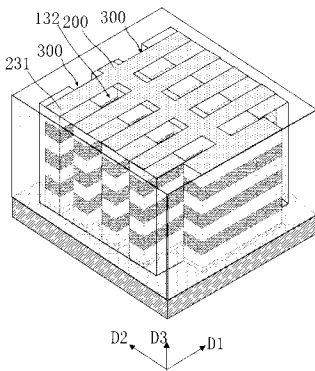


图 39

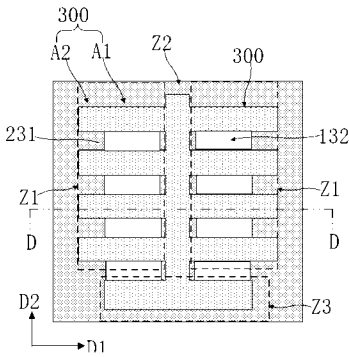


图 40

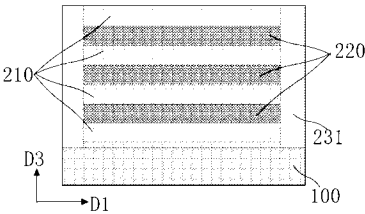


图 41

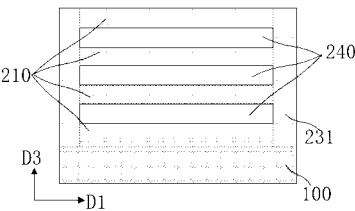


图 42

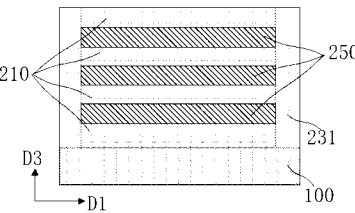


图 43

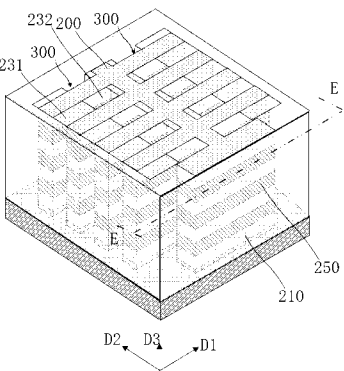


图 44

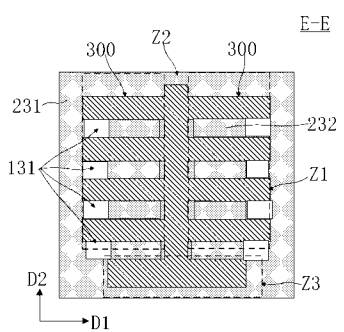


图 45

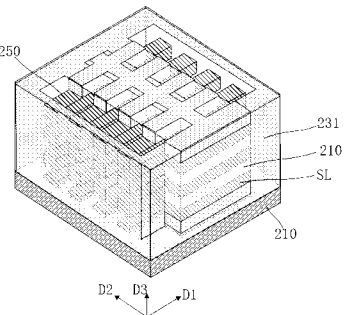


图 46

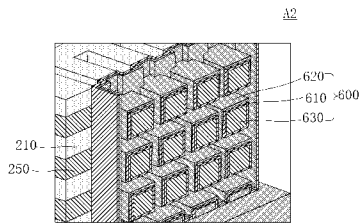


图 47

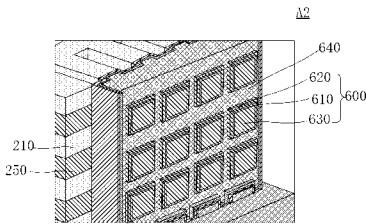


图 48

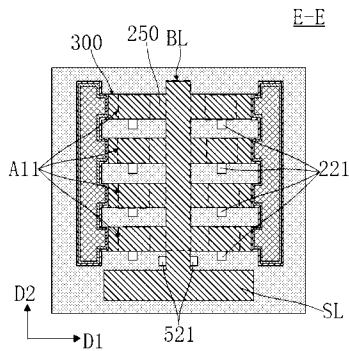


图 49

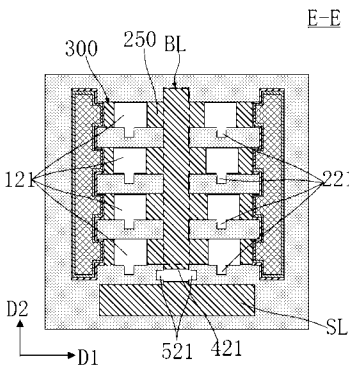


图 50

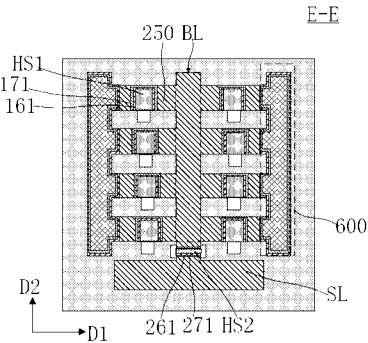


图 51

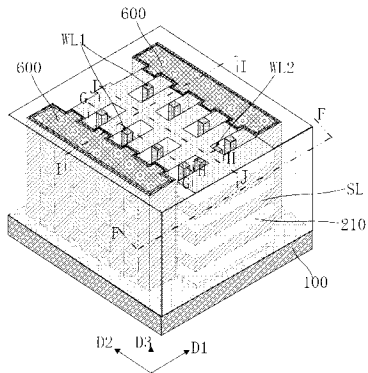


图 52

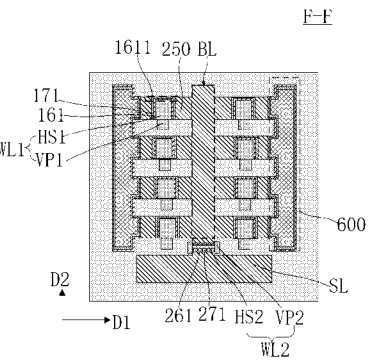


图 53

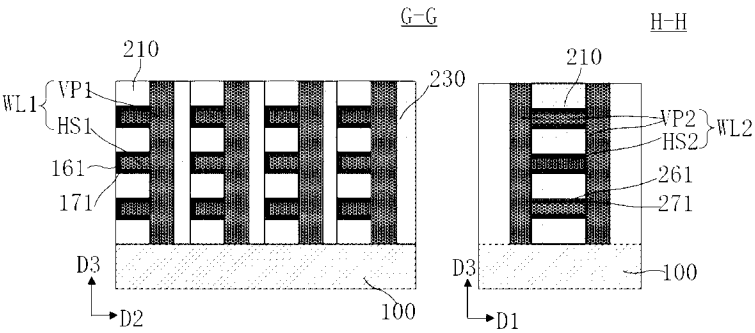


图 54

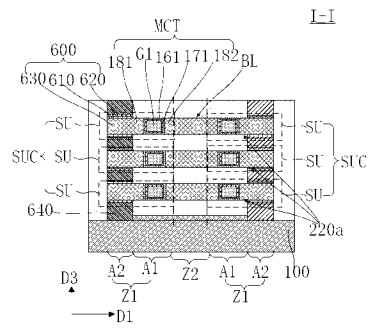


图 55

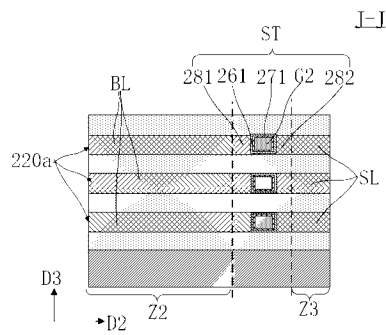


图 56

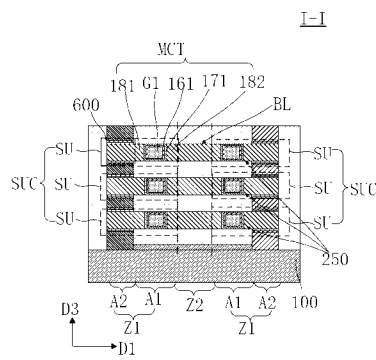


图 57

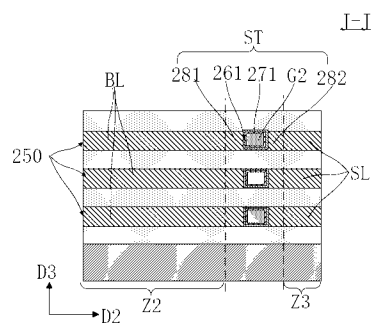


图 58

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/113355

A. CLASSIFICATION OF SUBJECT MATTER H10B12/00(2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H10B, H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 存储, 储存, 叠层, 堆叠, 层叠, 栅, 水平, 横向, 竖直, 垂直, storage, DRAM, stack, laminate, gate, horizontal, vertical, perpendicular		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115867026 A (BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY) 28 March 2023 (2023-03-28) description, paragraphs 0005-0174, and figures 1-20	16, 20-27
A	CN 106910717 A (HEFEI ZHIJU INTEGRATED CIRCUIT CO., LTD.) 30 June 2017 (2017-06-30) entire document	1-27
A	US 2018097009 A1 (SANDISK TECHNOLOGIES LLC) 05 April 2018 (2018-04-05) entire document	1-27
A	US 9972641 B1 (SANDISK TECHNOLOGIES LLC) 15 May 2018 (2018-05-15) entire document	1-27
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 05 November 2024		Date of mailing of the international search report 14 November 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/113355

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115867026	A	28 March 2023	None			
CN	106910717	A	30 June 2017	None			
US	2018097009	A1	05 April 2018	EP	3494597	A1	12 June 2019
				EP	3494597	B1	09 March 2022
				US	10050054	B2	14 August 2018
				WO	2018067250	A1	12 April 2018
				CN	109791932	A	21 May 2019
US	9972641	B1	15 May 2018	US	2018138193	A1	17 May 2018

A. 主题的分类

H10B12/00(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10B, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 存储, 储存, 叠层, 堆叠, 层叠, 栅, 水平, 横向, 竖直, 垂直, storage, DRAM, stack, laminate, gate, horizontal, vertical, perpendicular

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 115867026 A (北京超弦存储器研究院) 2023年3月28日 (2023 - 03 - 28) 说明书第0005-0174段, 附图1-20	16, 20-27
A	CN 106910717 A (合肥智聚集成电路有限公司) 2017年6月30日 (2017 - 06 - 30) 全文	1-27
A	US 2018097009 A1 (SANDISK TECHNOLOGIES LLC) 2018年4月5日 (2018 - 04 - 05) 全文	1-27
A	US 9972641 B1 (SANDISK TECHNOLOGIES LLC) 2018年5月15日 (2018 - 05 - 15) 全文	1-27

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年11月5日

国际检索报告邮寄日期

2024年11月14日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

黄万国

电话号码 (+86) 010-53961457

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/113355

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115867026	A	2023年3月28日	无			
CN	106910717	A	2017年6月30日	无			
US	2018097009	A1	2018年4月5日	EP	3494597	A1	2019年6月12日
				EP	3494597	B1	2022年3月9日
				US	10050054	B2	2018年8月14日
				WO	2018067250	A1	2018年4月12日
				CN	109791932	A	2019年5月21日
US	9972641	B1	2018年5月15日	US	2018138193	A1	2018年5月17日