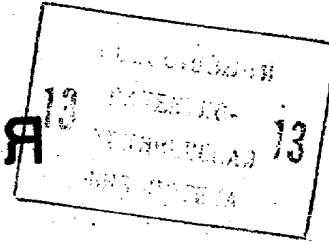




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 2830506/18-24
(22) 12.10.79
(46) 30.04.83. Бюл. № 16
(72) В.М. Глушков, В.Л. Белявский
и Ю.Л. Ивасюк
(71) Ордена Ленина институт киберне-
тики АН Украинской ССР
(53) 681.3(088.8)
(56) 1. Авторское свидетельство СССР
по заявке № 2052304/24,
кл. G 06 F 15/16, 1974.
2. Авторское свидетельство СССР
по заявке № 2314210/24,
кл. G 06 F 15/16, 1976 (прототип).

(54) (57) 1. МНОГОУРОВНЕВОЕ УСТРОЙ-
СТВО ДЛЯ КОММУТАЦИИ ПРОЦЕССОРОВ В
МНОГОПРОЦЕССОРНОЙ ВЫЧИСЛИТЕЛЬНОЙ
СИСТЕМЕ, содержащее на каждом уров-
не группы модулей коммутации, при-
чем модули коммутации каждой груп-
пы более низкого уровня соединены
через шины связи с соответствующим
модулем коммутации более высокого
уровня, модули коммутации в каждой
группе соединены между собой шина-
ми связи по кольцу, о т л и ч а ю-
щ е е с я тем, что, с целью повы-
шения коэффициента использования
оборудования, модули коммутации в
каждой группе соединены между собой
шинами связи по принципу каждый с
каждым, а каждый модуль коммутации
содержит блок связи, память адресов
свободных модулей коммутации и про-
цессоров, блок управления, память
занятости модулей коммутации и про-
цессоров, буферную память, причем
группа входов и выходов блока свя-
зи соединена с шинами связи с про-
цессорами и модулями коммутации бо-
лее низкого, более высокого и это-
го же уровня, первые четыре выхода
блока связи соединены соответствен-
но с первым входом памяти адресов
свободных модулей коммутации и про-
цессоров и с первого по третий вхо-

дами памяти занятости модулей ком-
мутации и процессоров, с четвертого
по седьмой входы и первый и второй
выходы которого соединены соответст-
венно с первого по четвертый выхо-
дами и с первым и вторым входами
блока управления, с пятого по седь-
мой выходы которого соединены с вто-
рого по четвертый входами памяти
адресов свободных модулей коммута-
ции и процессоров, пятый вход и пер-
вый и второй выходы которого соеди-
нены соответственно с третьим выхо-
дом памяти занятости модулей коммута-
ции и процессоров и с первым и
вторым входами блока связи, третий,
четвертый и пятый входы которого сое-
динены соответственно с восьмым,
девятым и десятым выходами блока
управления, с третьего по пятый вхо-
ды и одиннадцатый выход которого сое-
динены соответственно с пятого по
седьмой выходами блока связи и с пер-
вым входом буферной памяти, второй
вход и выход которой соединены соот-
ветственно с восьмым выходом и шес-
тым входом блока связи.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок свя-
зи содержит входной коммутатор ко-
манды, входной коммутатор слова,
входной коммутатор управления, ре-
гистр команды, регистр слова, уси-
литель, выходной коммутатор коман-
ды, выходной коммутатор слова, вы-
ходной коммутатор управления, при-
чем входы входных и выходы выходных
коммутаторов команды, слова и управ-
ления образуют группу входов и груп-
пу выходов блока, выход входного
коммутатора команды соединен с пер-
вым входом регистра команды, второй
вход и с первого по шестой выходы
которого являются соответственно пя-
тым входом, пятым, шестым, четвер-
тым, первым, вторым и третьим выхода-
ми блока, а седьмой выход регистра

команды соединен с первым входом выходного коммутатора команды, выход входного коммутатора слова соединен с входом регистра слова, выход которого является восьмым выходом блока, выход входного коммутатора управления соединен с входом усилителя, выход которого является седьмым выходом блока, первый вход выходного коммутатора слова, первый и четвертый входы выходного коммутатора управления являются соответственно шестым, четвертым и третьим входами блока, вторые и третьи входы выходных коммутаторов команды, слова и управления объединены и являются соответственно вторым и первым входами блока.

3. Устройство по п. 1, отличающееся тем, что блок управления содержит три усилителя, пять элементов И, шесть элементов ИЛИ, семь элементов задержки, регистр кода операций, причем первые входы первого и второго элементов И и входы первого и второго усилителей, вторые входы первого и второго элементов И, а также вход третьего усилителя являются соответственно третьим, четвертым и пятым входами блока, выход первого элемента И соединен с входом первого элемента задержки и первым входом первого элемента ИЛИ, выход которого соединен с входом регистра кода операций, выход первого элемента задержки соединен с первым входом второго элемента ИЛИ и входом третьего элемента задержки, выход которого соединен с первым входом третьего элемента ИЛИ, выход второго элемента И соединен с вторым входом первого элемента ИЛИ и входом второго элемента задержки, выход которого соединен с вторым

входом второго элемента ИЛИ и входом четвертого элемента задержки, выходом соединенного с вторым входом третьего элемента ИЛИ, выходы первого элемента задержки, второго и третьего элементов ИЛИ, а также регистра кода операций являются вторым, первым, четвертым и третьим выходами блока, выход первого усилителя соединен с первым входом пятого элемента И, выход второго усилителя соединен с первыми входами третьего и четвертого элементов И, второй вход третьего элемента И и второй вход пятого элемента И, а также второй вход четвертого элемента И являются соответственно первым и вторым входами блока, выход третьего элемента И соединен с первыми входами четвертого и пятого элементов ИЛИ, выход четвертого элемента И соединен с входом пятого элемента задержки, выходом соединенного с первым входом шестого элемента ИЛИ, выход пятого элемента И соединен с вторым входом четвертого элемента ИЛИ, выход третьего усилителя соединен с входом шестого элемента задержки, выход которого подключен к второму входу шестого элемента ИЛИ и входу седьмого элемента задержки, выходом соединенного с третьим входом четвертого и вторым входом пятого элементов ИЛИ, выходы четвертого элемента И и четвертого и шестого элементов ИЛИ являются соответственно пятым, шестым и седьмым выходами блока, выходы пятого элемента задержки, пятого элемента ИЛИ и пятого элемента И являются соответственно десятым, девятым и восьмым выходами блока, выход шестого элемента задержки является одиннадцатым выходом блока.

1

2

Изобретение относится к вычислительной технике и может быть использовано при построении высокопроизводительных многопроцессорных систем.

Известно многоуровневое устройство для коммутации процессоров в многопроцессорной вычислительной системе, содержащее на каждом уровне группы модулей коммутации, соединенные через шины связи с соответствующим модулем коммутации более высокого уровня [1].

Недостатком известного устройства является неравномерная нагрузка коммутационных модулей, принадлежащих

различным уровням, что приводит к неэффективному использованию оборудования вычислительной системы и снижению ее производительности.

Наиболее близким к предлагаемому по технической сущности является многоуровневое устройство для коммутации процессоров в многопроцессорной вычислительной системе, содержащее на каждом уровне группы коммутационных модулей, соединенные через шины связи с соответствующим модулем коммутации более высокого уровня, а модули коммутации каждой группы соединены между собой шинами связи по кольцу [2].

Недостаток такого устройства для коммутации процессоров состоит в том, что ограничение взаимодействия модулей, принадлежащих одной группе, связями по кольцу сужает возможности организации обмена информацией между модулями и процессорами. В результате уменьшается коэффициент использования оборудования системы и снижается ее производительность.

Цель изобретения - повышение коэффициента использования оборудования.

Поставленная цель достигается тем, что в многоуровневом устройстве для коммутации процессоров в многопроцессорной вычислительной системе, содержащем на каждом уровне группы модулей коммутации, причем модули коммутации каждой группы более низкого уровня соединены через шины связи с соответствующим модулем коммутации более высокого уровня, модули коммутации в каждой группе соединены между собой шинами связи по кольцу и по принципу каждый с каждым, а каждый модуль коммутации содержит блок связи, память адресов свободных модулей коммутации и процессоров, блок управления, память занятости модулей коммутации и процессоров, буферную память, причем группа входов и выходов блока связи соединена с шинами связи с процессорами и модулями коммутации более низкого, более высокого и этого же уровня, первые четыре выхода блока связи соединены соответственно с первым входом памяти адресов свободных модулей коммутации и процессоров и с первым по третий входами памяти занятости модулей коммутации и процессоров, с четвертого по седьмой входы и первый и второй выходы которого соединены соответственно с первым по четвертый выходами и с первым и вторым входами блока управления, с пятого по седьмой выходы которого соединены с вторым по четвертый входами памяти адресов свободных модулей коммутации и процессоров, пятый вход и первый и второй выходы которого соединены соответственно с третьим выходом памяти занятости модулей коммутации и процессоров и с первым и вторым входами блока связи, третий, четвертый и пятый входы которого соединены соответственно с восьмым, девятым и десятым выходами блока управления, с третьего по пятый входы и одиннадцатый выход которого соединены соответственно с пятого по седьмой выходами блока связи и с первым выходом буферной памяти, второй вход и выход которой соединены соответ-

ственно с восьмым выходом и шестым входом блока связи.

Блок связи содержит входной коммутатор команды, входной коммутатор слова, входной коммутатор управления, регистр команды, регистр слова, усилитель, выходной коммутатор команды, выходной коммутатор слова, выходной коммутатор управления, причем входы входных и выходы выходных коммутаторов команды, слова и управления образуют группу входов и группу выходов блока, выход входного коммутатора команды соединен с первым входом регистра команды, второй вход и с первого по шестой выходы которого являются соответственно пятым входом, пятым, шестым, четвертым, первым, вторым и третьим выходами блока, а седьмой выход регистра команды соединен с первым входом выходного коммутатора команды, выход входного коммутатора слова соединен с входом регистра слова, выход которого является восьмым выходом блока, выход входного коммутатора управления соединен с входом усилителя, выход которого является седьмым выходом блока, первый вход выходного коммутатора слова, первый и четвертый входы выходного коммутатора управления являются соответственно шестым, четвертым и третьим входами блока, вторые и третьи входы выходных коммутаторов команды, слова и управления объединены и являются соответственно вторым и первым входами блока.

Кроме того, блок управления содержит три усилителя, пять элементов И, шесть элементов ИЛИ, семь элементов задержки, регистр кода операций, причем первые входы первого и второго элементов И и входы первого и второго усилителей, вторые входы первого и второго элементов И, а также вход третьего усилителя являются соответственно третьим, четвертым и пятым входами блока, выход первого элемента И соединен с входом первого элемента задержки и первым входом первого элемента ИЛИ, выход которого соединен с входом регистра кода операций, выход первого элемента задержки соединен с первым входом второго элемента ИЛИ и входом третьего элемента задержки, выход которого соединен с первым входом третьего элемента ИЛИ, выход второго элемента И соединен с вторым входом первого элемента ИЛИ и входом второго элемента задержки, выход которого соединен с вторым входом второго элемента ИЛИ и входом четвертого элемента задержки, выходом соединенного с вторым входом третьего элемента ИЛИ, выходы первого элемента задержки, второго

и третьего элементов ИЛИ, а также регистра кода операций являются вторым, первым, четвертым и третьим выходами блока, выход первого усилителя соединен с первым входом пятого элемента И, выход второго усилителя соединен с первыми входами третьего и четвертого элементов И, второй вход третьего элемента И и второй вход пятого элемента И, а также второй вход четвертого элемента И являются соответственно первым и вторым входами блока, выход третьего элемента И соединен с первыми входами четвертого и пятого элементов ИЛИ, выход четвертого элемента И соединен с входом пятого элемента задержки, выходом соединенного с первым входом шестого элемента ИЛИ, выход пятого элемента И соединен с вторым входом четвертого элемента ИЛИ, выход третьего усилителя соединен с входом шестого элемента задержки, выход которого подключен к второму входу шестого элемента ИЛИ и входу седьмого элемента задержки, выходом соединенного с третьим входом четвертого и вторым входом пятого элементов ИЛИ, выходы четвертого элемента И и четвертого и шестого элементов ИЛИ являются соответственно пятым, шестым и седьмым выходами блока, выходы пятого элемента задержки, пятого элемента ИЛИ и пятого элемента И являются соответственно десятым, девятым и восьмым выходами блока, выход шестого элемента задержки является одиннадцатым выходом блока.

На фиг. 1 приведена структурная схема предлагаемого многоуровневого устройства для коммутации процессоров в многопроцессорной вычислительной системе; на фиг. 2 - структурная схема модуля коммутации; на фиг. 3 - структурная схема блока связи; на фиг. 4 - функциональная схема блока управления.

Многоуровневое устройство для коммутации процессоров (фиг. 1) содержит процессор 1, модули 2 коммутации, группы 3 модулей коммутации и шины 4 связи, соединяющие между собой модуль коммутации и процессор, либо два модуля коммутации, принадлежащих одной группе или соседним уровням.

Модуль коммутации (фиг. 2) содержит блок 5 связи, память 6 занятости модулей коммутации и процессоров, память 7 адресов свободных модулей коммутации и процессоров, буферную память 8, блок 9 управления, шину 10, соединяющую первый выход памяти адресов свободных модулей коммутации и процессоров с первым входом блока связи, шину 11, соединяющую первый выход блока связи с первым

входом памяти адресов свободных модулей коммутации и процессоров, шины 12-14, соединяющие второй, третий и четвертый выходы блока связи с первым, вторым и третьим входами памяти занятости модулей коммутации и процессоров соответственно, шины 15-18, соединяющие с первого по четвертый выходы блока управления с четвертого по седьмой входами памяти занятости модулей коммутации и процессоров соответственно, шины 19 и 20, соединяющие первый и второй выходы памяти занятости модулей коммутации и процессоров соответственно с первым и вторым входами блока управления, шину 21, соединяющую третий выход памяти занятости модулей коммутации и процессоров с пятым входом памяти адресов свободных модулей коммутации и процессоров, шины 22-24, соединяющие с пятого по седьмой выходы блока управления с второго по четвертый входами памяти адресов свободных модулей коммутации и процессоров соответственно, шину 25, соединяющую одиннадцатый выход блока управления с первым входом буферной памяти, шину 26, соединяющую восьмой выход блока связи с вторым входом буферной памяти, шину 27, соединяющую выход буферной памяти с шестым входом блока связи, шину 28, соединяющую второй выход памяти адресов свободных модулей коммутации и процессоров с вторым входом блока связи, шину 29, соединяющую восьмой выход блока управления с третьим входом блока связи, и шины 30-34, соединяющие седьмой, шестой и пятый выходы и четвертый и пятый входы блока связи с пятым, четвертым и третьим входами и девятым и десятым выходами блока управления соответственно.

Блок связи (фиг. 3) содержит входные коммутаторы 35 команды, 36 слова и 37 управления, регистры 38 команды и 39 слова, усилитель 40, выходные коммутаторы 41 команды, 42 слова и 43 управления, шину 44, соединяющую выход входного коммутатора команды с первым входом регистра команды, шину 45, соединяющую выход входного коммутатора слова с входом регистра слова, шину 46, соединяющую выход входного коммутатора управления с входом усилителя, шину 47, соединяющую седьмой выход регистра команды с первым входом выходного коммутатора команды, шины 48-50, соединяющие выходы процессоров (модулей коммутации), подключенных к входу данного модуля коммутации, соответственно с входами входных коммутаторов команды слова, и управления, а также шины 51-53,

соединяющие входы процессоров (модулей коммутации), подключенных к данному модулю коммутации, соответственно с выходами выходных коммутаторов команды, слова и управления.

Блок управления (фиг. 4) содержит однотипные усилители 54-56, элементы И 57-61, регистр 62 кода операций, элементы ИЛИ 63-68, элементы 69-75 задержки, шину 76, соединяющую выход усилителя 54 с первым входом элемента И 61, шины 77 и 78, соединяющие выход элемента И 57 с входом элемента 69 задержки и первым входом элемента ИЛИ 63 соответственно, шины 79 и 80, соединяющие выход элемента 69 задержки соответственно с входом элемента 71 задержки и первым входом элемента ИЛИ 64, шины 81 и 82, соединяющие выход элемента И 58 с вторым входом элемента ИЛИ 63 и входом элемента 70 задержки, шины 83 и 84, соединяющие выход элемента 70 задержки с входом элемента 72 задержки и вторым входом элемента ИЛИ 64, шину 85, соединяющую выход элемента ИЛИ 63 с входом регистра 62 кода операций, шину 86, соединяющую выход элемента 71 задержки с первым входом элемента ИЛИ 65, шину 87, соединяющую выходы элемента 72 задержки с вторым входом элемента ИЛИ 65, шину 88, соединяющую выход элемента И 61 с вторым входом элемента ИЛИ 66, шины 89 и 90, соединяющие выход усилителя 55 с первыми входами элементов И 60 и 59 соответственно, шины 91 и 92, соединяющие выход элемента И 59 соответственно с первым входом элемента ИЛИ 66 и первым входом элемента ИЛИ 67, шину 93, соединяющую выход элемента И 60 с входом элемента 73 задержки, шину 94, соединяющую выход элемента 73 задержки с первым входом элемента ИЛИ 68, шины 95 и 96, соединяющие выход элемента 74 задержки соответственно с вторым входом элемента ИЛИ 68 и входом элемента 75 задержки, а также шины 97 и 98, соединяющие выход элемента 75 задержки с третьим и вторым входами элементов ИЛИ 66 и 67 соответственно.

Работа предлагаемого многоуровневого устройства для коммутации процессоров в многопроцессорной вычислительной системе состоит в обеспечении взаимодействия процессоров при решении одной задачи (допускающей распараллеливание процесса вычислений) либо некоторого множества задач. Взаимодействие реализуется под действием специальной операционной системы. В результате ее работы процессоры, входящие в состав системы, объединяются в группы, структуры которых отвечают структу-

ре данных и операторов класса решаемых задач. Системные средства организации динамических связей процессоров системы содержатся в модулях коммутации и процессорах.

Модуль коммутации работает следующим образом.

На модуль коммутации от связанных с ним процессоров поступают команды. Эти команды могут быть двух типов: содержащие информацию об их свободе либо о запросе на связь. Команды состоят из четырех полей А, В, С и D, где А - поле кода команды, В - поле признака свободы процессора данного типа, С - поле адреса процессора, D - поле управляющей информации.

При поступлении команды, содержащей информацию о свободе, содержащее поля А и D команды с выхода блока 5 связи по шинам связи 32 и 31 поступает на блок 9 управления и инициирует его работу. Одновременно с этим содержащее поля В и С по шинам 12 и 14 связи поступает на память 6 занятости модулей коммутации и процессоров и, кроме того, содержащее поля С передается еще по шине 11 в память 7 адресов свободных модулей коммутации и процессоров. Под действием управляющих сигналов, поступающих на память 6 из блока управления 9 по шинам связи 15-18, в памяти 6 запоминается содержащее поля В и С команды. После окончания записи в памяти 6 содержащего поля В и С выполняемой команды из памяти 6 в блок 9 управления по шине 19 связи поступает соответствующий сигнал. В ответ на этот сигнал из блока 9 управления по шине 23 связи на память 7 поступает управляющий сигнал, под действием которого адрес процессора, предоставившего информацию о свободе, по шине 10 связи поступает в блок 5 связи. Одновременно с этим блок 9 управления выдает по шине 29 сигнал об окончании выполнения принятой команды. Этот сигнал через блок связи передается по адресу, хранящемуся в памяти 7, на процессор, предоставивший информацию о свободе. На этом выполнение данной команды заканчивается.

При поступлении команды, содержащей информацию о запросе на связь, так же, как и при поступлении команды, содержащей информацию о свободе, содержащее поля А и D команды с выхода блока 5 связи по шинам связи 32 и 31 поступает на блок 9 управления и инициирует его работу, а содержащее поля С (адрес процессора) по шине 11 связи из блока 9 поступает в память 7. Однако в отличие от реализации команды о сво-

боду при реализации команды о запросе на связь на память 6 передается только содержимое поля В - признак свободы процессора. Это содержимое передается по шине 13 связи. В соответствии с содержимым поля В в памяти 6 осуществляется ассоциативный поиск адресов свободных процессоров требуемого типа. Поиск адресов выполняется под действием управляющих сигналов, поступающих из блока 9 по шинам 15, 17 и 18 связи.

Если в памяти 6 занятости модулей коммутации и процессоров адрес свободного процессора найден, то этот адрес из памяти 6 по шине 21 передается в память 7 адресов свободных модулей коммутации и процессоров. Из этой же памяти 6 по шине 19 связи в блок 9 управления передается сигнал об окончании ассоциативного поиска. Под действием этого сигнала в блоке 9 управления вырабатываются сигналы, управляющие обменом информацией между процессором, пославшим запрос на связь, и свободным процессором, адрес которого передан в память 7.

Обмен выполняется следующим образом. Из блока 9 управления по шине 23 связи на память 7 поступает управляющий сигнал, под действием которого адрес процессора, выставившего запрос на связь, поступает в блок связи по шине 10 связи. Из этого же блока 9 по шине 33 связи через блок 5 связи на процессор, выставивший запрос на связь, поступает сигнал, управляющий считыванием информации из этого процессора. Считанная информация через блок 5 по шине 26 связи передается в буферную память 8. Одновременно с этим на блок 9 управления по шине 30 связи поступает управляющий сигнал. Под действием этого сигнала с задержкой на время, необходимое для принятия информации в буферную память 8, в блоке 9 управления формируется управляющий сигнал, поступающий по шине 24 связи на память 7 и обеспечивающий передачу адреса свободного процессора по шине 28 связи из памяти 7 в блок 5 связи. По окончании передачи адреса свободного процессора в блок 5 в блоке 9 формируется управляющий сигнал, обеспечивающий передачу первого слова информации, записанной в буферной памяти 8, через блок 5 в свободный функциональный процессор. Этот управляющий сигнал из блока 9 поступает на буферную память 8 по шине 25 связи, а информация в блок 5 и далее в свободный процессор передается из буферной памяти 8 по шине 27 связи. Через временной интервал, необходимый для принятия в свободный процессор пер-

вого слова, блок 9 управления выдает управляющие сигналы, инициирующие считывание последующих слов информации из процессора, выставившего запрос на связь, в выбранный свободный процессор.

Признаком окончания обмена, и следовательно, и команды в целом в случае удовлетворения запроса является отсутствие управляющего сигнала в шине 30 связи. В случае, когда обмен не закончен, сигнал в шине 30 присутствует всегда - именно этот сигнал инициирует дальнейшую работу блока 9 для выполнения требуемых циклов обмена.

Если запрос не удовлетворен, т.е. в памяти 6 не найден адрес свободного процессора, то соответствующий сигнал поступает из памяти 6 в блок 9 по шине 20 связи. В ответ на этот сигнал блок 9 выдает управляющий сигнал, который по шине 22 связи поступает в память 7 и формирует в этой памяти адрес модуля коммутации более высокого уровня иерархии. Далее через временной интервал, необходимый для установления кода адреса в памяти 7, в блоке 9 управления формируется управляющий сигнал, обеспечивающий передачу адреса модуля коммутации более высокого уровня иерархии, хранящегося в памяти 7, в блок 5. Этот управляющий сигнал передается по шине 24 связи, а информация об адресе передается из памяти 7 в блок 5 по шине 28 связи.

Под действием управляющего сигнала, поступающего из блока 9 на блок 5 по шине 34 связи, команда о запросе на связь передается в модуль коммутации более высокого уровня иерархии.

Процесс выполнения команды запроса на связь с модулем коммутации более высокого уровня иерархии аналогичен рассмотренному выше процессу выполнения команды запроса на связь с модулем коммутации данного уровня иерархии. В случае окончательного отрицательного ответа модуль коммутации последнего уровня иерархии вырабатывает отрицательный ответ, который передается запрашивающему модулю.

Блок 5 связи работает следующим образом. Команды от процессоров по шине 48 связи через коммутатор 35 и далее по шине 44 связи поступают в регистр 38 команды и хранятся в этом регистре в течение всего времени выполнения команды. Поля А и D команды по шинам 32 и 31 соответственно поступают в блок 9 управления. Поле В команды по шине 13 поступает на память 6. Поля В и С по шинам 12 и 14 связи соответственно

поступают на память 6, а поле С по шине связи 11 поступает еще на память 7. Работа блока связи инициируется по выполнению команды.

При выполнении команды, содержащей информацию о свободе процессора определенного типа, после окончания работы памяти 6 коммутатор 43 производит коммутацию управляющего сигнала, поступающего из блока 9 управления по шине 29 связи в процессор, представивший информацию о свободе. Адрес этого функционального процессора поступает на коммутатор 43 из памяти 7 по шине 10 связи.

При выполнении команды "Запрос на связь" в случае, если в памяти 6 найден адрес свободного процессора требуемого типа, происходит обмен информационными словами между процессором, пославшим запрос на связь, и свободным процессором. При обмене информацией управляющий сигнал, под действием которого происходит считывание информации из процессора, выставившего запрос на связь, поступает из блока 9 управления на коммутатор 43 по шине 33 связи. Адрес этого процессора поступает на коммутатор 43 из памяти 7 по шине 10 связи. Сигнал, поступающий на коммутатор 43 по шине 33 связи, проходит через этот коммутатор и по шине 53 связи поступает в требуемый процессор.

Считываемое информационное слово из процессора по шине 49 поступает на коммутатор 36 и далее по каналу 45 в регистр 39 слова. Из регистра 39 это слово по шине 26 связи передается в буферную память 8. Одновременно с поступлением информационного слова в регистр 39 из процессора на коммутатор 37 по шине 50 связи поступает управляющий сигнал, который из коммутатора 37 по шине 46 связи поступает на усилитель 40 и далее по шине 30 связи в блок 9 управления.

Под действием управляющего сигнала, поступающего из блока 9 в буферную память 8 по шине 25 связи, информационное слово, хранящееся в буферной памяти 8, по шине 27 связи передается на коммутатор 42, а с коммутатора 42 по шине 52 связи - в свободный процессор. Адрес этого процессора передается на коммутатор 42 из памяти 7 по шине 28 связи.

В случае, если при выполнении команды "Запрос на связь" адрес свободного процессора в памяти 6 данного модуля коммутации не найден, в памяти 7 этого модуля коммутации формируется адрес модуля коммутации более высокого уровня иерархии. Этот адрес из памяти 7 поступает на ком-

мутатор 41 по шине 28 связи. Под действием управляющего сигнала, поступающего из блока 9 управления по шине 34 связи, команда "Запрос на связь", хранящаяся в регистре 38, по шине 47 связи поступает на коммутатор 41, а с выхода этого коммутатора по шине 51 связи - в модуль коммутации более высокого уровня иерархии.

Блок управления (фиг. 4) работает следующим образом. По шине 32 связи с блока 5 связи на элементы И 58 и 57 и усилители 55 и 54 поступает содержимое поля А команды. По шине 31 связи на элементы И 58 и 57 поступает информация поля D команды. При выполнении команды "Информация о свободе" в соответствии с кодом выполняемой команды на выходе усилителя 56 устанавливается разрешающий потенциал этой команды, а управляющий сигнал проходит через элемент И 57. С выхода этого элемента по шине 78 связи через элемент ИЛИ 63 управляющий сигнал поступает в регистр 62 и устанавливает в этом регистре код команды "Чтение по признаку". С выхода регистра 62 код команды по шине 17 связи поступает в память 6 заявности модулей коммутации и процессоров. Через время T_1 элемента 69 задержки после поступления управляющего сигнала в регистр 62 управляющий сигнал поступает в память 6 по шине 16 связи, а также по шине 15 связи через элемент ИЛИ 64. Временной интервал T_1 равен времени, необходимому для формирования кода в регистре 62. Через время T_2 через элемент ИЛИ 65 в память 6 по шине 18 связи поступает сигнал начала выполнения операции в этом блоке. После окончания работы памяти 6 в блок 9 управления (фиг. 3) поступает сигнал на элемент И 61. Так как на второй вход этого элемента поступает разрешающий потенциал с усилителя 54, управляющий сигнал поступает в блок 5 модуля коммутации по шине 29, а в память 7 этого модуля - через элемент ИЛИ 66 по шине 23 связи. Под действием этих сигналов в процессор, предоставивший информацию о свободе, поступает сигнал об окончании выполнения данной команды.

При выполнении команды "Запрос на связь" управляющий потенциал формируется на выходе усилителя 55, а управляющий сигнал проходит через элемент И 58. С выхода элемента И 58 по шине 81 связи через элемент ИЛИ 63 управляющий сигнал поступает в регистр 62 и устанавливает в этом регистре код команды "Чтение по признаку". Через время T_3 элемента 70 задержки управляющий сигнал поступает по шине 84 связи на элемент ИЛИ 64 и, пройдя через

этот элемент, в память 6 по шине 15 связи. Временной интервал τ_3 элемента 70 задержки равен временному интервалу τ_1 элемента 69 задержки. Через время τ_4 элемента 72 задержки через элемент ИЛИ 65 в память 6 по шине 18 поступает сигнал начала выполнения операции в этом блоке. Временной интервал τ_4 равен временному интервалу τ_2 .

Если в памяти 6 найдено слово с данным ассоциативным признаком, то в этом блоке формируется сигнал окончания его работы, который поступает по шине 19 связи на элемент И 59 и проходит через него, так как на первом входе этого элемента имеется разрешающий потенциал, формируемый на выходе усилителя 55. Под действием сигнала, сформированного на выходе элемента И 59, происходит обмен информацией между процессором, выставившим команду "Запрос на связь" и свободным процессором.

Управление обменом реализуется следующим образом. Под действием управляющего сигнала, сформированного на выходе элемента И 59, управляющий сигнал поступает в память 7 модуля коммутации по шине 23 связи с выхода элемента ИЛИ 66, а в блок 5 модуля коммутации - по шине 44 связи с выхода элемента ИЛИ 67. Под действием этих управляющих сигналов происходит считывание информационных слов из процессора, выставившего команду "Запрос на связь".

Одновременно со считыванием информации из процессора, выставившего команду "Запрос на связь", управляющий сигнал поступает по шине 30 связи на усилитель 56. Через время τ_5 , необходимое для формирования кода считанного информационного слова в буферной памяти 8 (фиг. 2), на этот блок по шине 25 связи поступает управляющий сигнал. Управляющий сигнал поступает также в память 7 модуля коммутации с выхода элемента И 68 по шине 24 связи. Под действием управляющих сигналов, поступающих по шинам 24 и 25 связи происходит передача информации из буферной памяти 8 модуля коммутации в свободный процессор, удовлетворяющий запрос.

Через временной интервал τ_6 , необходимый для передачи информационного слова из буферной памяти 8 в свободный процессор, управляющие сигналы с выходов элементов ИЛИ 66 и 67 по шинам 23 и 33 связи соответственно снова поступают на память 7 и блок 5 модуля коммутации для организации нового цикла обмена информацией между процессором, выставившим запрос на связь, и сво-

бодным процессором, удовлетворяющим этот запрос.

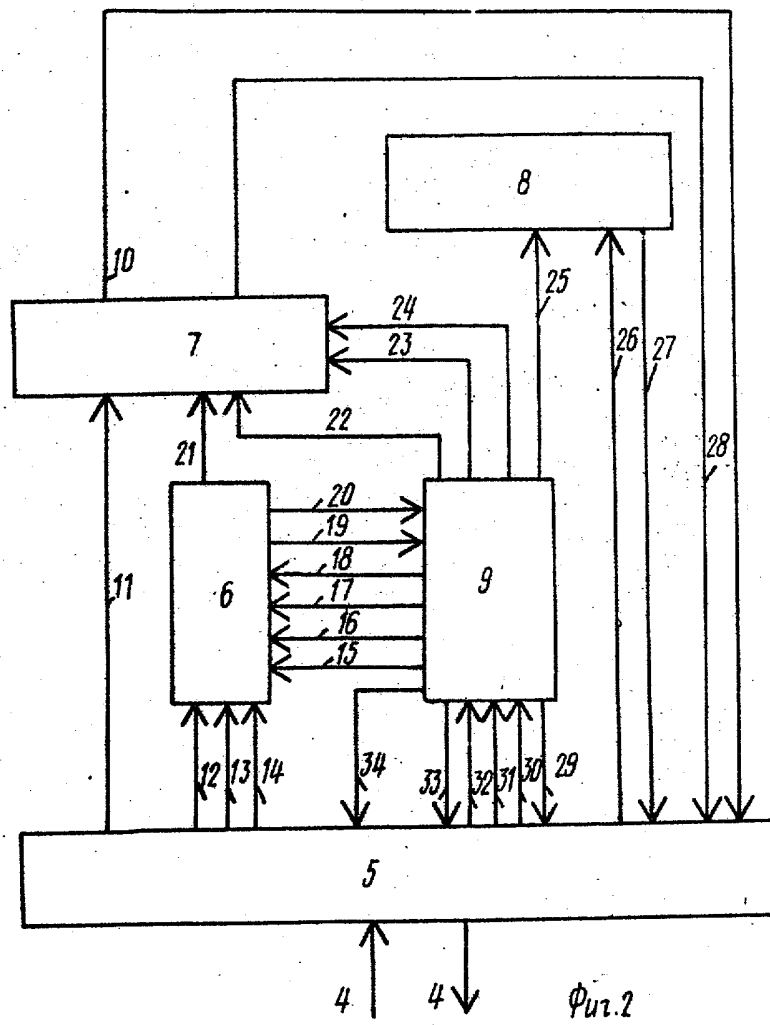
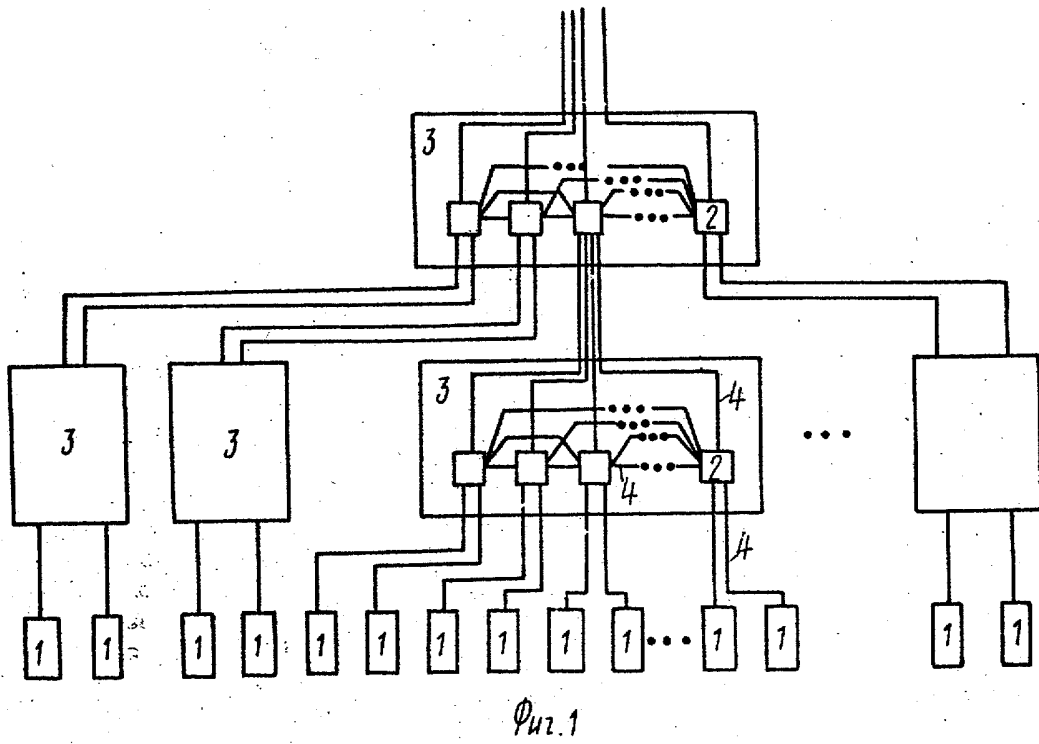
Признаком окончания цикла обмена информацией является отсутствие управляющего сигнала, приходящего из процессора по шине 30 связи.

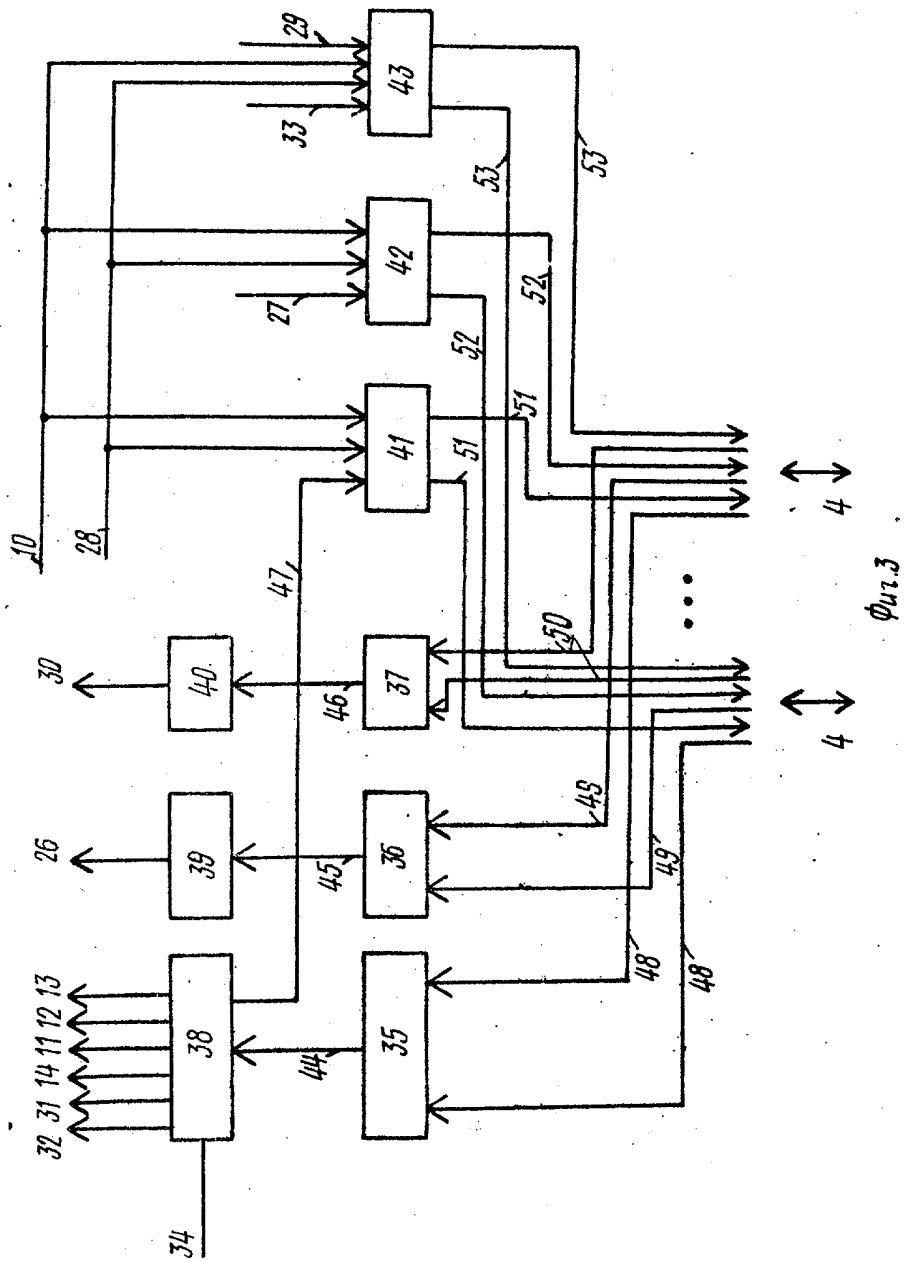
Если же в памяти 6 не найдено слово, удовлетворяющее требуемому признаку опроса, то в этом блоке вырабатывается управляющий сигнал, поступающий на элемент И 60. Так как на первом входе этого элемента имеется разрешающий потенциал (этот потенциал поступает с выхода усилителя 55 по шине 90 связи), на выходе элемента И 60 формируется управляющий сигнал. Этот сигнал поступает по шине 22 связи в память 7 и устанавливает в ней код адреса модуля коммутации более высокого уровня иерархии. Через время τ_6 элемента 73 задержки управляющий сигнал поступает по шине 34 связи в блок 5 модуля коммутации, а по шине 24 - в память 7 этого процессора. Временной интервал необходим для формирования в памяти 7 кода адреса модуля коммутации более высокого уровня иерархии.

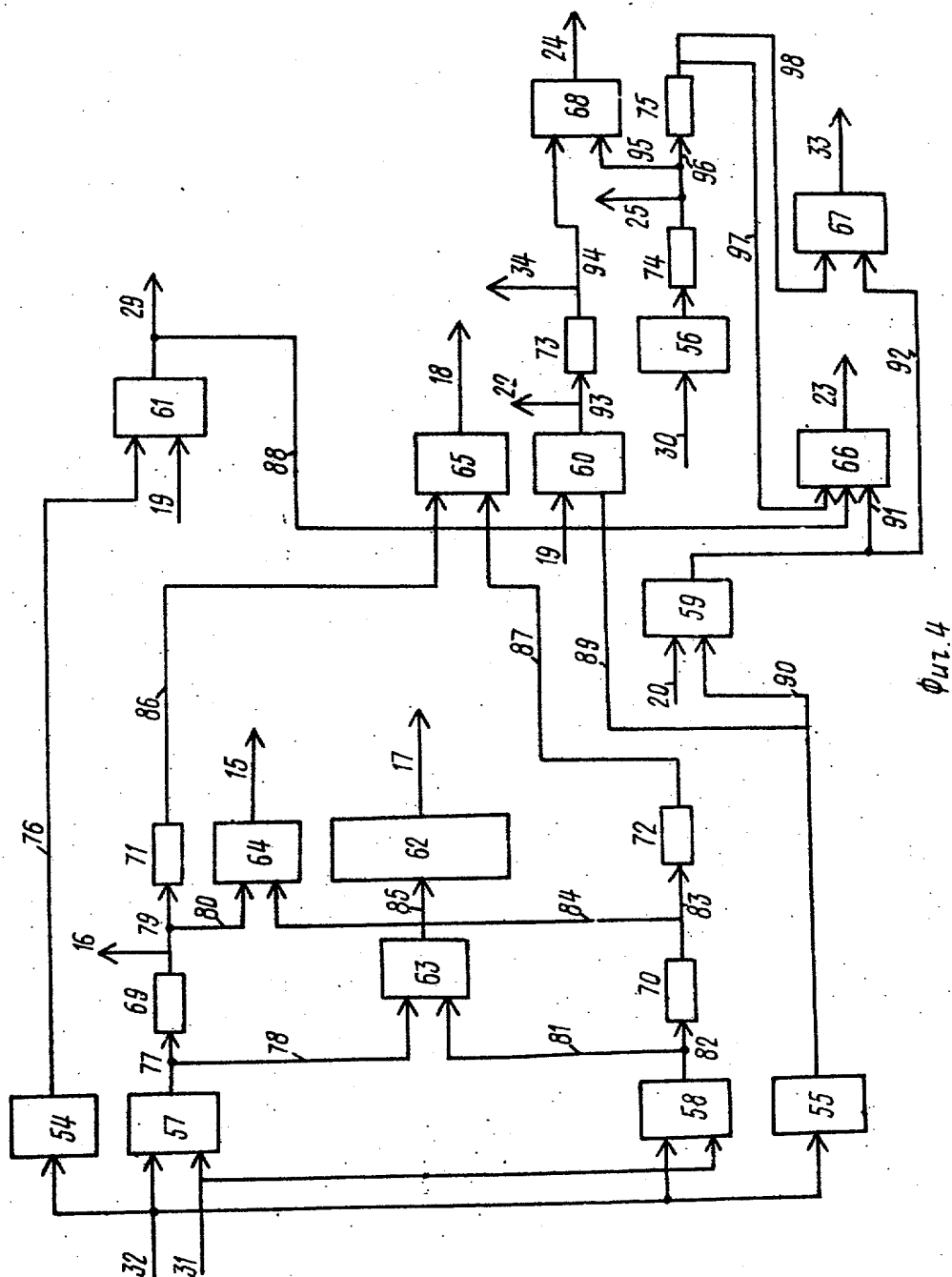
Под действием управляющих сигналов, поступающих по шине 24 связи в память 7 и по шине 34 связи в блок 5, данный модуль коммутации посылает команду "Запрос на связь" в модуль коммутации более высокого уровня иерархии.

Применение в группах модулей коммутации связей типа каждый с каждым позволяет использовать укрупненные структурные единицы мультипроцессорных систем - группы процессоров, обладающие повышенной функциональной гибкостью благодаря динамическим связям и обеспечивающие в процессе решения задачи возможность настройки соответствующей группы на более сложные структуры данных и операторов, чем в известных системах. В результате повышается коэффициент использования оборудования мультипроцессорных вычислительных систем и увеличивается их производительность.

Применение модуля коммутации, содержащего память адресов свободных модулей коммутации и процессоров в сочетании с нелинейной памятью занятости модулей коммутации и процессоров, повышает функциональные возможности коммутации процессоров, расширяет возможности распараллеливания процесса решения вычислительных задач, а также приводит к увеличению коэффициента использования оборудования и производительности многопроцессорных систем.







Редактор А. Огар Составитель И. Хазова
Техред О. Неце Корректор И. Шулла

Заказ 3216/45 Тираж 706 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4