

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月24日(24.12.2020)



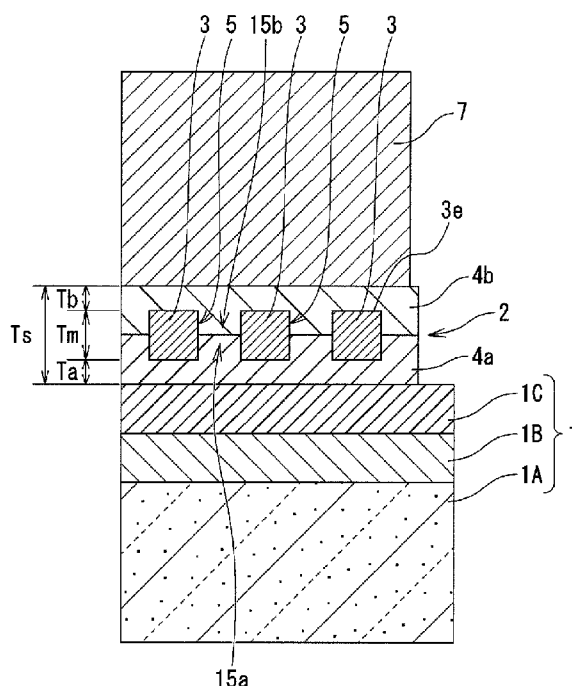
(10) 国際公開番号

WO 2020/255773 A1

- (51) 国際特許分類:
H01L 23/48 (2006.01) *H01L 21/60* (2006.01)
H01L 25/07 (2006.01) *H01L 21/603* (2006.01)
H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2020/022499
- (22) 国際出願日: 2020年6月8日(08.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-114534 2019年6月20日(20.06.2019) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO.,LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 外 園 洋 昭 (HOKAZONO Hiroaki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
加藤 遼一 (KATO Ryoichi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 廣 瀬 一, 外 (HIROSE Hajime et al.); 〒1056032 東京都港区虎ノ門四丁目 3 番 1 号 城山トラストタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法



(57) Abstract: The present invention provides a semiconductor device and a method for manufacturing a semiconductor device that can prevent deterioration of a semiconductor chip and improve reliability. The present invention is provided with a first semiconductor chip (1) having a metal layer (1C) on a surface, a first wiring member (7) positioned in a manner opposing the metal layer (1C), sintered metal layers (4a, 4b) positioned between the metal layer (1C) and the first wiring member (7) and provided with a plurality of areas of high tensile strength and a plurality of areas of low tensile strength,

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

and a metallic material (3) positioned inside the sintered metal layers (4a, 4b), the tensile strength in some of the areas of low tensile strength of the sintered metal layers (4a, 4b) being lower than the tensile strength of the metal layer (1C) of the first semiconductor chip (1).

(57) 要約：半導体チップの劣化を防止することができ、信頼性を向上することが可能な半導体装置及び半導体装置の製造方法を提供する。表面に金属層（1C）を有する第1半導体チップ（1）と、金属層（1C）に対向して配置された第1配線部材（7）と、金属層（1C）と第1配線部材（7）との間に配置され、引張強度が高い複数の領域および引張強度が低い複数の領域を備えた焼結金属層（4a, 4b）と、焼結金属層（4a, 4b）の内部に配置された金属材料（3）と、を備え、焼結金属層（4a, 4b）の一部の引張強度の低い領域の引張強度は、第1半導体チップ（1）の金属層（1C）の引張強度より低い。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置及び半導体装置の製造方法に関する。

背景技術

[0002] 一般的なパワー半導体装置は、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）やＭＯＳ電界効果トランジスタ（ＭＯＳＦＥＴ）等の半導体素子、絶縁回路基板、及び放熱ベース等を備える。半導体素子、絶縁回路基板、及び放熱ベースそれぞれの間の接合には、ボンディングワイヤや、はんだなどの接合材料で接合するリードフレームが用いられる。近年、パワー半導体装置は、小型軽量化とともに高機能化の要求から、回路の高集積化が伸展している。更に、高温動作が可能な炭化ケイ素（ＳｉＣ）等の半導体素子を用いる半導体装置への適用に向けた開発が進められ、半導体装置の高温動作環境下での高い信頼性が求められている。

[0003] 半導体装置の接合材料には、これまで錫アンチモン（ＳｎＳｂ）系、錫銀（ＳｎＡｇ）系等のはんだ材料が多く採用されている。しかし、半導体装置の動作温度がはんだ材料の融点に近くなり、信頼性の低下が懸念される。そのため、高温動作化に対応できる接合材料として、金属粒子の焼結作用を利用した焼結金属ペーストや焼結金属シートの適用が検討されている。特許文献１～３には、半導体素子と、絶縁回路基板及び配線部材との接合層として焼結金属材を用いる構造が提案されている。

[0004] パワー半導体装置は、導通時や外周環境の温度変化により、接合層に各部材の熱膨張係数差による応力が発生する。応力発生が繰り返されることで接合層には熱疲労劣化によるクラックが発生する。クラックが進展して進展距離が長くなると、熱抵抗の増大により通電時の発熱温度が高くなり、半導体装置の故障に至る。

[0005] 接合層のクラックに起因する故障モードに関して、はんだ材料に比べて強

度が3～4倍高い焼結金属はクラック発生が防止でき、高温動作や信頼性の向上に寄与すると期待された。しかし、実際の通電サイクルでは、クラックは金属焼結層には発生しないが、半導体チップの電極のアルミニウム（Al）合金層に発生しやすくなることが判明した。半導体素子の電極層に発生したクラックが進展する過程で半導体チップによって回路が断線され、早期に故障となる場合も生じる。

[0006] 半導体素子の電極層でのクラック発生に対する解決方法が検討されている。例えば、特許文献3には、絶縁回路基板の配線層に凹部を設け、接合層が凹部に接する接合層の領域に応力を集中させて優先的にクラックを発生させて、凹部に接しない接合層の領域へのクラックの発生を抑制することが記載されている。また、特許文献2及び4では、絶縁回路基板の配線層に、接合層に比べて降伏応力の低いAl金属層を用い、クラックを配線層に発生、進展させ、接合層の信頼性を向上させることが提案されている。しかし、半導体チップの電極に用いるAl合金と配線層のAlとは強度が同程度であり、どちらにクラックが発生するかは制御できない。また、クラックが発生し進展することにより接合層の熱抵抗が増加し、半導体チップの放熱特性が低下する。特許文献5には、リードフレームに接続される連結板のコンタクト領域に複数の突起を設け、コンタクト領域を半導体素子にはんだ部材を介して接合することが記載されているが、クラックによる半導体チップの劣化についての記載はない。特許文献6には、多孔度の異なる2つの層を有することが記載されている。特許文献7には、銀粒子（90質量%以上）と亜鉛粒子（0.01質量%以上、0.6質量%以下）を含む接着剤組成物が記載されている。

先行技術文献

特許文献

[0007] 特許文献1：特開2012-138470号公報

特許文献2：特開2010-251457号公報

特許文献3：特開2010-245227号公報

特許文献4：国際公開第2017/002793号公報

特許文献5：米国特許第8987879号公報

特許文献6：米国特許第9929111号公報

特許文献7：特開2013-258122号公報

発明の概要

発明が解決しようとする課題

- [0008] 上記課題に鑑み、本発明は、半導体チップの劣化を防止することができ、信頼性を向上することが可能な半導体装置及び半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

- [0009] 本発明の一態様は、（a）表面に金属層を有する第1半導体チップと、（b）金属層に対向して配置された第1配線部材と、（c）金属層と第1配線部材との間に配置され、引張強度が高い複数の領域および引張強度が低い複数の領域を備えた焼結金属層と、（d）焼結金属層の内部に配置された金属材料と、を備え、（e）焼結金属層の一部の引張強度の低い領域の引張強度は、第1半導体チップの金属層の引張強度より低い半導体装置であることを要旨とする。
- [0010] 本発明の他の態様は、（a）絶縁回路基板の上面に配置された配線層の上に第1半導体チップを接合するステップと、（b）第1半導体チップの上面に焼結金属ペーストを塗布して乾燥させ、第1焼結金属層を積層するステップと、（c）下面に複数の第1溝部、上面に複数の第2溝部を有する第1金属板を、第1焼結金属層の上に第1金属板の下面が接するように配置するステップと、（d）第1金属板の上面に焼結金属ペーストを塗布して乾燥させ、第2焼結金属層を積層するステップと、（e）第2焼結金属層の上に第1配線部材を配置するステップと、（f）第1及び第2焼結金属層を加熱しながら加圧して、第1焼結金属層を複数の第1溝部に充填するように第1金属板の下面と第1半導体チップとの間で接合させ、且つ、第2焼結金属層を複数の第2溝部に充填するように第1金属板の上面と第1配線部材との間で接

合させるステップとを備える半導体装置の製造方法であることを要旨とする。

発明の効果

[0011] 本発明によれば、半導体チップの劣化を防止することができ、信頼性を向上することが可能な半導体装置及び半導体装置の製造方法を提供できる。

図面の簡単な説明

[0012] [図1]本発明の第1実施形態に係る半導体装置の構造の一例を示す断面概略図である。

[図2]図1中のA部分の拡大図である。

[図3]第1実施形態に係る金属板の一例を示す平面外略図である。

[図4]図3中のB-B線に沿った方向から見た断面図である。

[図5]図1中のC部分の拡大図である。

[図6]従来の半導体装置において、クラックが発生する状態を説明する断面図である。

[図7]焼結金属層を0.25MPaで加圧した場合の断面組織のSEM像である。

[図8]焼結金属層を1MPaで加圧した場合の断面組織のSEM像である。

[図9]焼結金属層を5MPaで加圧した場合の断面組織のSEM像である。

[図10]焼結金属層を7.5MPaで加圧した場合の断面組織のSEM像である。

[図11]焼結金属層を30MPaで加圧した場合の断面組織のSEM像である。

[図12]焼結金属層を50MPaで加圧した場合の断面組織のSEM像である。

[図13]焼結金属層の加圧に対する引張強度の関係を示す図である。

[図14]焼結金属層の加圧に対する焼結密度の関係を示す図である。

[図15]焼結金属層の焼結密度に対する引張強度の関係を示す図である。

[図16]焼結金属層の圧縮率に対する焼結密度の関係を示す図である。

[図17]焼結金属層の圧縮率に対する引張強度の関係を示す図である。

[図18]焼結金属層の厚さに対する引張強度の関係を示す図である。

[図19]第1実施形態に係る半導体装置の半導体素子電極に用いるAⅠ金属層及びAⅠ合金層の引張強度特性を示す表である。

[図20]第1実施形態に係る金属板の貫通孔の他の例を示す断面外略図である。

[図21]第1実施形態に係る金属板の貫通孔の更に他の例を示す断面外略図である。

[図22]第1実施形態に係る半導体装置の製造方法での加圧工程の一例を示す断面外略図である。

[図23]第1実施形態に係る半導体装置の製造方法での加圧工程の他の例を示す断面外略図である。

[図24]第2実施形態に係る半導体装置の構造の一例を示す断面概略図である。

[図25]図24中のD部分の拡大図である。

[図26]第2実施形態に係る金属板の一例を示す平面外略図である。

[図27]図26中のE-E線に沿った方向から見た断面図である。

[図28]第2実施形態に係る金属板の他の例を示す断面外略図である。

発明を実施するための形態

[0013] 以下、図面を参照して、本発明の第1及び第2実施形態を説明する。図面の記載において、同一又は類似の部分には同一又は類似の符号を付し、重複する説明を省略する。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は実際のものとは異なる場合がある。また、図面相互間においても寸法の関係や比率が異なる部分が含まれ得る。また、以下に示す実施形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。

[0014] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の選

択であって、本発明の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。同様に「表」「裏」の関係も 180° 回転すれば、反転した用語が定義される。

[0015] (第1実施形態)

本発明の半導体装置は、表面に金属層を有する第1半導体チップと、金属層に対向して配置された第1配線部材と、金属層と第1配線部材との間に配置され、引張強度が高い複数の領域および引張強度が低い複数の領域を備えた焼結金属層と、焼結金属層の内部に配置された金属材料と、を備え、焼結金属層の一部の引張強度の低い領域の引張強度は、第1半導体チップの金属層の引張強度より低い。本発明の第1実施形態に係る半導体装置は、図1に示すように、半導体チップ(第1半導体チップ)1、接合部2、2a、絶縁回路基板8、及び配線部材7を備える。絶縁回路基板8は、絶縁板81、絶縁板81の上面にパターンニングされた導体層(配線層)82a、82b、及び絶縁板81の下面に設けられた導体層(放熱層)83を有する。半導体チップ1の上面は、接合部2を介して配線部材7の一端に電氣的に接続される。半導体チップ1の下面は、接合部2aを介して絶縁回路基板8の導体層82aに電氣的に接続される。配線部材7の他端が、接合部6を介して絶縁回路基板8の導体層82bに電氣的に接続される。絶縁回路基板8の導体層83は、接合部9を介して放熱ベース10に接続される。

[0016] 半導体チップ1をなすパワー半導体素子としては、IGBTやMOSFET等の3端子素子、フリーフォールダイオード(FWD)、ショットキーバリアダイオード(SBD)等の2端子素子等が含まれる。配線部材7として、表面に銀(Ag)や金(Au)等のめっき層を有する銅(Cu)やアルミニウム(Al)等からなるリードフレーム、金属板、金属箔等が用いられる。絶縁回路基板8は、例えば、セラミック基板の表面に銅が共晶接合された直接銅接合(DCB)基板、セラミック基板の表面に活性金属ろう付け(AMB)法により金属が配置されたAMB基板等を採用可能である。セラミ

ック基板の材料は、例えば、窒化ケイ素（ Si_3N_4 ）、窒化アルミニウム（ AlN ）、アルミナ（ Al_2O_3 ）等を採用可能である。なお、後述するように、 Ag ナノ粒子等による接合を考慮して、絶縁回路基板 8 の導体層 8 2 a、8 2 b、8 3 の表面には Ag や Au 等のめっき層を設けることが望ましい。

[0017] 図 2 は、図 1 中の A 部分、即ち、半導体チップ 1 と配線部材 7 との接合部分の拡大図である。図 2 に示すように、半導体チップ 1 は、 SiC 等の半導体層 1 A、及び電極層（1 B，1 C）を備える。電極層（1 B，1 C）は、 Al や Al 合金等の電極金属層 1 B、及び銀（ Ag ）や金（ Au ）等の外側めっき金属層 1 C を有する。接合部 2 は、外側めっき金属層 1 C の上に配置された焼結金属層 4 a、焼結金属層 4 a の上で、配線部材 7 の下に配置された焼結金属層 4 b、及び焼結金属層 4 a と焼結金属層 4 b の間に配置され、複数の貫通孔 5 を有する金属板 3 を備える。貫通孔 5 において、焼結金属層 4 a で充填される部分が第 1 溝部 1 5 a で、焼結金属層 4 b で充填される部分が第 2 溝部 1 5 b である。金属板 3 には、図 3 に示すように、平面視で、円形状の複数の貫通孔 5 がマトリックス状に配置されている。貫通孔 5 は、図 4 に示すように、金属板 3 の上下面で同じ直径を有する。貫通孔 5 の配置はマトリックス状に限定されず、ストライプ状配置、ランダム配置であってもよい。また、貫通孔 5 の形状は、円形状に限定されず、楕円状、矩形状、多角形状等であってもよい。

第 1 焼結金属層 4 a は、引張強度の異なる複数の領域を有する。第 2 焼結金属層 4 b は、引張強度の異なる複数の領域を有する。金属板 3（金属材料）は、第 1 焼結金属層 4 a の一部の引張強度が高い領域と第 2 焼結金属層 4 b の一部の引張強度が高い領域との間に配置されている。

焼結金属層（4 a，4 b）は、金属材料 3 の第 1 半導体チップ 1 側に配置された第 1 焼結金属層 4 a と、金属材料 3 の第 1 配線部材 7 側に配置された第 2 焼結金属層 4 b とを有し、金属材料 3 は、下面に複数の第 1 溝部 1 5 a、上面に複数の第 2 溝部 1 5 b を有する第 1 金属板 3 であって、第 1 溝部 1 5 a および第 2 溝部 1 5 b が形成されていない平面部 3 e の領域がある。

[0018] 図5は、図1中のC部分、即ち、半導体チップ1と絶縁回路基板8との接合部分の拡大図である。図5に示すように、半導体チップ1は、SiC等の半導体層1A、及び電極層(1D, 1E)を備える。電極層(1D, 1E)は、AlやAl合金等の電極金属層1D、及び銀(Ag)や金(Au)等の外側めっき金属層1Eを有する。接合部2aは、外側めっき金属層1Eの下に配置された焼結金属層4c、焼結金属層4cの下で、絶縁回路基板8の導体層82aの上に配置された焼結金属層4d、及び焼結金属層4c、4dの間に配置され、複数の貫通孔5aを有する金属板3aを備える。金属板3aには、図3及び図4に示した金属板3と同様に、平面視で、円形状の複数の貫通孔5aがマトリックス状に配置されている。なお、貫通孔5aの形状は、円形状に限定されず、楕円状、矩形状、多角形状等であってもよい。また、貫通孔5aの配置もマトリックス状に限定されず、千鳥配置、ストライプ状配置、ランダム配置であってもよい。

[0019] 焼結金属層4a、4b、4c、4dの材料として、ナノメートルサイズのAgナノ粒子が用いられる。あるいは、焼結金属層4a、4b、4c、4dの材料として、Agナノ粒子にマイクロメートルサイズのAg粉を含む複合物であってもよい。金属板3の材料としては、焼結金属層4a、4bとの接合を考慮して、AgやAu等の金属が望ましい。また、金属板3として、銅(Cu)、Al、Al合金等の表面にAgめっきやAuめっきした金属板であってもよい。なお、図1に示した接合部6、9について、焼結金属を用いることが望ましいが、熱源である半導体チップ1から離れているため、通常のはんだ等の接合部材を用いてもよい。

[0020] 焼結金属は、従来のはんだ接合材に比べて引張強度(以下、単に強度とも称す。)、例えば、0.2%耐力で表される降伏応力(以下、単に降伏応力とも称す。)を3倍~4倍程度高くできる。また、半導体素子の電極材料であるAlやAl合金に比べて、降伏応力を5倍ほど高くできる。例えば、図6に示すように、従来の半導体装置と同様に、半導体チップ1とリードフレーム等の配線部材7とをAgナノ粒子からなる焼結金属層4zで接合するこ

とができる。強度の高い焼結金属層 4 z で接合した半導体装置では、通電サイクル試験で配線部材 7 全体が熱膨張及び収縮を繰り返すことにより、接合部である焼結金属層 4 z に繰り返し歪が発生する。繰り返し印加される応力に対して接合部としての焼結金属層 4 z は十分な強度を有するので、強度の低い A l や A l 合金からなる電極金属層 1 B にクラック C a が伸展しやすくなる。また、発生したクラック C b が半導体チップ 1 の半導体層 1 A に伸展する可能性も考えられる。その結果、半導体チップ 1 の電極が劣化し、早期に故障となる可能性が考えられる。

[0021] 第 1 実施形態に係る半導体装置では、焼結金属層 4 a、4 b の間に貫通孔 5 を有する金属板 3 を用いることにより、焼結金属層 4 a、4 b の強度を制御する。まず、図 7 ～図 12 を参照して、焼結金属の加圧に対する接合部の断面組織の関係を説明する。A g ナノ粒子を溶剤中に分散させた A g ナノペーストを印刷法により平坦な金属等の下地層に堆積する。堆積後、乾燥して溶剤を除去する。溶剤乾燥後の A g ナノ粒子からなる焼結金属層は、A g ナノペーストの堆積した厚さの 1 / 2 程度となる。ここで、溶剤乾燥後の焼結金属層の厚さを「供給厚さ」と定義する。なお、シート状、又はプリフォーム状の A g ナノ粒子からなる焼結金属層を用いてもよい。この場合、溶剤乾燥の手順は省略できる。このようにして形成した焼結金属層を、プレス機により 200℃以上300℃以下の範囲の温度、例えば250℃で加熱しながら加圧して下地層との接合を行う。0.25MPa～50MPaの範囲で加圧力を変化させて積層した各焼結金属層について、走査型電子顕微鏡（SEM）により接合断面組織を観察した。ここで、加圧後の焼結金属層の厚さを「積層厚さ」と定義する。

[0022] 図 7 ～図 12 に、0.25MPa～50MPaの範囲で圧力を変化させて加圧して積層した各焼結金属層の断面組織SEM像を示す。図 7 ～図 12 に示したSEM像で、明るい部分が焼結金属層で、暗く見える部分は空隙である。1MPa以下の小さい圧力では、図 7 及び図 8 に示すように、空隙のサイズが大きく、焼結金属の焼結密度が低いことがわかる。加圧力を5MPa

～7. 5 MPaに増加させると、図9及び図10に示すように、空隙のサイズが急激に減少している。更に、加圧力を30 MPa～50 MPaに増加させると、図11及び図12に示すように、空隙のサイズが極めて小さくなり、焼結金属層が緻密化していることがわかる。

[0023] 図13及び図14には、0.25 MPa～50 MPaの範囲で圧力を変化させて加圧した焼結金属層の加圧に対する引張強度及び焼結密度の関係を示す。図13に示すように、0.2%耐力で表される降伏応力及び最大応力は、加圧が0から10 MPa辺りまでに急激に増加し、圧力が10 MPaから50 MPaの範囲では緩やかに増加する。焼結密度も、図14に示すように、加圧が0から10 MPa辺りまでに急激に増加し、圧力が10 MPaから50 MPaの範囲では緩やかに増加する。図7～図12のSEM像でも観察されたように、加圧を増加させることで焼結金属層の焼結粉末どうしが近接して焼結密度が高くなり、焼結金属層の引張強度が増加することを示している。

[0024] 図15は、焼結金属層の焼結密度と引張強度との関係を示す。図15に示すように、焼結金属層の降伏応力は焼結密度に依存する。ここで、焼結金属層の供給厚さに対する厚さ方向の積層厚さの変化量の100分率を「圧縮率」と定義する。具体的には、加圧による焼結金属層の圧縮がほぼ加圧方向、すなわち厚さ方向に生じることを考慮すれば、「圧縮率」は焼結密度の変化量から求められる。図16は、圧縮率と焼結密度との関係を示す。図16に示すように、圧縮率が0%近傍では焼結金属層には60%程度の空隙が含まれること、圧縮率が50%近傍では焼結金属層には空隙がほとんど消失していることを示している。図17は、圧縮率と引張強度との関係を示す。焼結金属層の圧縮率の増加に伴い、引張強度が増加する。また、焼結金属層の圧縮がほぼ加圧方向に一次元的に生じることを考えれば、圧縮率あるいは焼結密度を用いて、焼結金属層の積層厚さを求めることができる。図18に、積層厚さと引張強度との関係を示す。図18に示すように、焼結金属層の積層厚さの増加に伴い、引張強度が減少する。上記のように、焼結金属層の降伏

応力に対応する強度はプレス機による加圧の圧力により制御できる。あるいは、焼結金属層の降伏応力の強度は、焼結金属層の焼結密度、圧縮率、及び積層厚さによっても検知可能である。

[0025] 第1実施形態では、半導体チップ1の電極金属層1Bと同等又は同等以下の強度となるように焼結金属層4a、4bの焼結密度を制御して、半導体装置の通電時に発生する応力を接合部2で分散させる。接合部2の焼結金属層4a、4bの降伏応力を制御するために、図1～図4に示したように、貫通孔5を有する金属板3を焼結金属層4aと焼結金属層4bの間に設けている。図19に、電極金属層1Bに用いる純度が99.99% (4N) のAl金属及びSiを1.0%含有するAl合金 (Al-1.0%Si合金) に対して、直径6mm、標点距離30mmの試験片を用いて引張強度試験した結果を示す。図19に示すように、降伏応力は、Al金属で27MPa程度、Al-1.0%Si合金で35MPa程度である。したがって、電極金属層1Bにおけるクラック発生を防止するため、焼結金属層4a、4bの強度をAlあるいはAl合金の引張強度と同程度又は同等以下の強度、例えば20MPa～40MPaの範囲の強度に制御する。図15に示すように、焼結金属層4a、4bの強度を20MPa～40MPaの範囲にするには、焼結密度を72%以上78%以下の範囲にすればよい。あるいは、図17に示すように、焼結金属層4a、4bの強度を20MPa～40MPaの範囲にするには、圧縮率を10%以上20%以下の範囲にすればよい。

[0026] また、金属板3の厚さ T_m は供給厚さの50%未満、又は積層厚さの63%未満が望ましい。金属板3の厚さ T_m が供給厚さの50%以上と厚くなると、金属板3の上下領域の焼結金属層4a、4bそれぞれの圧縮率の増加により、貫通孔5の領域の加圧が不足する可能性が生じる。その場合、半導体チップ1及び絶縁回路基板8との接触面積が減少して、接合強度が低減したり、熱抵抗が増加する。また、金属板を用いない場合は、従来の焼結金属層の加熱加圧方法となる。例えば、厚さの異なる複数の半導体チップを用いる場合や、反りや傾きを有する半導体チップを用いる場合、位置によって加圧

過剰になったり加圧不足になるため、焼結密度の制御ができなくなる。したがって、金属板 3 の厚さ T_m はある程度必要となる。

[0027] 第 1 実施形態では、半導体チップ 1 と配線部材 7 との接合において、図 2 に示した貫通孔 5 の領域の焼結金属層 4 a、4 b の強度を $20\text{MPa} \sim 40\text{MPa}$ の範囲、例えば 35MPa 程度に制御する。このとき、焼結密度は 76% 程度で、圧縮率は 18% 程度となる。例えば、貫通孔 5 の領域の焼結金属層 4 a、4 b の供給厚さが $100\mu\text{m}$ 程度として、図 2 に示した積層厚さ T_s が $82\mu\text{m}$ 程度、即ち圧縮による変形量が $18\mu\text{m}$ 程度となる。この場合、金属板 3 の上下領域での焼結金属層 4 a、4 b の焼結密度は 76% より大きく、 90% より小さい範囲となる。なお、焼結金属層 4 a、4 b の供給厚さは、 $50\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下の範囲が好ましく、積層厚さは、 $41\mu\text{m}$ 以上 $820\mu\text{m}$ 以下の範囲となる。

[0028] 第 1 実施形態に係る半導体装置では、図 2 に示したように、貫通孔 5 を有する金属板 3 を焼結金属層 4 a と焼結金属層 4 b の間に設けて、通電時に発生する応力を接合部 2 で分散させる。金属板 3 の上下領域は貫通孔 5 の領域より焼結金属層 4 a、4 b の強度が高い。焼結金属層 4 a、4 b の強度が低い貫通孔 5 の領域が強度の高い金属板 3 の上下領域に囲まれて局在する。そのため、貫通孔 5 の領域の焼結金属層 4 a、4 b にクラックが発生しても、金属板 3 の上下領域を含めた焼結金属層 4 a、4 b の全体に伸展することが防止できる。その結果、半導体チップ 1 の劣化を防止することができ、半導体装置の信頼性を向上することが可能となる。

[0029] また、金属板 3 と半導体チップ 1 との間の焼結金属層 4 a の厚さ T_a に比べて、金属板 3 と配線部材 7 との間の焼結金属層 4 b の厚さ T_b が厚いことが望ましい。焼結金属層 4 b を厚くすることで、焼結金属層 4 b の強度が焼結金属層 4 a よりも小さくなり、クラックが金属板 3 の配線部材 7 側の焼結金属層 4 b に発生して半導体チップ 1 側に伸展することを防止することができる。

[0030] 平面パターンにおいて、金属板 3 の表面及び貫通孔 5 の開口部を含む全面

積に対する貫通孔 5 の開口部の占有面積が、25%以上、75%以下であることが望ましい。貫通孔 5 の占有面積が25%未満では、焼結金属層 4 a、4 b において強度の高い部分の比率が増加し、クラックが電極金属層 1 B、1 D に発生する可能性が高くなる。占有面積が75%超過では、焼結金属層 4 a、4 b において強度の低い部分の比率が増加し、クラックが焼結金属層 4 a、4 b 内に発生する可能性が高くなる。また、配線部材 7 側の焼結金属層 4 b の強度を半導体チップ 1 側の焼結金属層 4 a よりも小さくするため、図 20 に示すように、金属板 3 b の貫通孔 5 b の開口部の占有面積を調整してもよい。貫通孔 5 b において、半導体チップ側となる第 1 溝部 5 5 a の開口寸法 w_1 は、配線部材 7 側となる第 2 溝部 5 5 b の開口寸法 w_2 より小さい。そのため、配線部材 7 側の焼結金属層 4 b の強度を半導体チップ 1 側の焼結金属層 4 a より小さくすることができる。なお、図 21 に示すように、配線部材 7 側の開口寸法 w_2 を半導体チップ 1 側の開口寸法 w_1 より小さくした傾斜側壁を有する貫通孔 5 c を有する金属板 3 c を用いてもよい。

[0031] 同様に、半導体チップ 1 と絶縁回路基板 8 の配線層 8 2 a との接合において、図 5 に示した貫通孔 5 a の領域の焼結金属層 4 c、4 d の強度を 20 MPa 以上 40 MPa 以下の範囲、例えば 35 MPa 程度に制御する。例えば、焼結金属層の供給厚さが $100\ \mu\text{m}$ 程度として、図 5 に示した積層厚さ T_s を $82\ \mu\text{m}$ 程度、即ち圧縮による変形量を $9\ \mu\text{m}$ 程度とする。このとき、焼結密度は 76% 程度で、圧縮率は 18% 程度となる。また、金属板 3 a の厚さ T_m は供給厚さの 50% 未満が望ましい。

[0032] また、図 5 に示すように、金属板 3 a と半導体チップ 1 との間の焼結金属層 4 c の厚さ T_c に比べて、金属板 3 a と絶縁回路基板 8 の配線層 8 2 a との間の焼結金属層 4 d の厚さ T_d が薄いことが望ましい。焼結金属層 4 d を薄くすることで、焼結金属層 4 d の強度が焼結金属層 4 c よりも小さくなり、クラックが金属板 3 a の配線層 8 2 a 側の焼結金属層 4 d に発生して半導体チップ 1 側に伸展することを防止することができる。更に、絶縁回路基板 8 側の焼結金属層 4 d の強度を半導体チップ 1 側の焼結金属層 4 c よりも小

さくするため、図20及び図21に示したような、半導体チップ1側と絶縁回路基板8側とで開口寸法が異なる金属板を用いてもよい。

[0033] 次に、図1及び図2を参照して、第1実施形態に係る半導体装置の製造方法を説明する。まず、絶縁回路基板8の配線層82aに接合された半導体チップ1の電極層(1B, 1C)の上面に、Agナノ粒子を溶剤中に分散させた焼結金属ペーストを印刷法や分注法等によって塗布する。塗布した焼結金属ペーストを、焼結金属の焼結が生じない100℃以上150℃以下の温度範囲で乾燥させて溶剤を除去し、焼結金属層4aを積層する。焼結金属層4aの上に複数の貫通孔5を有する金属板3を配置する。金属板3の上に、Agナノ粒子を溶剤中に分散させた焼結金属ペーストを印刷法や分注法等によって塗布する。塗布した焼結金属ペーストを100℃以上150℃以下の温度範囲で乾燥させて溶剤を除去し、焼結金属層4bを積層する。このようにして、半導体チップ1の上面に、焼結金属層4a、金属板3、及び焼結金属層4bを有する接合部2が形成される。焼結金属層4a、4bは、貫通孔5内で互いに物理的に接続される。

[0034] 接合部2の上にリードフレーム等の配線部材7を配置し、プレス機等の加圧成形装置により、配線部材7の上から焼結金属層4a、4bを200℃以上300℃以下の範囲、例えば250℃で加熱しながら加圧する。加圧は、貫通孔5の領域で焼結金属層4a、4bの圧縮率が10%以上20%以下の範囲となる圧力で行う。加圧により、半導体チップ1と焼結金属層4a、及び焼結金属層4bと配線部材7が接合される。貫通孔5内において、焼結金属層4a、4bが金属学的に接続され、焼結金属層4a、4bの焼結密度が72%以上78%以下の範囲となる。一方、金属板3の上の領域では、焼結金属層4a、4bそれぞれの焼結密度は、貫通孔5の領域の焼結金属層4a、4bより高くなる。このようにして、半導体チップ1が、焼結金属層4a、4bによって絶縁回路基板8と配線部材7に接合された半導体装置が作製される。

[0035] なお、上記説明では、焼結金属層4a、4bの積層に焼結金属ペーストを

用いているが、シート状、又はプリフォーム状のAgナノ粒子からなる焼結金属層を用いてもよい。また、接合部2として、貫通孔を有する金属板の表裏に予め焼結金属層を配置した多層板（クラッド材）を用いてもよい。

[0036] また、1つの半導体チップ1を接合する場合で説明したが、複数の半導体チップに適用することもできる。複数の半導体チップのそれぞれの厚さが異なる場合、加圧成形装置のプレス型と半導体装置との間に配置する耐熱ゴム等の緩衝部材で厚さの差分を調整すればよい。例えば、図22に示すように、半導体装置として、IGBT、MOSFET等の半導体チップ（第1半導体チップ）1、及びFWD、SBD等の半導体チップ（第2半導体チップ）21を用いる。半導体チップ1は接合部2aを介して配線層82aに接合される。配線部材7の一端が、接合部2を介して半導体チップ1に接合される。配線部材7の他端が、接合部6を介して配線層82bに接合される。同様に、半導体チップ21は接合部22aを介して配線層82aに接合される。配線部材27の一端が、接合部22を介して半導体チップ21に接合される。配線部材27の他端が、接合部26を介して配線層82cに接合される。接合部22、22aは、図2及び図5に示した接合部2、2aと同様に、貫通孔を有する金属板が焼結金属層の間に挟まれた構造を有する。例えば、半導体チップ1より半導体チップ21が厚い場合、プレス型31の加圧面に配置した緩衝部材32において、半導体チップ21の配線部材27に接する部分を、半導体チップ1の配線部材7に接する部分より薄くする。このように、緩衝部材32を介して加圧成形装置のプレス型31で一括して接合することが可能となる。

[0037] また、半導体チップの厚さの差分を接合部に用いる金属板で調整することもできる。例えば、図23に示すように、接合部2には、焼結金属層4a、焼結金属層4b、及び金属板3が含まれる。金属板3は、焼結金属層4aと焼結金属層4bとの間に配置され、貫通孔（図示省略）を有する。接合部22には、焼結金属層24a、焼結金属層24b、及び金属板23が含まれる。金属板23は、焼結金属層24aと焼結金属層24bとの間に配置され、

貫通孔（図示省略）を有する。金属板 3 の厚さ T_{m1} より、金属板 2 3 の厚さ T_{m2} を薄くして、半導体チップ 1 の配線部材 7 と半導体チップ 2 1 の配線部材 2 7 の上面を同一のレベルとする。その結果、図 2 3 に示すように、プレス型 3 1 の加圧面に配置される緩衝部材 3 2 は、平坦面で配線部材 7、2 7 に接することができ、一括して接合することが可能となる。なお、半導体チップ 1 の接合部 2 a、及び半導体チップ 2 1 の接合部 2 2 a のそれぞれに用いる金属板の厚さで配線部材 7、2 7 の上面のレベルを調整してもよい。あるいは、接合部 2、2 a の金属板の厚さの和と、接合部 2 2、2 2 a の金属板の厚さの和とで配線部材 7、2 7 の上面のレベルを調整してもよい。

[0038] （第 2 実施形態）

第 2 実施形態に係る半導体装置は、図 2 4 に示すように、第 1 実施形態に係る半導体装置は、図 2 4 に示すように、半導体チップ 1、半導体チップ 1 と絶縁回路基板 8 とを接合する接合部 2 c、及び半導体チップ 1 と配線部材 7 とを接合する接合部 2 b を備える。図 2 4 中の D 部分の拡大図である図 2 5 に示すように、接合部 2 b は、電極層（1 B, 1 C）と配線部材 7 との間に配置される。接合部 2 b は、外側めっき金属層 1 C の上に配置された焼結金属層 4 e、配線部材 7 の下に配置された焼結金属層 4 f、及び焼結金属層 4 e、4 f の間に配置された金属板 3 d を備える。金属板 3 d は、複数の第 1 溝部 1 5 a 及び複数の第 2 溝部 1 5 b を、下面及び上面にそれぞれ独立して有する。複数の第 1 溝部 1 5 a は、金属板 3 d の半導体チップ 1 に面する側に設けられる。複数の第 2 溝部 1 5 b は、金属板 3 d の配線部材 7 に面する側に設けられる。第 2 実施形態は、複数の第 1 溝部 1 5 a 及び複数の第 2 溝部 1 5 b を、下面及び上面にそれぞれ独立して有する金属板 3 d を有する点が第 1 実施形態と異なる。他の構成は第 1 実施形態と同様であるので重複する記載は省略する。

[0039] 金属板 3 d は、図 2 6 に示すように、平面視で、下面に円形状の複数の第 1 溝部 1 5 a、上面に円形状の複数の第 2 溝部 1 5 b がマトリックス状に配置されている。第 1 及び第 2 溝部 1 5 a、1 5 b の形状は、円形状に限定さ

れず、楕円状、矩形状、多角形状等であってもよい。また、第1及び第2溝部15a、15bの配置もマトリックス状に限定されず、ストライプ状配置、ランダム配置であってもよい。図27に示すように、複数の第1溝部15aは、金属板3dの半導体チップ1に面する側に設けられ、深さDaを有する。複数の第2溝部15bは、金属板3dの配線部材7に面する側に設けられ、深さDbを有する。深さDa及び深さDbは同一であってもよく、異なってもよい。金属板3dの材料としては、Ag粒子やAg粉等を含む焼結金属層4a、4bとの接合を考慮して、AgやAu等の金属が望ましい。また、金属板3dとして、Cu、Al、Al合金等の表面にAgめっきやAuめっきした金属板であってもよい。

[0040] 第2実施形態に係る半導体装置では、焼結金属層4e、4fの間に第1及び第2溝部15a、15bを有する金属板3dを用いることにより、焼結金属層4e、4fの強度を制御する。半導体チップ1の電極金属層1Bと同等又は同等以下の強度となるように焼結金属層4e、4fの焼結密度を制御して、半導体装置の通電時に発生する応力を接合部2bで分散させる。図19に示すように、降伏応力は、Al金属で27MPa程度、Al-1.0%Si合金で35MPa程度である。したがって、焼結金属層4e、4fの強度を、20MPa以上40MPa以下の範囲に制御する。図15に示すように、焼結金属層4e、4fの強度を20MPa以上40MPa以下の範囲にするには、焼結密度を72%以上78%以下の範囲にすればよい。あるいは、図17に示すように、焼結金属層4e、4fの強度を20MPa以上40MPa以下の範囲にするには、圧縮率を10%以上20%以下の範囲にすればよい。

[0041] 金属板3dの厚さTmは供給厚さの50%未満が望ましい。金属板3dの厚さTmが供給厚さの50%以上に厚くなると、金属板3dの上の領域の焼結金属層4e、4fそれぞれの圧縮率の増加により、第1及び第2溝部15a、15bそれぞれの領域の加圧が不足する可能性が生じる。その場合、半導体チップ1及び絶縁回路基板8との接触面積が減少して、接合強度が低減

したり、熱抵抗が増加したりする。また、金属板を用いない場合は、従来の焼結金属層の加熱加圧方法となる。例えば、厚さの異なる複数の半導体チップを用いる場合や、反りや傾きを有する半導体チップを用いる場合、位置によって加圧過剰になったり加圧不足になったりするため、焼結密度の制御ができなくなる。したがって、金属板 3 d の厚さ T_m はある程度必要となる。また、第 1 及び第 2 溝部 1 5 a、1 5 b それぞれの深さ D_a 、 D_b は、0 より大きく、金属板 3 d の厚さ T_m より小さい範囲が好ましい。

[0042] 第 2 実施形態では、半導体チップ 1 と配線部材 7 との接合において、図 2 5 に示した第 1 及び第 2 溝部 1 5 a、1 5 b の領域それぞれの焼結金属層 4 e、4 f の強度を 2 0 M P a 以上 4 0 M P a 以下の範囲、例えば 3 5 M P a 程度に制御する。このとき、焼結密度は 7 6 % 程度で、圧縮率は 1 8 % 程度となる。例えば、焼結金属層 4 e、4 f それぞれの供給厚さが 1 0 0 μ m 程度として、図 2 5 に示した焼結金属層 4 e の積層厚さ $T_{s a}$ 及び焼結金属層 4 e の積層厚さ $T_{s b}$ が、それぞれ 8 2 μ m 程度、即ち圧縮による変形量が 1 8 μ m 程度となる。第 1 及び第 2 溝部 1 5 a、1 5 b それぞれの深さ D_a 、 D_b を、0 より大きく、金属板 3 d の厚さ T_m より小さい範囲とすると、金属板 3 d の上の領域での焼結金属層 4 a、4 b の焼結密度は 7 6 % より大きく、9 0 % より小さい範囲となる。

[0043] 第 2 実施形態に係る半導体装置では、図 2 5 に示したように、第 1 及び第 2 溝部 1 5 a、1 5 b を有する金属板 3 d を焼結金属層 4 e と焼結金属層 4 f の間に設けて、通電時に発生する応力を接合部 2 b で分散させる。金属板 3 d 上の領域は第 1 及び第 2 溝部 1 5 a、1 5 b 上の領域より焼結金属層 4 e、4 f の強度が高い。焼結金属層 4 e、4 f の強度が低い第 1 及び第 2 溝部 1 5 a、1 5 b 上の領域が強度の高い領域に囲まれて局在する。そのため、第 1 及び第 2 溝部 1 5 a、1 5 b 上の焼結金属層 4 e、4 f の領域にクラックが発生しても、焼結金属層 4 e、4 f の全体に伸展することが防止できる。

[0044] 金属板 3 d の第 1 溝部 1 5 a の深さ D_a に比べて、金属板 3 d の第 2 溝部

15bの深さD_bが深いことが望ましい。第1溝部15aを深くすることで、焼結金属層4fの強度が焼結金属層4eよりも小さくなり、クラックが金属板3dの配線部材7側の焼結金属層4fに発生して半導体チップ1側に伸展することを防止することができる。その結果、半導体チップ1の劣化を防止することができ、半導体装置の信頼性を向上することが可能となる。

[0045] 平面パターンにおいて、第1溝部15a及び第2溝部15bのそれぞれの占有面積が、金属板3dの表面及び第1溝部15aの開口部又は第2溝部15bの開口部を含む金属板3dの全面積に対して25%以上、75%以下であることが望ましい。また、金属板3dと半導体チップ1との間の焼結金属層4eの厚さT_aに比べて、金属板3dと配線部材7との間の焼結金属層4fの厚さT_bが厚いことが望ましい。焼結金属層4fを厚くすることで、焼結金属層4fの強度が焼結金属層4eよりも小さくなり、クラックが金属板3dの配線部材7側の焼結金属層4fに発生して半導体チップ1側に伸展することを防止することができる。

[0046] また、配線部材7側の焼結金属層4fの強度を半導体チップ1側の焼結金属層4eよりも小さくするため、図28に示すように、金属板3dの第1及び第2溝部15a、15bの開口面積を調整してもよい。第1溝部15aにおいて、半導体チップ側となる第1溝部15aの開口寸法W_aは、配線部材7側となる第2溝部15bの開口寸法W_bより小さい。そのため、配線部材7側の焼結金属層4fの強度を半導体チップ1側の焼結金属層4eより小さくすることができる。

[0047] 同様に、図24に示した半導体チップ1と絶縁回路基板8の配線層82aとの接合において、接合部2cは、図25に示した第1及び第2溝部15a、15bを有する金属板を焼結金属層の間に配置する構造を有する。第1及び第2溝部15a、15bの領域の焼結金属層の強度を20MPa以上40MPa以下の範囲、例えば35MPa程度に制御する。例えば、焼結金属層の供給厚さが100μm程度として、図25に示した積層厚さT_{sa}、T_{sb}をそれぞれ82μm程度、即ち圧縮による変形量を18μm程度とする。

このとき、焼結密度は76%程度で、圧縮率は18%程度となる。また、金属板の厚さ T_m は供給厚さの50%未満が望ましい。

[0048] また、図24に示した接合部2cの金属板と半導体チップ1との間の焼結金属層の厚さに比べて、金属板と絶縁回路基板8の配線層82aとの間の焼結金属層の厚さが薄いことが望ましい。絶縁回路基板8側の焼結金属層を薄くすることで、絶縁回路基板8側の焼結金属層の強度が半導体チップ1側の焼結金属層よりも小さくなり、クラックが接合部2cの配線層82a側の焼結金属層に発生して半導体チップ1側に伸展することを防止することができる。なお、上記第1実施形態および第2実施形態において、金属板3, 3d（金属材料）が、金属粒子、金属繊維または金属ネットのいずれか1種類であってもよい。

[0049] （その他の実施形態）

本発明は上記の開示した実施形態によって説明したが、この開示の一部をなす論述及び図面は、本発明を限定するものであると理解すべきではない。本発明の明細書や図面の開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかになると考えられるべきである。又、上記の実施形態及び各変形例において説明される各構成を任意に応用した構成等、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の例示的説明から妥当な、特許請求の範囲に係る発明特定事項によってのみ定められるものである。

符号の説明

[0050] 1, 21…半導体チップ
1A…半導体層
1B, 1D…電極金属層
1C, 1E…外側めっき金属層
2, 2a, 2b, 2c, 6, 9, 22, 22a, 26…接合部
3, 3a, 3b, 3c, 3d, 23…金属板
3e…平面部

4 a, 4 b, 4 c, 4 d, 4 e, 4 f, 2 4 a, 2 4 b…焼結金属層

5, 5 a, 5 b, 5 c…貫通孔

7, 2 7…配線部材

8…絶縁回路基板 1 0…放熱ベース

1 5 a, 5 5 a…第 1 溝部

1 5 b, 5 5 b…第 2 溝部

3 1…プレス型

3 2…緩衝部材

8 1…絶縁板

8 2 a, 8 2 b, 8 2 c…導体層（配線層）

8 3…導体層（放熱層）

請求の範囲

- [請求項1] 表面に金属層を有する第1半導体チップと、
前記金属層に対向して配置された第1配線部材と、
前記金属層と前記第1配線部材との間に配置され、引張強度が高い複数の領域および引張強度が低い複数の領域を備えた焼結金属層と、
前記焼結金属層の内部に配置された金属材料と、
を備え、
前記焼結金属層の一部の引張強度の低い領域の引張強度は、前記第1半導体チップの前記金属層の引張強度より低いことを特徴とする半導体装置。
- [請求項2] 前記焼結金属層は、前記金属材料の前記第1半導体チップ側に配置された第1焼結金属層と、前記金属材料の前記第1配線部材側に配置された第2焼結金属層とを有し、
前記金属材料は、下面に複数の第1溝部、上面に複数の第2溝部を有する第1金属板であって、前記第1溝部および前記第2溝部が形成されていない平面部の領域があることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記複数の第1溝部及び前記複数の第2溝部は、それぞれ互いに接続した複数の貫通孔をなすことを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記複数の第1溝部及び第2溝部のそれぞれの領域における前記第1焼結金属層及び第2焼結金属層の焼結密度は、72%以上、78%以下の範囲であることを特徴とする請求項2又は3に記載の半導体装置。
- [請求項5] 前記第1焼結金属層の焼結密度は、前記複数の第1溝部の領域に比べて前記第1金属板の前記下面の領域の方が高く、
前記第2焼結金属層の焼結密度は、前記複数の第2溝部の領域に比べて前記第1金属板の前記上面の領域の方が高いことを特徴とする請

求項 2 ～ 4 のいずれか 1 項に記載の半導体装置。

[請求項6] 前記複数の第 1 溝部の領域の前記第 1 焼結金属層の焼結密度は、前記複数の第 2 溝部の領域の前記第 2 焼結金属層の焼結密度に比べて高いことを特徴とする請求項 2 ～ 5 のいずれか 1 項に記載の半導体装置。

[請求項7] 平面パターンにおいて、前記複数の第 1 溝部及び前記第 2 溝部のそれぞれの占有面積が前記第 1 金属板の表面積に対して 25%以上 75%以下であることを特徴とする請求項 2 ～ 6 のいずれか 1 項に記載の半導体装置。

[請求項8] 平面パターンにおいて、前記複数の第 1 溝部の占有面積が前記複数の第 2 溝部の占有面積に比べて小さいことを特徴とする請求項 2 ～ 7 のいずれか 1 項に記載の半導体装置。

[請求項9] 前記第 1 金属板の厚さが、前記第 1 半導体チップの表面から前記第 1 溝部の底部までの前記第 1 焼結金属層の厚さの 0%より大きく 63%以下の範囲であることを特徴とする請求項 2 ～ 8 のいずれか 1 項に記載の半導体装置。

[請求項10] 前記第 1 半導体チップの上面から前記第 1 溝部の底部までの前記第 1 焼結金属層の厚さが、前記第 1 配線部材の下面から前記第 2 溝部の底部までの前記第 2 焼結金属層の厚さに比べて薄いことを特徴とする請求項 2 ～ 9 のいずれか 1 項に記載の半導体装置。

[請求項11] 第 2 半導体チップと、
前記第 2 半導体チップの上方に配置され、下面に複数の第 3 溝部、上面に複数の第 4 溝部を有する第 2 金属板と、
前記第 2 金属板の上方に配置された第 2 配線部材と、
前記複数の第 3 溝部を埋めるように前記第 2 半導体チップと前記第 2 金属板との間に配置された第 3 焼結金属層と、
前記複数の第 4 溝部を埋めるように前記第 2 金属板と前記第 2 配線部材との間に配置された第 4 焼結金属層と

を更に備え、

前記第 1 配線部材及び前記第 2 配線部材の上面の高さのレベルが同一であることを特徴とする請求項 1 ～ 10 のいずれか 1 項に記載の半導体装置。

[請求項12] 前記第 1 金属板及び前記第 2 金属板の厚さが異なることを特徴とする請求項 11 に記載の半導体装置。

[請求項13] 前記第 1 半導体チップの下方に配置され、上面に複数の第 5 溝部、下面に複数の第 6 溝部を有する第 3 金属板と、

前記第 3 金属板の下方に配置され、上面に配線層を有する絶縁回路基板と、

前記複数の第 5 溝部を埋めるように前記第 1 半導体チップと前記第 3 金属板との間に配置された第 5 焼結金属層と、

前記複数の第 6 溝部を埋めるように前記第 3 金属板と前記配線層との間に配置された第 6 焼結金属層と

を更に備えることを特徴とする請求項 1 ～ 12 のいずれか 1 項に記載の半導体装置。

[請求項14] 前記金属材料が、金属粒子、金属繊維または金属ネットのいずれか 1 種類であることを特徴とする請求項 1 ～ 13 のいずれか 1 項に記載の半導体装置。

[請求項15] 絶縁回路基板の上面に配置された配線層の上に第 1 半導体チップを接合するステップと、

前記第 1 半導体チップの上面に焼結金属ペーストを塗布して乾燥させ、第 1 焼結金属層を積層するステップと、

下面に複数の第 1 溝部、上面に複数の第 2 溝部を有する第 1 金属板を、前記第 1 焼結金属層の上に前記第 1 金属板の前記下面が接するように配置するステップと、

前記第 1 金属板の前記上面に焼結金属ペーストを塗布して乾燥させ、第 2 焼結金属層を積層するステップと、

前記第2焼結金属層の上に第1配線部材を配置するステップと、
前記第1焼結金属層及び第2焼結金属層を加熱しながら加圧して、
前記第1焼結金属層を前記複数の第1溝部に充填するように前記第1
金属板の前記下面と前記第1半導体チップとの間で接合させ、且つ、
前記第2焼結金属層を前記複数の第2溝部に充填するように前記第1
金属板の前記上面と前記第1配線部材との間で接合させるステップと
を備えることを特徴とする半導体装置の製造方法。

[請求項16] 前記複数の第1溝部及び前記複数の第2溝部は、それぞれ互いに接
続した複数の貫通孔をなすことを特徴とする請求項15に記載の半導
体装置の製造方法。

[請求項17] 前記第1焼結金属層及び第2焼結金属層の前記加圧は、前記焼結金
属ペーストを乾燥させた後の前記第1焼結金属層及び第2焼結金属層
の供給厚さに対して10%以上、20%以下の範囲の圧縮率で実施さ
れることを特徴とする請求項15又は16に記載の半導体装置の製造
方法。

[請求項18] 前記絶縁回路基板の上に接合された第2半導体チップの上面に第3
焼結金属層を形成するステップと、

下面に複数の第3溝部、上面に複数の第4溝部を有する第2金属板
を、前記第3焼結金属層の上に前記第2金属板の前記下面が接するよ
うに配置するステップと、

前記第2金属板の前記上面に第4焼結金属層を形成するステップと
、

前記第4焼結金属層の上に第2配線部材を配置するステップと、
前記第3焼結金属層及び第4焼結金属層を加熱しながら加圧して、
前記第3焼結金属層を前記複数の第3溝部に充填するように前記第2
金属板の前記下面と前記第2半導体チップとの間で接合させ、且つ、
前記第4焼結金属層を前記複数の第4溝部に充填するように前記第2
金属板の前記上面と前記第2配線部材との間で接合させるステップと

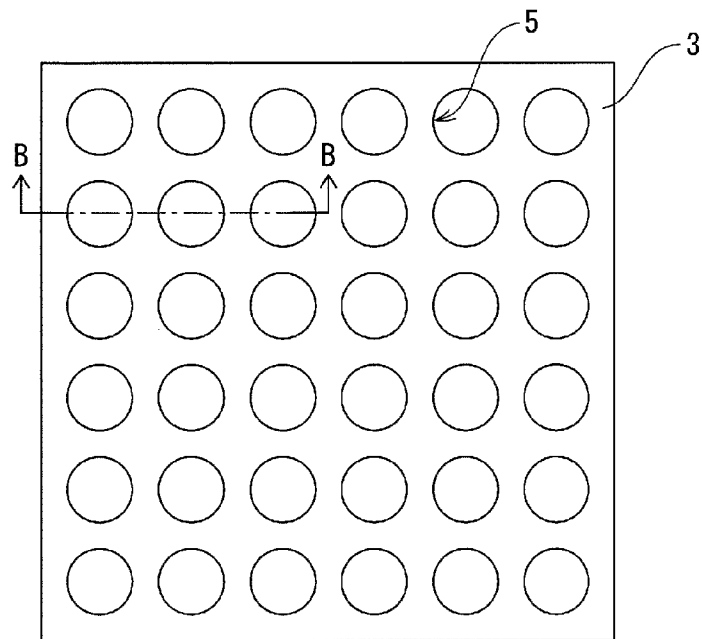
を備え、

前記第 3 焼結金属層及び第 4 焼結金属層の前記加圧は、前記第 1 焼結金属層及び第 2 焼結金属層の前記加圧と同時に実施されることを特徴とする請求項 15～17 のいずれか 1 項に記載の半導体装置の製造方法。

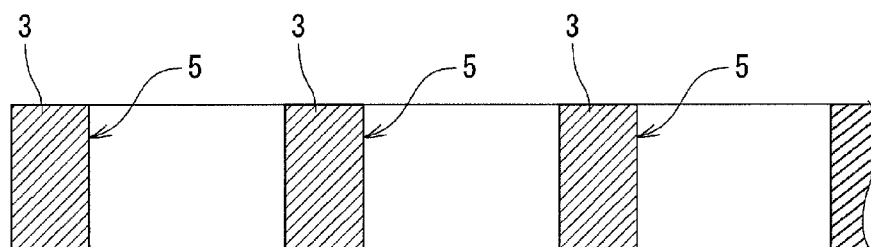
[請求項19] 前記第 1 金属板及び前記第 2 金属板の厚さが異なり、且つ、前記第 1 配線部材及び前記第 2 配線部材の上面の高さのレベルが同一であることを特徴とする請求項 18 に記載の半導体装置の製造方法。

[illegible]

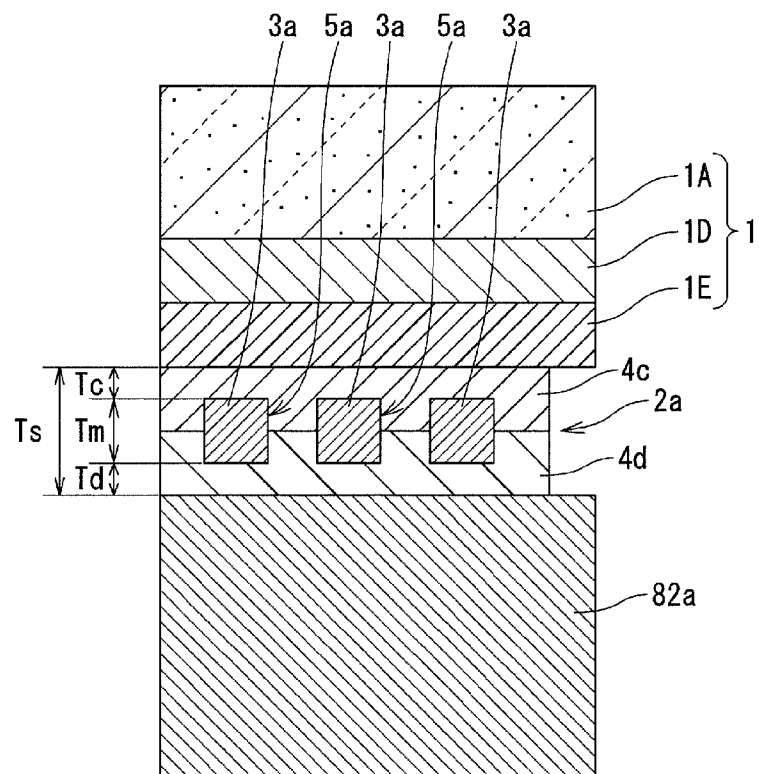
[図3]



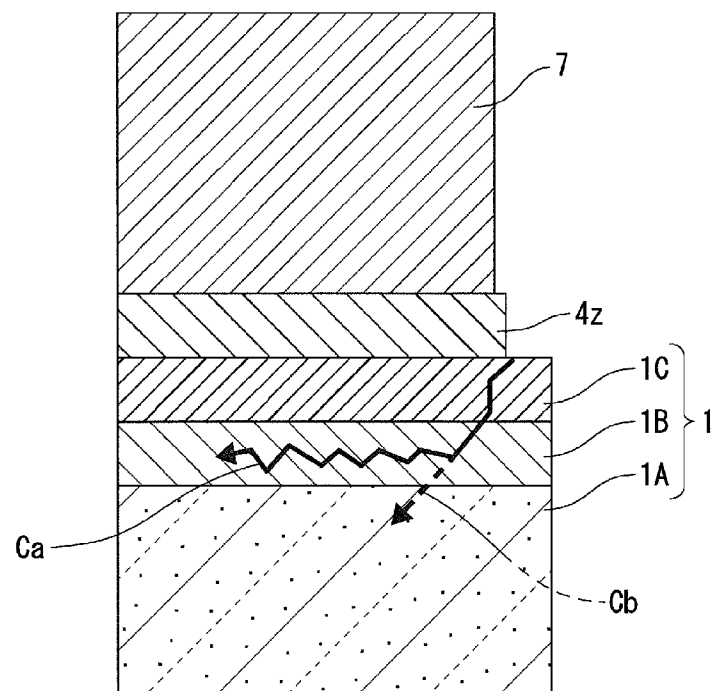
[図4]



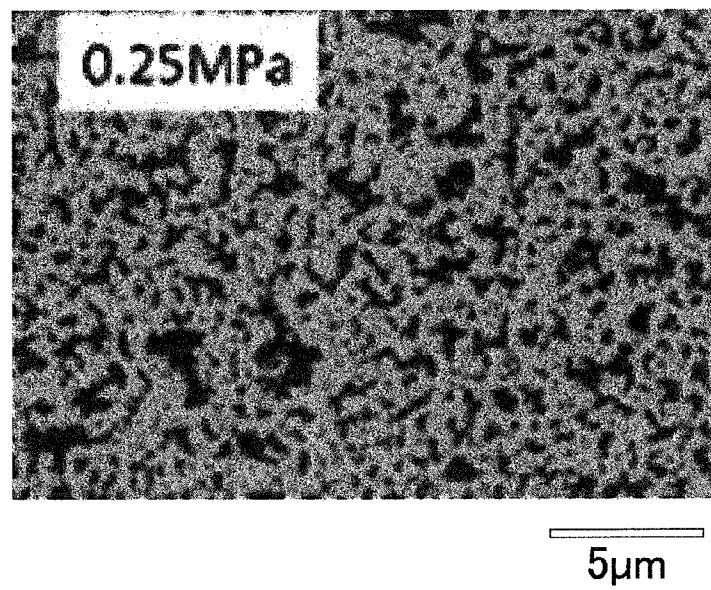
[図5]



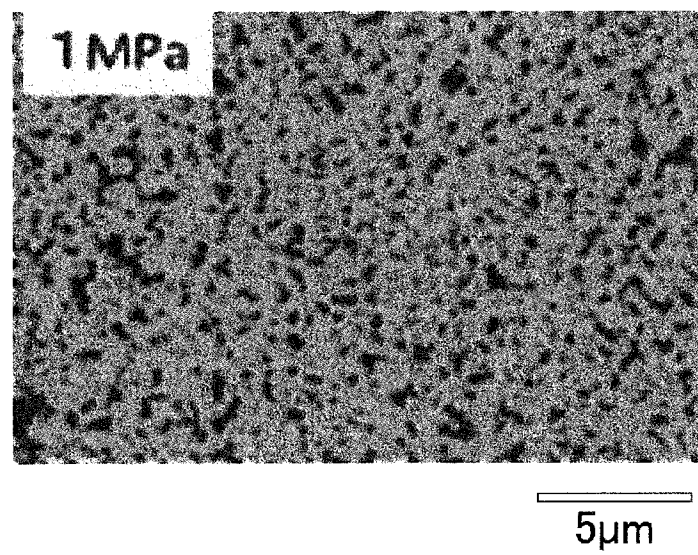
[図6]



[図7]

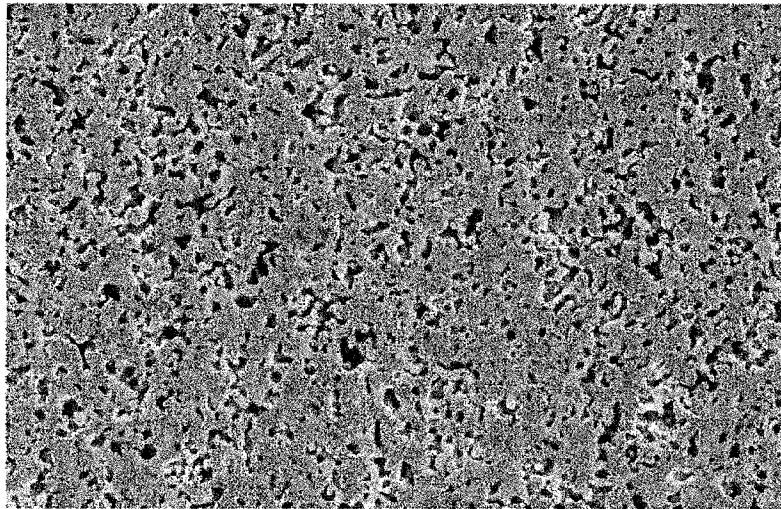


[図8]



[図9]

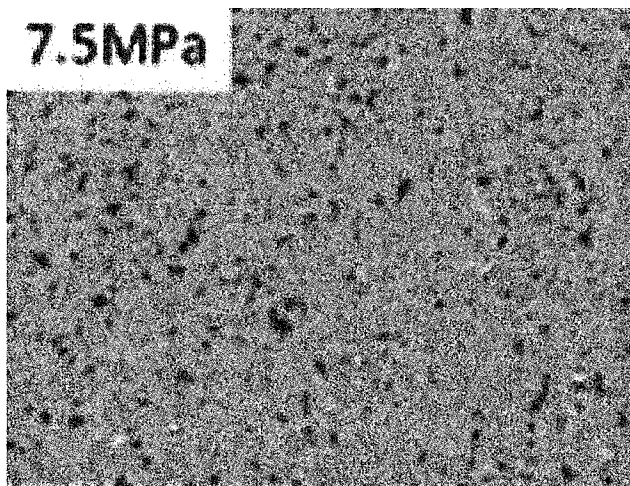
5MPa



5μm

[図10]

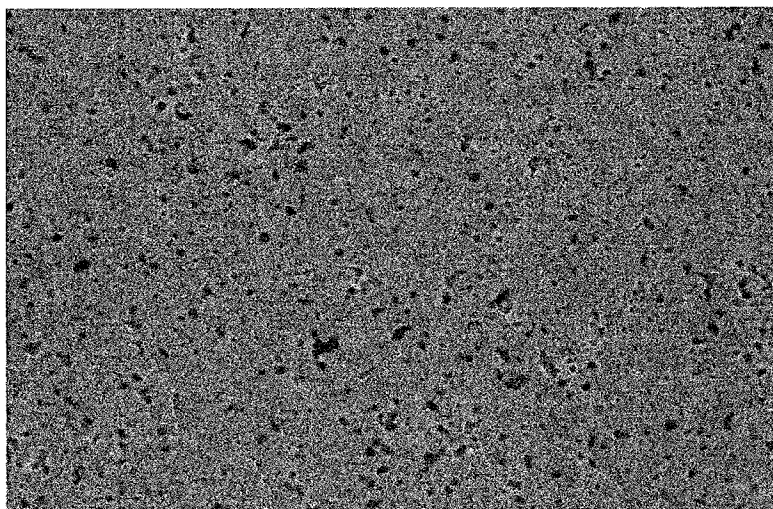
7.5MPa



5μm

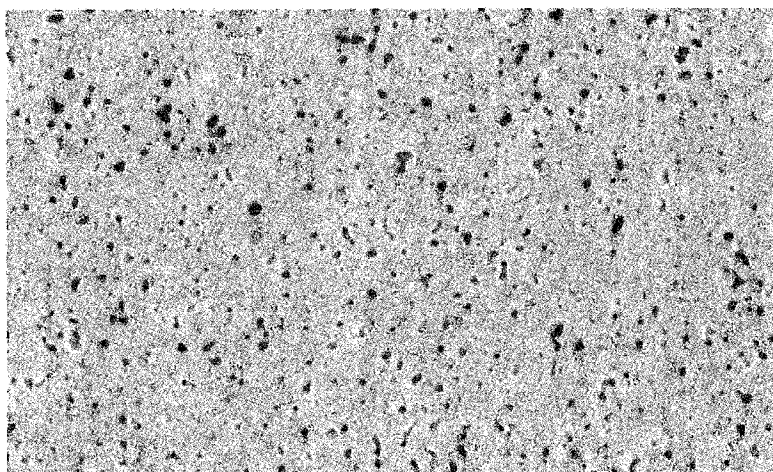
[図11]

30MPa

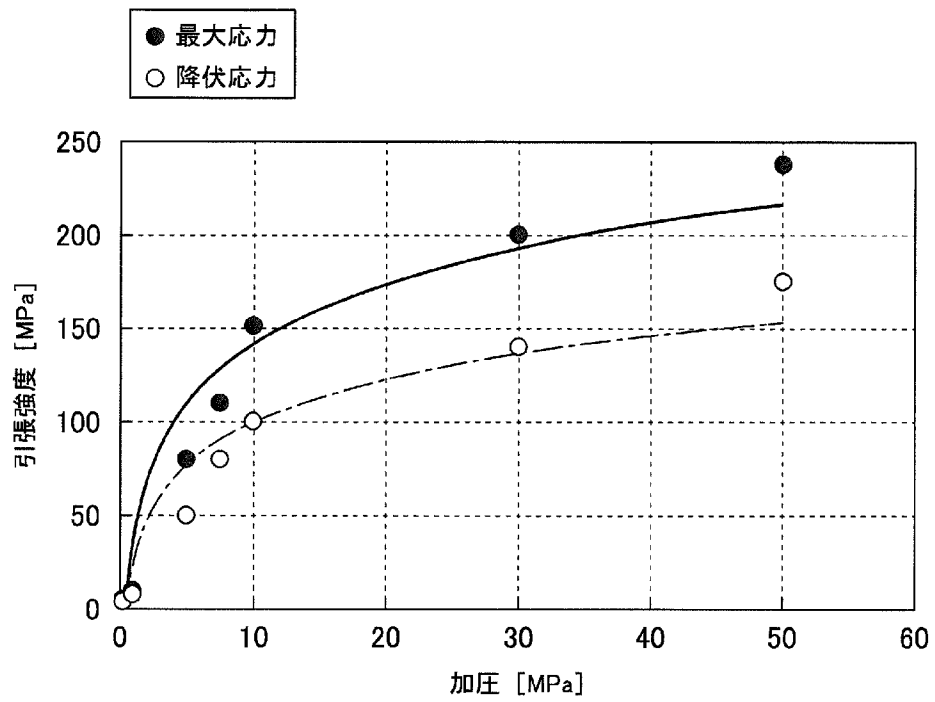

5μm

[図12]

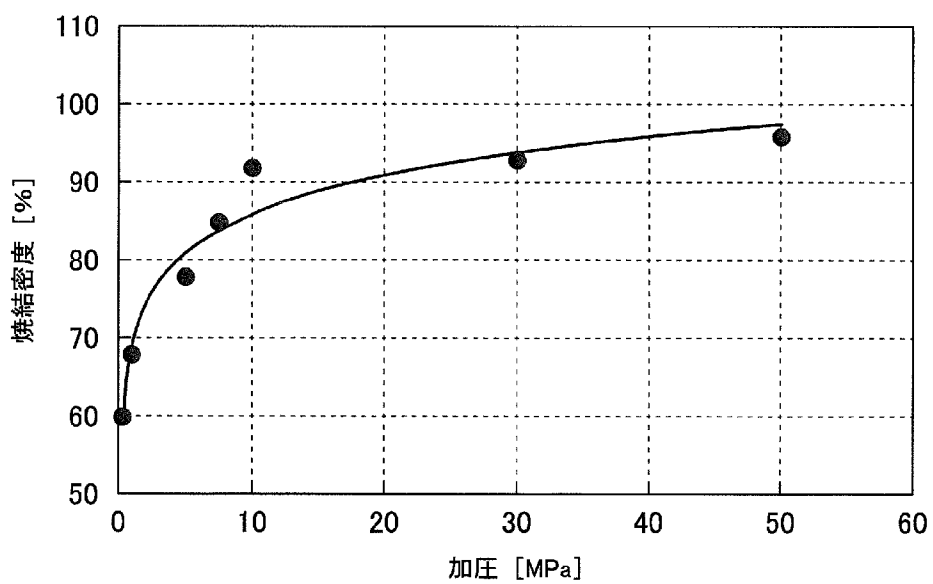
50MPa


5μm

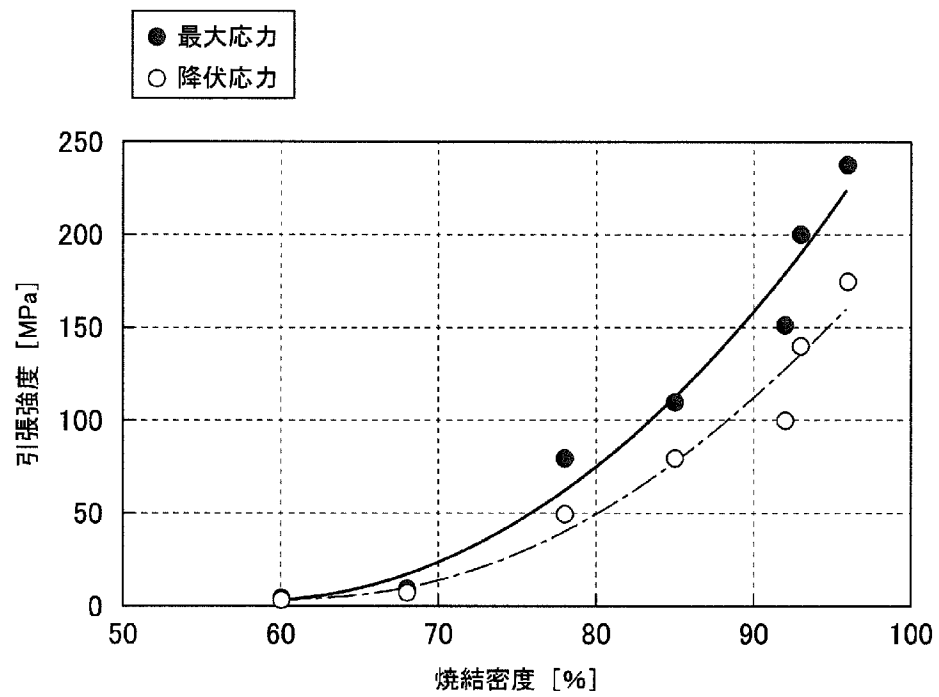
[図13]



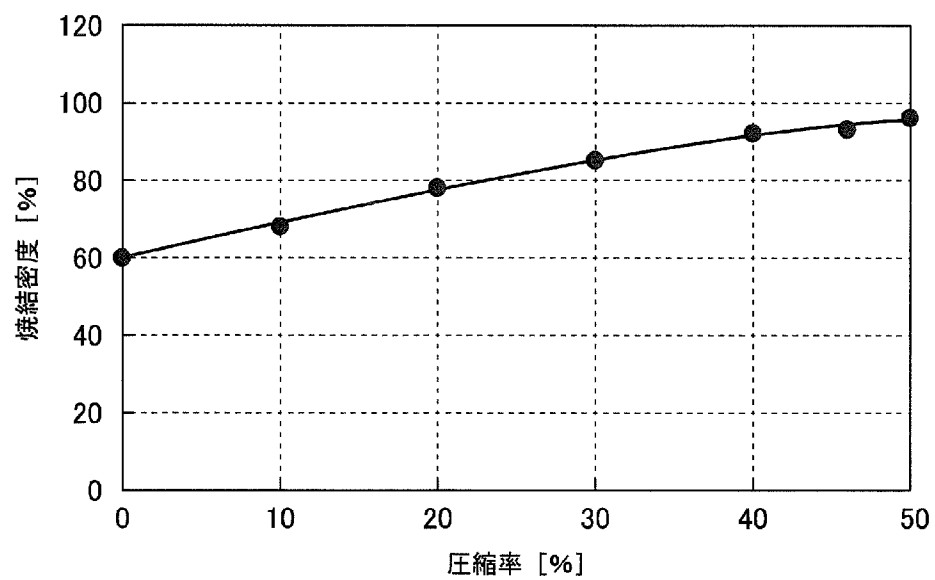
[図14]



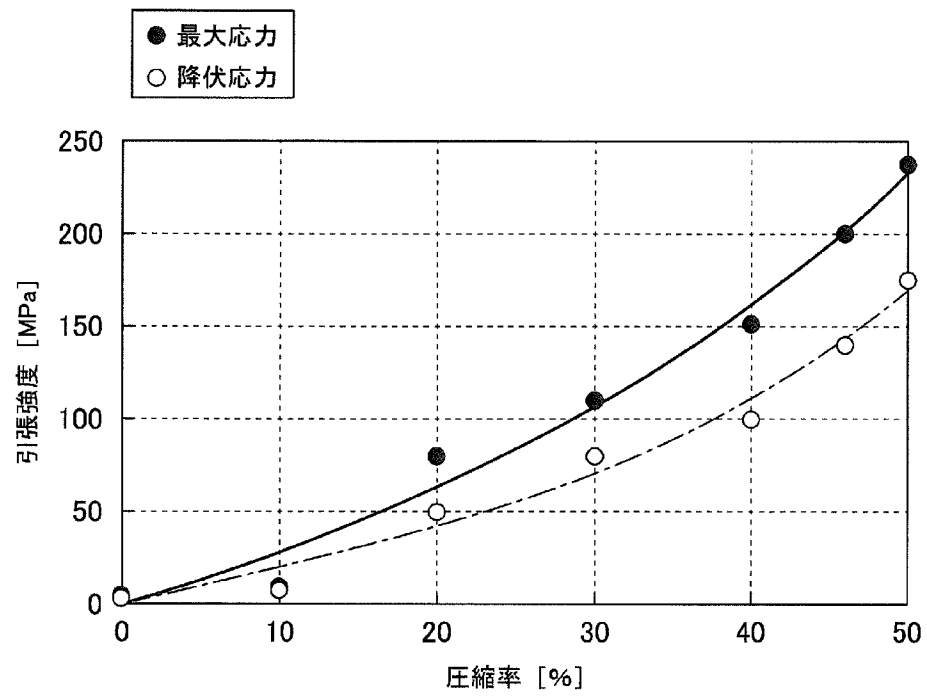
[図15]



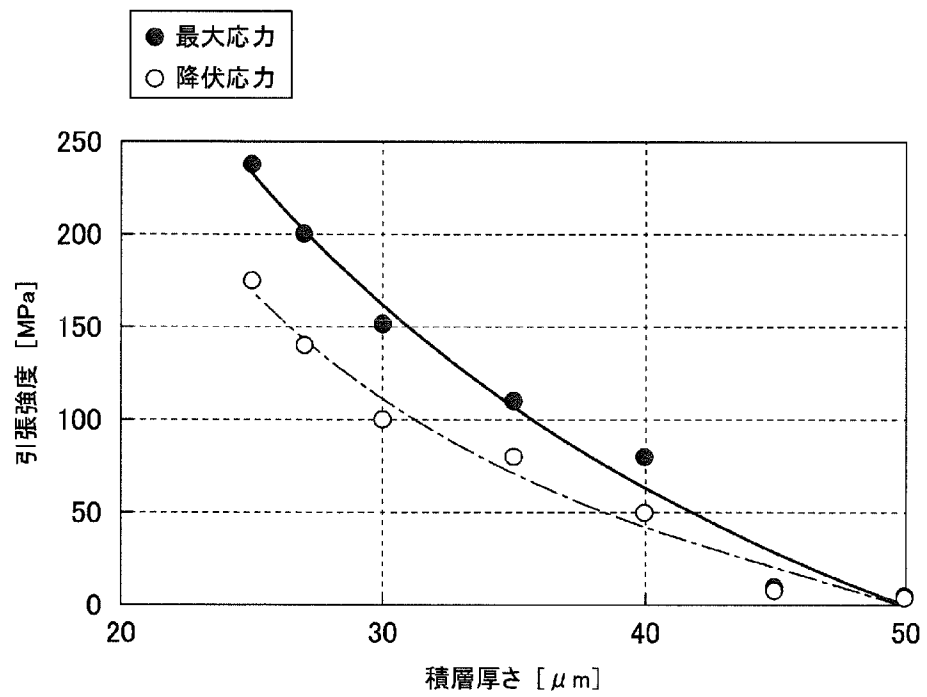
[図16]



[図17]



[図18]

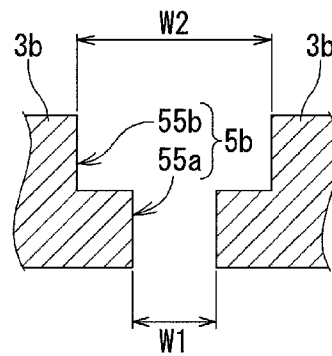


[図19]

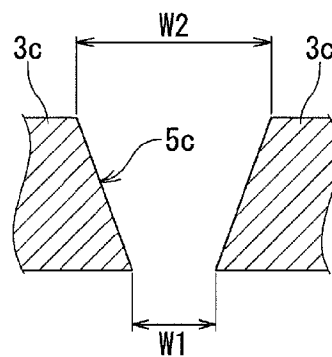
試験片：直径 6mm、標点距離 30mm

材料	試験温度	引張強さ (MPa)	0.2%耐力 (MPa)
Al (4N)	RT	61	27
		58	27
Al-1.0%Si	RT	89	35
		89	35

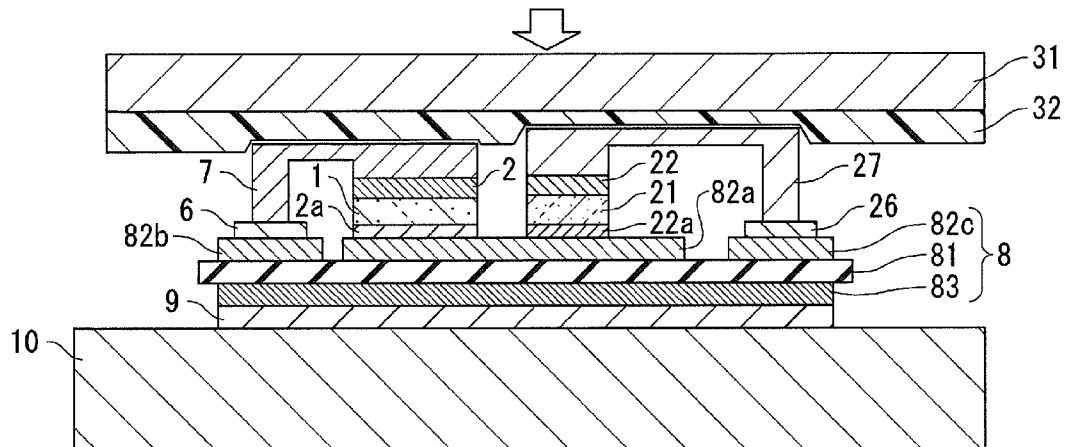
[図20]



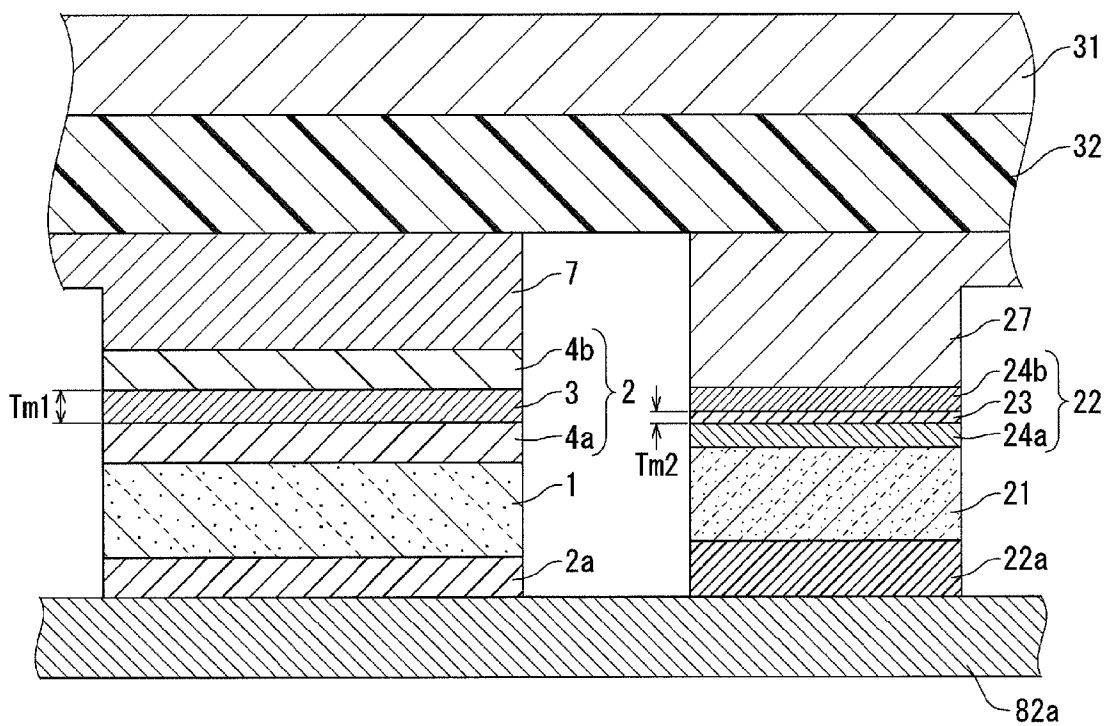
[図21]



[図22]



[図23]



[illegible]

15b 15b 3d 15b 15b

7

Tsb

Tb

Tm

Tsa

Ta

4f

2b

4e

1C

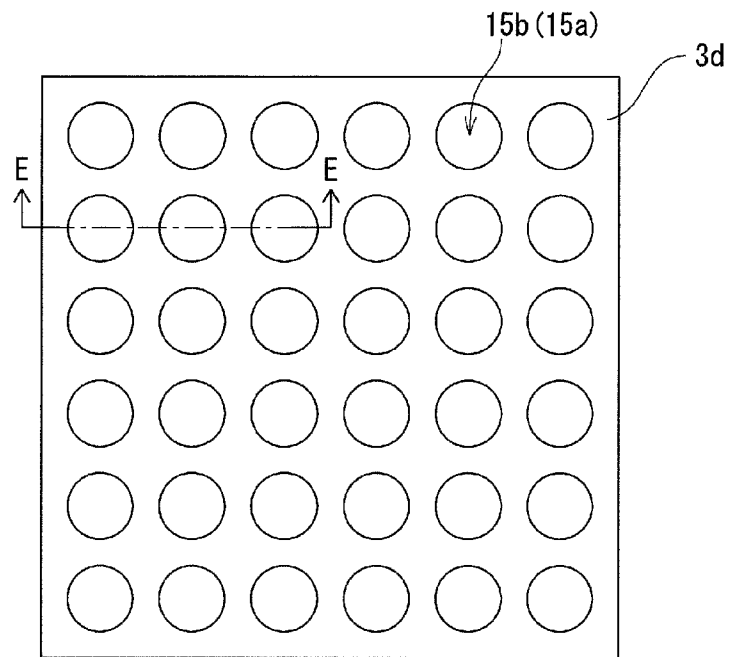
1B

1A

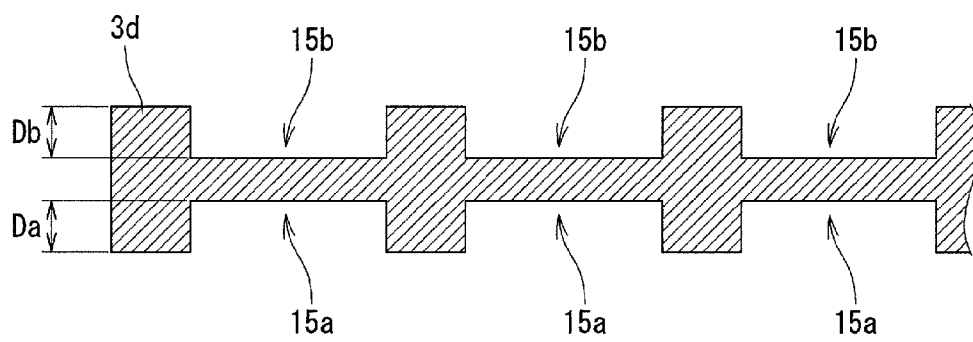
1

15a 15a 15a 15a

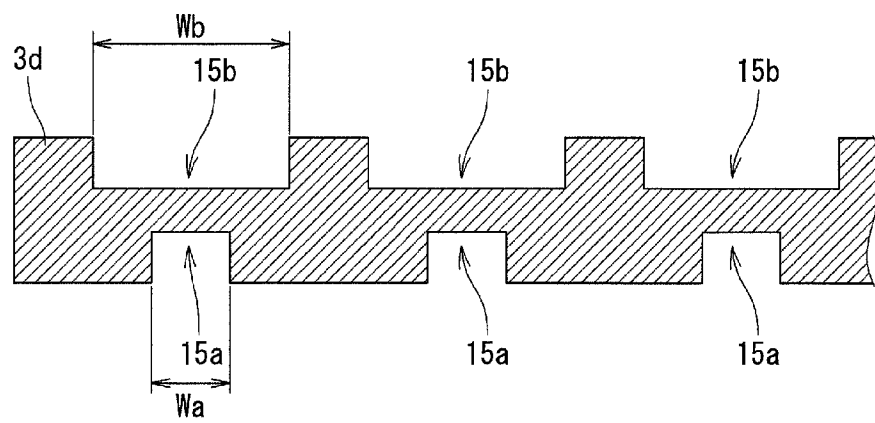
[図26]



[図27]



[図28]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022499

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/48(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/60(2006.01)i; H01L 21/603(2006.01)i

FI: H01L21/60 321E; H01L21/603 A; H01L25/04 C; H01L23/48 S

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60-21/607; H01L21/52; H01L23/12-23/15; H01L23/48-23/50; H01L25/00-25/18; H05K1/18; H05K3/32-3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-238779 A (MITSUBISHI ELECTRIC CORP.) 24.11.2011 (2011-11-24)	1-19
A	JP 2018-26417 A (MITSUBISHI ELECTRIC CORP.) 15.02.2018 (2018-02-15)	1-19
A	DE 10349477 A1 (INFINEON TECHNOLOGIES AG) 24.02.2005 (2005-02-24)	1-19
A	WO 2017/002793 A1 (MITSUBISHI ELECTRIC CORP.) 05.01.2017 (2017-01-05)	1-19
A	EP 3416186 A1 (INFINEON TECHNOLOGIES AG) 19.12.2018 (2018-12-19)	1-19
A	JP 2006-202586 A (NISSAN MOTOR CO., LTD.) 03.08.2006 (2006-08-03)	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

03 August 2020 (03.08.2020)

Date of mailing of the international search report

18 August 2020 (18.08.2020)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022499

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-216160 A (MITSUBISHI ELECTRIC CORP.) 03.12.2015 (2015-12-03)	1-19
A	JP 2006-269682 A (FUJI ELECTRIC HOLDINGS CO., LTD.) 05.10.2006 (2006-10-05)	1-19
A	JP 2011-192695 A (MITSUBISHI ELECTRIC CORP.) 29.09.2011 (2011-09-29)	1-19
A	DE 102017206925 A1 (SIEMENS AKTIENGESELLSCHAFT) 25.10.2018 (2018-10-25)	1-19
P, A	JP 2019-212759 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 12.12.2019 (2019-12-12)	1-19

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/022499

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2011-238779 A	24 Nov. 2011	(Family: none)	
JP 2018-26417 A	15 Feb. 2018	(Family: none)	
DE 10349477 A1	24 Feb. 2005	(Family: none)	
WO 2017/002793 A1	05 Jan. 2017	JP 2019-24121 A	
		US 2018/0190611 A1	
		CN 107533984 A	
EP 3416186 A1	19 Dec. 2018	(Family: none)	
JP 2006-202586 A	03 Aug. 2006	(Family: none)	
JP 2015-216160 A	03 Dec. 2015	(Family: none)	
JP 2006-2696382 A	05 Oct. 2006	(Family: none)	
JP 2011-192695 A	29 Sep. 2011	US 2011/0221076 A1	
		DE 102011002535 A1	
		CN 102194784 A	
DE 102017206925 A1	25 Oct. 2018	(Family: none)	
JP 2019-212759 A	12 Dec. 2019	US 2019/0371757 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/48(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/60(2006.01)i; H01L 21/603(2006.01)i FI: H01L21/60 321E; H01L21/603 A; H01L25/04 C; H01L23/48 S																																			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/60-21/607; H01L21/52; H01L23/12-23/15; H01L23/48-23/50; H01L25/00-25/18; H05K1/18; H05K3/32-3/34 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年																									
日本国実用新案公報	1922-1996年																																		
日本国公開実用新案公報	1971-2020年																																		
日本国実用新案登録公報	1996-2020年																																		
日本国登録実用新案公報	1994-2020年																																		
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2011-238779 A（三菱電機株式会社）24.11.2011（2011-11-24）</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 2018-26417 A（三菱電機株式会社）15.02.2018（2018-02-15）</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>DE 10349477 A1（INFINEON TECHNOLOGIES AG）24.02.2005（2005-02-24）</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>WO 2017/002793 A1（三菱電機株式会社）05.01.2017（2017-01-05）</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>EP 3416186 A1（INFINEON TECHNOLOGIES AG）19.12.2018（2018-12-19）</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 2006-202586 A（日産自動車株式会社）03.08.2006（2006-08-03）</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 2015-216160 A（三菱電機株式会社）03.12.2015（2015-12-03）</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 2006-269682 A（富士電機ホールディングス株式会社）05.10.2006（2006-10-05）</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 2011-192695 A（三菱電機株式会社）29.09.2011（2011-09-29）</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>DE 102017206925 A1（SIEMENS AKTIENGESELLSCHAFT）25.10.2018（2018-10-25）</td> <td>1-19</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2011-238779 A（三菱電機株式会社）24.11.2011（2011-11-24）	1-19	A	JP 2018-26417 A（三菱電機株式会社）15.02.2018（2018-02-15）	1-19	A	DE 10349477 A1（INFINEON TECHNOLOGIES AG）24.02.2005（2005-02-24）	1-19	A	WO 2017/002793 A1（三菱電機株式会社）05.01.2017（2017-01-05）	1-19	A	EP 3416186 A1（INFINEON TECHNOLOGIES AG）19.12.2018（2018-12-19）	1-19	A	JP 2006-202586 A（日産自動車株式会社）03.08.2006（2006-08-03）	1-19	A	JP 2015-216160 A（三菱電機株式会社）03.12.2015（2015-12-03）	1-19	A	JP 2006-269682 A（富士電機ホールディングス株式会社）05.10.2006（2006-10-05）	1-19	A	JP 2011-192695 A（三菱電機株式会社）29.09.2011（2011-09-29）	1-19	A	DE 102017206925 A1（SIEMENS AKTIENGESELLSCHAFT）25.10.2018（2018-10-25）	1-19
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																																	
A	JP 2011-238779 A（三菱電機株式会社）24.11.2011（2011-11-24）	1-19																																	
A	JP 2018-26417 A（三菱電機株式会社）15.02.2018（2018-02-15）	1-19																																	
A	DE 10349477 A1（INFINEON TECHNOLOGIES AG）24.02.2005（2005-02-24）	1-19																																	
A	WO 2017/002793 A1（三菱電機株式会社）05.01.2017（2017-01-05）	1-19																																	
A	EP 3416186 A1（INFINEON TECHNOLOGIES AG）19.12.2018（2018-12-19）	1-19																																	
A	JP 2006-202586 A（日産自動車株式会社）03.08.2006（2006-08-03）	1-19																																	
A	JP 2015-216160 A（三菱電機株式会社）03.12.2015（2015-12-03）	1-19																																	
A	JP 2006-269682 A（富士電機ホールディングス株式会社）05.10.2006（2006-10-05）	1-19																																	
A	JP 2011-192695 A（三菱電機株式会社）29.09.2011（2011-09-29）	1-19																																	
A	DE 102017206925 A1（SIEMENS AKTIENGESELLSCHAFT）25.10.2018（2018-10-25）	1-19																																	
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																																			
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																						
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																																		
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																																		
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																																		
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																																		
"O" 口頭による開示、使用、展示等に言及する文献																																			
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																																			
国際調査を完了した日	国際調査報告の発送日																																		
03.08.2020	18.08.2020																																		
名称及びあて先	権限のある職員（特許庁審査官）																																		
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	安田 雅彦 5F 9447 電話番号 03-3581-1101 内線 3516																																		

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	JP 2019-212759 A (新光電気工業株式会社) 12.12.2019 (2019 - 12 - 12)	1-19

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/022499

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-238779	A	24.11.2011	(ファミリーなし)	
JP	2018-26417	A	15.02.2018	(ファミリーなし)	
DE	10349477	A1	24.02.2005	(ファミリーなし)	
WO	2017/002793	A1	05.01.2017	JP	2019-24121 A
				US	2018/0190611 A1
				CN	107533984 A
EP	3416186	A1	19.12.2018	(ファミリーなし)	
JP	2006-202586	A	03.08.2006	(ファミリーなし)	
JP	2015-216160	A	03.12.2015	(ファミリーなし)	
JP	2006-269682	A	05.10.2006	(ファミリーなし)	
JP	2011-192695	A	29.09.2011	US	2011/0221076 A1
				DE	102011002535 A1
				CN	102194784 A
DE	102017206925	A1	25.10.2018	(ファミリーなし)	
JP	2019-212759	A	12.12.2019	US	2019/0371757 A1