

(43) 国際公開日
2006年8月31日 (31.08.2006)

PCT

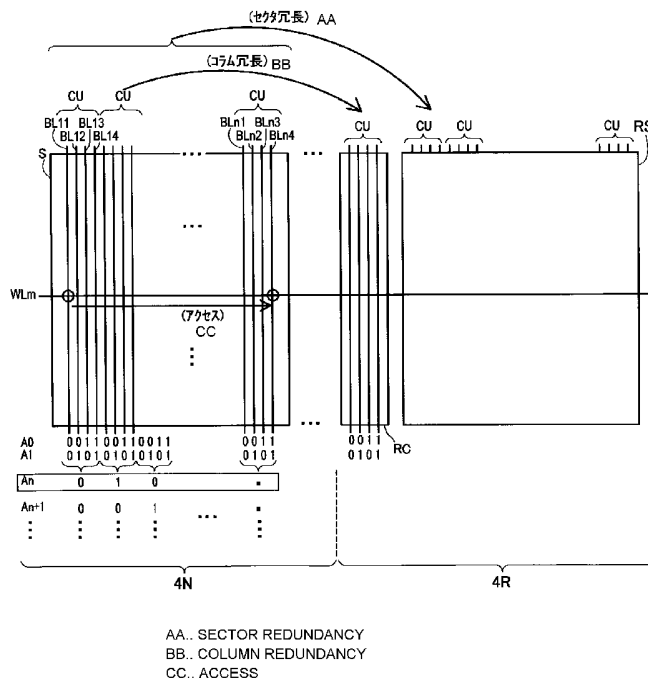
(10) 国際公開番号
WO 2006/090443 A1

- (51) 国際特許分類:
GI1C 16/06 (2006.01) *GI1C 29/44* (2006.01)
GI1C 16/02 (2006.01)
- (21) 国際出願番号: PCT/JP2005/002892
- (22) 国際出願日: 2005年2月23日 (23.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
95054 カリフォルニア州サンタクララ ピーターソン・
ウェイ 3625 テクノロジー・ロー・デパートメン
ト エム・エス 68 California (US). *S p a n s i o n*
J a p a n 株式会社 (SPANSION JAPAN LIMITED)
[JP/JP]; 〒9650845 福島県会津若松市門田町工業団地
6番 Fukushima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 水藤 克年
(SUITO, Katsutoshi) [JP/JP]; 〒9650845 福島県
会津若松市門田町工業団地 6番 *S p a n s i o n*
J a p a n 株式会社内 Fukushima (JP). 仲家 睦哉
(NAKAYA, Yoshichika) [JP/JP]; 〒9650845 福島県
会津若松市門田町工業団地 6番 *S p a n s i o n*
J a p a n 株式会社内 Fukushima (JP). 河村 祥一
(KAWAMURA, Shoichi) [JP/JP]; 〒9650845 福島県
会津若松市門田町工業団地 6番 *S p a n s i o n*
J a p a n 株式会社内 Fukushima (JP).
- (74) 代理人: 特許業務法人コスモス特許事務所 (COSMOS
PATENT OFFICE); 〒4600003 愛知県名古屋市中区錦
二丁目2番22号 名古屋センタービル別館2階 Aichi
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

[続葉有]

(54) Title: METHOD FOR SETTING REDUNDANCY OF STORAGE DEVICE, AND STORAGE DEVICE

(54) 発明の名称: 記憶装置の冗長設定方法、および記憶装置



(57) Abstract: A BIST control circuit (1) performs a test by selecting bit lines sequentially against a selected word line, thereby to detect a defective position at the unit of a fundamental column area discriminated with the least significant address signal (An). The completion of the bit line selection on the word line selected with a maximum column address signal (MAXCA) is grasped to raise a column redundancy flag (RCOL), in case the defect is detected in a single fundamental column area, and to raise a sector redundancy flag (RSEC) in case a defective portion exists in a plurality of fundamental column areas. In accordance with the completion of the test on the selected word line, therefore, the column redundancy or the sector redundancy is selected to perform an efficient redundancy relief.

[続葉有]

WO 2006/090443 A1



DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: BIST制御回路1は、選択されたワード線に対してビット線を順次選択することにより試験を行い、最下位アドレス信号Anにより識別される基本コラム領域の単位で不良位置の検出を行なう。最大コラムアドレス信号MAXCAにより選択されたワード線でのビット線選択の完了を把握した上で、単一の基本コラム領域での不良検出の際にはコラム冗長フラグRCOLを立て、複数の基本コラム領域に不良箇所が存在する場合にセクタ冗長フラグRSECを立てる。これにより、選択されたワード線に対する試験の完了に応じて、コラム冗長またはセクタ冗長の選択が行なわれ、効率的な冗長救済が行なわれる。

明 細 書

記憶装置の冗長設定方法、および記憶装置

技術分野

- [0001] 本発明は、複数種類の冗長単位を備える記憶装置の冗長設定方法、および記憶装置に関するものであり、特に、冗長単位として、コラム冗長部とブロック冗長部とを備える記憶装置における冗長救済の設定に関するものである。

背景技術

- [0002] 記憶装置には、不良メモリセルまたは／および不良セクタを救済する目的で、冗長メモリセルまたは／および冗長セクタが備えられているものがある。不良メモリセルまたは／および不良セクタを特定するアドレスを、CAM等の内部記憶領域に記憶しておく。入力されるアドレスが記憶されているアドレスに一致する場合に、冗長メモリセルまたは／および冗長セクタにアクセス先を変更して冗長救済が行われる。
- [0003] 冗長救済に関する技術は、例えば、特許文献1、2に開示されている。冗長救済される冗長単位は、コラム冗長といわれるビット線またはビット線群を冗長単位とするもの、およびセクタ冗長といわれるセクタを冗長単位とするものがある。また、これらの冗長単位が適宜に組み合わせられて、複数種類の冗長救済を行うことも考えられる。
- [0004] 複数種類の冗長単位を有する場合、効率のよい冗長救済を行うためには、不良メモリセルに対して使用すべき冗長単位を選択する必要がある。不良メモリセルのアドレス情報を記憶しておき、メモリセルアレイにおける不良メモリセルの分布に応じて、コラム冗長で冗長救済が可能であるか、またはセクタ冗長により冗長救済すべきであるかの判断を行うことが一般的である。

- [0005] 特許文献1:特開2000-231795号公報

特許文献2:特開2004-103143号公報

発明の開示

発明が解決しようとする課題

- [0006] しかしながら、複数種類の冗長単位を備える場合に、不良メモリセルのアドレスを記憶してその分布から使用すべき冗長単位を判断するためには、全ての不良メモリセ

ルのアドレスを記憶するのに十分な記憶領域を確保する場合がある。更に、記憶されたアドレスから不良メモリセルの分布を分析して使用すべき冗長単位を判断するといった煩雑な制御を必要とする。十分な記憶領域と、判断のための煩雑な制御を備える必要があり問題である。

- [0007] 特に、ビルトインセルフテスト(以下、BISTと略記する)なる、内蔵の試験回路によるメモリセルの自動診断機能を備えた記憶装置においては、冗長救済における冗長単位の選択も自立的に行う必要がある。全ての不良メモリセルのアドレスを記憶する十分な記憶領域が必要となり、的確な冗長単位を判断のための煩雑な制御も内蔵しなければならない。回路規模の増大を招来するおそれがあり問題である。

課題を解決するための手段

- [0008] 本発明は前記背景技術の少なくとも1つの問題点を解消するためになされたものであり、コラム冗長部による冗長救済を優先しながら不良コラムの位置を把握し、必要に応じて、ブロック冗長部による冗長救済を行なうことが可能な記憶装置の冗長設定方法、および記憶装置を提供することを目的とする。
- [0009] 前記目的を達成するためになされた本発明の記憶装置の冗長設定方法は、複数のワード線と複数のビット線とを備えるメモリブロックについて、所定数のビット線ごとに区画される基本コラム領域に対して冗長救済するコラム冗長部と、メモリブロックを冗長救済するブロック冗長部とを備える記憶装置の冗長設定方法であって、メモリブロックの試験の際、ワード線を共通としてビット線を順次選択して試験を行なう第1のステップと、第1のステップにおいてビット線の選択が一巡される間に、単一の基本コラム領域に対して不良が検出される場合に、基本コラム領域をコラム冗長部に置換する第2のステップと、第1のステップにおいてビット線の選択が一巡される間に、複数の基本コラム領域に不良が検出される場合に、メモリブロックをブロック冗長部に置換する第3のステップと、を有することを特徴とする。
- [0010] 本発明の記憶装置の冗長設定方法では、所定数のビット線ごとに区画される基本コラム領域に対して冗長救済するコラム冗長部と、メモリブロックを冗長救済するブロック冗長部とを備える記憶装置に対して、メモリブロックの試験の際、ワード線を共通としてビット線を順次選択して試験を行ない、ビット線の選択が一巡される間に、単一

の基本コラム領域に対して不良が検出される場合には基本コラム領域をコラム冗長部に置換し、複数の基本コラム領域に不良が検出される場合にはメモリブロックをブロック冗長部に置換する。

[0011] これにより、選択されたワード線に接続されているビット線を一巡して試験を行ない、この間、不良の検出される基本コラム領域の数に応じて、冗長救済される冗長部を、コラム冗長部とブロック冗長部とで選択することができる。単一の基本コラム領域においてのみ不良が検出される場合は、不良が検出された基本コラム領域をコラム冗長部に置換すれば足り、複数の基本コラム領域に不良が検出された場合に、試験が行なわれているメモリブロックをブロック冗長部に置換すればよい。不良の基本コラム領域が単一のうちはコラム冗長部に置換する設定にしておき、更に不良の基本コラム領域が検出された時点で、ブロック冗長部に置換する設定とすることができる。

[0012] また、本発明の記憶装置は、複数のワード線と複数のビット線とを備えるメモリブロックについて、所定数のビット線ごとに区画される基本コラム領域に対して冗長救済するコラム冗長部と、メモリブロックを冗長救済するブロック冗長部とを備える記憶装置であって、メモリブロックにおいて、ワード線を共通としてビット線を順次選択して試験を行なう際、不良の検出に応じて不良検出フラグをセットする不良検出セット部と、不良検出フラグのセットの後、試験対象の基本コラム領域が不良検出の基本コラム領域を越えて移動することに応じて、領域切替フラグをセットする領域切替セット部と、を備えることを特徴とする。

[0013] 本発明の記憶装置では、所定数のビット線ごとに区画される基本コラム領域に対して冗長救済するコラム冗長部と、メモリブロックを冗長救済するブロック冗長部とを備えており、ワード線を共通としてビット線を順次選択して試験を行ない、不良検出セット部が、不良の検出されることに応じて不良検出フラグをセットし、領域切替セット部が、不良検出フラグがセットされた後に、試験対象の基本コラム領域が不良検出の基本コラム領域を越えて移動することに応じて、領域切替フラグをセットする。

[0014] これにより、選択されたワード線に接続されているビット線を一巡して試験を行なう際、不良が検出されることに応じて不良検出フラグを立て、その後、基本コラム領域が移動したことを領域置換フラグで把握することができる。不良検出フラグと領域置換

フラグとが立っている状態で、更に不良が検出されるか否かを検出してやれば、選択されたワード線においてビット線が一巡する間において、不良の検出される基本コラム領域の単複を検出することができ、置換すべき冗長部が、コラム冗長部かブロック冗長部かを決定することができる。

発明の効果

[0015] 本発明によれば、検出される全不良メモリのアドレス等の不良位置情報を記憶した後、記憶された不良位置の分布に応じて置換すべき冗長部を決定する等の手続きが不要となり、効率的に冗長救済すべき冗長部を決定することができる。

[0016] また、上記の手続きを実行する制御回路を備える必要はなく、特に、BIST機能を備える場合に、この制御回路を内蔵する必要がなくなり、BIST機能を内蔵する際の回路規模の増大を抑えることができる。

図面の簡単な説明

[0017] [図1]実施形態の記憶装置の回路ブロック図である。

[図2]実施形態の記憶装置における、ワード／ビット線の構成、および冗長部の構成を示す図である。

[図3]不良検出セット部の回路図である。

[図4]領域切替セット部の回路図である。

[図5]コラム冗長部への置換決定を示すフラグセット部の回路図である。

[図6]冗長を指示する信号を生成する回路の回路図である。

[図7]コラム冗長が行なわれる際の動作波形図である。

[図8]ブロック冗長が行なわれる際の動作波形図である。

[図9]実施形態の冗長設定方法を示す動作フロー図である。

符号の説明

- [0018] 1 BIST制御回路
2 バイアス生成回路
3 アドレスシーケンサ
4 メモリセルアレイ
4N 通常メモリ領域

4R 冗長メモリ領域
5A コラムアドレス記憶部
5B セクタアドレス記憶部
6 ベリファイ回路
7 データ比較回路
CU 基本コラム領域
RC コラム冗長部
RS セクタ冗長部
S セクタ
An 最下位アドレス信号
An__FLAG 領域切替フラグ
D データ信号
ExD データ期待値
int__RECHECK 不良検出内部信号
MATCH 一致信号
MAXCA 最大コラムアドレス信号
RCOL コラム冗長フラグ
Rep__FLAG 冗長フラグ
RECHECK 不良検出フラグ
REPAIR 冗長指示信号
RS__SEL ブロック冗長指示フラグ
RSEC セクタ冗長フラグ
RST リセット信号
VERIFY ベリファイ信号

発明を実施するための最良の形態

[0019] 以下、本発明の記憶装置の冗長設定方法、および記憶装置について具体化した実施形態を図1乃至図9に基づき図面を参照しつつ詳細に説明する。

[0020] 図1示す実施形態の回路ブロックは、BIST機能が内蔵された記憶装置に関し、BI

ST機能を奏する回路部分を中心に記載されており、通常のアクセス動作に関する回路部分については記載が省略されている。

[0021] BIST制御回路1は、BIST機能による自動試験を制御する制御回路である。バイアス制御信号BCTLに応じてバイアス生成回路2を制御し、メモリセルアレイ4に対して、所定のバイアス信号BIASを出力する。例えば、フローティングゲートにおける電荷の蓄積・放出に応じてデータを記憶する不揮発性記憶装置においては、BIST制御回路1による制御シーケンスに伴い、消去動作やプログラム動作に応じたバイアス電圧が出力される。不揮発性トランジスタのゲート端子、ソース・ドレイン端子、ウェル端子等、必要に応じてバイアス信号BIASが出力される。BIST機能においては、BIST制御回路1の構成に応じて、通常、複数のデータパターンの書き込み動作および書き込まれたデータの読み出し動作が行なわれる。データの書き込み動作(消去動作およびプログラム動作)や読み出し動作(ベリファイ動作)に応じて、バイアス電圧BIASが制御されて出力される。

[0022] BIST機能による自動試験では、メモリセルアレイ4に配置されている個々のメモリセル等を特定するアドレス信号は、アドレスシーケンサ3により生成される。BIST制御回路1からのアドレス制御信号ACTLに応じて、セクタアドレスSADD、ロウアドレスRADD、およびコラムアドレスCADDがメモリセルアレイ4に出力される。

[0023] ここで、アドレスシーケンサ3が生成するアドレス信号は、メモリセルアレイ4のうち、通常のアクセス動作により外部からアクセス可能な通常メモリ領域4Nにより構成されるメモリ空間を識別するアドレス信号である。冗長メモリ領域4Rについては、冗長救済により置換されていればアクセスは可能ではあるが、この場合は、通常メモリ領域4Nを特定するアドレス信号の入力に対してアクセス先が置換されるのであって、冗長メモリ領域4Rを直接指示するアドレス信号の入力は不可能であることが一般的である。この場合、アドレスシーケンサ3も、外部から入力可能なアドレス信号の生成を行なう回路であり、直接冗長メモリ領域4Rを特定するアドレス信号は生成されない。

[0024] BIST制御回路1は、アドレスシーケンサ3から、通常メモリ領域4Nにおける基本コラム領域CUを識別するアドレス信号のうち最下位アドレス信号An(以後、単に最下位アドレス信号Anと呼ぶこともある)、およびアドレスシーケンサ3から最大のコラムア

ドレスが出力されていることを示す最大コラムアドレス信号MAXCAを取得する。

- [0025] ここで、メモリセルアレイ4は、図2に概略図を示す構成を有している。通常メモリ領域4Nは、消去動作の単位となるセクタSを複数備えて構成されている。各セクタSには、複数のワード線WL_mと、ワード線WL_mに交差するビット線BL₁₁〜BL_{n4}とが配線されており、各交点部分にメモリセルが配置されている。BIST機能による試験は、ワード線WL_mごとにビット線BL₁₁〜BL_{n4}を順次移動してメモリセルの選択が行われる。
- [0026] 冗長メモリ領域4Rは、コラム冗長部RCとセクタ冗長部RSとで構成されている。コラム冗長部RCは4本のビット線で構成されている。通常メモリ領域4Nにおいて隣接する4本のビット線BL₁₁〜14乃至BL_{n1}〜n4を基本コラム領域CUとし、基本コラム領域CUごとにコラム冗長部RCに置換することができる。コラム冗長である。また、セクタ冗長部RSは、通常メモリ領域4NにおけるセクタSと同じメモリ容量を有しており、セクタS全体を置換することができる。セクタ冗長である。
- [0027] ここで、図2においては、冗長メモリ領域4Rとして、コラム冗長部RCとセクタ冗長部RSを各1ユニット備える場合を例示したが、本発明は、これに限定されるものではない。コラム冗長部RCおよびセクタ冗長部RSの少なくとも一方は、複数のユニットを備える構成とすることができる。また、セクタ冗長部RSを構成する基本コラム領域CUをコラム冗長部RCとすることもできる。また、通常メモリ領域4Nにおいて複数のセクタSを備えるものとして説明したが、セクタSの構成数は特に限定はなく、通常メモリ領域4NにセクタSの区画がない場合も考えられる。尚、セクタSはメモリブロックの一例であり、セクタ冗長部RSはブロック冗長部の一例である。以下の説明では、セクタをブロックの一例として説明する。
- [0028] 図1の説明に戻る。アドレスシーケンサ3からのコラムアドレスRADD、およびセクタアドレスSADDは、更に、各々コラムアドレス記憶部5A、およびセクタアドレス記憶部5Bに入力される。これらの記憶部は不揮発性メモリからなるCAM等により構成されている。コラムアドレス記憶部5A、およびセクタアドレス記憶部5Bは、BIST制御回路1より出力される、コラム冗長フラグRCOL、およびセクタ冗長フラグRSECにより制御され、コラムアドレスRADD、およびセクタアドレスSADDを取り込んで記憶する。

記憶されたコラムアドレスRADD、およびセクタアドレスSADDは、必要に応じてメモリセルアレイ4に提供される。

- [0029] ベリファイ動作時、メモリセルアレイ4から読み出されるデータPreDは、ベリファイ回路6により増幅され、データ信号Dとしてデータ比較回路7に入力される。データ比較回路7には、BIST制御回路1からデータ期待値ExDが入力され、両者が比較される。データ信号Dがデータ期待値ExDに一致すると、一致信号MATCHがBIST制御回路1に出力される。
- [0030] BIST制御回路1では、一致信号MATCHに応じて、メモリセルアレイ4を冗長救済することとなる。この際、アドレスシーケンサ3から出力される、最下位アドレス信号An、および最大コラムアドレス信号MAXCAに応じて、コラム冗長フラグRCOL、セクタ冗長フラグRSECを出力して、アドレスシーケンサ3から出力されているアドレス信号に対して、コラム冗長またはセクタ冗長を選択する。
- [0031] 具体的には後述するが、選択されたワード線に対してビット線を順次選択することにより試験を行なう。一致信号MATCHによりデータ不一致を検出し、最下位アドレス信号Anにより基本コラム領域CUの単位で不良位置の検出を行ない、最大コラムアドレス信号MAXCAにより、選択されたワード線でのビット線選択の完了を把握した上で、単一の基本コラム領域CUでの不良検出の際には、コラム冗長フラグRCOLを立て、複数の基本コラム領域CUに不良箇所が存在する場合には、セクタ冗長フラグRSECを立てる。これにより、選択されたワード線に対する試験の完了に応じて、コラム冗長またはセクタ冗長の選択が行なわれ、効率的な冗長救済が行なわれる。
- [0032] 図3乃至図6は、BIST制御回路1に備えられている内部回路の一例である。図3は、不良検出フラグRECHECKを出力する不良検出セット部の回路例である。アンドゲートA1〜A3、ノアゲートNO1〜NO3、およびインバータゲートI1により構成されている論理部での論理演算に応じて、ノアゲートNO3から出力される不良検出内部信号int_RECHECKが、クロック信号CLKによりフリップフロップD1に取り込まれて、不良検出フラグRECHECKがラッチされると共に出力される。
- [0033] 不良検出内部信号int_RECHECKは、未だ不良が検出されておらず、後述の冗長フラグRep_FLAGがローレベルの非活性状態にある間に、ノアゲートNO2の出

力信号がローレベルに遷移することによりハイレベルに遷移する。不良検出フラグRECHECKは、ハイレベルに遷移した不良検出内部信号int_RECHECKがクロック信号CLKによりフリップフロップD1に取り込まれて、ハイレベル信号が出力される。

[0034] ノアゲートNO2は、アンドゲートA2、A3の少なくとも何れか一方の出力信号がハイレベルの場合にローレベル信号が出力される。未だ不良が検出されていない状態では、不良検出フラグRECHECKはローレベルであり、アンドゲートA2はローレベルである。したがって、不良検出フラグRECHECKのハイレベルへのセットは、アンドゲートA3の出力信号がハイレベルに遷移することに応じて行なわれる。ベリファイ動作状態(ベリファイ信号VERIFYがハイレベルの状態)において、データ信号Dとデータ期待値ExDとの不一致を指示するローレベルの一致信号MATCHがインバータゲートI1を介して供給される場合である。すなわち、不良検出に応じて不良検出フラグRECHECKがハイレベルにセットされる。

[0035] また、不良検出フラグRECHECKのローレベルへのリセットは、ノアゲートNO3の出力信号がローレベルに遷移することに応じて行なわれる。冗長フラグRep_FLAG、またはノアゲートNO2の出力信号のうち少なくとも何れか一方がハイレベルに遷移する場合である。ノアゲートNO2の出力信号については、アンドゲートA2、A3の出力信号が共にローレベルになる場合である。リセット状態となりリセット信号RSTがハイレベルになる場合、または、コラム冗長部RCあるいはセクタ冗長部RSへの置換の指示が行なわれて(冗長指示信号REPAIRがハイレベルの状態)、置換が完了する場合(ベリファイ信号VERIFYがハイレベルのベリファイ動作でハイレベルの一致信号MATCHが出力される場合)である。これに、冗長フラグRep_FLAGがハイレベルの場合を加えて、不良検出フラグRECHECKがローレベルにリセットされる。

[0036] 不良検出フラグRECHECKは、リセット状態の場合(リセット信号がハイレベル)、コラム冗長部RCあるいはセクタ冗長部RSへの置換が完了する場合(冗長指示信号REPAIR、ベリファイ信号VERIFY、および一致信号MATCHが何れもハイレベル)、または選択されたワード線において一つの基本コラム領域CUにおいてのみ不良が検出された場合(冗長フラグRep_FLAGがハイレベル)に、リセットされる。

[0037] 図4は、領域切替フラグAn_FLAGを出力する領域切替セット部の回路例である。

インバータゲートI2〜I3、フリップフロップD2、イクスクルーシブオアゲートEOR1、およびノアゲートNO4により構成されている論理部での論理演算に応じて、ノアゲートNO4からの出力信号が、クロック信号CLKによりフリップフロップD3に取り込まれて、領域切替フラグAn__FLAGがラッチされると共に出力される。

[0038] 不良検出内部信号int__RECHECKのハイレベル遷移に応じて、フリップフロップD2には、インバータゲートI2を介して、基本コラム領域CUを識別する最下位アドレス信号Anの反転信号が入力され、ラッチ信号An__LATとして出力される。ラッチ信号An__LATは最下位アドレス信号Anと共に、イクスクルーシブオアゲートEOR1に入力される。イクスクルーシブオアゲートEOR1からは、基本コラム領域CUが同じうちは、互いに反転信号が入力されることによりハイレベルが出力される場所、基本コラム領域CUが移動して最下位アドレス信号Anが反転することに応じて、ラッチ信号An__LATと論理レベルが一致する。出力信号An__EORがローレベルに反転する。インバータゲートにより不良検出内部信号int__RECHECKがローレベルに反転されてノアゲートNO4に入力されているので、ノアゲートNO4の出力信号がハイレベルとなる。このハイレベルの信号がクロック信号CLKに応じてフリップフロップD3に取り込まれ切替領域フラグAn__FLAGがハイレベルとなる。

[0039] 試験が行なわれている基本コラム領域CUが切り替わることにより最下位アドレス信号Anの論理レベルが遷移し、切替領域フラグAn__FLAGがハイレベルにセットされる。領域切替セット部は、最下位アドレス信号Anの論理レベルの遷移を検出するアドレス遷移検出部の一例である。尚、切替領域フラグAn__FLAGのローレベルへのリセットは、不良検出セット部において、不良検出内部信号int__RECHECKがローレベルにリセットされる場合である。これは、上述の不良検出フラグRECHECKのリセット条件と同様であるので、ここでの説明は省略する。

[0040] 図5は、冗長フラグRep-FLAGを出力する冗長フラグセット部の回路例である。インバータゲートI4、ナンドゲートNA1〜NA2、アンドゲートA4、およびノアゲートNO5により構成されている論理部での論理演算に応じて、ノアゲートNO5の出力信号が、クロック信号CLKによりフリップフロップD4に取り込まれて、冗長フラグRep__FLAGがラッチされると共に出力される。

- [0041] コラム冗長部RCあるいはセクタ冗長部RSへの置換の指示が行なわれる前の状態(冗長指示信号REPAIRがローレベル)で、アンドゲートA4の出力信号がローレベルになることに応じて冗長フラグRep_FLAGがハイレベルにセットされる。アンドゲートA4の一方の入力信号は、ナンドゲートNA1の出力信号であり、ナンドゲートNA1には冗長フラグRep_FLAGが入力されているので、冗長フラグRep_FLAGのセット前の段階では出力信号がハイレベルに固定されている。したがって、アンドゲートA4のローレベルの出力信号は、他方の入力信号であるナンドゲートNA2の出力信号がローレベルになることに応じて行なわれる。すなわち、不良が検出された後(不良検出フラグRECHECKがハイレベル)、最終のビット線まで(最大コラムアドレス信号MAXCAがハイレベル)ベリファイ動作においてデータ信号Dがデータ期待値ExDに一致した場合(ベリファイ信号および一致信号MATCHがハイレベル)に、冗長フラグRep_FLAGがハイレベルにセットされる。
- [0042] 冗長フラグRep_FLAGのローレベルへのリセットは、コラム冗長部RCあるいはセクタ冗長部RSへの置換の指示が行なわれる場合(冗長指示信号REPAIRがハイレベル場合)、または、リセット状態の場合(リセット信号RSTがハイレベル)である。
- [0043] 冗長フラグRep_FLAGは、不良が検出された後(不良検出フラグRECHECKがハイレベル)、選択されたワード線における試験が最終のビット線まで継続した場合(最大コラムアドレスMAXCAがハイレベル)に、コラム冗長部への置換を指示するフラグである。
- [0044] 図6は、セクタ冗長指示フラグRS_SELを出力するセクタ冗長指示部10と、冗長指示信号REPAIRを出力する論理部を共通に備えて、ノアゲートNO10を加えたコラム冗長セット部と、インバータゲートI6およびノアゲートNO11を加えたセクタ冗長セット部とを構成する回路例である。
- [0045] セクタ冗長指示部10は、ナンドゲートNA3の出力信号であるセクタ冗長指示フラグRS_SELがハイレベルとなることに応じて、優先的にセクタ冗長部RSへの置換を指示する。セクタ冗長指示フラグRS_SELは、ノアゲートNO6またはNO7の少なくとも何れか一方の出力信号がローレベルとなることに応じて、ハイレベル信号を出力する。ノアゲートNO6の出力信号がローレベルとなる場合とは、置換可能なコラム冗長部

RCが残っていない場合(信号RECY__MAXがハイレベル)、または不良が検出された基本コラム領域CUが既にコラム冗長部RCに置換されている場合(信号replaced__columnがハイレベル)である。また、ノアゲートNO7の出力信号がローレベルとなる場合とは、セクタ冗長部RSへの置換が優先される設定になっている場合(信号XREC__FIRSTがハイレベル)、または、アンドゲートA5により、不良が検出されてから最下位アドレス信号Anが切り替わった場合(不良検出フラグRECHECKおよび切替領域フラグAn__FLAGが共にハイレベル)である。

[0046] 冗長指示信号REPAIRを出力する論理部は、インバータゲートI5、ノアゲートNO8〜NO9、アンドゲートA6、オアゲートO1、ナンドゲートNA4〜NA5、およびフリップフロップD5により構成されている。

[0047] 冗長フラグRep__FLAGまたはセクタ冗長指示フラグRS__SELの何れか一方がハイレベルになることにより、ノアゲートNO8の出力信号がローレベルとなる。このとき、不一致のベリファイ結果を受けて(一致信号MATCHがローレベル)、ノアゲートNO9の出力信号がハイレベルとなる。この時点ではベリファイ動作中(ベリファイ信号がハイレベル)であるので、ナンドゲートNA4の出力信号がローレベル、これにより、ナンドゲートNA5の出力信号がハイレベルとなる。クロック信号CLKによりフリップフロップD5に取り込まれて、冗長指示信号REPAIRがハイレベルにラッチされて出力される。

[0048] 選択されたワード線における試験で単一の基本コラム領域CUでのみ不良が検出されたことを示すハイレベルの冗長フラグRep__FLAG、またはセクタ冗長部RSへの置換が選択されるハイレベルのセクタ冗長指示フラグRS__SELに応じて、置換の指示を行なう冗長指示信号REPAIRが出力される。

[0049] 冗長指示信号REPAIRは、インバータゲートI5を介して反転されて、ローレベル信号としてノアゲートNO10およびNO11の一方に入力される。ノアゲートNO10およびNO11の他方には、セクタ冗長指示フラグRS__SELおよびインバータゲートI6を介して反転信号が入力される。セクタ冗長部RSへの置換が指示されておらず、セクタ冗長指示フラグRS__SELがローレベルの場合には、ノアゲートNO10の出力信号であるコラム冗長フラグRCOLがハイレベルとなり、コラム冗長部RCへの置換が指示

される。また、セクタ冗長部RSへの置換が指示されており、セクタ冗長指示フラグRS__SELがハイレベルの場合には、ノアゲートNO11の出力信号であるセクタ冗長フラグRSECがハイレベルとなり、セクタ冗長部RSへの置換が指示される。

[0050] ここで、アンドゲートA5により、不良が検出されてから最下位アドレス信号Anが切り替わった場合(不良検出フラグRECHECKおよび切替領域フラグAn__FLAGが共にハイレベル)には、セクタ冗長指示フラグRS__SELがハイレベルとされる。その後、選択されたワード線における試験の間に不良が検出されれば(一致信号MATCHがローレベル)、その時点で冗長指示信号REPAIRがハイレベルとなり、セクタ冗長フラグRSECがハイレベルとされる。最終ビット線まで不良が検出されなければ、冗長フラグRep__FLAGがハイレベルとなることに応じて、不良検出フラグRECHECKおよび切替領域フラグAn__FLAGが共にローレベルにリセットされる。再度、同じワード線を試験して不良が検出された時点(一致信号MATCHがローレベル)で、冗長指示信号REPAIRがハイレベルとなり、コラム冗長フラグRCOLがハイレベルとされる。

[0051] 図7、図8は、各々、コラム冗長／セクタ冗長が行なわれる場合の動作波形を示している。

[0052] 図7において、不良コラム(ビット線)の検出に応じて、一致信号MATCHがローレベルに遷移する。これに応じて、不良検出内部信号int__RECHECK、および不良検出フラグRECHECKがハイレベルとなる。一方、基本コラム領域を識別する最下位アドレス信号An(論理レベルをLを記す。)は、その反転信号(論理レベルを／Lと記す。)がラッチ信号An__LATに取り込まれる。その後、最下位アドレス信号が反転(論理レベルが／L)することにより、信号An__EORがローレベル、そして切替領域フラグAn__FLAGがハイレベルとなる。

[0053] コラムアドレス(ビット線)が一巡すると(MAXCAがハイレベル)、冗長フラグRep__FLAGがハイレベルに遷移し、これにより、不良検出内部信号int__RECHECK、不良検出フラグRECHECK、および切替領域フラグAn__FLAGがローレベルに遷移する。再度、同じワード線に対して試験を行ない、同一コラム(ビット線)において不良が検出されることに応じて、冗長指示信号REPAIR、コラム冗長フラグRCOLがハ

イレベルに遷移する。これにより、不良コラム(ビット線)を含む基本コラム領域CUを、コラム冗長部RCに置換するコラム冗長が行なわれる。

- [0054] 図8では、不良検出内部信号int__RECHECK、不良検出フラグRECHECK、および切替領域フラグAn__FLAGのハイレベル遷移は、図7の場合と同様である。その後、選択されているワード線の異なる基本コラム領域CUにおいて不良が検出されることに応じて(一致信号MATCHがローレベル)、冗長指示信号REPAIR、セクタ冗長フラグRSECがハイレベルに遷移する。これにより、不良コラム(ビット線)を含むセクタSを、セクタ冗長部RSに置換するセクタ冗長が行なわれる。
- [0055] 図9には、本発明の実施形態における冗長設定方法を示すフロー図を示す。ロウ(ワード線)を選択し(S1)、ベリファイ動作を開始する(S2)。ベリファイ動作の結果、読み出されたデータ信号Dがデータ期待値ExDに一致するか否かが判断される(S3)。
- [0056] 一致すると判断されると(一致信号MATCH=1) (S3:T)、コラム(ビット線)が一巡したか否かの判断が行われる(S4)。
- [0057] 一巡していなければ(S4:F)、コラム(ビット線)を更新(S21)し、コラム更新前のビットで不良が検出されていれば(不良検出フラグRECHECK=1) (S22:T)、更に基本コラム領域CUが切り替わっているかを判断(最下位アドレス信号Anが反転) (S23)、切り替わっていれば(S23:T)領域切替フラグAn__FLAG=1として(S24)ベリファイ動作(S2)に戻る。不良が検出されていない場合(S22:F)、および基本コラム領域CUが切り替わっていない場合(S23:F)の場合はそのままベリファイ動作(S2)に戻る。
- [0058] コラム(ビット線)が一巡していれば(S4:T)、冗長フラグRep__FLAGをセット(Rep__FLAG=1)、不良検出フラグRECHECK、領域切替フラグAn__FLAGをリセット(RECHECK=An__FLAG=0)し(S5)、再度、同一ロウ(ワード線)を選択して(S6)ベリファイ動作を行なう(S7)。一致信号MATCHがハイレベルであれば(MATCH=1) (S8:T)コラム(ビット線)を更新し(S9)、不一致が検出された時点で(S8:F)、コラム冗長が行なわれる(S10)。
- [0059] 他方、ベリファイ動作(S2)において不一致と判断されると(S3:F)、手続きS11〜S

13)において、セクタ冗長を優先すべきか否かの判断が行われる。すなわち、コラム冗長部RCに既に置換されたコラム(ビット線)であるか(S11)、置換可能なコラム冗長部がないか(S12)、およびセクタ冗長部RSへの置換が優先されているか(S13)の判断が行われる。これらの何れかに該当すれば(S11:T、S12:T、S13:T)、セクタ冗長が行なわれる(S16)。

[0060] 何れにも該当しない場合(S11:F、S12:F、S13:F)、領域切替フラグAn_FLAGが立っているか否かが判断され(S14)、立っていなければ(An_FLAG=0)(S14:T)不良検出フラグRECHECKを立てて(RECHECK=1)(S15)、手続きS4に移る。立っていれば(An_FLAG=1)(S14:F)、セクタ冗長が行なわれる(S16)。

尚、図7に示す動作波形はコラム冗長が行なわれる際の動作波形である。図9において、不良コラムが検出され(S3:F)不良検出フラグRECHECKが立った状態で(RECHECK=1)(S15)コラムアドレスが一巡すると(S4:T)、同一ワード線が選択されて(S6)同じ不良コラムが再度検出される(S8:F)。これにより、コラム冗長(S10)が行なわれる。

また、図8に示す動作波形はセクタ冗長が行なわれる際の動作波形である。図9において、不良コラムが検出され(S3:F)不良検出フラグRECHECKが立った状態で(RECHECK=1)(S15)、コラムアドレスが一巡する前に(S4:F)基本コラム領域CUが切り替わって(S23:T)領域切替フラグAn_FLAG=1の状態で(S24)、再度不良コラムが検出されると(S3:F)、領域切替フラグAn_FLAGが立っているので(An_FLAG=1)(S14:F)、セクタ冗長(S16)が行なわれる。

[0061] 尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、コラム冗長を行なう場合には、冗長フラグRep_FLAGをハイレベルにセットすると共に、不良検出フラグRECHECKおよび領域切替フラグAn_FLAGをローレベルにリセットした上で、再度、同一のワード線に対してベリファイ動作を行ない、不良が検出されたことをもって(一致信号がローレベル)コラム冗長部RCへの置換が行なわれる。しかしながら、本発明はこれに限定されるものではない。不良検出フラグRECHECKがハイレベルにセットされる際の基本コラム領域CUのアドレス情報が記

憶されれば、冗長フラグRep_FLAGをハイレベルにセットするタイミングで、記憶されたアドレス情報の基本コラム領域CUをコラム冗長部RCに置換する構成とすることも可能である。

また、コラム冗長部RCおよびセクタ冗長部RSの数や、セクタ冗長部RS内の基本コラム領域CUにコラム冗長部RCが割り当てられているかあるいはセクタ冗長部RSとは別個にコラム冗長部RCが設けられているかといった構成については、適宜に設定することができる。

請求の範囲

- [1] 複数のワード線と複数のビット線とを備えるメモリブロックについて、所定数のビット線ごとに区画される基本コラム領域に対して冗長救済するコラム冗長部と、前記メモリブロックを冗長救済するブロック冗長部とを備える記憶装置の冗長設定方法であって、
- 前記メモリブロックの試験の際、前記ワード線を共通として前記ビット線を順次選択して試験を行なう第1のステップと、
- 前記第1のステップにおいて前記ビット線を選択が一巡される間に、単一の前記基本コラム領域に対して不良が検出される場合に、該基本コラム領域を前記コラム冗長部に置換する第2のステップと、
- 前記第1のステップにおいて前記ビット線を選択が一巡される間に、複数の前記基本コラム領域に不良が検出される場合に、前記メモリブロックを前記ブロック冗長部に置換する第3のステップと、
- を有することを特徴とする記憶装置の冗長設定方法。
- [2] 前記第2のステップは、
- 前記第1のステップにおいて前記ビット線への選択が一巡した後に、同一の前記ワード線に対して、再度前記ビット線を順次選択して再試験を行なう第4のステップと、
- 前記第4のステップにより不良が検出されることに応じて、該不良が検出された前記基本コラム領域を、前記コラム冗長部に置換する第5のステップとを有することを特徴とする請求項1に記載の記憶装置の冗長設定方法。
- [3] 前記第1のステップは、
- 最初の不良が検出されたことを記憶する第6のステップと、
- 前記第6のステップの後、不良が検出された前記基本コラム領域を越えて試験対象が移動したことを記憶する第7のステップと、
- を有することを特徴とする請求項1に記載の記憶装置の冗長設定方法。
- [4] 前記第7のステップは、前記基本コラム領域を識別するアドレスのうち、少なくとも最下位アドレスの論理レベル遷移に応じて、試験対象の移動を記憶する第8のステップを含むことを特徴とする請求項3に記載の記憶装置の冗長設定方法。

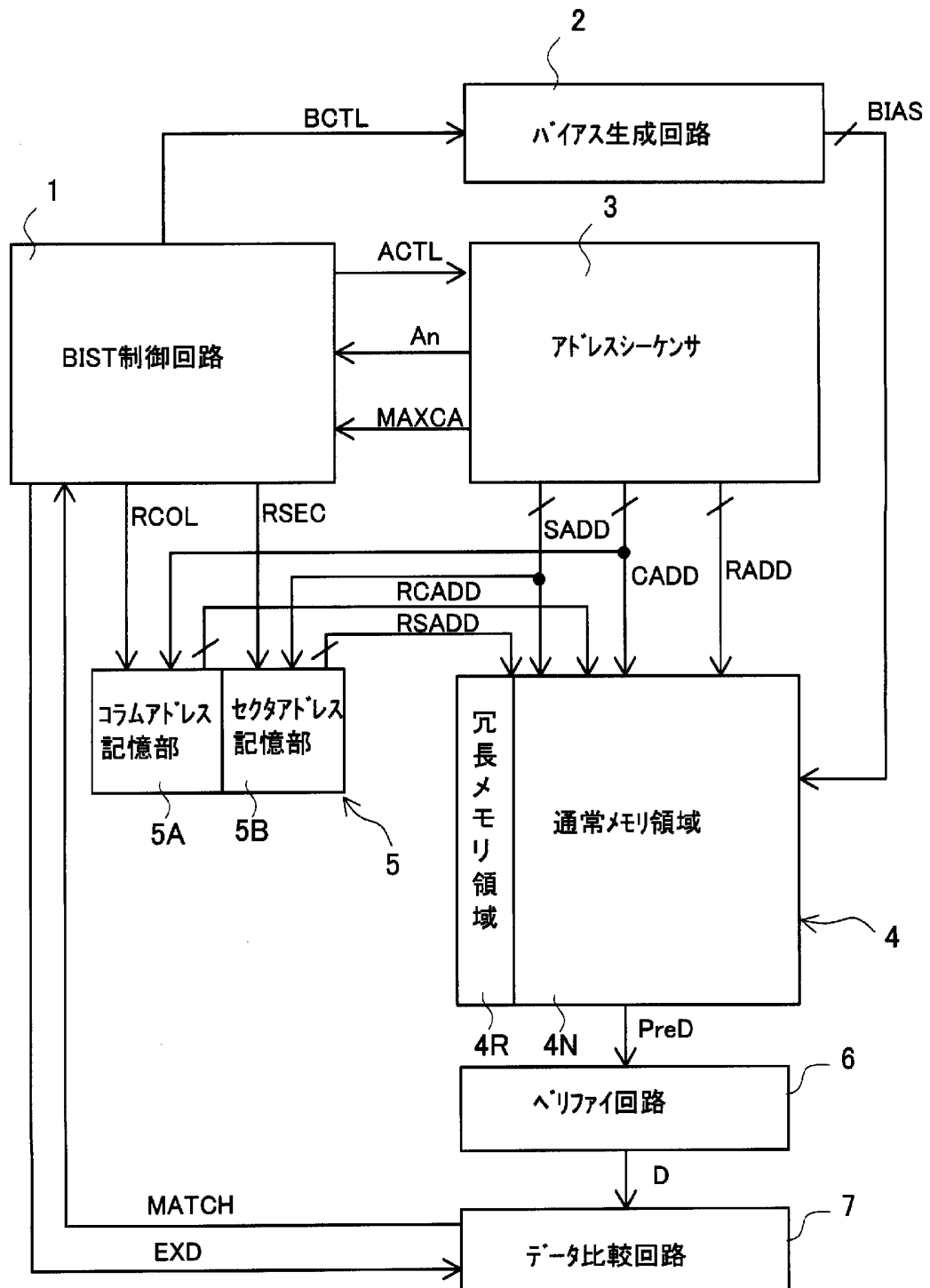
- [5] 前記第2のステップは、
前記第7のステップの後、新たな不良が検出されることなく前記ビット線への選択が一巡した後に、同一の前記ワード線に対して、再度前記ビット線を順次選択して再試験を行なう第9のステップと、
前記第9のステップにより不良が検出されることに応じて、該不良が検出された前記基本コラム領域を、前記コラム冗長部に置換する第10のステップとを有することを特徴とする請求項3に記載の記憶装置の冗長設定方法。
- [6] 前記第3のステップは、
前記第7のステップの後、新たな不良が検出されることに応じて、前記メモリブロックを前記ブロック冗長部に置換する第11のステップを有することを特徴とする請求項3に記載の記憶装置の冗長設定方法。
- [7] 所定条件に応じて、前記第2のステップおよび前記第3のステップに代えて、前記第1のステップにおいて前記ビット線の選択が一巡される間に不良が検出される場合に、前記メモリブロックを前記ブロック冗長部に置換する第12のステップを有することを特徴とする請求項1に記載の記憶装置の冗長設定方法。
- [8] 前記所定条件とは、
既に置換された前記コラム冗長部において不良が検出される場合、
置換可能なコラム冗長部がない場合、
前記ブロック冗長部への置換が優先される場合、
の少なくとも何れか一つに該当する場合であることを特徴とする請求項7に記載の記憶装置の冗長設定方法。
- [9] 複数のワード線と複数のビット線とを備えるメモリブロックについて、所定数のビット線ごとに区画される基本コラム領域に対して冗長救済するコラム冗長部と、前記メモリブロックを冗長救済するブロック冗長部とを備える記憶装置であって、
前記メモリブロックにおいて、前記ワード線を共通として前記ビット線を順次選択して試験を行なう際、
不良の検出に応じて不良検出フラグをセットする不良検出セット部と、
前記不良検出フラグのセットの後、試験対象の前記基本コラム領域が不良検出の

前記基本コラム領域を越えて移動することに応じて、領域切替フラグをセットする領域切替セット部と、

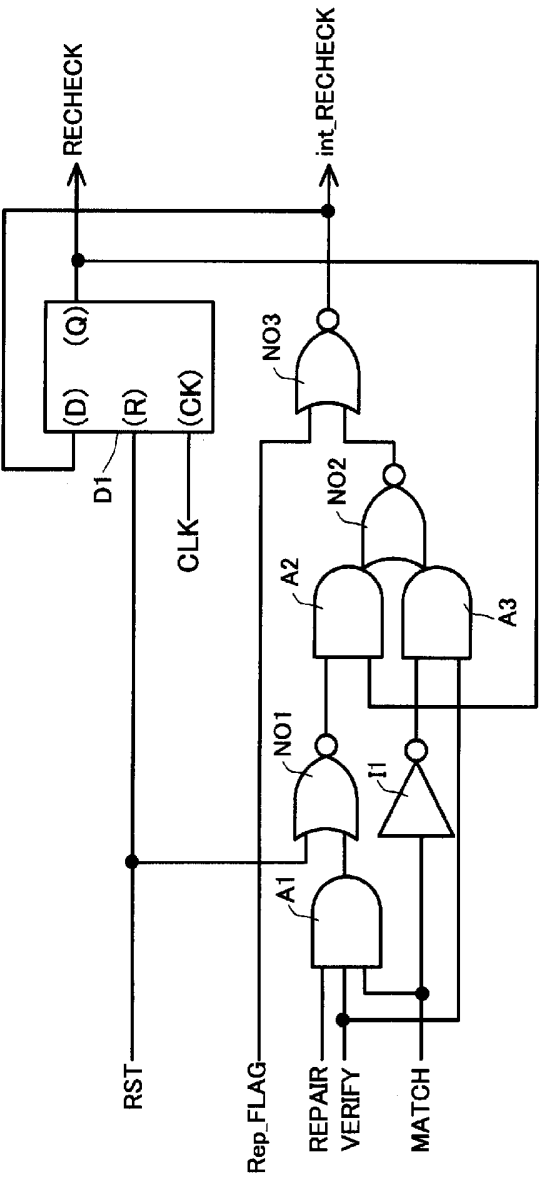
を備えることを特徴とする記憶装置。

- [10] 前記領域切替セット部は、前記基本コラム領域を識別するアドレスのうち、少なくとも最下位アドレスの論理レベルの遷移を検出するアドレス遷移検出部を備えることを特徴とする請求項9に記載の記憶装置。
- [11] 前記不良検出フラグおよび前記領域切替フラグが共にセットされている状態で、新たな不良が検出されることなく前記ビット線への選択が一巡した場合に、コラム冗長を指示するコラム冗長フラグをセットするコラム冗長セット部を備えることを特徴とする請求項9に記載の記憶装置。
- [12] 前記不良検出フラグおよび前記領域切替フラグが共にセットされている状態で、新たな不良が検出されることに応じて、ブロック冗長を指示するブロック冗長フラグをセットするブロック冗長セット部を備えることを特徴とする請求項9に記載の記憶装置。
- [13] 所定条件に応じて、前記コラム冗長フラグをマスクし前記ブロック冗長フラグを出力するブロック冗長指示フラグをセットするブロック冗長指示部を備えることを特徴とする請求項11に記載の記憶装置。
- [14] 前記所定条件とは、
既に置換された前記コラム冗長部において不良が検出される場合、
置換可能なコラム冗長部がない場合、
前記ブロック冗長部への置換が優先される場合、
の少なくとも何れか一つに該当する場合であることを特徴とする請求項13に記載の記憶装置。

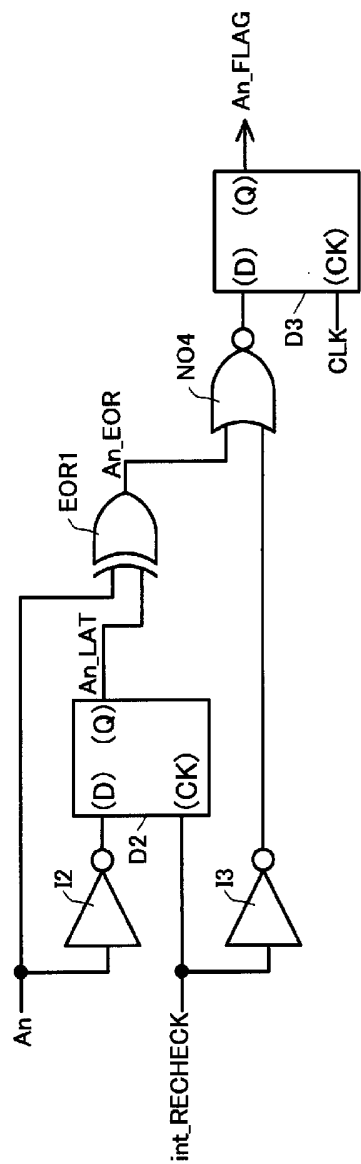
[図1]



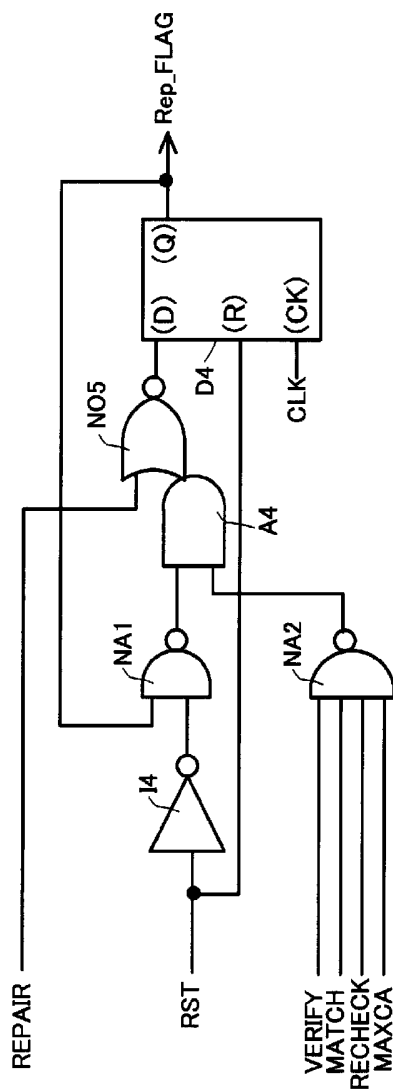
[図3]



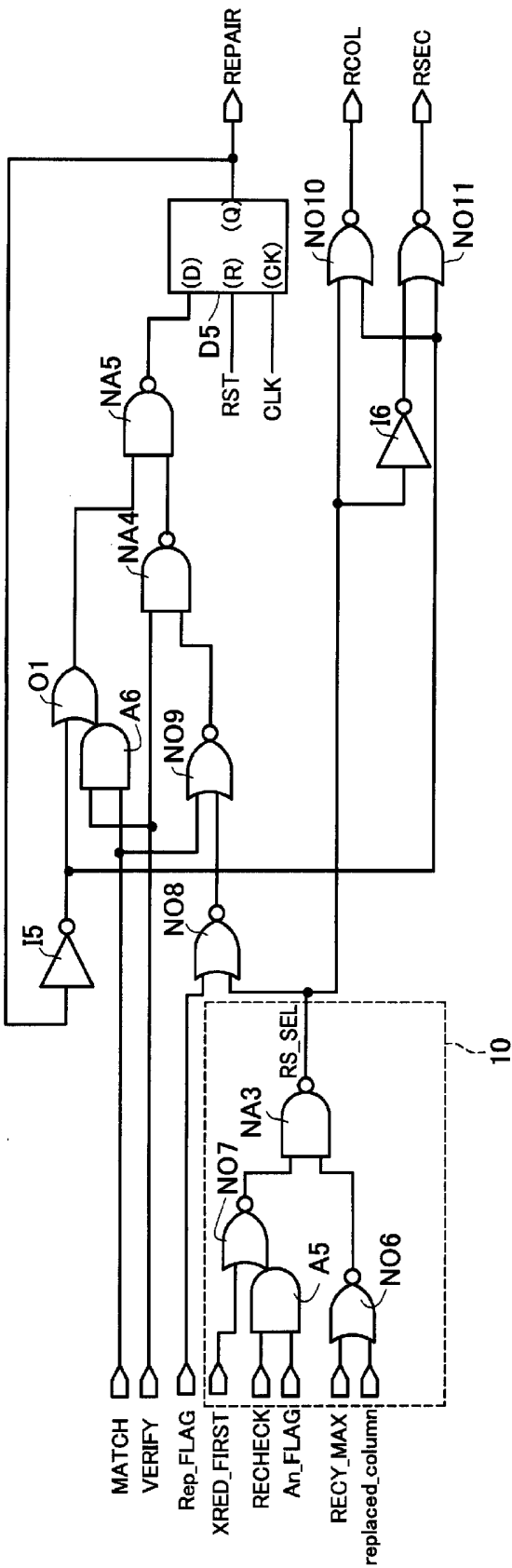
[図4]



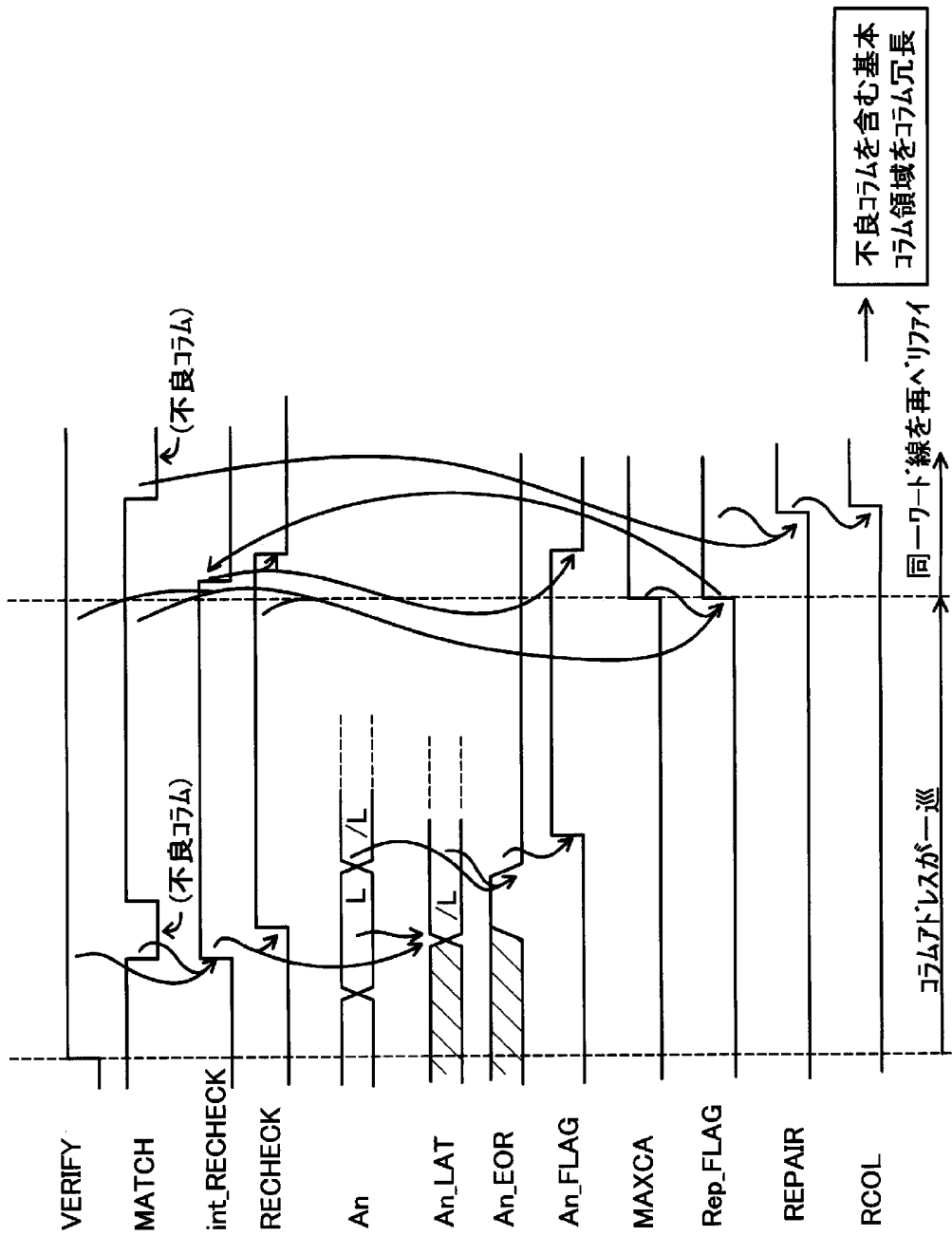
[図5]



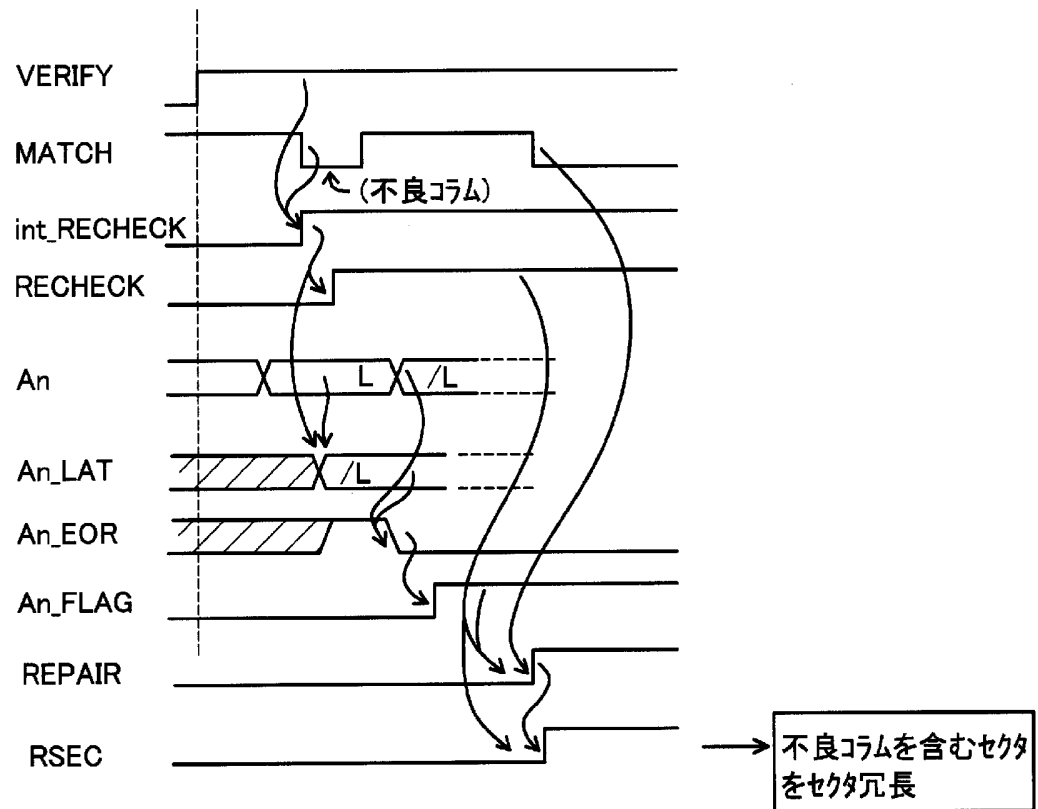
[図6]



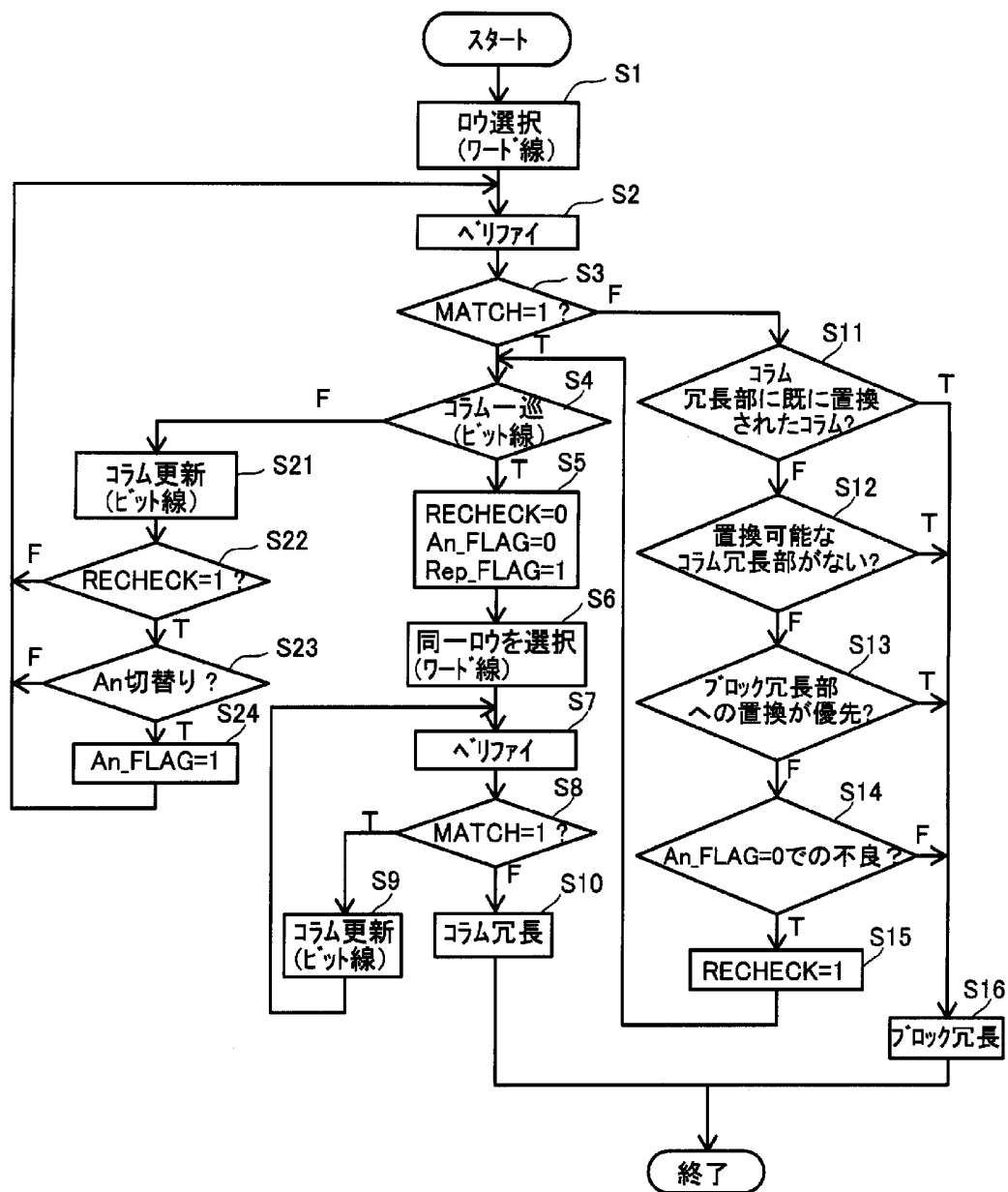
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002892

A. CLASSIFICATION OF SUBJECT MATTER

G11C16/06(2006.01), **G11C16/02**(2006.01), **G11C29/44**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C16/06(2006.01), **G11C16/02**(2006.01), **G11C29/44**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-187591 A (Toshiba Corp.), 04 July, 2003 (04.07.03), Full text; all drawings & US 2003/0117867 A1 & EP 1320105 A2	1-14
A	JP 2000-311497 A (Infineon Technologies AG.), 07 November, 2000 (07.11.00), Full text; all drawings & US 6295273 B1 & EP 1046993 A1	1-14
A	JP 2003-228994 A (Sony Corp.), 15 August, 2003 (15.08.03), Full text; all drawings (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
17 November, 2005 (17.11.05)

Date of mailing of the international search report
29 November, 2005 (29.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002892

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 62-276475 A (Hitachi Electronics Engineering Co., Ltd.), 01 December, 1987 (01.12.87), Full text; all drawings (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **G11C16/06** (2006.01), **G11C16/02** (2006.01), **G11C29/44** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **G11C16/06** (2006.01), **G11C16/02** (2006.01), **G11C29/44** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2003-187591 (株式会社東芝) 2003.07.04, 全文, 全図 & US 2003/0117867 A1 & EP 1320105 A2	1-14
A	J P 2000-311497 A (インフィネオン テクノロジ ース アクチエンゲゼルシャフト) 2000.11.07, 全文, 全図 & US 6295273 B1	1-14

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17.11.2005

国際調査報告の発送日

29.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光

電話番号 03-3581-1101 内線 3586

5N

3578

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	& EP 1046993 A1	
A	JP 2003-228994 A (ソニー株式会社) 2003.08.15, 全文, 全図 (ファミリーなし)	1-14
A	JP 62-276475 A (日立電子エンジニアリング株式 会社) 1987.12.01, 全文, 全図 (ファミリーなし)	1-14