

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑮ Date de dépôt : 30.10.90.

⑯ Priorité :

⑰ Date de la mise à disposition du public de la demande : 30.04.92 Bulletin 92/18.

⑱ Liste des documents cités dans le rapport de recherche : *Se reporter à la fin du présent fascicule.*

⑲ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : *Société dite : SAMSUNG ELECTRONICS CO., LTD. — KR.*

⑵ Inventeur(s) : *Min Dong Sun et Seo Dong Il.*

⑶ Titulaire(s) :

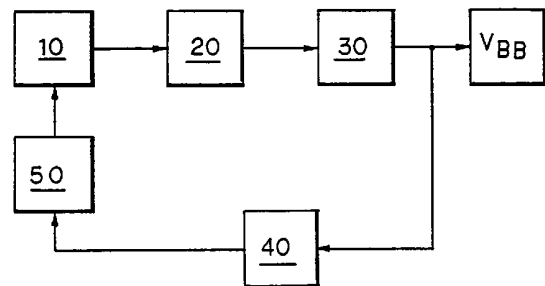
⑷ Mandataire : *Cabinet Beau de Loménie.*

⑸ Générateur de tension de substrat pour un dispositif à semiconducteurs.

⑹ L'invention concerne la technologie des circuits intégrés.

Un générateur de tension de substrat comprend un oscillateur (10) qui produit un signal d'oscillateur avec compensation de température, un circuit d'attaque de pompe de tension (20) qui produit des signaux d'horloge sous la dépendance de l'oscillateur, une pompe de tension (30) qui produit une tension de substrat sous la dépendance des signaux d'horloge, un détecteur de niveau (40) qui détecte la tension de substrat, et un circuit d'attaque d'oscillateur (50) qui applique la tension de polarisation nécessaire à l'oscillateur. Ce générateur de tension de substrat a des possibilités d'attaque de charge qui ne varient pas sous l'effet de variations de la température.

Application aux circuits intégrés MOS.



La présente invention concerne un circuit pour un dispositif à semiconducteurs, et elle porte plus particulièrement sur un générateur de tension de substrat qui est incorporé dans le dispositif à semi-conducteurs.

5 Avec l'augmentation de la densité d'intégration des dispositifs à semiconducteurs, la taille de transistors a diminué récemment, ce qui a dégradé la fiabilité sur la tension d'alimentation et a augmenté la puissance consommée. De ce fait, la plupart des  
10 dispositifs à semiconducteurs comprennent un générateur de tension de substrat qui a pour fonctions de stabiliser la tension de seuil de transistors MOS (Métal-Oxyde-Semiconducteur), de réduire des capacités de jonction, et d'empêcher la formation de transistors parasites et un fonctionnement incorrect à cause du dépassement en sens négatif de portes TTL (logique transistor-transistor) externes. Il existe deux procédés pour la génération de la tension de substrat :  
15 l'un consiste à commander le pompage par la détection de la tension de substrat si cette dernière est éloignée d'une valeur prédéterminée, et l'autre consiste à commander la capacité de pompage en détectant le niveau de signaux d'échantillonnage d'adresse de rangée ou  $\overline{\text{RAS}}$ .

Cependant, les performances du générateur de tension de substrat classique se dégradent à une température élevée, ce qui entraîne une instabilité de la tension de substrat. En particulier, dans le cas de  
30 circuits CMOS (MOS Complémentaire), les caractéristiques de déverrouillage sont susceptibles de se dégrader. Cette dégradation est essentiellement occasionnée par un oscillateur dans le générateur de tension de substrat. En effet, lorsque la température augmente,  
35 la fréquence d'oscillation de l'oscillateur diminue,

ce qui fait varier la tension de substrat. De plus, lorsque les dimensions des dispositifs à semiconducteurs se réduisent, les possibilités d'attaque de charge du générateur de tension de substrat diminuent, ce qui fait qu'un fonctionnement incorrect se produit aisément et la fiabilité est dégradée.

Un but de l'invention est de procurer un générateur de tension de substrat qui stabilise la tension de substrat en améliorant les possibilités d'attaque de charge.

Un autre but de l'invention est de procurer un générateur de tension de substrat qui réduise la puissance consommée dans l'état de repos de dispositifs à semiconducteurs.

Un autre but de l'invention est de procurer un générateur de tension de substrat dont les possibilités d'attaque de charge ne varient pas sous l'effet d'une variation de température, ce qui augmente la fiabilité.

L'invention procure un générateur de tension de substrat pour un dispositif à semiconducteurs comprenant : un oscillateur destiné à produire un signal d'oscillation dont la période d'oscillation n'est pas variable, en compensant la valeur de résistance conformément à la variation de température; un circuit d'attaque de pompe de tension qui est destiné à produire deux signaux d'horloge, avec une différence de phase mutuelle de  $180^\circ$ , en recevant le signal d'oscillation de l'oscillateur; une pompe de tension qui est destinée à produire une tension de substrat en recevant les signaux d'horloge du circuit d'attaque de pompe de tension; un détecteur de niveau qui est destiné à produire un signal d'horloge lorsque la tension de substrat n'est pas maintenue à un niveau prédéterminé; et un circuit d'attaque d'oscillateur qui est

destiné à fournir la tension de polarisation de l'oscillateur conformément au signal d'horloge du détecteur de niveau.

5 D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre de modes de réalisation, et en se référant aux dessins annexés dans lesquels :

10 La figure 1 est un schéma synoptique d'un circuit générateur de tension de substrat conforme à l'invention;

La figure 2 est un schéma de circuit détaillé d'un oscillateur conforme à l'invention;

15 La figure 3 est un schéma de circuit détaillé d'un circuit d'attaque de pompe de tension conforme à l'invention;

La figure 4 est un schéma de circuit détaillé d'un mode de réalisation qui illustre une pompe de tension conforme à l'invention;

20 La figure 5 est un schéma de circuit détaillé d'un autre mode de réalisation qui illustre une pompe de tension conforme à l'invention;

La figure 6 est un schéma de circuit détaillé d'un circuit d'attaque d'oscillateur conforme à l'invention; et

25 La figure 7 est un diagramme séquentiel correspondant à l'invention.

La figure 1 montre un schéma synoptique d'un générateur de tension de substrat conforme à l'invention. Le générateur de tension de substrat comprend un oscillateur 10, un circuit d'attaque de pompe de tension 20, une pompe de tension 30, un détecteur de niveau 40 et un circuit d'attaque d'oscillateur 50. L'oscillateur 10 produit un signal d'oscillation prédéterminé ØOSC dont la période d'oscillation ne varie pas en fonction de la température, du fait que la va-

35

leur de résistance est compensée conformément à la variation de température. Le circuit d'attaque de pompe de tension 20 génère deux signaux d'horloge CK et  $\overline{\text{CK}}$ , sous l'effet de la réception du signal d'oscillation  $\emptyset\text{OSC}$ . La pompe de tension 30 génère une tension de substrat négative  $V_{\text{BB}}$ , et le circuit d'attaque d'oscillateur 50 fournit des tensions de polarisation  $V_{\text{OP}}$  et  $V_{\text{ON}}$  si le niveau détecté de la tension de substrat  $V_{\text{BB}}$  n'est pas le niveau désiré.

10 La figure 2 montre un schéma de circuit détaillé de l'oscillateur 10 de la figure 1. Sur la figure 2, l'oscillateur 10 comporte n (nombre impair) inverseurs  $I_1 - I_n$ , qui sont connectés mutuellement en série et qui forment ensemble un oscillateur en anneau. De plus, des transistors PMOS  $\text{MP}_1 - \text{MP}_n$  et  $\text{RP}_1 - \text{RN}_n$  sont respectivement connectés entre des bornes de tension d'alimentation  $V_{\text{CC}}$  et les inverseurs  $I_1 - I_n$ , tandis que des transistors NMOS  $\text{MN}_1 - \text{MN}_n$  et  $\text{RN}_1 - \text{RN}_n$  sont respectivement connectés entre des bornes de masse et les inverseurs  $I_1 - I_n$ . La tension de sortie  $V_{\text{TP}}$  de l'oscillateur 10 maintient la tension de grille  $nV_{\text{TP}}$  conformément à la somme des tensions de seuil  $V_{\text{TP}}$  des transistors PMOS  $\text{MP}_1 - \text{MP}_n$ .

25 Cependant, la valeur absolue de la tension de seuil  $V_{\text{TP}}$  est réduite sous l'effet de l'augmentation de la température, ce qui fait que les transistors PMOS  $\text{MP}_1 - \text{MP}_n$  sont susceptibles d'être bloqués sous l'effet de l'augmentation de la tension de grille. Par conséquent, pour éviter la variation de la période d'oscillation, on doit compenser la valeur de résistance en correspondance avec l'augmentation de la température, de manière que les transistors PMOS  $\text{MP}_1 - \text{MP}_n$  soient mis en parallèle avec les transistors PMOS  $\text{RP}_1 - \text{RN}_n$ , qui sont toujours à l'état conducteur, avec leurs grilles connectées à la masse.

D'autre part, si les transistors NMOS MN1 - MNn sont connectés entre les inverseurs I1 - In et les bornes de masse, et si les tensions de grille sont maintenues à  $V_{cc} - nT_T$ , les transistors NMOs MN1 - MNn sont susceptibles d'être bloqués sous l'effet de l'augmentation de la valeur absolue de la tension de seuil V qui est due à l'augmentation de la température. Par conséquent, pour résoudre ce problème, les transistors NMOS RN1 - RNn dont les grilles sont connectées à la borne d'alimentation Vcc doivent être connectés en parallèle avec les transistors MOS MN1 - MNn.

La figure 3 montre un schéma de circuit détaillé du circuit d'attaque de pompe de tension 20 de la figure 1. Le circuit d'attaque de pompe de tension 20 comprend deux inverseurs amplificateurs-séparateurs qui sont destinés à remplir une fonction d'amplification-séparation pour le signal d'entrée ØOSC qui provient de l'oscillateur 10, des moyens de retard 25 pour retarder d'une durée prédéterminée le signal de sortie des inverseurs In+1 et In+2, et des portes OU et NON-ET qui fournissent les signaux d'horloge CK et  $\overline{CK}$ . Si une impulsion de niveau haut est fournie par l'oscillateur 10 pendant une durée prédéterminée, elle est appliquée aux moyens de retard 25 et aux bornes d'entrée des portes OU et NON-ET, par l'intermédiaire des inverseurs amplificateurs-séparateurs In+1 et In+2. De plus, le signal qui est retardé par les moyens de retard 25 est appliqué aux autres bornes d'entrée des portes OU et NON-ET respectives.

Ensuite, la porte OU fournit un signal d'horloge de niveau haut CK, qui monte sur le front montant du signal amplifié par les inverseurs In+1 et In+2, et qui descend sur le front descendant du signal de sortie des moyens de retard 25. De plus, la porte NON-ET fournit un signal d'horloge de niveau bas  $\overline{CK}$ , qui des-

cend sur le front montant du signal de sortie des  
moyens de retard 25 et qui monte sur le front descen-  
dant du signal amplifié par les inverseurs In+1 et  
In+2. Ainsi, la porte OU fournit le signal d'horloge  
5 CK dont l'intervalle d'état haut est prolongé par la  
durée de retard des moyens de retard 25, et elle four-  
nit également le signal d'horloge  $\overline{CK}$  qui est déphasé  
de 180° par rapport au signal d'horloge CK. En outre,  
si l'oscillateur 10 fournit un signal d'oscillation  
10  $\emptyset OSC$  de niveau bas, chaque porte OU et NON-OU fournit  
les signaux d'horloge CK et  $\overline{CK}$  d'une manière opposée.

La figure 4 montre un schéma de circuit détaillé de la pompe de tension 30 qui est représentée sur la figure 1. La pompe de tension 30 comprend des  
15 transistors PMOS PM1 - PM10. Les transistors PMOS  
PM1 - PM4 remplissent la fonction de condensateurs de  
pompage, sous l'effet de l'application des signaux  
d'horloge CK et  $\overline{CK}$ . Les transistors PMOS P5 et P10  
remplissent la fonction de diodes, et les sources de  
20 ces transistors sont connectées à un noeud de tension  
de substrat 39, tandis que leurs grilles et leurs  
drains sont connectés en commun aux noeuds 31 et 37,  
pour un pompage avec une valeur de tension négative.  
Les sources des transistors PMOS P6 et P9 sont connec-  
25 tées aux noeuds 31 et 37, leurs drains sont connectés  
à la masse et leurs grilles sont connectées aux gril-  
les des transistors PMOS PM2 et PM3, de façon à con-  
duire le courant de substrat vers les bornes de masse,  
à partir de la ligne de tension de substrat 39. Les  
30 grilles et les sources des transistors PMOS P7 et P8  
sont connectées mutuellement en commun pour être re-  
liées à la masse, et leurs drains sont connectés aux  
grilles des transistors PMOS PM6 et PM9, de façon à  
empêcher que la tension de grille se s'élève au-dessus  
35 de la tension de seuil. Les transistors PMOS PM1 - PM4

constituent un condensateur, dans une configuration dans laquelle leurs sources et leurs drains connectés ensemble reçoivent respectivement les signaux d'horloge CK et  $\overline{\text{CK}}$ .

5                    Si l'oscillateur 10 fournit un signal d'oscillation  $\emptyset\text{OSC}$  de niveau haut, le circuit d'attaque de pompe de tension 20 applique à la pompe de tension 30 un signal d'horloge de niveau haut CK et un signal d'horloge de niveau bas  $\overline{\text{CK}}$ , avec un retard d'une durée  
10                    prédéterminée. Ces signaux d'horloge CK et  $\overline{\text{CK}}$  sont appliqués aux transistors PMOS PM1 - PM4 qui constituent la capacité de pompage. Ainsi, le potentiel aux noeuds 33 et 37 prend une valeur négative  $-V_{\text{CC}}$ , sous l'effet de la capacité de pompage des transistors PMOS respectifs PM2 et PM4. De plus, le potentiel au noeud 31 devient le potentiel de la masse, sous l'effet des transistors PMOS PM1 et PM6, et le potentiel à un noeud 35 correspond à la tension de seuil  $V_{\text{TP}}$  sous l'effet des transistors PMOS PM3 et PM8.

20                    Dans ces conditions, le transistor PMOS PM10 est débloqué et par conséquent la charge de substrat qui correspond au courant qui circule à partir du noeud de tension de substrat est emmagasinée au noeud 37. Simultanément, la charge de substrat qui est emmagasinée au noeud 31 fait circuler un courant vers la  
25                    masse par l'intermédiaire du transistor PMOS PM6 pendant la période précédente au cours de laquelle le signal d'oscillation  $\emptyset\text{OSC}$  qui est fourni par l'oscillateur est dans un état de niveau bas, et la charge précitée est déchargée à la masse par l'intermédiaire du  
30                    transistor PMOS PM6.

                    En outre, si le signal d'oscillation  $\emptyset\text{OSC}$  est appliqué avec un état de niveau bas, le circuit d'attaque de pompe de tension 20 fournit le signal  
35                    d'horloge de niveau bas CK et le signal d'horloge de

niveau haut  $\overline{CK}$ .

Ensuite, la charge correspondant au courant de substrat est emmagasinée au noeud 31, et la charge de courant de substrat au noeud 37 est mise en communication avec la masse par l'intermédiaire du transistor PMOS PM9, dans une condition dans laquelle les signaux d'horloge CK et  $\overline{CK}$  ne passent pas dans un état de niveau bas, bien que l'état du signal d'oscillation  $\emptyset OSC$  soit changé. On empêche ainsi que la tension de substrat  $V_{BB}$  ne prenne une valeur de tension positive à cause de la connexion directe entre le noeud de tension de substrat 39 et la borne de tension de masse.

Comme mentionné ci-dessus, le circuit de pompe de tension est attaqué par les signaux d'horloge CK et  $\overline{CK}$ , de façon à augmenter le rendement de pompage et à maintenir la tension de substrat dans une condition stable. De plus, si la pompe de tension 20 qui comprend les transistors PMOS PM1 - PM10 est réalisée en technologie CMOS à caisson de type N, on peut éviter le phénomène de déverrouillage.

La figure 5 montre un autre mode de réalisation de la pompe de tension 30 de la figure 1. Sur la figure 5, les signaux d'horloge CK et  $\overline{CK}$  sont appliqués aux noeuds de substrat des transistors PMOS PM5 - PM10, mais non à ceux des transistors PMOS PM1 - PM4, qui sont respectivement utilisés à titre de condensateurs de pompage.

De façon plus détaillée, le signal d'horloge CK est appliqué aux substrats des transistors PMOS PM5, PM6 et PM8, tandis que le signal d'horloge  $\overline{CK}$  est appliqué aux substrats des transistors PMOS PM7, PM9 et PM10. Les caractéristiques de conduction/blocage des transistors PMOS sont donc améliorées d'une manière telle que la tension de seuil soit diminuée dans l'état conducteur, tandis qu'elle est augmentée dans

l'état bloqué. Le rendement de pompage est donc amélioré encore davantage.

La figure 6 montre un schéma de circuit détaillé du circuit d'attaque d'oscillateur 50 de la figure 1. Le circuit d'attaque d'oscillateur 50 est connecté au détecteur de niveau 40, de façon que les signaux de validation  $\emptyset_{en}$  et  $\overline{\emptyset_{en}}$  que le détecteur de niveau 40 produit après avoir détecté l'état ou le niveau de la tension de substrat  $V_{BB}$ , soient appliqués aux grilles des transistors PMOS et NMOS (PM11, NM1) et (MP16, PN6) qui forment ensemble un inverseur. Les transistors NMOS NM2 et NM3 sont connectés entre le transistor PMOS PM11 et une borne de sortie, pour remplir la fonction de diodes, et une résistance de polarisation R1 est connectée entre le transistor NMOS NM1 et la masse.

De plus, deux transistors NMOS NM4 et NM5 qui fonctionnent en diodes, sont connectés entre l'alimentation et la borne de sortie, et un condensateur Cn est connecté entre la borne de sortie et la masse. Une résistance R2 est connectée entre l'alimentation et le transistor PMOS PM16, et des transistors PMOS PM12 et PM13 sont connectés entre la borne de sortie et le transistor NMOS NM6. De plus, des transistors PMOS PM14 et PM15 sont connectés en série entre la borne de sortie et la masse, en parallèle avec un condensateur Cn+1.

Si le noeud 39 du circuit d'attaque de pompe de tension 30 n'est pas maintenu à son niveau désiré, les signaux d'horloge  $\emptyset_{en}$  et  $\overline{\emptyset_{en}}$  qui sont fournis par le détecteur de niveau 40 prennent respectivement des niveaux haut et bas. Par conséquent, les signaux d'horloge  $\emptyset_{en}$  et  $\overline{\emptyset_{en}}$  débloquent les transistors PMOS et NMOS PM11 et NM6, pour émettre les tensions de polarisation  $V_{ON}$  et  $V_{OP}$  vers l'oscillateur 10, afin d'activer

ce dernier. Les tensions de polarisation  $V_{ON}$  et  $V_{OP}$  ont les valeurs suivantes :  $V_{ON} = V_{CC} - 2V_T$  et  $V_{OP} = 2V_{TP}$ . La tension de polarisation  $V_{ON}$  correspond à chaque tension de seuil de chaque transistor NMOS NM2 et NM3, et  
 5 la tension de polarisation  $V_{OP}$  correspond à chaque tension de seuil de chaque transistor PMOS PM12 et PM13.

Au contraire, si le noeud 39 du circuit d'attaque de pompe de tension 30 a un niveau désiré,  
 10 chacun des signaux d'horloge  $\phi_{en}$  et  $\overline{\phi_{en}}$  du détecteur de niveau 40 prend respectivement le niveau bas et le niveau haut. Par conséquent, ces signaux d'horloge  $\phi_{en}$  et  $\overline{\phi_{en}}$  débloquent les transistors NMOS et PMOS NM1 et PM16, pour commander les tensions de polarisation  $V_T$   
 15 et  $V_{TP}$ , de façon que l'oscillateur 10 ne soit pas activé et que le noeud 39 conserve continuellement le niveau désiré.

Les lignes (A) à (D) de la figure 7 montrent les formes d'onde de sortie des éléments respectifs  
 20 dans le générateur de tension de substrat. La ligne A de la figure 7 montre un signal d'oscillation  $\phi_{OSC}$  qui est produit par l'oscillateur 10. La ligne (B) de la figure 7 montre l'action des moyens de retard 25 dans le circuit d'attaque de pompe de tension 20.

Les lignes (C) et (D) de la figure 7 montrent les signaux d'horloge CK et  $\overline{CK}$  que fournit le  
 25 circuit d'attaque de pompe de tension 20 conformément à la combinaison des signaux qui sont représentés aux lignes (A) et (B) de la figure 7. Dans les signaux  
 30 d'horloge CK et  $\overline{CK}$ , l'intervalle d'état haut est plus long que le signal d'oscillateur  $\phi_{OSC}$ , avec un écart correspondant à la durée de retard des moyens de retard 25, tandis que l'intervalle d'état bas est plus court que le signal d'oscillation  $\phi_{OSC}$ . Par conséquent,  
 35 les signaux d'horloge CK et  $\overline{CK}$  ne passent pas à l'état

bas en même temps. De plus, les lignes (E) à (H) de la figure 7 montrent les formes d'onde de tension aux noeuds 31, 33, 35 et 37, et on voit que les tensions aux noeuds 31 et 37 ne passent pas au niveau bas en même temps, ce qui fait que la tension de substrat est maintenue stable.

Comme on l'a indiqué précédemment, l'invention permet de maintenir inchangée la possibilité d'attaque de charge, en compensant la valeur de résistance conformément à la variation de température, ce qui a pour effet d'améliorer la fiabilité de dispositifs à semiconducteurs et de réduire la puissance consommée dans l'état de repos.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif et au procédé décrits et représentés, sans sortir du cadre de l'invention.

REVENDEICATIONS

1. Générateur de tension de substrat pour un dispositif à semiconducteurs, caractérisé en ce qu'il comprend : un oscillateur (10) destiné à produire un signal d'oscillation dont la période d'oscillation ne varie pas, grâce à la compensation de la valeur de résistance en fonction de la variation de température; un circuit d'attaque de pompe de tension (20) destiné à produire deux signaux d'horloge mutuellement déphasés de 180°, en recevant le signal d'oscillation de l'oscillateur; une pompe de tension (30) destinée à produire une tension de substrat en recevant les signaux d'horloge du circuit d'attaque de pompe de tension; un détecteur de niveau (40) destiné à produire un signal d'horloge lorsque la tension de substrat n'est pas maintenue à un niveau prédéterminé; et un circuit d'attaque d'oscillateur (50) destiné à fournir la tension de polarisation de l'oscillateur (10) conformément au signal d'horloge du détecteur de niveau (40).

2. Générateur de tension de substrat selon la revendication 1, caractérisé en ce que l'oscillateur (10) comprend n (nombre impair) inverseurs (I1 - In), une paire de transistors PMOS (MP1 - MPn et RP1 - RNn) connectés entre la borne d'alimentation et les inverseurs précités, et une paire de transistors NMOS (MN1 - NMn et RN1 - RNn) connectés entre les inverseurs et la masse.

3. Générateur de tension de substrat selon la revendication 2, caractérisé en ce que les transistors de la paire de transistors PMOS (MP1 - MPn et RP1 - RNn) sont du type de conductivité P, et les transistors de la paire de transistors NMOS (MN1 - NMn et RN1 - RNn) sont du type de conductivité N.

4. Générateur de tension de substrat selon la revendication 1, caractérisé en ce que le circuit

d'attaque de pompe de tension (20) comprend des moyens amplificateurs-séparateurs ( $In+1$  et  $In+2$ ) destinés à amplifier les signaux d'oscillation de l'oscillateur (10), des moyens de retard (25) pour retarder d'une  
5 durée prédéterminée le signal d'oscillation amplifié, et des moyens logiques ET et OU pour fournir deux signaux d'horloge mutuellement déphasés de  $180^\circ$ , en recevant les signaux amplifiés et retardés.

5. Générateur de tension de substrat selon  
10 la revendication 4, caractérisé en ce que les signaux d'horloge que fournit le circuit d'attaque de pompe de tension (20) conservent un niveau haut pendant une durée prédéterminée, de façon à ne pas passer simultanément à un niveau bas.

15 6. Générateur de tension de substrat selon la revendication 1, caractérisé en ce que la pompe de tension (30) comprend : des premier à quatrième transistors MOS ( $PM1 - PM4$ ) remplissant la fonction de condensateurs de pompage et ayant des drains connectés  
20 en commun de façon à recevoir les signaux d'horloge provenant du circuit d'attaque de pompe de tension (20); des transistors MOS qui constituent des première à quatrième diodes, ayant des drains et des grilles connectés en commun aux grilles des premier et qua-  
25 trième transistors MOS, et des sources connectées au noeud de tension de substrat; les transistors MOS constituant la première diode et la quatrième diode ayant des sources connectées aux grilles des premier et quatrième transistors MOS, des drains connectés à  
30 la masse et des grilles connectées aux grilles des second et troisième transistors MOS; et les transistors MOS constituant les seconde et troisième diodes ayant des drains connectés aux grilles des second et troi-  
35 masse.

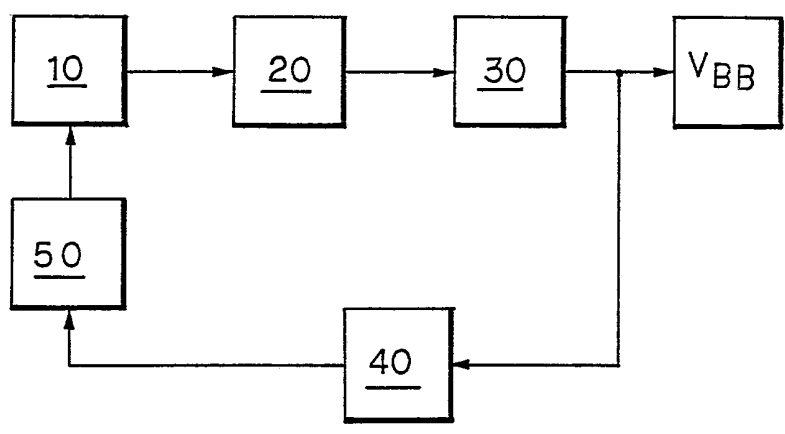
7. Générateur de tension de substrat selon la revendication 6, caractérisé en ce que les premier à quatrième transistors MOS (PM1 - PM4) qui constituent des condensateurs de pompage, reçoivent respectivement les signaux d'horloge.

8. Générateur de tension de substrat selon la revendication 6, caractérisé en ce que les noeuds de substrat des transistors MOS restants parmi les premier à quatrième transistors MOS reçoivent respectivement les signaux d'horloge.

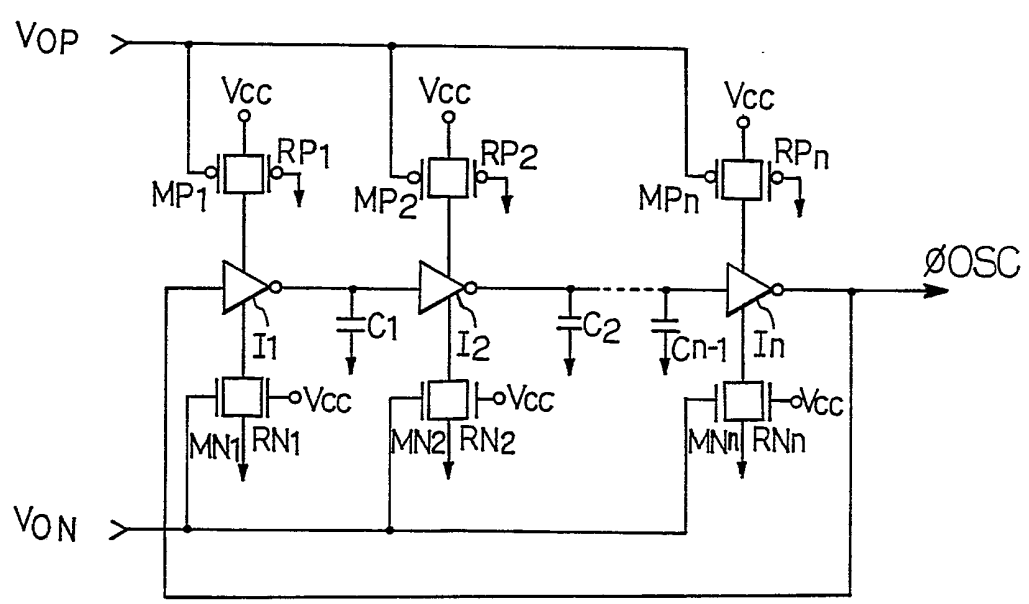
9. Générateur de tension de substrat selon la revendication 8, caractérisé en ce que tous les transistors MOS sont formés dans un caisson semiconducteur ayant un premier type de conductivité.

10. Générateur de tension de substrat selon la revendication 9, dans lequel le premier type de conductivité est le type P et le second type de conductivité est le type N.

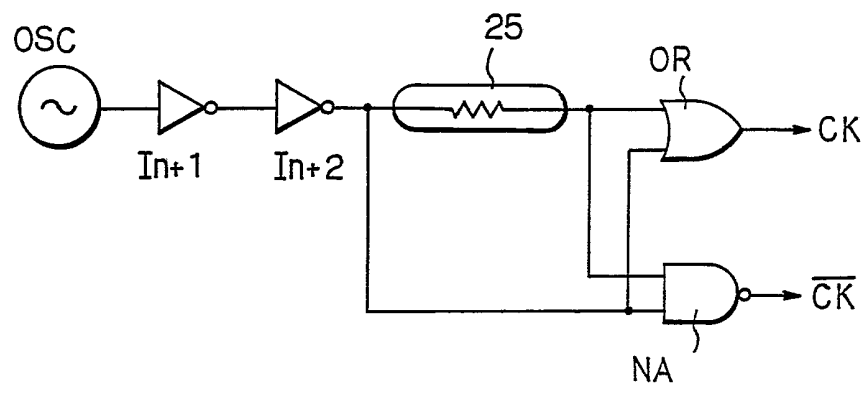
# FIG.1



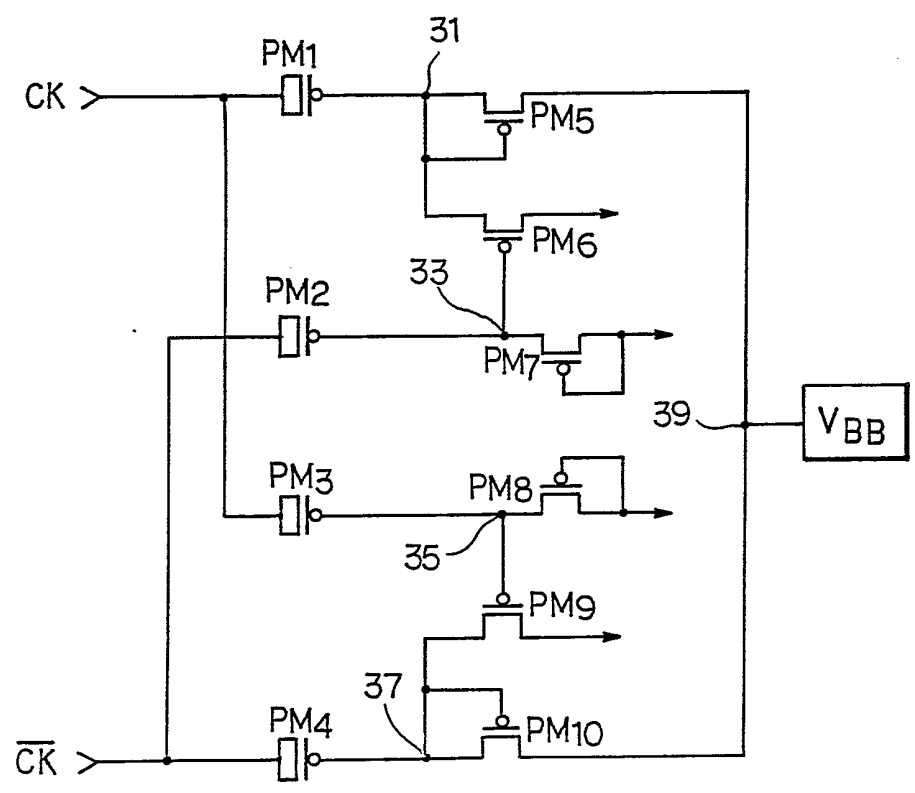
# FIG.2



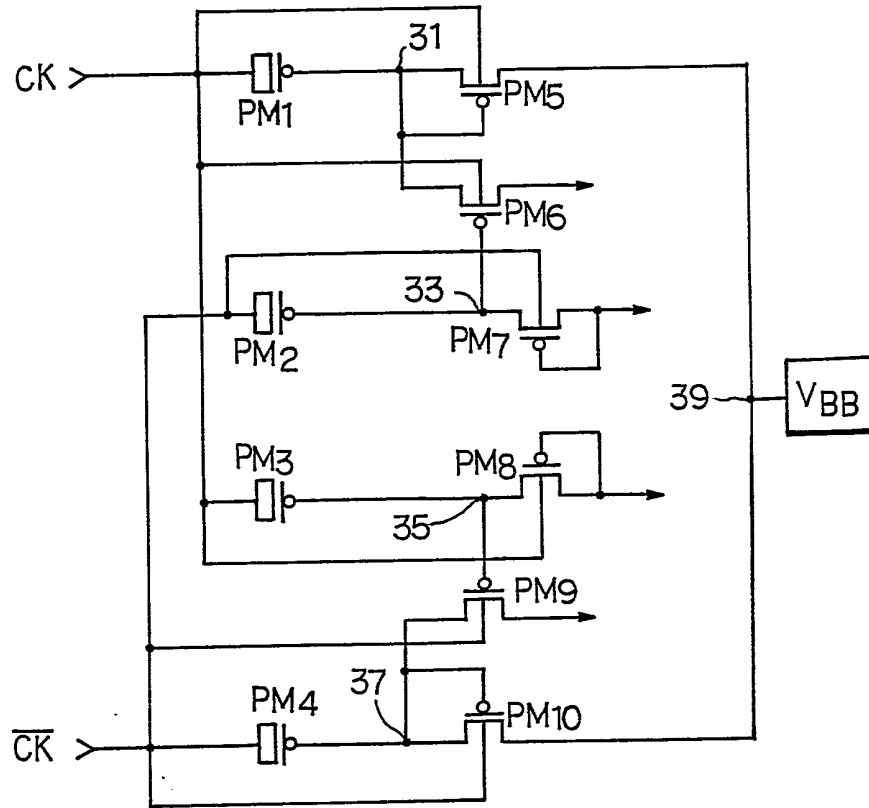
### FIG.3



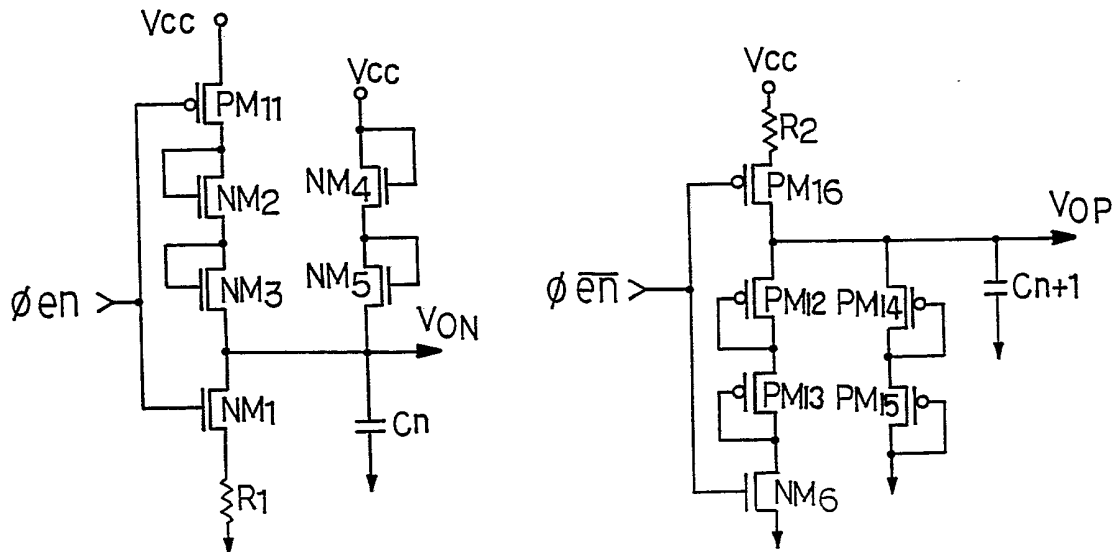
### FIG.4



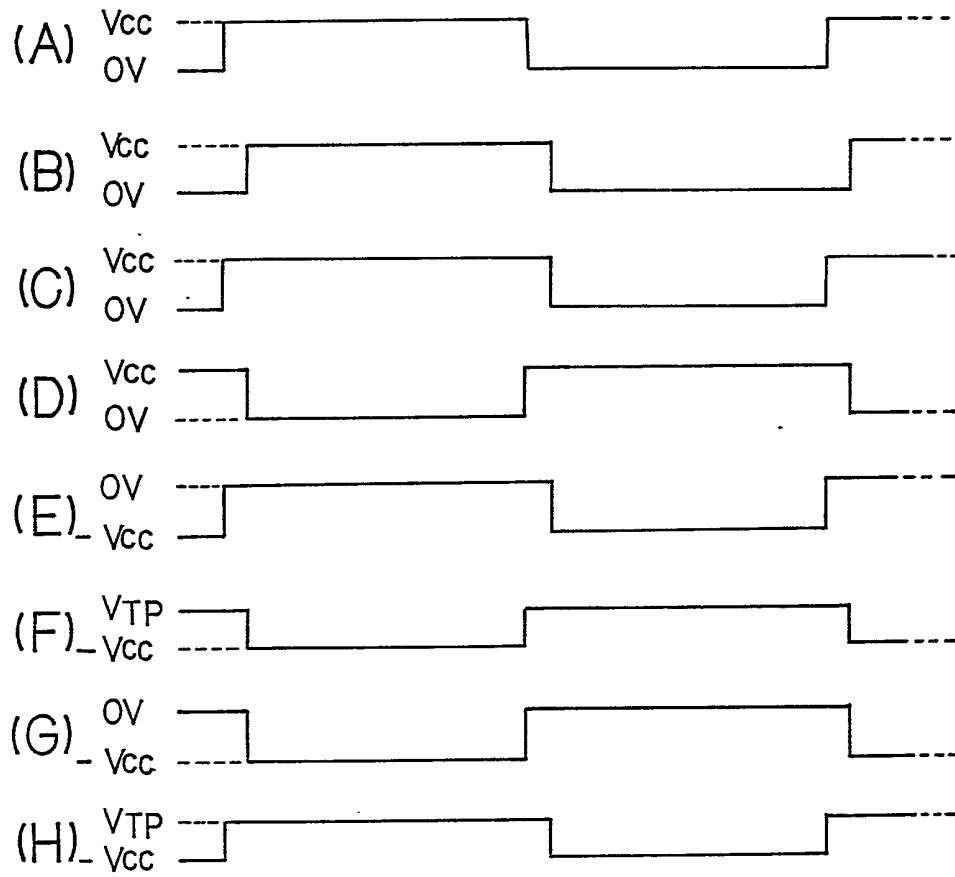
# FIG. 5



# FIG. 6



# FIG. 7



INSTITUT NATIONAL  
de la  
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

FR 9013472  
FA 448973

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	EP-A-0176214 (FUJITSU LIMITED) * page 5, ligne 11 - page 7, ligne 37; figures 3-5 *	1, 2
A	US-A-4656369 (LOU) * colonne 2, ligne 55 - colonne 3, ligne 39; figure 5 *	1
A	EP-A-0143879 (INTERNATIONAL BUSINESS MACHINES) * page 5, ligne 20 - page 7, ligne 10; figure 1 *	1
A	US-A-4585954 (HASHIMOTO) * colonne 3, lignes 25 - 64; figure 3 *	1
A	PATENT ABSTRACTS OF JAPAN vol. 9, no. 325 (E-368)(2048) 20 décembre 1985, & JP-A-60 158717 (SEIKO DENSHI KOGYO K. K) 20 août 1985, * le document en entier *	1, 2
A	US-A-4015219 (KAWAGOE ET AL) * abrégé; figure 6 *	2
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		G05F H03K
Date d'achèvement de la recherche		Examineur
05 AOUT 1991		CLEARY F.M.
<p><b>CATEGORIE DES DOCUMENTS CITES</b></p> <p>X : particulièrement pertinent à lui seul                      Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie                      A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général                      O : divulgation non-écrite                      P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention                      E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.                      D : cité dans la demande                      L : cité pour d'autres raisons                      .....                      &amp; : membre de la même famille, document correspondant</p>		