

[12] 发明专利说明书

[21] ZL 专利号 95191234.8

[45]授权公告日 2001年5月23日

[11]授权公告号 CN 1066289C

[22]申请日 1995.1.10 [24]颁证日 2001.2.10

[21]申请号 95191234.8

[30]优先权

[32]1994.1.13 [33]US [31]08/180,673

[86]国际申请 PCT/US95/00422 1995.1.10

[87]国际公布 WO95/19657 英 1995.7.20

[85]进入国家阶段日期 1996.7.15

[73]专利权人 爱特梅尔股份有限公司

地址 美国加利福尼亚州

[72]发明人 萨罗杰·帕塔克 詹姆斯·E·佩恩

格伦·A·罗森戴尔

[56]参考文献

CN 2034338U 1989.3.15 H02H3/12

EP 0373713A2 1990.6.20 H02H3/20

US 5243490 1993.9.7 H03H3/20

[74]专利代理机构 北京三幸商标专利事务所

代理人 刘激扬

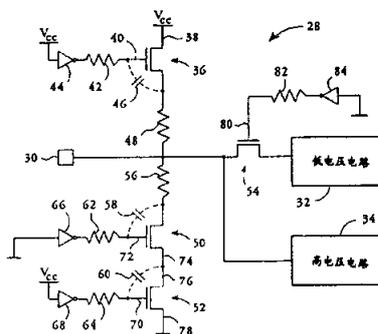
审查员 段成云

权利要求书2页 说明书5页 附图页数2页

[54]发明名称 用于高速高压电路的静电放电电路

[57]摘要

一种保护电路,包括用于使在信号节点(30)引入的负ESD脉冲放电的第一可控通道。由信号节点经过第一晶体管(36)的源极和漏极到(V_{cc})形成该第一可控通道。通过将栅极经过电阻(42)和反相器(44)连接到一固定的电压电源的电位(V_{cc}),使栅极处于软式接地。使正ESD脉冲放电的第二可控通道经过串联的第二(50)和第三(52)晶体管的源极和漏极连接到地。第二晶体管(50)的栅极经过电阻(62)和反相器(66)接地而处于(V_{cc})下。第三晶体管(52)经过电阻(64)和反相器(68)接到(V_{cc})而处于软式接地。第三晶体管由于超过第三晶体管的阈值电压的正向电压的作用导通,而第二晶体管通过限制施加到第三晶体管上的电压,防止第三晶体管损坏。



权 利 要 求 书

1. 一种静电放电保护电路，用于可在第一正电压 (V_{CC}) 和在明显高于所述第一正电压的第二电压下运行的电路，包含：

形成一信号节点的输入焊片；

第一装置，用于使施加到所述信号节点的负的静电电压脉冲放电，所述第一装置包括第一MOS晶体管，它的源极和漏极的连接在于在所述信号节点和 V_{CC} 之间形成一可控通道，所述第一MOS晶体管的栅极连接到基本上为地电位的电位上，所述第一MOS晶体管的栅极被第一电容耦合到所述输入焊片；以及

第二装置，用于使施加到所述信号节点的正静电电压脉冲放电，所述第二装置包括第二和第三MOS晶体管，它们的源极和漏极串联连接，以便从地电位到所述信号节点形成一可控通道，由地电位开始的所述可控通道包括将所述第二MOS晶体管的所述漏极连接到所述信号节点和包括将所述第三MOS晶体管的所述源极连接到地电位，所述第二MOS晶体管的所述栅极受控基本上处于 V_{CC} 下，所述第二MOS晶体管的栅极被第二电容耦合到所述输入焊片，所述第三MOS晶体管的栅极连接到基本上为地电位的电位下，所述第三MOS晶体管的栅极被第三电容耦合到第三MOS晶体管的漏极，其中当明显高于 V_{CC} 的正电压施加到所述信号节点时，所述第二MOS晶体管限制加在到所述第三MOS晶体管上的电位差。

2. 如权利要求1所述的电路，其中所述的第一和第三MOS晶体管的所述栅极每个都经过一反相器连接到 V_{CC} ，因此所述栅极基本上处于地电位。

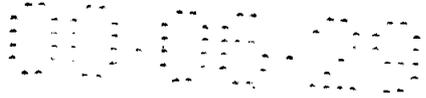
3. 如权利要求2所述的电路，其中所述的第二MOS晶体管的所述栅极经过反相器连接到地电位，因而，使所述栅极基本上处于 V_{CC} 。

4. 如权利要求3所述的电路，其中一个单独的电阻被连接在所述第一、第二、第三MOS晶体管的栅极和它们的相关反相器之间。

5. 如权利要求1所述的电路，其中所述的第一、第二和第三晶体管是薄栅极、短沟道晶体管。

6. 如权利要求5所述的电路，其中所述栅极的厚度小于300埃，所述MOS晶体管的每个沟道长度不超过1.4微米。

7. 如权利要求1所述的电路，其中所述的信号节点连接到利用明显高于 V_{CC} 的电压可编程的内部电路。



8. 如权利要求7所述的电路，其中所述的输入焊片还连接到在明显高于 V_{CC} 的电压下易于损坏的第二内部电路，所述电路还包括第四MOS晶体管，它的源极和漏极的连接在于由所述输入焊片到所述第二内部电路形成一通道，所述第四MOS晶体管的栅极经过电阻和反相器相连，所述的反相器有一个输入端和地电位相连，因此使所述栅极基本上处于 V_{CC} 。

说明书

用于高速高压电路的静电放电电路

本发明一般地涉及用于保护集成电路免受静电放电损坏的电路，更具体地说，涉及高速高压电路的静电放电保护。

在利用金属氧化物半导体 (MOS) 技术制造集成电路时，为了进一步提高晶体管的性能，栅极氧化物层越来越变薄了。对于指定的一组端电压，MOS晶体管的漏极电流与栅极氧化物层的厚度成反比。薄的栅极的晶体管可具有15毫微米的栅极氧化物层。

在具有薄栅极晶体管的电路的运行操作和维护中的令人关注的一个问题是这些电路易于由静电放电 (ESD) 而引起损坏。二氧化硅的绝缘击穿强度约为 8×10^6 伏/厘米，这样，15毫微米厚的栅极氧化物层将不能承受12伏以上的电压。然而，ESD脉冲的峰值可达几千伏。ESD脉冲的主要来源于对具有输入/输出针或焊片的集成电路封装的人的操作。

提供ESD保护的电路是公知的。图1是一种现有技术的ESD保护电路。信号施加在输入焊片或针10上。第一晶体管12和第二晶体管14用于将高压脉冲放电。由ESD冲击产生的负向脉冲经过第一晶体管12放电。第一晶体管的栅极16连接到 V_{CC} 。负向ESD脉冲将使源极18接地的第二晶体管14导通。第一和第二晶体管通过对 V_{CC} 或对地形成通道，使ESD脉冲的大部分电荷放电，同时剩余电荷的大部分由于第三晶体管的栅极—辅助连接击穿 (gate-aided junction breakdown) 经过第三晶体管20放电。第一、第二和第三晶体管的各派生的双极型晶体管的双极型导通导致进行辅助脉冲放电。

图1所示的电路具有一些局限性。第一和第二晶体管12和14通常是高导通电压 (例如15~20伏) 和长沟道长度的金属场效应晶体管。因此，两个晶体管在使ESD脉冲放电方面呈现一定的固有低效性。未能充分放电的ESD脉冲的电荷可能通过需保护的内部电路22。该电荷可能损坏电路22的晶体管的栅极。

该电路的另一局限性在于，当第三晶体管20是一薄栅极晶体管时，它在电路内部的连接使得第三晶体管20易于发生栅极—辅助连接击穿。假如加在晶体管上的电压超过该器件的击穿电压，该晶体管的损坏可能导致输入信号对地永久性地短路。

ESD保护电路还包括在输入焊片10和需保护的内部电路22之间的电阻24。加入电阻的目的是为了更好地保证在ESD电荷达到薄栅极晶体管20之前，使第一和第二晶体管12和14成为大部分ESD电荷的较低阻抗的放电通道。即电阻24起保护第三晶体管的作用，防止由于高电压可能引起永久性损坏。然而，该电阻在对内部电路22的输入通道中会引起RC延迟。这种延迟对于高速电路装置提出了限制。

对于高压应用场合，图1所示ESD保护电路还有另一种局限性。假如内部电路22包括非易失性高速器件，例如一个或多个PLD、EPROM、FPGA或强脉冲(flash)器件，ESD保护电路必须能够在d.c.运行状态下承受高电压。例如，一编程信号可能要求在焊片10输入20伏的电压。虽然金属场效应晶体管12和14通常在这些电压状态下并不易于损坏，但薄栅极的第三晶体管则可能击穿并引起永久性的对地短路。

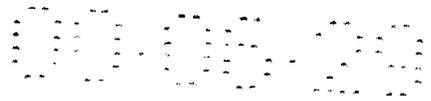
本发明的目的是提供一种对静电放电提供保护的电路，它不会对高压或高速电路的互作提出各种限制。

通过利用有源的(active)MOS晶体管为负向电压ESD脉冲提供第一可控通道和为分压的正向电压ESD脉冲提供第二可控通道，实现上述目的，因此能够使用高速器件。各晶体管的栅极利用电阻和反相器接到地电位或一固定的电源电压的电位(V_{CC})，以便隔离各栅极和增加栅极电压和晶体管电导。

第一可控通道从一信号节点，例如输入焊片，经第一薄栅极晶体管的源极和漏极到 V_{CC} 。该晶体管的栅极经电阻和反相器连接到 V_{CC} ，因此，在栅极处形成软式(soft)接地。一从栅极到输入焊片的寄生电容助增栅极电压，使晶体管更强地导通。晶体管将在其阈值电压下导通。以及由于在栅极处软式接地，栅极将被自举(bootstrapped up)，使负向静电脉冲有效地放电。

第二可控通道包括第二和第三薄栅极MOS晶体管。两个晶体管由信号节点到地串联，第二晶体管连接到信号节点，第三晶体管连接到地。第三晶体管的栅极以与第一晶体管相同的方式即经过一电阻和反相器电连接到 V_{CC} 。因而栅极处于软式(适度)地接地的状态。

第二晶体管的栅极经过电阻和反相器接地。由于第三晶体管的栅极处于 V_{CC} 下，将要施加到第三晶体管的漏极上的最高电压为 V_{CC} 和第二晶体管的阈值电压之间的差。通常 V_{CC} 为5伏。假如阈值电压为1伏，第三晶体管



承受的最大电压为4伏。

第二和第三晶体管结合形成一使正向静电电压脉冲的可控放电通道，使得能够采用薄栅极晶体管，以及使需保护的电路能够运行在超过晶体管击穿电压的正向电压下。例如，20伏的编程信号可以施加到该信号节点，而不会损坏ESD保护电路的薄栅极晶体管。

在一优选实施例中，一第四晶体管对于不运行在高压下的内部电路提供第三可控通道。第四晶体管的源极和漏极的连接使该信号节点连接到需保护低压内部电路上。栅极经过电阻和反相器连接到地，因此在栅极处于 V_{CC} 之下。按照这种方式，低压内部电路将限制到不超过 V_{CC} 的电压下。

在一优选实施例中，第一和第二薄栅极晶体管以及和这两个晶体管相关连的寄生电容利用一低值电阻连接到该信号节点。各电阻形成一小的电阻，阻止薄栅极MOS晶体管的派生双极型晶体管的双极的快速返回 (snapback)。

本发明的一个优点是该电路能够提供ESD保护并使高的控制操作电压通过。另一个优点是在由信号节点到需保护的电路的通道中没有附加电阻。因而没有引起妨碍高速操作的RC延迟。

图1是现有技术的ESD保护电路的示意图；

图2是根据本发明的高速、高压保护电路的示意图。

参照图2，图中所示的保护电路28具有一信号节点30，例如输入焊片，和需保护的电路，它分为可互作在低电压下的内部电路32以及可互作在高压和低电压下的内部电路34。

图2是表示本发明的优选实施例，它包含高压和低压电路对本发明来说并不是先决性的。

非所需的施加到信号节点30上的负向静电电压脉冲经过包括第一晶体管36的第一可控通道放电。该可控通道延伸到在节点38处的 V_{CC} 。通常 V_{CC} 为5伏，不过用于操作MOS电路的固定的电源电压可以随具体的应用场合改变。例如，对于蓄电池供电的袖珍 (laptop) 计算机， V_{CC} 就稍低一些。

第一晶体管36的栅极40经过电阻42和反相器44连接到 V_{CC} 。这种配置使得在栅极40形成“软式接地”。寄生电容46将栅极40电容耦合到位于从信号节点30开始的第一可控通道中的电阻48。

第一晶体管36、以及第二、第三和第四晶体管50、52和54都是薄栅极短沟道晶体管。晶体管沟道越短，该电路在使ESD脉冲放电时就越有效。在优选实施例中，沟道长度范围为1.2~1.4微米。栅极氧化物层的厚度最

好小于300埃，理想范围为100~200埃。然而，这些尺寸对于本发明不是先决性的。

在互作过程中，负向ESD脉冲将超过第一晶体管36的阈值电压，因此第一晶体管导通。寄生电容46有助于助增栅极电压，使ESD脉冲有效地放电。电容和电阻42限定了第一晶体管延迟关断的RC时间常数。电容经过电阻42向反相器44放电，因此实现能够提高效率的所需定时。为了提高栅极电压和晶体管电导，电阻将栅极40与反相器相隔离。由于晶体管36是一薄栅极器件，晶体管的导通阈值电压约为1伏，以及由于软式接地，栅极被自举，进一步提高了效率。本技术领域的专业人员都会理解，根据设计和制造技术，晶体管的阈值电压是可以改变的。

在由信号节点30到 V_{CC} 的第一可控通道内部的电阻48通常是利用扩散技术制造的。虽然在图2中没有表示，第一晶体管具有一派生的双极型晶体管，电阻48是一个小阻值的电阻，以防止双极性快速返回现象，如果不是这样一个电阻，可能由于过电流引起这种现象。

保护电路28包括由电阻56和串联的第二和第三薄栅极MOS晶体管50和52所限定的第二可控通道。电阻56的作用象上述电阻48以相同的方式防止双极性快速返回。漏极对栅极的寄生电容58和60与电阻62和64相结合作用在于形成RC延迟，以保证第二可控通道导通足够的时间，能够使正的ESD脉冲有效地放电。寄生电容通过相关电阻向反相器66和68放电。第三晶体管52的反相器68连接到 V_{CC} ，使得晶体管的栅极70象第一晶体管36一样具有相同的“软式接地”。第二晶体管50的反相器66连接到地。

第二和第三晶体管50和52的串联连接，使得在信号节点30能够输入高的电压(例如20伏)，用以对电路34进行编程或其它操作，而不会损坏薄栅极第三MOS晶体管52，N沟道第二晶体管50的栅极72处于 V_{CC} 的高电压下，而第三N沟道晶体管52的栅极70处于软式接地的低电压下。当在信号节点30输入高电压的编程信号或正的ESD脉冲时，第二晶体管将防止全电压达到第三晶体管52，当第二晶体管的源极74和第三晶体管的漏极76的连接点达到的电位等于第二晶体管的栅极72和阈值电压之间的电位差时，第二晶体管将关断，不再使上升电压达到第三晶体管的漏极76。在上述实施例中，栅极72处在5伏电压的 V_{CC} 下，阈值电压约为1伏，这样在第三晶体管的漏极76和源极78之间的电压将限制到4伏。然而，这些电压对本发明并不是先决性的。

在运行过程中，第二可控通道基本上以与第一可控通道使负ESD脉冲放电相同的方式使正ESD脉冲放电，重要的差别在于，通过利用该电压限制用晶体管50，使得电路34能进行高压操作，而不会损坏第二可控通道。

保护电路28还包括第三可控通道。该通道包括第四MOS晶体管54，它的漏极和源极分别连接到信号节点30和低电压电路32。通过以与第二晶体管50相同的方式利用电阻82和连接到地的反相器84，使栅极80处于高电压下。因此，可能达到电路32的最大电压为在栅极80(例如5伏)和第四晶体管的阈值电压(例如1伏)之间的电位差。在这一最大电压下，在低电压电路中的各器件的栅极不会受到在信号节点处施加的电压而可能引起的损坏。

保护电路28使正和负ESD脉冲放电，而使设计操作高电压电路34的电压能够通过。此外，由于电路32和电路34无需电阻连接到信号节点30，保护电路不会引起限制高速操作的RC延迟。

说明书附图

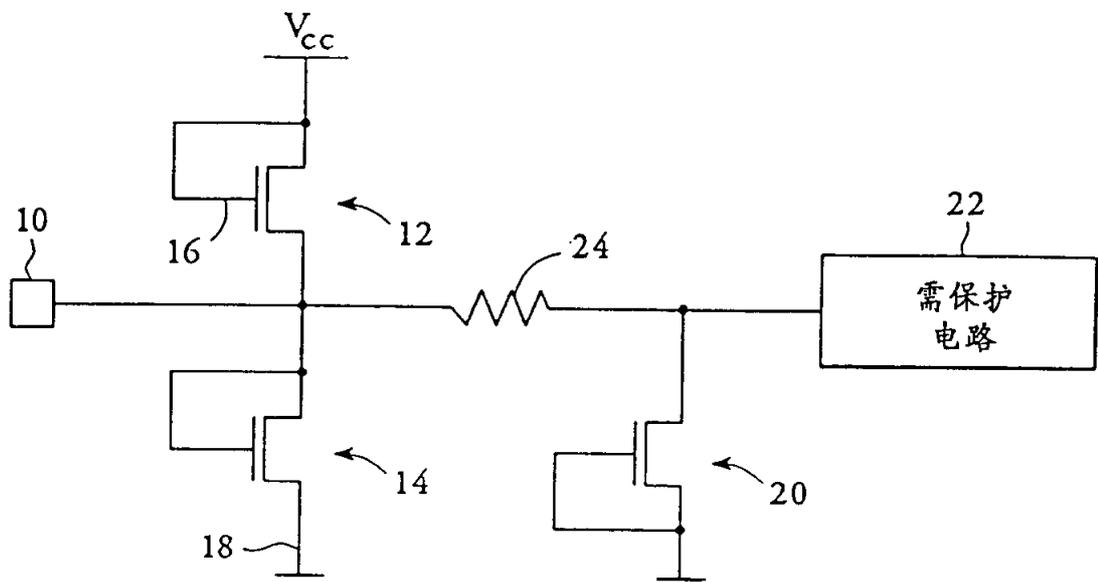


图1

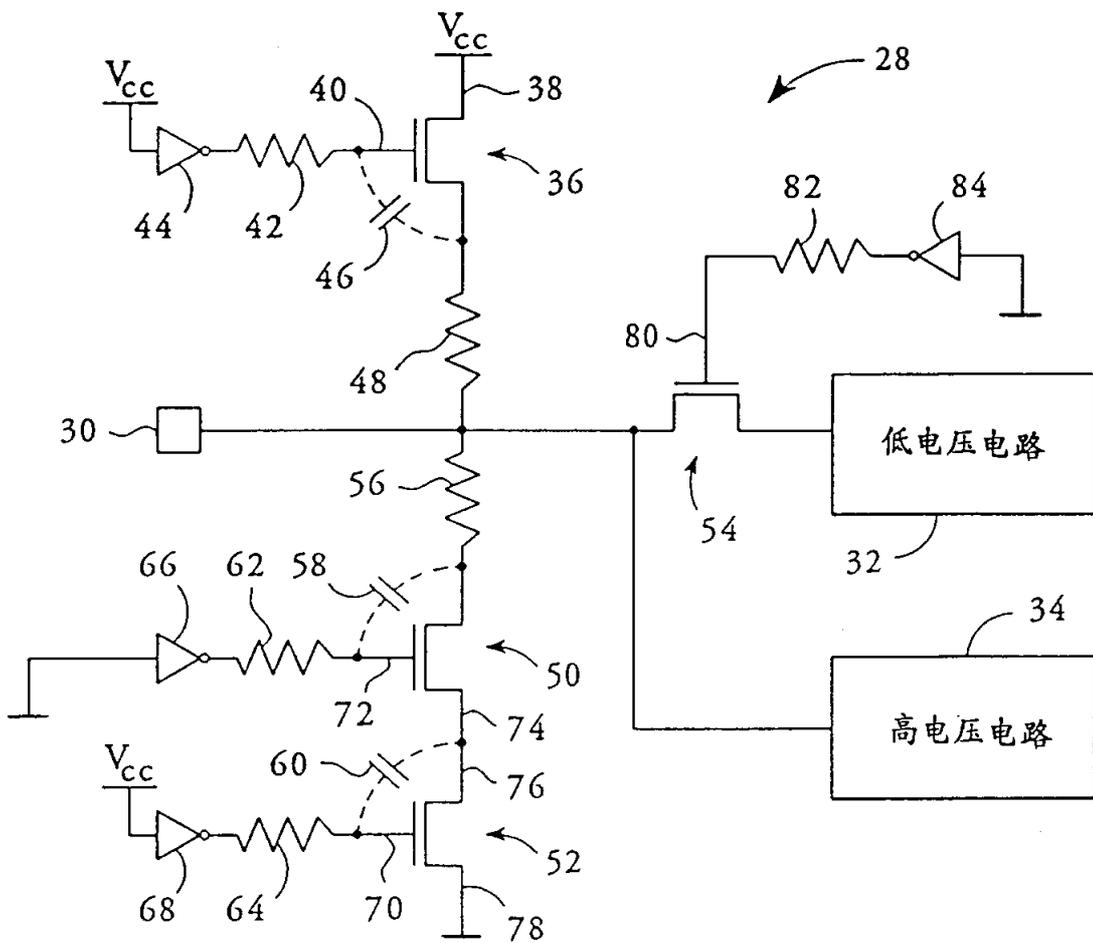


图2