

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-147655

(P2008-147655A)

(43) 公開日 平成20年6月26日(2008.6.26)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8247 (2006.01)	H O 1 L 29/78 3 7 1	5 F 0 5 8
H O 1 L 29/788 (2006.01)	H O 1 L 27/10 4 3 4	5 F 0 8 3
H O 1 L 29/792 (2006.01)	H O 1 L 21/316 X	5 F 1 0 1
H O 1 L 27/115 (2006.01)	H O 1 L 21/316 M	
H O 1 L 21/316 (2006.01)		

審査請求 未請求 請求項の数 23 O L (全 15 頁)

(21) 出願番号	特願2007-311247 (P2007-311247)	(71) 出願人	390019839
(22) 出願日	平成19年11月30日 (2007.11.30)		三星電子株式会社
(31) 優先権主張番号	10-2006-0120142		S A M S U N G E L E C T R O N I C S
(32) 優先日	平成18年11月30日 (2006.11.30)		C O . , L T D .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
			4 1 6, M a e t a n - d o n g, Y e o
			n g t o n g - g u, S u w o n - s i,
			G y e o n g g i - d o 4 4 2 - 7 4 2
			(K R)
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 電荷トラップ型半導体メモリ素子の電荷トラップ層及びその製造方法

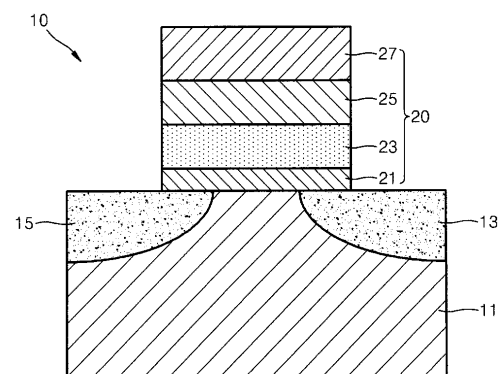
(57) 【要約】 (修正有)

【課題】 電荷トラップ型半導体メモリ素子を提供する。

【解決手段】 トンネル絶縁膜 2 1 と、電荷トラップ層 2 3 と、ブロッキング絶縁膜 2 5 と、ゲート電極 2 7 を有する電荷トラップ型半導体メモリ素子及びその製造方法において、(a) 基板の表面に第 1 前駆体物質を塗布し、第 1 前駆体物質を酸化させて絶縁物質からなる第 1 層を形成する工程と、(b) 第 1 層上に金属性の第 2 前駆体物質を塗布する工程と、(c) 第 2 前駆体物質が塗布された表面に第 1 前駆体物質を供給し、一部位置の第 2 前駆体物質を第 1 前駆体物質に置換させる工程と、(d)

(c) 工程で得られる第 1 及び第 2 前駆体物質を酸化させて、絶縁物質及び金属不純物からなる第 2 層を形成する工程と、を含み、(a) ないし (d) 工程までの過程を少なくとも 1 回以上進行して、絶縁物質内に前記金属不純物が孤立された構造の電荷トラップ層 2 3 を形成する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

電荷トラップ層を製造する方法において、

(a) 基板の表面に第 1 前駆体物質を塗布し、前記第 1 前駆体物質を酸化させて絶縁物質からなる第 1 層を形成する工程と、

(b) 前記第 1 層上に第 2 前駆体物質を塗布する工程と、

(c) 前記第 2 前駆体物質が塗布された表面に第 1 前駆体物質を供給し、一部位置の前記第 2 前駆体物質を前記第 1 前駆体物質に置換させる工程と、

(d) 前記第 1 及び第 2 前駆体物質を酸化させて、絶縁物質及び金属不純物からなる第 2 層を形成する工程と、を含み、

前記絶縁物質内に前記金属不純物が孤立された構造を形成することを特徴とする電荷トラップ層の製造方法。

【請求項 2】

前記第 1 層を形成するように第 1 前駆体物質を塗布し、前記第 1 前駆体物質を酸化させる工程は、少なくとも 1 回以上反復されることを特徴とする請求項 1 に記載の電荷トラップ層の製造方法。

【請求項 3】

前記第 1 前駆体物質の塗布及び前記第 1 前駆体物質の酸化は、順次に行われることを特徴とする請求項 2 に記載の電荷トラップ型半導体メモリ素子の製造方法。

【請求項 4】

前記第 1 及び第 2 前駆体物質の塗布は、第 1 及び第 2 前駆体物質を流して前記基板及び第 1 層のそれぞれの表面を第 1 及び第 2 前駆体物質分子で飽和させることによって行われることを特徴とする請求項 1 に記載の電荷トラップ型半導体メモリ素子の製造方法。

【請求項 5】

前記第 1 前駆体物質の塗布及び第 2 前駆体物質のうち少なくとも一つの塗布後に、残留ガス及び反応副産物を除去するパージ工程をさらに進行することを特徴とする請求項 1 ないし 4 のうち何れか 1 項に記載の電荷トラップ型半導体メモリ素子の製造方法。

【請求項 6】

前記第 1 前駆体物質は、金属前駆体であることを特徴とする請求項 1 ないし 4 のうち何れか 1 項に記載の電荷トラップ型半導体メモリ素子の製造方法。

【請求項 7】

前記第 1 前駆体物質は、TMA であり、前記絶縁物質は、 Al_2O_3 であることを特徴とする請求項 6 に記載の電荷トラップ型半導体メモリ素子の製造方法。

【請求項 8】

前記第 2 前駆体物質は、DEZ であり、前記電荷トラップ層は、Zn ドーピングされた Al_2O_3 を含むことを特徴とする請求項 7 に記載の電荷トラップ型半導体メモリ素子の製造方法。

【請求項 9】

前記第 1 及び第 2 前駆体物質を酸化させるための酸化剤として H_2O を使用することを特徴とする請求項 8 に記載の電荷トラップ型半導体メモリ素子の製造方法。

【請求項 10】

前記第 1 及び第 2 前駆体物質を酸化させるための酸化剤として H_2O を使用することを特徴とする請求項 6 に記載の電荷トラップ型半導体メモリ素子の製造方法。

【請求項 11】

前記第 1 前駆体物質の塗布及び第 2 前駆体物質の塗布のうち少なくとも一つの後に残留ガス及び反応副産物を除去するパージ工程をさらに進行させることを特徴とする請求項 6 に記載の電荷トラップ型半導体メモリ素子の製造方法。

【請求項 12】

絶縁物質を含む第 1 層と、

前記絶縁物質及び前記絶縁物質内に分子レベルで孤立された金属不純物を含む第 2 層と

10

20

30

40

50

、を備え、

前記第 1 及び第 2 層の対を少なくとも一つ以上備えることを特徴とする電荷トラップ層。

【請求項 1 3】

前記第 2 層は、一層で形成され、前記第 1 層は、少なくとも一層以上で形成されたことを特徴とする請求項 1 2 に記載の電荷トラップ層。

【請求項 1 4】

前記第 1 及び第 2 層は、原子層単位で形成されることを特徴とする請求項 1 3 に記載の電荷トラップ層。

【請求項 1 5】

前記第 1 及び第 2 層は、原子層単位で形成されることを特徴とする請求項 1 2 に記載の電荷トラップ層。

【請求項 1 6】

前記電荷トラップ層は、Zn ドーピングされた Al_2O_3 を含むことを特徴とする請求項 1 2 ないし 1 5 のうち何れか 1 項に記載の電荷トラップ層。

【請求項 1 7】

前記絶縁層は、 Al_2O_3 であることを特徴とする請求項 1 2 に記載の電荷トラップ層。

【請求項 1 8】

前記金属不純物は、ZnO であることを特徴とする請求項 1 2 に記載の電荷トラップ層。

【請求項 1 9】

前記 Zn の含量は、約 5 % であることを特徴とする請求項 1 6 に記載の電荷トラップ層。

【請求項 2 0】

半導体基板上に形成されたトンネル絶縁膜と、

前記トンネル絶縁膜上に形成された請求項 1 2 に記載の電荷トラップ層と、を備える電荷トラップ型半導体メモリ素子。

【請求項 2 1】

前記第 2 層は、一層で形成され、前記第 2 層は、少なくとも一層以上で形成されることを特徴とする請求項 2 0 に記載の電荷トラップ型半導体メモリ素子。

【請求項 2 2】

前記第 1 及び第 2 層は、原子層単位で形成されることを特徴とする請求項 2 0 または 2 1 に記載の電荷トラップ型半導体メモリ素子。

【請求項 2 3】

前記電荷トラップ層は、Zn ドーピングされた Al_2O_3 を含むことを特徴とする請求項 2 0 ないし 2 2 のうち何れか 1 項に記載の電荷トラップ型半導体メモリ素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電荷トラップ型半導体メモリ素子の電荷トラップ層及びその製造方法に関する。

【背景技術】

【0002】

半導体メモリ装置のうち、不揮発性半導体メモリ装置は、電源供給が遮断されても保存されたデータが消滅されずに保存される保存装置である。

【0003】

不揮発性半導体メモリ装置を構成する基本要素のメモリセルの構成は、不揮発性半導体メモリ装置が使われる分野によって変わる。

【0004】

10

20

30

40

50

現在、広く使われている高容量の不揮発性半導体メモリ装置で、NAND (Not and) 型フラッシュメモリ装置の場合、そのトランジスタのゲートは、電荷が保存される、すなわち、データが保存されるフローティングゲートとこれを制御するコントロールゲートとが順次に積層されて形成される。

【0005】

このようなフラッシュ半導体メモリ装置において、毎年増加しているメモリ容量の拡大要求を充足させるために、メモリセルのサイズは、急速に縮小している。また、セルサイズの縮小に合わせて、フローティングゲートの垂直方向の高さを効果的に減らすことが要求されている。

【0006】

メモリセルの垂直方向の高さを効果的に減らすと同時に、メモリセルの有するメモリ特性、例えば、漏れ電流によって保存されたデータを長時間正常的に維持する特性のリテンション特性を維持するために、電荷を保存する手段であって、フローティングゲートではないシリコン窒化膜 (Si_3N_4) を使用して構成されたSONOS (Silicon-Oxide-Nitride-Oxide-Semiconductor) やMONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) メモリ素子と代表されるMOIOS (Metal-Oxide-Insulator-Oxide-Semiconductor) 構造を有する半導体メモリ装置が提案され、これについての活発な研究が進められている。ここで、SONOSは、コントロールゲート物質としてシリコンを使用し、MONOSは、コントロールゲート物質として金属を使用するという点で差がある。

【0007】

SONOSメモリ素子についてのさらに詳細な内容は、非特許文献1に記載されている。

【0008】

SONOS型メモリ素子の基本構造は、次の通りである。ソース及びドレイン領域間の半導体基板上に、すなわち、チャンネル領域上に両端がソース及びドレイン領域と接触するように、トンネル絶縁膜として第1シリコン酸化膜 (SiO_2) が形成されている。第1シリコン酸化膜は、電荷のトンネリングのための膜である。第1シリコン酸化電荷トラップ層としてシリコン窒化膜 (Si_3N_4) が形成されている。窒化膜は、実質的にデータが保存される物質膜であって、第1シリコン酸化膜をトンネリングした電荷がトラップされる。このような窒化膜上に前記電荷が窒化膜を通過して上側に移動することを遮断するためのブロッキング絶縁膜として第2シリコン酸化膜が形成されている。第2シリコン酸化膜には、ゲート電極が形成されている。

【0009】

しかし、このような一般的な構造のSONOS型メモリ素子は、シリコン窒化膜とシリコン酸化膜との誘電率が低く、シリコン窒化膜内にトラップサイトの密度が十分でなくて、動作電圧が高く、データを記録する速度 (プログラム速度) と、垂直・水平方向の電荷リテンション時間とが所望のほど十分でないという問題がある。

【0010】

最近には、前記ブロッキング絶縁膜としてシリコン酸化膜の代わりに、アルミニウム酸化膜 (Al_2O_3) を使用すれば、前記シリコン酸化膜を使用した時より、プログラム速度及びリテンション特性が改善されるという事実が報告されたところがある。しかし、その改善程度は、まだ不十分である。

【0011】

しかし、アルミニウム酸化膜材質のブロッキング絶縁膜が、シリコン窒化膜からの電荷の漏れをある程度抑制することはできるが、シリコン窒化膜自体内のトラップサイト密度は、依然として十分ではないため、アルミニウム酸化膜の使用によるリテンション特性の改善程度は、非常に微小である。

【0012】

一方、SONOS型構造において、電荷をトラップする物質としてシリコン窒化膜の代わりに、ランタン(d)系金属不純物を含有する HfO_2 の絶縁体薄膜を使用して具現したメモリ素子も報告されている。前記報告についてのさらに詳細な内容は、特許文献1に記載されている。

【0013】

また、 HfO_2 絶縁体薄膜を積層した後にプラズマ処理して電荷トラップ層として使用して具現したメモリ素子が、特許文献2に報告されている。

【0014】

また、他の類似した例として、電荷トラップ物質としてALD (Atomic Layer Deposition) 方法で HfO_2 及び Al_2O_3 薄膜のナノラミネート薄膜層を形成し、これを電荷トラップ層として使用して具現したメモリ素子が、非特許文献2に記載されている。

10

【0015】

前記のように、メモリ素子に電荷をトラップして保存する層、すなわち、電荷トラップ層として使われた絶縁薄膜層内に、特許文献1のように、電荷をトラップする金属不純物(ランタン系金属)、あるいは、特許文献2のように、プラズマによって誘導される HfO_2 薄膜内の欠陥を利用する場合、電荷トラップサイトの欠陥、あるいは金属不純物が電荷トラップ層内にランダムに配列されている。これにより、トラップサイト間の水平及び垂直距離を任意に調節できないので、トラップサイト間の電荷移動を調節することが不可能である。このような特性は、電荷をトラップして長時間保存が必要な不揮発性メモリ半導体素子において、垂直及び水平方向の電荷漏れを効果的に防止できない。

20

【0016】

また、前記ナノラミネート薄膜を利用する場合には、 HfO_2 及び Al_2O_3 薄膜の複数層で積層されたナノラミネート薄膜内の HfO_2 薄膜層の欠陥、あるいは HfO_2 及び Al_2O_3 薄膜の界面欠陥が電荷トラップサイトとして作用する。

【0017】

しかし、薄膜内の電荷トラップを利用して動作する前記SONOS型半導体メモリ素子の場合、トラップサイト密度は、プログラム特性及びリテンション特性を決定し、プログラム速度を向上させるためには、トラップサイト密度を効果的に高める必要がある。このような点で、前記ナノラミネート薄膜は、 HfO_2 薄膜内の欠陥、あるいはその界面の欠陥をトラップサイトとして利用しているので、トラップサイトの密度を効果的に高めることは難しい。

30

【特許文献1】米国公開特許2004/0264236A1公報

【特許文献2】米国特許第6,998,317号明細書

【非特許文献1】Technical Digest of International Electron Device Meeting (IEDM 2002, December)、pp927~930にC. T. Swift外多数の名前で記載された“An Embedded 90nm SONOS Nonvolatile Memory Utilizing Hot Electron Programming and Uniform Tunnel Erase”

40

【非特許文献2】Applied Physics Letter, 2006, 88巻、pp0429051~0429053にShi-Jin Dingらの多数の著者の名前で記載された“High density and program-erasable metal-insulator-silicon capacitor with a dielectric structure of $\text{SiO}_2/\text{HfO}_2-\text{Al}_2\text{O}_3$ nanolaminate/ Al_2O_3 ”

【発明の開示】

【発明が解決しようとする課題】

【0018】

本発明は、金属不純物を含有し、この金属不純物の位置が制御された高誘電率の絶縁体

50

薄膜 (Site-modulated Metal-doped Insulator: SMI) を電荷トラップ層として備える電荷トラップ型半導体メモリ素子及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0019】

前記目的を達成するために本発明は、電荷トラップ層を製造する方法において、(a) 蒸着しようとする基板の表面に第1前駆体物質を塗布し、前記第1前駆体物質を酸化させて絶縁物質からなる第1層を形成する工程と、(b) 前記第1層上に金属性の第2前駆体物質を塗布する工程と、(c) 前記第2前駆体物質が塗布された表面に第1前駆体物質を供給し、一部位置の第2前駆体物質を第1前駆体物質に置換させる工程と、(d) 前記(c) 工程で得られる前記第1及び第2前駆体物質を酸化させて、絶縁物質及び金属不純物からなる第2層を形成する工程と、を含む。前記方法は、絶縁物質内に金属不純物が孤立された構造の電荷トラップ層を形成するように少なくとも1回以上進められる。前記(a) 工程での第1前駆体物質を塗布し、前記第1前駆体物質を酸化させて、絶縁物質からなる第1層を形成する工程は、少なくとも1回以上反復されることが望ましい。

10

【0020】

前記(a) 工程で前記第1前駆体物質の塗布及び前記第1前駆体物質を酸化させるための酸化剤の供給は、順次に行われる。

【0021】

前記(a) 及び(b) 工程での前記第1及び第2前駆体物質の塗布は、第1及び第2前駆体物質を流して表面を第1及び第2前駆体物質分子で飽和させることによって行われる。

20

【0022】

前記第1前駆体物質の塗布や第2前駆体物質の塗布後に残留ガス及び反応副産物を除去するパージ工程をさらに含む。

【0023】

前記第1前駆体物質は、金属前駆体でありうる。

【0024】

前記第1前駆体物質は、TMA (Trimethylaluminum) であり、前記絶縁物質は、 Al_2O_3 であることが望ましい。

30

【0025】

前記第2前駆体物質は、DEZ (Diethylzinc) であり、前記電荷トラップ層は、Znドーピングされた Al_2O_3 で形成される。

【0026】

前記第1及び第2前駆体物質を酸化させるための酸化剤として H_2O を使用しうる。

【0027】

本発明による電荷トラップ型半導体メモリ素子は、半導体基板上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成された電荷トラップ層と、を備えうる。前記電荷トラップ層は、絶縁物質からなる第1層と、前記第1層と同じ絶縁物質及び前記絶縁物質内に分子レベルで孤立された金属不純物からなる第2層と、を備えうる。電荷トラップ半導体メモリ素子は、前記第1及び第2層の対を少なくとも一つ以上備えうる。前記第2層は、一層で形成され、前記第1層は、少なくとも一層以上で形成される。

40

【0028】

前記第1及び第2層は、原子層単位で形成される。

【0029】

前記電荷トラップ層は、Znドーピングされた Al_2O_3 で形成される。

【発明の効果】

【0030】

本発明によれば、電荷トラップ層を、金属不純物を含有し、この金属不純物の位置が制御された高誘電率の絶縁体 (SMI) 薄膜で形成することにより、電荷トラップ層内のト

50

ラップ位置及びその密度を効果的に調節できるので、優秀なリテンション特性を不揮発性半導体メモリ装置で実現しうる。

【発明を実施するための最良の形態】

【0031】

以下、添付された図面を参照しつつ、本発明の望ましい実施形態による電荷トラップ型半導体メモリ素子及びその製造方法を詳細に説明する。

【0032】

図1は、本発明による電荷トラップ型半導体メモリ素子10を概略的に示す図面である。図1で、各層や領域の厚さは、明確性のために誇張して示した。

【0033】

図1を参照すれば、電荷トラップ型半導体メモリ素子10は、半導体基板11上にゲート構造体20を備える。

【0034】

前記半導体基板11には、所定の導電性不純物がドーピングされた第1及び第2不純物領域13, 15が形成されている。第1及び第2不純物領域13, 15のうち一つは、ドレイン(D)、残りの一つは、ソース(S)として使われる。

【0035】

前記ゲート構造体20は、第1及び第2不純物領域13, 15と接触するように形成される。前記ゲート構造体20は、電荷トラップ層23を備える。前記半導体基板11と電荷トラップ層23との間には、トンネル絶縁膜21が設けられている。このトンネル絶縁膜21は、第1及び第2不純物領域13, 15と接触するように前記半導体基板11上に形成される。電荷トラップ層23上には、ブロッキング絶縁膜25が形成され、ブロッキング絶縁膜25上にゲート電極27が形成される。半導体基板11上にトンネル絶縁膜21、電荷トラップ層23、ブロッキング絶縁膜25及びゲート電極27の順に積層される。

【0036】

前記トンネル絶縁膜21は、約1.5nmないし5nmの厚さを有しうる。このトンネル絶縁膜21は、シリコン酸化膜(SiO_2)、シリコン窒化膜(Si_3N_4)、シリコン酸窒化膜(SiO_xN_y)またはアルミニウム酸化膜(Al_2O_3)などの絶縁体薄膜で形成され、熱酸化法、化学気相蒸着(CVD: Chemical Vapour Deposition)法、またはALD法を使用して形成しうる。

【0037】

前記電荷トラップ層23は、金属不純物を含有し、この不純物位置が制御された高誘電率絶縁体(Site-modulated Metal-doped Insulator: SMI)薄膜で形成される。前記電荷トラップ層23は、絶縁物質薄膜内に金属不純物を分子レベルで孤立させるように形成される。例えば、電荷トラップ層23は、 Al_2O_3 薄膜内にZnOを分子レベルで孤立させるように形成される。この電荷トラップ層23は、約2nmないし15nmの厚さにALD法を利用して製造される。

【0038】

ALD法は、薄膜の自己制限的成長を誘導するためにCVD法を特別に改造した薄膜蒸着法である。CVD法で金属酸化膜を蒸着する時には、薄膜に蒸着される金属前駆体と酸化ガスとが同時に蒸着器に供給されて、これらの熱分解及び酸化によって薄膜が形成される。一方、ALD法では、金属前駆体と酸化ガスとの供給が順次になされ、この供給工程中にアルゴン(Ar)のように反応性のないガスで反応器に残留ガス及び反応副産物を除去するパージ過程が追加される。このとき、全ての過程は、前駆体が熱分解しない200~300℃でなされることが望ましい。このため、薄膜は、単に表面での吸着反応によってのみ原子層単位で調節され、かつ形成される。

【0039】

ALD法を適用して、前記電荷トラップ層23の製造過程についての具体的な説明は後述する。

10

20

30

40

50

【0040】

一方、前記ブロッキング絶縁膜25は、誘電率が高く、かつバンドギャップの大きい高誘電率薄膜を使用して形成される。例えば、前記ブロッキング絶縁膜25は、 Si_3N_4 、 HfO_2 、 Ta_2O_5 、 ZrO_2 または Al_2O_3 膜で形成される。

【0041】

前記ゲート電極27は、仕事関数の大きい金属膜で形成されることが望ましい。例えば、ゲート電極27は、AuやAl膜で形成される。それ以外にも、前記ゲート電極27は、通常的に半導体メモリ素子のゲート電極として使われるRu、TaN金属またはNiSiなどのシリサイド物質で形成される。

【0042】

以下では、図2Aないし図2Gを参照して、電荷トラップ層23の製造過程についてさらに具体的に説明する。ここでは、電荷トラップ層23を金属不純物の含まれた絶縁物質、例えば、Znが含まれた Al_2O_3 で形成する場合について説明する。

【0043】

まず、図2Aを参照すれば、蒸着しようとする基板31の表面、例えば、トンネル絶縁膜21の形成された半導体基板11の表面に第1前駆体物質を流して基板31の表面を第1前駆体物質分子33'で飽和させる。前記第1前駆体物質は、プラズマ状態で提供される。電荷トラップ層23を金属酸化物で形成する場合、前記第1前駆体物質としては、金属前駆体を使用する。例えば、前記第1前駆体物質は、Al前駆体、すなわち、TMAでありうる。以下、第1前駆体物質をTMAと表現する。図2Aで、“T”は、TMA分子の単量体を表す。

【0044】

次いで、図2Bのように、基板の表面に飽和されたTMA分子を酸化ガスを供給して酸化させる。例えば、飽和されたTMA分子を酸化剤である H_2O に酸化させて Al_2O_3 薄膜からなる第1層33を形成する。

【0045】

Al_2O_3 薄膜からなる第1層33を形成した後、その上に、図2Cのように、金属性の第2前駆体物質を流してその表面を第2前駆体物質分子35'で飽和させる。第2前駆体物質は、プラズマ状態で提供される。前記第2前駆体物質は、Zn前駆体、すなわち、DEZでありうる。以下、第2前駆体物質は、DEZと表現する。図2Cで、“D”は、DEZ分子の単量体を表す。

【0046】

表面をDEZ分子35'で飽和させた後、図2Dのように、TMA分子を流してDEZ分子35'の一部をTMA分子35"に置換させる。

【0047】

以後、図2Eのように、 H_2O を流してDEZ及びTMA分子35'、35"で飽和された部分を酸化させる。それにより、絶縁物質35b（すなわち、 Al_2O_3 ）内に金属不純物（ZnO）35aが分子レベルに孤立された薄膜である第2層35が得られる。

【0048】

ここで、前記のように絶縁物質が金属酸化物で形成され、この絶縁物質からなる膜の所望のところに所望の濃度で第3の金属元素に置換する技術を実現するために、金属ごとに適切な前駆体と酸化剤として適切なプラズマとを交互に使用して金属原子別表面吸着率を調節する。

【0049】

次いで、図2Fのように、TMA分子33'を流して表面を飽和させ、 H_2O で酸化させる過程を通じて再度 Al_2O_3 薄膜からなる第1層33を形成させる。

【0050】

一方、図2A、図2C、図2D、図2Fに示したように、各第1前駆体物質の塗布や第2前駆体物質の塗布後には、反応器内に残留ガス及び反応副産物を除去するパージ過程を追加的にさらに進行する。パージガスとしては、Arのように反応性のないガスを使用

10

20

30

40

50

する。

【0051】

一方、前記のような各過程は、前駆体が熱分解しない200～300℃でなされることが望ましい。これにより、薄膜は、単に表面での吸着反応によってのみ原子層単位で調節されて形成される。

【0052】

前記のような全体過程を反復すれば、図2Gに示したような絶縁物質内に金属不純物が分子単位で孤立された構造の電荷トラップ層23を形成しうる。このとき、全体過程の一部のサイクル、すなわち、絶縁物質、例えば、 Al_2O_3 のみでなされた薄膜である第1層33を形成する過程を数回反復して施行し、複数の第2層35の間に第1層33が一層以上位置するように形成しうる。

10

【0053】

すなわち、図2Aないし図2Gでは、第1層及び第2層33, 35を形成する工程に戻って、一度ずつ進行する場合を例として示しているが、第1層33を形成する工程を複数回進行した第2層35を形成する工程を進行する方式で電荷トラップ層23を形成することもある。

【0054】

電荷トラップ層23の原子層単位の全体の積層数が決まったとき、第2層35の間に形成される第1層33の層数を多くすれば、電荷トラップ層23内の全体金属不純物の含量が減る。一方、第2層35の間に形成される第1層33の層数を少なくすれば、電荷トラップ層23内の全体金属不純物の含量が増加しうる。

20

【0055】

このように、前記第1及び第2層33, 35は、それぞれALD法によって原子層単位で形成されるので、第2層35の間に形成される第1層33の積層数を調節することによって電荷トラップ層23内の全体金属不純物の含量を調節しうる。すなわち、電荷トラップサイトとしての役割を行う金属不純物のドーピング濃度を調節しうる。また、第2層35の間に形成される第1層33の積層数を調節することにより、金属不純物の形成される位置、すなわち、電荷トラップサイトの形成位置を制御しうる。

【0056】

したがって、本発明の製造方法によれば、第1前駆体物質（例えば、TMA）分子によって置換される第2前駆体物質（例えば、DEZ）分子の量を調節できて、金属不純物の量、すなわち、ドーピング濃度を調節でき、その位置まで制御しうるので、不純物位置が制御された高誘電率絶縁体薄膜（SMI）で形成された電荷トラップ層23を形成しうる。

30

【0057】

トンネル絶縁膜21が形成された半導体基板11上に、前記のような工程によって電荷トラップ層23を形成した後、ブロッキング絶縁膜25及びゲート電極27を形成すれば、図1に示されたゲート構造体20が得られる。

【0058】

一方、本発明によれば、電荷トラップ層23の形成工程中に熱処理を付加的に行える。この場合、例えば、Al原子の位置にZnが置換されて、剰余電子あるいは正孔がトラップされる電荷トラップサイトをさらに確実に生成させうる。

40

【0059】

以下では、本発明による電荷トラップ層23の具体的な実施形態及びその特性について説明する。

【0060】

本実施形態では、Al前駆体としてTMA、Zn前駆体としてDEZ、酸化剤として水（ H_2O ）を使用し、蒸着温度は、250℃にした。TMA及び水を使用したALD法及び蒸着された Al_2O_3 薄膜の電気的特性は、M. D. Gronerらが「Thin Solid Films 413, 186～197 (2002)」に報告し、DEZ及び水を

50

使用して蒸着したALD ZnO薄膜は、Kimらが「Thin Solid Films 478, 103~108 (2005)」に報告した。

【0061】

Znドーピングされた Al_2O_3 ($Al_2O_3 : Zn$) 薄膜を蒸着する前に、 Al_2O_3 とZnOとをそれぞれ250℃でALDで蒸着して薄膜の成長速度を確認した。 Al_2O_3 とZnOとの成長速度は、それぞれ $\sim 1.2 \text{ \AA/cycle}$ と $\sim 1.4 \text{ \AA/cycle}$ であった。各工程の条件は、以下の通りである。

Al_2O_3 : 前駆体 : TMA、酸化剤 : 水、成長温度 : 250℃、パージガス : Ar (1600 sccm)、TMA (0.5 sec) - Ar (5 sec) - water (2 sec) - Ar (5 sec)、

ZnO : 前駆体 : DEZ、酸化剤 : 水、成長温度 : 250℃、パージガス : Ar (1600 sccm)、DEZ (2 sec) - Ar (5 sec) - water (2 sec) - Ar (5 sec)

【0062】

本発明による電荷トラップ型半導体メモリ素子において、電荷トラップ層23がZnドーピングされた Al_2O_3 (: Zn) 薄膜で蒸着される場合、前記前駆体と酸化剤とを使用する。

【0063】

図3は、本発明による電荷トラップ層23を形成する工程順序（以下、本発明の工程順序）を示すフローチャートである。図3を参照すれば、本発明の工程順序による方法は、DEZのみを吸着させた後、酸化工程なしに直ぐTMAを供給してYサブサイクルほど蒸着する工程をXサイクルほど反復したものである。ここで、Xは、1より大きい整数、Yは、1より大きい整数である。すなわち、サブサイクルとして第2層の間に第1層 (Al_2O_3 薄膜) を形成する工程は、1回またはそれ以上反復され、このような少なくとも一層以上からなる第1層及び一層で形成された第2層を順次に形成する全体工程は、1回またはそれ以上反復される。

【0064】

図4は、比較例として、ZnOと Al_2O_3 とをそれぞれ一層ずつ形成する工程をXサイクル反復する工程順序（以下、比較工程順序）を示すフローチャートである。

【0065】

まず、比較工程フローチャートの方法で工程を進行する場合、ZnOと Al_2O_3 とのそれぞれの単位膜の成長速度がドーピングされた薄膜 (Znドーピングされた Al_2O_3 ($Al_2O_3 : Zn$) 薄膜) にもそのまま適用されれば、成長速度は、 $2.6 \text{ \AA/cycle}$ でなければならない。しかし、比較工程フローチャートによる工程結果得られた蒸着速度は、約 $2.1 \text{ \AA/cycle}$ であった。このような結果は、単位膜一層が形成される時の蒸着速度が、複数層からなる薄膜での速度と大きく異なることもあるが、この場合は、成長されたZnO一層が相次いで蒸着される Al_2O_3 の前駆体TMAによってエッチングされるためである。

【0066】

実際に、Elamらは、ZnO/ Al_2O_3 ナノラミネート薄膜を蒸着しつつ、薄膜の組成及び厚さが混合物規則から大きく外れるのは、TMAによってZnがエッチングされるためであるということを「Chem. Mater. 15, 1020 (2003)」に報告した。

【0067】

図4に示された比較工程フローチャートによって蒸着された薄膜を「inductively coupled plasma-atomic emission spectroscopy (ICP-AES)」によって分析した結果、薄膜内のZnの含量 ($Zn / (Zn + Al) * 100$) は、11.2%と比較的高かった。保存された電荷の電荷トラップ層内での水平または垂直への移動が最大限抑制されることがリテンション側面で望ましいので、Znの含量をさらに減らすことが望ましい。

10

20

30

40

50

【0068】

図3に示された本発明の工程フローチャートによれば、Znのエッチング効果を極大化するために、酸化工程を除いて進行する。これにより、蒸着された薄膜内でのZnの含量をさらに減らせる。

【0069】

本発明の工程フローチャートの下部サイクルを、 $Y=1$ として薄膜を蒸着した結果、薄膜の蒸着速度は、 $1.17 \text{ \AA} / \text{cycle}$ であった。この値は、 Al_2O_3 の蒸着速度とほぼ同じ値であって、Znの流入が顕著に減少したということを表す。また、その薄膜のZn含量は、予想通りに大きく減少した 5.1% であった。

【0070】

10

したがって、本発明のように、DEZのみを吸着させた後、酸化工程なしに直ぐTMAを供給してY下部サイクルほど蒸着する工程をXサイクルほど反復する場合、薄膜内のZn含量を大きく減少させ、積層方向（垂直方向）へのトラップサイト間の位置を調節しうる。すなわち、本発明によれば、電荷トラップ層23内のトラップ位置及びその密度を効果的に調節しうる。これにより、保存された電荷の電荷トラップ層内での水平または垂直への移動を最大限抑制させて、優秀なリテンション特性を不揮発性半導体メモリ装置で実現しうる。

【0071】

図5は、本発明の工程フローチャートの方法でALD蒸着したZnO薄膜のDEZ供給工程の比率減少によるZn組成変化図である。本発明の工程フローチャートの下部サイクルYが2、5、10の工程を進行してZnの流入量を調べ、その結果は、 $Y=1$ である場合と共に図5に示す。

20

【0072】

図5に示したように、下部サイクルY（TMA工程回数）が小さいほどZnの薄膜内流入比率は増加するが、次第に飽和される傾向がある。逆に言えば、下部サイクルY回数が大きいほどZnの薄膜内の流入比率を減少させうる。

【0073】

このように下部サイクルY回数を調節することにより、Znの薄膜内の流入比率、すなわち、電荷トラップ数の密度を調節しうる。また、原子層単位で積層されるので、下部サイクルY回数を調節することにより、Zn流入位置、すなわち、電荷トラップサイト位置を制御しうる。

30

【0074】

したがって、本発明によれば、電荷トラップサイト間の水平及び垂直距離を任意に調節しうる。すなわち、電荷トラップ層内での電荷トラップ位置及びその密度を効果的に調節しうる。

【0075】

図6は、本発明の製造方法によって製作された電荷トラップ型半導体メモリ素子のプログラム／消去特性を示す。

【0076】

図6のプログラム／消去特性は、トンネル絶縁膜21としてシリコン酸化膜を熱酸化法によって 5 nm の厚さに形成し、その上に電荷トラップ層23を、図3の本発明のフローチャートを適用して下部サイクル $Y=1$ である条件で 7 nm の厚さに形成し、ブロッキング絶縁膜25として HfO_2 膜をALD法によって 20 nm の厚さに形成したサンプルに対して測定したものである。

40

【0077】

プログラム特性を示すために、ゲート電極27に印加する電圧 14 V から 20 V までの領域でプログラム時間を 10^{-7} s から 1 s まで変化させつつフラットバンド電圧の変化を記録した。また、消去特性を説明するために、ゲート電極27に電圧 -14 V から -20 V までの領域で消去時間を 10^{-7} s から 1 s まで変化させつつフラットバンド電圧の変化を記録した。

50

【0078】

図7は、図6のプログラム／消去特性を表すサンプルのリテンション特性を示す図面である。

【0079】

図7の結果は、ゲート電極27に印加される電圧20V、プログラム時間0.1sの条件、ゲート電極27に印加される電圧-20V、消去時間1msの条件下で、室温でプログラム及び消去された状態で経過時間によるフラットバンド電圧の変化を記録した図面である。図7では、10年(10yr)後にも十分なメモリウィンドウを確保できることを示す。

【0080】

本発明は、図面に示した実施形態を参照して説明されたが、それは、例示的なものに過ぎず、当業者ならば、これから多様な変形及び均等な他の実施形態が可能であるということが分かるであろう。したがって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって決定されねばならない。

【産業上の利用可能性】

【0081】

本発明は、半導体メモリ関連の技術分野に適用可能である。

【図面の簡単な説明】

【0082】

【図1】本発明の実施形態による電荷トラップ型半導体メモリ素子を概略的に示す図面である。

【図2A】本発明の実施形態による電荷トラップ層を製造する過程を示す図面である。

【図2B】本発明の実施形態による電荷トラップ層を製造する過程を示す図面である。

【図2C】本発明の実施形態による電荷トラップ層を製造する過程を示す図面である。

【図2D】本発明の実施形態による電荷トラップ層を製造する過程を示す図面である。

【図2E】本発明の実施形態による電荷トラップ層を製造する過程を示す図面である。

【図2F】本発明の実施形態による電荷トラップ層を製造する過程を示す図面である。

【図2G】本発明の実施形態による電荷トラップ層を製造する過程を示す図面である。

【図3】本発明の実施形態による電荷トラップ層を形成する工程フローチャートである。

【図4】比較例であって、ZnOとAl₂O₃とをそれぞれ一層ずつ形成する工程をXサイクル反復する工程フローチャートである。

【図5】本発明の実施形態による工程フローチャートの方法であって、ALD蒸着したZnO薄膜のDEZ供給工程の比率の減少によるZn組成変化図である。

【図6】本発明の実施形態の製造方法によって製作された電荷トラップ型半導体メモリ素子のプログラム／消去特性を示す図面である。

【図7】図6のプログラム／消去特性を表すサンプルのリテンション特性を示す図面である。

【符号の説明】

【0083】

10 電荷トラップ型半導体メモリ素子

11 半導体基板

13 第1不純物領域

15 第2不純物領域

20 ゲート構造体

21 トンネル絶縁膜

23 電荷トラップ層

25 ブロッキング絶縁膜

27 ゲート電極

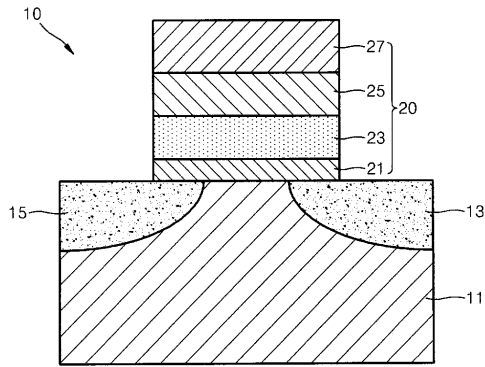
10

20

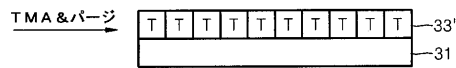
30

40

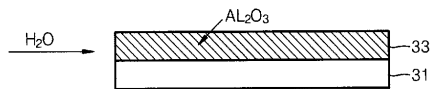
【図 1】



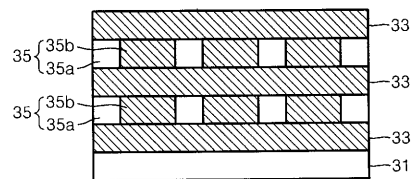
【図 2 A】



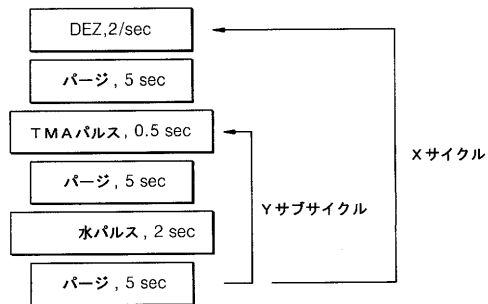
【図 2 B】



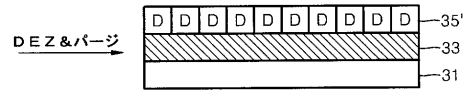
【図 2 G】



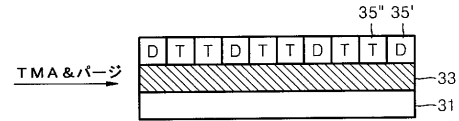
【図 3】



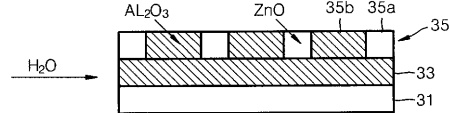
【図 2 C】



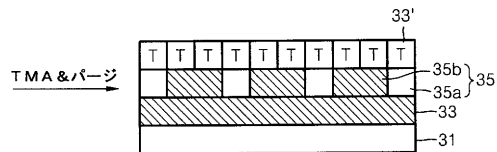
【図 2 D】



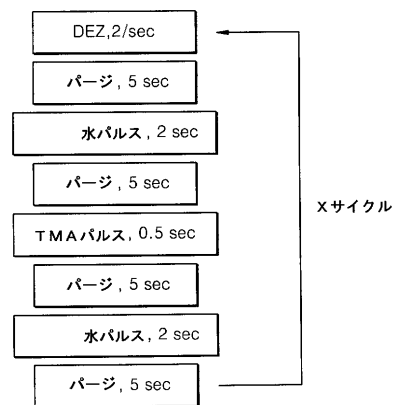
【図 2 E】



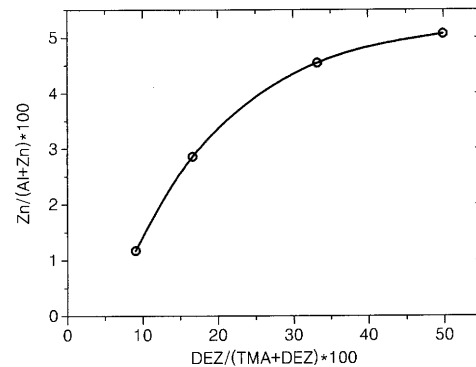
【図 2 F】



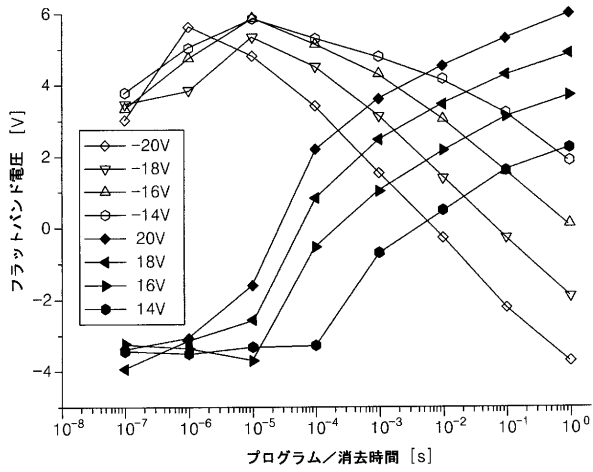
【図 4】



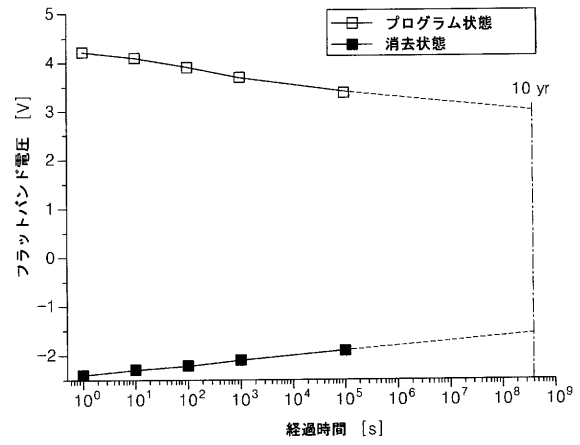
【図 5】



【図 6】



【図 7】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 薛 光洙

大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

(72)発明者 閔 ヨセプ

大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

(72)発明者 申 尚旻

大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

F ターム(参考) 5F058 BA20 BC03 BC04 BD02 BD03 BD05 BD06 BD15 BF06 BF27
BF29

5F083 EP17 EP18 EP22 GA11 GA27 JA02 JA03 JA04 JA05 JA06
JA35 JA36 JA38 JA40 JA60 PR21

5F101 BA42 BA45 BA48 BA53 BA54 BB02 BB08 BD02 BF02 BH02