(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
G06F 12/08

(45) 공고일자 2003년05월12일
(11) 등록번호 10-0369923
(24) 등록일자 2003년01월15일

(21) 출원번호 10-1995-0029113
(22) 출원일자 1995년09월06일

(65) 공개번호 특1996-0011712
(43) 공개일자 1996년04월20일

(30) 우선권주장
94-241992 1994년09월09일 일본(JP)
95-087555 1995년03월20일 일본(JP)
95-240873 1995년08월25일 일본(JP)

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
요시오까신이찌
일본국도꾜도고다이라시죠스이혼쵸5-19-1

나리따스스무
일본국도꾜도고꾸분지시히가시도꾸라1-21-70

가와사끼이꾸야
일본국도꾜도고다이라시오가와쵸1-398-13

다마끼사네아끼
일본국도꾜도히가시무라야마시온따쵸1-59-2-B-315

(74) 대리인
백남기

심사관 : 오세준

(54) 데이타처리장치

요약

캐쉬어드레스나 어드레스변환버퍼를 내장하는 데이타처리장치 특히, 캐쉬메모리나 어드레스변환버퍼를 일반적인 데이타전송명령으로 액세스하는 기술, 그리고 가상기억에 있어서의 최소페이지사이즈를 넘어서캐쉬메모리의 데이타기억용량을 증대시키기 위한 기술에 관한 것으로서, 연상메모리는 중앙처리장치가 관리하는 어드레스공간에 배치되어 그 어드레스가 지정하는 것에 의해서 엔트리의 액세스가 가능하게 되고, 어드레스지정에 의한 라이트시에 그 어드레스에서 지정된 영역의 엔트리가 보유하는 피검색 어드레스정보와 라이트데이타가 보유하는 정보를 비교한 결과가 일치인 경우에 라이트가능하게 되고, 불일치인 경우에는 라이트가 억제되는 연상라이트가 서포트되는 구성으로 하였다. 이러한 구성에 의해 캐쉬메모리의 데이타기억용량의 증대나 논리페이지사이즈의 가변화시에 인덱스된 캐쉬엔트리에 대한 어드레스비교와 라이트백의 쌍방을 달성할 수 있는 효과가 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 캐쉬메모리 및 어드레스 변환버퍼의 메모리맵핑에 대한 1 실시예 설명도.
제2도는 본 발명의 1실시예에 관한 마이크로컴퓨터의 블럭도.
제3도 (A) 및 제3도 (B)는 본 실시예의 마이크로컴퓨터에 있어서의 어드레스공간의 1 예맵핑도.
제4도는 페이지사이즈가변의 논리어드레스의 포맷 및 TLB 엔트리의 설명도.
제5도는 어드레스변환유닛의 1예블럭도.
제6도는 다수 페이지사이즈를 서포트하는 이드레스 변환버퍼의 설명도.
제7도는 메모리맵핑된 어드레스 변환버퍼를 위한 어드레스 및 데이타의 1 예포맷도.
제8도는 엔트리 무효화처리의 1예흐름도.
제9도는 캐쉬엔트리의 1 예설명도.
제10도는 캐쉬유닛의 1 예블럭도.
제11도는 캐쉬메모리에 있어서의 캐쉬라인선택의 1 예설명도.
제12도는 메모리맵핑괸 캐쉬메모리를 위한 어드레스 및 데이타의 1 예포맷도.
제13도는 본 실시예의 마이크로컴퓨터를 더욱 상세하게 도시한 블럭도.
제14도는 상태레지스터의 설명도.
제15도는 어드레스 변환버퍼 및 캐쉬메모리에 대한 어드레스지정 액세스시의 액세스권체크의 설명도.
제16도는 논리페이지 어드레스의 일부를 그대로 이용해서 어드레스 변환버퍼를 인덱스하는 방법의 설명도.
제17도는 논리페이지 어드레스의 일부와 프로세스번호의 일부를 사용해서 어드레스 변환버퍼를 인덱스하는 방법의 설명도.
제18도는 TLB엔트리의 치환대상뱅크를 소프트웨어로 임의로 걸정가능하게 하는 구성의 설명도.
제19도는 어드레스 변환버퍼의 각종 컨트롤 레지스터의 1예설명도.
제20도는 메모리매니지먼트유닛을 특히 상세하게 도시한 마이크로컴퓨터의 실시예블럭도.
제21도는 기억보호에 이용되는 프로텍션비트PR에 의해서 규정되는 액세스권의 설명도.
제22도는 어드레스변환의 제어메인흐름도.
제23도는 어드레스 변환버퍼의 인덱스방법 선택을 위한 제어흐름도.
제24도는 논리어드레스와 그것에 의해서 인덱스된 태그와의 어드레스비교의 제어흐름도.
제25도는 단일가상기억에 있어서 프로세스번호를 메모리보호에 이용하는 제 어를 포함한 프로텍션제어의 부분적인 흐름도.
제26도는 페이지사이즈에 따른 물 리어드레스 생성수순을 도시한 흐름도.
제27도는 TLB 치환대상뱅크를 하드웨어적으로 지정하기 위한 제어흐름도.
제28도는 TLB 미스예외에 있어서 TLB엔트리를 갱신하기 위한 TLB미스핸들러에 의한 처리의 1예흐름도.
제29도는 단일가상기억에 있어서의 어드레스 변환버퍼에 관한 예외검출처리의 전반을 도시한 흐름도.
제30도는 단일가상기억에 있어서의 어드레스 변환버퍼에 관한 예외검출처리의 후반을 도시한 흐름도.
제31도는 단일가상기억과 다중가상기억의 전체적인 상위점을 도시한 설명도.
제32도 (A) 및 제32도 (B)는 단일가상기억과 다중가상기억의 개념을 도시한 설명도.
제33도는 어드레스 변환버퍼의 각 뱅크에 있어서의 히트신호에 반영할 어드레스 비교결과를 제어하는 제어논리의 1예 논리회로도.
제34도는 제20도의 일부를 더욱 상세하게 도시한 블럭도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 캐쉬메모리나 어드레스 변환버퍼를 내장하는 데이타처리장치, 특히 캐쉬메모리나 어드레스 변환버퍼를 일반적인 데이타전송명령으로 액세스하는 기 술, 그리고 가상기억에 있어서의 최소페이지사이즈를 넘어서 캐쉬메모리의 데이타기억용량을 증대시키기 위한 기술에 관한 것으로서, 예를 들면 마이크로컴퓨터에 적용해서 유효한 기술에 관한 것이다.
사용자가 실제메모리를 의식하지 않고, 오퍼레이팅시스템 (이하 OS라고도 한다)이 메모리관리를 실행하는 분야에서는 데이타처리장치는 어드레스 변환기구를 서포트할 필요가 있다. 어드레스 변환기구라고 하는 것은 가상기억을 실천하기 위해 중앙처리장치CPU에 의해 헝성된 논리 어드레스를 물리 어드레스로 변환하는 기구이다. 이 이드레스 변

환기구를 고속으로 실행하기 위해 논리 어드레스와 물리 어드레스의 변환쌍을 유지하는 어드레스 변환버퍼 (Translation lookaside buffer, 이하 단지 TLB라고도 한다) 를 중앙처리장치CPU와 함께 데이타처리장치에 내장하는 기술이 채용되고 있다. 어드레스 변환버퍼는 예를 들면, 최근 사용된 논리 어드레스와 물리 어드레스의 변환쌍을 유지하는 연상기억구조의 버퍼메모리로서 구성된다. 히트율을 향상시키기 위해서는 다수 세트의 뱅크를 갖는 세트어소시에이티브형식의 연상메모리를 채용할 수 있다. 이와 같은 어드레스 변환버퍼에 있어서 TLB미스가 발생하면 미스에 관한 새로운 엔트리가 추가되게 된다. 이 때, 인덱스된 각 뱅크의 엔트리가 유효인지 유효가 아닌지를 유효비트를 참조해서 판정하고, 무효인 엔트리가 존재하는 경우에는 그것이 치환대상으로 된다. 한편, 유효비트를 참조한 결과, 모든 엔트리가 유효인 경우에는 LRU (Least Recentry Used) 등의 논리에 따라서 엔트리의 교체가 실행된다.

이와 같이 어드레스 변환버퍼는 연상메모리동작에 의한 통상의 어드레스 변 환동작이외에 엔트리교체를 위한 라이트 액세스, 유효비트판정을 위한 리드 액세스 등이 필요하게 되어 이들의 액세스는 개개의 뱅크에 있어서 엔트리를 지정해서 실행해야만 한다.

또, DRAM으로 구성되는 대용량 저속메모리로의 액세스빈도를 저감해서 데이타액세스의 고속화를 도포하기 위해 그와 같은 메모리에 있어서 빈번하게 이용된다고 예상되는 데이타를 SRAM과 같은 소용량 고속메모리로 구성되는 캐쉬메모리에 저장되는 기술이 널리 채용되고 있다. 이와 같은 캐쉬메모리모 최근 사용된 데이타와 그 소재를 나타내기 위한 어드레스정보의 쌍을 유지한 연상기억구조의 버퍼메모리로서 구성할 수 있다. 히트율을 향상시키기 위해서는 마찬가지로 다수 세트의 뱅크를 갖는 세트 어소시에이티브형식의 연상메모리를 채용할 수 있다. 이러한 캐쉬메모리에있어서 캐쉬미스가 발생하면, 미스에 관한 새로운 엔트리가 추가되게 된다. 이때, 인덱스된 각 뱅크의 엔트리가 유효한지 유효하지 않은지를 유효비트를 참조해서 판정하고, 무효인 엔트리가 존재하는 경우에는 그것이 치환대상으로 되고, 모든 엔트리가 유효한 경우에는 LRU 등의 논리에 따라서 엔트리 교체가 실행된다. 이와 같이 연상기억구조의 캐쉬메모리에 있어서도 통상의 연상동작 이외에 엔트리교체를 위한 라이트 액세스, 유효비트판정을 위한 리드 액세스 등이 필요하게 되고, 이들의 액세스는 개개의 뱅크에 있어서 엔트리를 지정해서 실행해야만 한다.

또, 캐쉬메모리를 1차기억으로 하면, 2차기억의 메인메모리의 사이에서 서로 공유되는 데이터는 정합되어야만 한다. 이 때, 라이트 액세스에거 캐쉬히트를 발생해서 캐쉬메모리의 엔트리가 리라이트된 경우, 그 내용을 2차기억으로 라이트백하 는 제어방법에는 라이트스루방식과 라이트백방식이 있다. 라이트스루방식은 캐쉬메모리의 리라이트와 동시에 2차기억에도 데이타의 라이트를 실행한다. 라이트액세스방식은 라이트 액세스에 있어서 캐쉬메모리가 리라이트되었을 때, 상기 리라이트되었을 때에 상기 리라이트된 내용을 그 후, 캐쉬미스가 발생해서 그 엔트리가 새로운 엔트리로 갱신될 때, 외부메모리로 라이트백 한다고 하는 방법이다. 이 라이트백방식에 있어서 라이트백 목적지의 라이트 어드레스는 상기 라이트백될 캐쉬라인의 어드레스 태그에 포함되는 물리 페이즈사이즈정보와 그 때의 캐쉬미스에 관한 논리어드레스 정보를 사용해서 생성해야만 한다.

또, 연상기억형식의 버퍼메모리에 대해서 기재된 문헌의 예로서는 소화61년2월 10일에 주식회사 바이푸칸에서 발행된 「초고속MOS 디바이스」 pp287 및 pp 288이 있다.

그러나, 어드레스 변환버퍼나 캐쉬메모리 등의 연상메모리의 엔트리를 무효화하기 위한 조작은 연상동작과는 다른 조작이므로, 그 조작을 실현하기 위해 전용명령을 사용하면 그 만큼 명령코드의 종류가 증가한다. 명령코드의 종류가 많아진다고 하는 것은 명령코드의 비트수가 많아진다고 하는 것으로서 중앙처리장치내부에서 명령을 디코드하기 위한 명령디코더의 논리규모도 크게 하여야만 한다. 그래서, 본 발명자들은 명령어길이를 짧게 하여야만 하는 마이크로컴퓨터의 아키텍처상의 요청 등에 대처하기 위해 어드레스 변환버퍼나 캐쉬메모리를 MOV명령과 같은 일반적인 데이타전송명령으로 리드/라이트액세스 가능하게 할 필요성을 발견하였다.

또, 본 발명자들은 가상기억에 있어서의 페이지사이즈와 캐쉬메모리의 1개의 뱅크 (1개의 웨이 또는 세트) 당의 데이타기억용량의 관계를 검토하였다. 이것에 의하면, 연상동작에 있어서 캐쉬메모리에 있어서의 캐쉬라인을 선택하고, 선택된 캐쉬라인의 엔트리에서 액세스 단위의 데이타를 선택하기 위해 필요한 어드레스 비트수는 1개의 뱅크의 데이타기억용량에 의해서 결정된다. 따라서, 액세스 어드레스신호에서 그와 같은 비트수의 대응비트를 뺀 나머지의 비트가 엔트리의 어드레스태그와의 비교대상으포 되어야만 한다. 이 때, 1개의 뱅크의 데이타기억용량이 페이지사이즈 이하이면, 어드레스 태그에는 반드시 물리페이지 어드레스가 포함되게 된다. 그러나, 반대 (1개의 뱅크의 데이타기억용량>페이지사이즈) 인 경우에는 캐쉬메모리의 연상동작이라고 하는 관점에서는 어드레스태그에 물리 페이지 어드레스의 전부를 포함할 필요는 없다. 이 경우에 상기 라이트백방식에서는 새로운 엔트리에 의해서 치환될 엔트리의 라이트목적지의 어드레스는 상기 엔트리의 어드레스태그의 정보를 이용해야만 한다. 따라서, 서포트되는 최소페이지 사이즈에 비해 1개의 뱅크의 데이타기억용량이 크게 되는 캐쉬메모리에 있어서 라이트백을 보증할 수 있도록 하기 위해서는 캐쉬엔트리의 어드레스태그에는 상기 최소페이지사이즈의 경우에 있어서의 물리 페이지어드레스를 포함하도록 하는 고려가 필요하다고 하는 것이 본 발명자들에 의해서 발견되었다.

본 발명의 목적은 캐쉬유닛이나 어드레스 변환유닛에 포함되는 연상메모리 (캐쉬메모리, 어드레스 변환버퍼) 를 MOV명령과 같은 일반적인 데이타전송명령에 의해 액세스해서 엔트리의 무효화 등의 조작을 실행할 수 있는 데이타처리장치를 제공하는 것이다.

본 발명의 다른 목적은 세트 어소시에이티브힝식의 캐쉬메모리에 있어서의 1개의 뱅크의 데이타기억용량이 논리 페이지사이즈 이상인 경우에도 라이트백을 보증할 수 있도록 하는 데이타처리장치를 제공하는 것이다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의기술 및 첨부도면에서 명확해질 것이다.

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

즉, 데이타처리장치에 포함되는 세트 어소시에이티브형식의 어드레스 변환유닛은 어드레스 변환용의 엔트리를 저장함과 동시에 중앙처리장치가 관리하는 어드레스 공간에 배치되고, 그것이 배치되어 있는 어드레스 공간의 어드레스를 규정하는 것에 의해서 엔트리가 액세스가능하게 된 어드레스 변환버퍼로서의 연상메모리부를 구비한다. 또 상기 어

드레스지정에 의한 라이트시에 그 어드레스에 의해 지정된 영역으로의 라이트를 상기 지정된 영역의 엔트리가 보유하는 피검색 어드레스 정보와 라이트데이타가 보유하는 정보를 비교한 결과가 일치하는 경우에 가능하게 하고, 불일치인 경우에는 라이트를 억제하는 연상라이트를 실행하는 제어부를 갖는다.
데이타처리장치에 포함되는 세트 어소시에이티브힝식윽 캐쉬유닛은 어드레스태그와 그것에 대응하는 정보를 엔트리로서 저장함과 동시에 중앙처리장치가 관리하는 어드레스공간에 배치되고, 그것이 배치되어 있는 어드레스공간의 어드레스를 지정하는 것에 의해서 엔트리가 액세스 가능하게 된 캐쉬메모리로서의 연상메모리 부를 구비한다. 또 상기 어드레스지정에 의한 라이트시에 그 어드레스에 의해 지정된 영역으로의 라이트를 상기 지정된 영역의 엔트리가 보유하는 피검색 어드레스정보와 라이트데이타가 보유하는 정보를 비교한 결과가 일치인 경우에 가능하게 하고, 불일치인 경우에는 라이트를 억제하는 연상라이트를 실행하는 제어부를 갖는다.
어드레스 변환유닛이나 캐쉬유닛의 연상메모리부에 대한 디바이스테스트시의 테스트패턴 데이타라이트 등을 고려한 경우, 어드레스변환유닛이나 캐쉬유닛은 상기 연상라이트를 실행할지 실행하지 않을지를 선택가능하게 한다. 연상라이트가 비선택으로 되었을 때에는 상기 어드레스지정에 의한 라이트시에 그 어드레스에 의해 지정된 영역으로의 라이트를 상기 지정된 영역의 엔트리가 보유하는 피검색 어드레스정보와 라이트데이타가 보유하는 정보의 일치, 불일치와는 관계없이 실행하는 것으로 된다. 상기 연상라이트를 선택할지 선택하지 않을지를 결정하기 위한 제어비트를 연상메모리부의 액세스 어드레스의 소정의 필드에 배치하는 어드레스 포맷을 채용할 수 있다.
논리어드레스의 일부로 인덱스되고, 피검색 어드레스정보로서 물리어드레스를 어드레스태그에 갖고, 다수의 뱅크를 구비한 세트 어소시에이티브형식의 캐쉬메모리를 내장하고, 가상기억을 서포트하는 데이타 처리장치에 있어서, 상기 캐쉬메모리가 리라이트된 엔트리의 2차기억으로의 데이타의 라이트백이 라이트백방식으로 제어되는 것일 때, 다수 존재하는 뱅크 중 1개의 뱅크의 데이타기억용량이 어드레스 변환의 페이지사이즈 이상으로 되는 경우에도 라이트백을 보증할 수 있도록 상 기 어드레스태그는 엔트리에 대응하는 물리 페이지 어드레스를 전체비트갖고, 연상동작을 위한 검색시에는 어드레스태그의 일부가 피검색 어드레스정보로 되고, 라이트백 동작시에는 어드레스태그의 전체비트로 라이트백 목적지의 물리 페이지 어드레스가 특정된다.
예를 들면, 제11도에 도시되는 바와 같이 캐쉬메모리의 1개의 뱅크에 있어서의 데이타기억용량이 2 K바이트 (4바이트×4×128)일 때, 액세스단위의 데이타지정에는 32비트의 논리어드레스 중 하위측의 11비트 (비트10　비트0) 이 필요하게 되고, 연상비교를 위한 어드레스는 비트31　비트11로 된다. 이 때, 페이지사이즈가 4 K 바이트일 때에는 페이지어드레스는 비트31　비트12로 된다. 페이지사이즈가 1 K바이트인 경우, 페이지어드레스는 비트31　비트10에 의해 지정되게 된다. 이와 같은 경우를 상정해서 어드레스태그 (TAG) 에는 1 K바이트의 페이지사이즈에 있어서의 물리 페이지 어드레스PPN (31-10)을 보유하여 라이트백시에 상기 PPN (31 - 10)을 라이트백 목적지의 물리 페이지번호로서 그대로 이용할 수 있도록 하고 있다.
상기한 수단에 의하면 예를 들면 제1도에 도시한 바와 같이 캐쉬유닛에 포함되는 연상메모리부인 캐쉬메모리 (CACHE-M) 의 이드레스어레이부를 H 'F0 ****** (*는 임의) 에, 데이타어레이부를 H ' F1******에, 어드레스변환유닛에 포함되는 연상메모리부인 어드레스변환버퍼 (TLB) 의 어드레스 어레이부를 H ' F2******에, 데이타어레이부를 H ' F3******에 맵핑하고 (H ' 는 16진수를 의미한다) , *부분에 있어서 라인의 지정 및 뱅크의 지정 등을 할 수 있도록 어드레스 포맷이 결정된다. 캐쉬메모리 (CACHE-M)이나 어드레스 변환버퍼 (TLB) 의 컨트롤러는 그와 같은 포맷의 어드레스를 받는 것에 의해 그것에 따른 뱅크 및 라인을 선택하기 위한 논리를 구비한다. 이것에 의해 캐쉬메모리 (CACHE-M) 및 어드레스 빈환버퍼 (TLB) 에 대해서 어드레스 어레이부 및 데이타 어레이부중의 어느것에 대해서도 임의의 뱅크의 임의의 라인을 어드레스 지정가능하게 된다. 이것이 대부분의 명령세트에 반드시 포함되는 MOV명령과 같은 일반적인 데이타전송명령으로서 캐쉬메모리 (CACHE-M) 및 어드레스 변환버퍼 (TLB) 를 액세스가능하게 한다. 예를 들면, 제1도에 있어서 캐쉬메모리 (CACHE-M) 또는 어드레스 변환버퍼 (TLB) 를 리드 액세스할때에는 리드할 대상을 지정하기 위한 어드레스정보를 소정의 어드레스포맷에 따라서 레지스터R1에 저장하고, 데이타전송명령MOV@ R1, R0을 실행하는 것에 의해 레지스터R1에 저장된 어드레스를 전송원 어드레스로 해서 캐쉬메모리 (CACHE-M) 또는 어드레스 변환버퍼 (TLB)에서 레지스터R0으로 데이타가 전송된다. 캐쉬메모리 (CACHE-M) 또는 어드레스 변환버퍼 (TLB)를 라이트 액세스할 때에는 라이트할 대상을 지정하기 위한 어드레스정보를 소정의 어드레스포맷에 따라서 레지스터R1에 저장하고, 데이타전송명령 MOV R0, @R1을 실행하는 것에 의해 레지스터R0의 데이타를 전송원으로 하여 레지스터R1에 의해 지정되는 캐쉬메모리 (CACHE-M) 또는 어드레스 변환버퍼 (TLB)의 어드레스위치에 데이타가 라이트된다.
라이트시에 연상라이트를 서포트하는 것은 어드레스지정만으로는 고려되지 않는 피검색 어드레스정보를 라이트가부의 조건으로 하기 때문에 에러없이 엔트리를 무효화하는 조작을 보증한다.
연상라이트를 비선택가능으로 하는 것은 소정의 논리값의 데이타를 라이트한 후, 그것과 동일한 논리값의 데이타를 리드할 수 있는지 없는지를 검증하는 연상메모리부의 디바이스테스트로의 대응도 가능하게 된다. 예를 들면, 제1도에 있어서, 어드레스에 포함되는 연상비트A = 1일 때는 연상라이트가 선택되고, A = 0일 때는 연상라이트가 비선택으로 된다.
캐쉬메모리의 1개의 뱅크에 있어서의 데이타기억용량이 페이지사이즈보다 큰 경우에 그 페이지사이즈에 대응한 물리 페이지 어드레스를 전체비트 보유할 수 있는 사이즈의 어드레스태그의 필드를 채용하고, 어드레스비교에 필요한 비트수를 넘어서 그것에 물리어드레스정보를 보유시키는 것은 캐쉬메모리의 연상동작이라고 하는 관점에서는 어드레스태그에 물리 페이지 어드레스의 전부를 포함할 필요는 없지만, 라이트백방식에서는 새로운 엔트리에 의해서 치환될 엔트리의 라이트 목적지의 어드레스를 상기 엔트리의 어드레스태그의 정보를 이용해서 생성해야만 하는 요구를 만족시킨다. 이것이 캐쉬메모리의 데이타기억용량의 증대나 논리 페이지 사이즈의 가변화시에 인덱스된 캐쉬엔트리에 대한 어드레스비교와 라이트백의 쌍방을 달성가능하게 한다.

<마이크로컴퓨터의 구성모듈> 제2도에는 본 발명의 1실시예에 관한 마이크로컴퓨터의 블럭도가 도시되어 있다. 동일도면에 도시되는 마이크로컴퓨터MPU는 예를 들면, 공지의 반도체집적회로 제조기술에 의해서 단결정실리콘과 같은 1개의 반도체기판에 형성된다. 이 마이크로컴퓨터MPU는 특히 제한되지 않지만, 시스템버스S - bus, 캐쉬버스C- bus 및 주변버스P- bus로 이루어지는 3버스구성을 갖는다. 각각의 버스S- bus, C- bus, P - bus는 데이타, 어드레스, 제어신호의 각 신호선군을 구비하고 있다. 시스템 버스S - bus에는 중앙처리장치 CPU, 승산기MLT, 캐쉬유닛 CACHE, 어드레스변환유닛 (메모리매니지먼트 유닛이라고도 한다) MMU가 결합된다. 캐쉬유닛CACHE는 다른쪽에 있어서 캐쉬버스C - bus에 결합되고, 상기 캐쉬버스C - bus에는 라이트백버퍼WBBUF 및 버스상태 컨트롤러BSC가 접속된다. 버스상태 컨트롤러BSC는 입출력회로EXIF를 거쳐서 외부버스EX - bus에 결합되고, 상기 외부버스EX - bus에 결합된 외부메모리MMRY 등과 캐쉬버스C - bus의 인터페이스제어를 실행한다. 상기 라이트러버퍼WBBUF는 캐쉬유닛CACHE의 캐쉬미스시에 캐쉬엔트리를 치환할 때, 외부메모리에 라이트백할 데이타로 일시적으로 저장해서 상기 캐쉬미스에 관한 데이타의 캐쉬메모리로의 라이트를 우선시키기 위한 것으로서, 그 출력은 캐쉬버스C - bus에 접속된다. 버스컨트롤러BSC는 주변버스P - bus에 접속된 주변모듈PMDUL에 대한 버스액세스제어를 실행한다. 또, CMDUL은 마이크로컴퓨터MPU의 동작기준클럭신호를 발생하는 클럭모듈이다.

제13도는 제2도의 마이크로컴퓨터MPU를 더욱 상세하게 도시한 블럭도이다. 제13도에 있어서 클럭모듈CMDUL은 도시를 생략하고, 상기 라이트백버퍼WBBUF는 제13도의 캐쉬유닛CACHE에 포함되고, 또, 주변어댑터PADP는 제13도의 버스컨트롤러BSC에 포함된다. 제2도의 주변모듈PMDUL은 제13도에 있어서 타이머TMU, 리얼타임클럭RTC, 직렬 통신 인터페이스SCI 및 리플레쉬컨트롤러REFC로서 구체화되고 있다. 또, 제13도에 있어서는 제2도에서는 도시를 생략한 인터럽트 컨트롤러INTC 및 사용자 브레이크 컨트롤러UBC가 도시되어 있다.

제13도에 있어서, 시스템버스S - bus에는 중앙처리장치CPU, 승산기MLT, 캐쉬유닛CACHE, 메모리매니지먼트 유닛MMU 및 사용자브레이크 컨트롤러UBC가 결합된다. 캐쉬버스C - bus에는 상기 캐쉬메모리CACHE, 메모리매니지먼트 유닛MMU, 사용자 브레이크 컨트롤러UBC 및 버스상태 컨트롤러BSC가 결합된다. 버스상태 컨틀로러BSC에 접속되는 주변버스P - bus에는 타이머TMU, 중앙처리장치CPU로의 클럭공급이 정지되어도 계시동작이 가능하게 되는 리얼타임블럭RTC, 리플레쉬컨트롤러REFC 및 직렬 통신 인터페이스SCI 등의 내장주변 모듈이 접속된다. 또, 버스상태 컨트롤러BSC는 입출력회로EXIF를 거쳐서 외부버스EX - bus에 접속가능하게 된다. 상기 외부버스EX - bus에는 외부메모리MMRY나 보조기억장치DISK 등이 접속되게 된다. 상기 버스상태컨트롤러BSC는 내장주변 모듈 및 외부에 대한 버스사이클의 기동과 그것에 따른 각종 버스제어를 실행한다.

인터럽트 컨트롤러 INTC는 상기 내장주변모듈에서 및 다수비트의 외부인터럽트단자IRL0 IRL3에서 인터럽트요구를 받고, 우선레벨에 따라서 요구의 조정 등을 실행해서 중앙처리장치CPU에 인터럽트신호SIG1을 공급한다. 그것과 함께 인터럽트 컨트롤러INTC는 받은 인터럽트요구의 요인을 신호SIG2로 메모리매니지먼트유닛MMU에 통지한다. 인터럽트신호SIG1을 받은 중앙처리장치CPU는 인터럽트수취의 통지신호SIG3을 메모리 매니지먼트유닛MMU에 부여한다. 이것에 의해서 메모리 매니지먼트유닛MMU는 그 인터럽트요인을 요인레지스터INTEVT에 세트한다. 중앙처리장치CPU는 요인레지스터 INTEVT에 세트된 인터럽트요인을 사용해서 소정의 인터럽트처리로 분기된다.

본 실시예의 마이크로컴퓨터MMU는 논리어드레스공간을 논리 페이지라고 불리우는 단위로 분할하고, 그 페이지단위로 물리어드레스로의 어드레스변환을 실행하기 위한 가상기억을 서포트한다. 상기 메모리 매니지먼트유닛MMU는 어드레스 변환버퍼TLB와 그 제어부TLB - C를 구비한다. 이 메모리 매니지먼트유닛MMU의 어드레스 변환버퍼TLB는 논리페이지번호와 물리페이지번호에 관한 변환쌍 등을 TLB엔트리로서 저장하고, 그 제어부TLB - C는 중앙처리장치CPU가 출력하는 논리어드레스를 어드레스 변환버퍼TLB 등을 사용해서 물리어드레스로 변환한다. TLB미스인 경우에는 그 논리어드레스에 대응되는 TLB엔트리는 제어부TLB- C를 거쳐서 외부메모리MMRY상의 어드레스 변환테이블 (페이지테이블) 에서 리드된다. 그 어드레스 변환버퍼TLB는 예를 들면, 4웨이 세트 어소시에이티브방식의 캐쉬메모리에 의해서 구성된다. TLB미스 등의 어드레스변환에 관한 각종 예외가 발생하면, 제어부TLB- C는 그 예외요인을 요인레지스터EXPEVT에 세트하고 또한, TLB미스 등의 어드레스변환에 관한 예외발생의 통지신호SIG4를 중앙처리장치CPU로 보낸다. 중앙처리장치CPU는 요인레지스터EXPEVT에 세트된 요인을 사용해서 또는 그것을 사용하지 않고 하드웨어에 의해 직접 소정의 예외처리로 분기된다.

중앙처리장치CPU는 예를 들면, 4기가바이트의 논리 어드레스공간을 서포트하기 위해 32비트의 어드레스를 이용한다. 제13도에 있어서 중앙처리장치CPU의 회로블럭내에는 범용레지스터R0 R15나 산술논리연산기ALU로 대표되는 연산부, 후술하는 프로그램 카운터PC 등의 제어용 레지스터군, 그리고 명령의 페치나 해독 그리고, 명령실행수순을 제어하거나 연산제어를 실행하는 제어부CTRL이 대표적으로 도 시되어 있다. ID는 중앙처리장치CPU가 페치한 명령을 해독해서 각종 제어신호를 발생하는 명령디코더이다. 이 중앙처리장치CPU는 외부메모리MMRY에서 명령을 페치하고, 그 명령을 명령디코더 ID로 해독하는 것에 의해 상기 명령기술에 따른 데이타처리를 실행한다. 재13도에 있어서, SIG5는 중앙처리장치CPU에서 메모리 매니지먼트유닛MMU로의 각종 제어신호 및 중앙처리장치CPU의 내부상태를 통지하기 위한 신호를 총칭하는 것이다.

캐쉬유닛CACHE는 특히 제한되지 않지만, 4웨이 세트 어소시에이티브형식의 연상메모리부로서의 캐쉬메모리CACHE-M과 그 제어부CACHE-C를 구비한다. 캐쉬메모리CACHE-M에 대한 인덱스는 논리 어드레스의 일부를 사용해서 실행되고, 엔트리의 태그부에는 물리 어드레스가 보유되고, 인덱스된 태그부는 그 논리 어드레스가 어드레스 변환버퍼TLB에 의해 변환된 물리 어드레스와 비교되고, 그 비교결과에 따라서 캐쉬미스/히트를 판정한다. 캐쉬미스의 경우에 상기 캐쉬미스에 관한 데이타 또는 명령은 외부메모리MMRY에서 리드되고, 리드된 데이타 또는 명령은 새로운 캐쉬앤트리로서 캐쉬메모리CACHE-M에 저장된다.

상기 사용자 브레이크 컨트롤러UBC는 디버그기능을 강화하기 위해 마련되어 있고, 시스템버스S - bus의 상태가 브레이크조건과 일치하는지를 감시하고, 일치하는 경우에는 중앙처리장치CPU10에 브레이크 인터럽트를 발생시킨다.

사용자 브레이크 컨트롤러UBC에 포함되는 IBR은 브레이크조건으로거 명령어드레스 등이 설정되는 명령브레이크 어드레스 레지스터이다. 중앙처리장치CPU는 디버그 또는 에뮬레이션 개시전에 그를 위한 서비스루틴을 실행해서 명령브레이크 어드레스 레지스터IBR에 브레이크 할 명령의 선두 어드레스나 오퍼랜드 어드레스 등의 원하는 명령 브레이크 조건을 미리 설정한다. 마이크로컴퓨터MPU의 내부상태가 상기 명령브레이크 조건과 일치하면, 후술의 명령브레이크 예외가 발생하고, 이것에 의해서 중앙처리장치CPU는 디버그를 위한 명렁 브레이크 핸들러가 실행가능하게 된다. 따라서, 마이크로컴퓨티MPU의 내부에서 브레이크 포인트제어를 실행할 수 있다.
중앙처리장치CPU는 각각 32비트의 상기 범용레지스터R0 R15 이외에 프로그램 카운터PC, 상태 레지스터SR, 벡터베이스 레지스터VBR, 세이브프로그램 카운터SPC 및 세이브 상태 레지스터SSR 등의 시스템 레지스터나 컨트롤 레지스터를 갖는다. 프로그램 카운터PC는 현재의 명령의 개시번지를 가리킨다. 세이브 상태 레지스터SSR은 예외발생시 등에 있어서 현재의 상태 레지스터SR의 값을 세이브하는 레지스터이다. 세이브 프로그램 카운터SPC는 예외가 발생할 때에 예외에서 복귀한 후에 중앙처리장치CPU가 실행할 명령의 어드레스를 유지하기 위한 레지스터로서, 예외가 발생했을 때에 소정의 타이밍으로서 프로그램 카운터PC의 값이 세이브되는 레지스터이다. 벡터 베이스 레지스터VBR은 예외처리를 위한 벡터영역의 베이스 어드레스 (벡터 테이블 베이스어드레스)를 보유한다.
상태 레지스터SR은 제14도에 도시되는 바와 같이 연산에 있어서 캐리, 보료, 오버플로를 나타내기 위해 이용되는 T비트, 메모리액세스제어에 이용되는 S비트, 인터럽트요구에 대한 마스크레벨을 4비트로 나타내는 인티럽트 마스크비트1 MASK, 재산에 이용되는 M 및 Q비트, 범용레지스터R0~R15의 뱅크지정을 실행하기 위한 레지스터 뱅크비트RB, 블럭비트BL, 프로세서 오퍼레이션 모드비트MD 및 제로비트를 포함한다. 블럭비트BL은 특권모드에 있어서의 예외를 마스크하기 위해 이용되고, BL= 1은 예외를 마스크하는 것을 지시하고, BL= 0은 예외를 허용하는 것을 지시한다. 모드비트MD는 MD = 1로 특권모드를, MD = 0으로 사용자모드를 나타낸다. 모드비트MD의 ' 0 ' 또는 '1'은 명령을 실행하는 것에 의해서 설정된다. 상기 M, Q, S, T의 각 비트는 사용자모드에 있어서도 전용명령에 의해서 세트 또는 클리어가능하지만, 그 이외의 모든 비트는 특권모드에 있어서만 리드/라이트가능하게 된다. 상태 레지스터SR 등의 컨트롤 레지스터에 대한 라이트는 제어로드명령 (LDC) , 리드는 제어스토어명령 (STC) 에 의해 가능하게 된다. 양쪽의 명령은 시스템 제어명령 또는 특권명령의 1개로 된다.
<마이크로컴퓨터의 어드레스공간> 본 실시예의 마이크로컴퓨터MPU는 4 GB (기가바이트)의 논리 어드레스공간을 서포트하기 위해 중앙처리장치CPU는 32비트의 어드레스를 이용한다. 상기 논리어드레스는 후술의 공간번호 (프로세스번호) asid에 의해서 확장가능하게 된다. 제3도 (A) 및 제3도 (B)에는 그 논리 어드레스공간의 어드레스 맵핑이 도시된다. 동일도면에 있어서 ' Mapped '라고 나타내는 영역은 어드레스 변환버퍼TLB를 이용한 어드레스 변환의 대상으로 된다. H ' FFFFFFFF H ' 80000000의 영역은 특권모드에 있어서 액세스가능한 영역으로 되고 사용자모드에서의 액세스는 어드레스 에러로 된다. P4영역은 컨트롤스페이스이고, 주변컨트롤 레지스터, 그리고 상기 어드레스 변환버퍼TLB나 캐쉬메모리CACHE-M이 맵핑되는 제어공간으로 된다. P1, P2영역은 그것에 대응되는 물리어드레스가 고정으로 되는 영 역으로서, 어드레스 변환버퍼TLB를 이용한 어드레스변환의 대상으로는 되지 않는 다. 이들의 영역P1, P2의 논리 어드레스는 일정한 정수가 가산 또는 감산되어 물리어드레스로 변환된다. 따라서, 특권모드에 있어서 상기 영역P1, P2를 액세스할 때는 TLB미스를 비롯한 어드레스 변환에 관한 예외가 발생하지 않는다. 특히, P2영역은 캐쉬메모리CACHE에 의한 캐쉬의 대상으로 되지않고, P1영역은 캐쉬의 대상으로 된다.
논리 어드레스공간에 대해서는 논리 페이지라고 불리우는 단위로 분할되고, 그 페이지단위로 물리어드레스로의 변환이 실행된다. 본 실시예의 마이크로컴퓨터MPU가 서포트하는 논리 페이지사이즈는 4 KB (키로바이트)와 1 KB의 쌍방으로 된다. 이것은 서포트되는 논리 페이지의 최대사이즈 (=4KB)가 최소사이즈 (= 1KB)의 2의 누승수배로 되고, 어드레스 변환버퍼TLB의 뱅크의 수 (=4)가 상기 2의 누승수이상이라고 하는 관계를 만족한다. 제4도에 도시되는 바와 같이 논리 페이지사이즈가 1 KB인 경우에 논리 어드레스는 중앙처리장치CPU에 의해 형성되는 논리 어드레스 (비트0에서 비트31까지의 32비트의 어드레스) 중, 비트0 비트9까지가 오프세트로 되고, 비트10 비트31까지가 논리페이지번호 (논리페이지 어드레스) vpn으로 된다. 논리 페이지사이즈가 4 KB인 경우에 논리어드레스는 비트0 비트11까지가 오프세트로 되고, 비트12 비트31까지가 논리 페이지번호vpn (논리 페이지 어드레스)로 된다.
<TLB엔트리> 가상기억을 위한 페이지 테이블엔트리는 논리 폐이지번호VPN과 물리 페이지번호PPN의 대응이나 액세스의 속성등에 대한 기술이 포함되고, 그것은 소프트웨어에 의해서 형성되어 제2도 및 제13도에 도시되는 외부메모리MMRY상의 어 드레스 번환테이블에 저장되고, 또한 그 일부가 상기 어드레스 변환유닛MMU의 어드레스 변환버퍼TLB에 저장된다. 어드레스 변환버퍼TLB에 저장되는 엔트리 (TLB엔트리) 의 포맷은 제4도에 상세하게 도시되는 바와 같이 편의상 어드레스 어레이부TA - ary에 저장되는 어드레스부와 데이타어레이부TD - ary에 저장되는 데이타부로 나뉘어진다. 어드레스부는 논리 페이지번호의 정보VPN (31 - 17) , VPN (11 - 10) 및 공간번호ASID (8비트) 로 된다.
데이타부는 공유상태 SH (1비트), 사이즈비트SZ (1비트), 엔트리가 유효한 것을 나타내는 유효비트V (1비트), 논리 페이지번호에 대응되는 물리 페이지번호PPN (22비트), 기억보호를 위한 프로텍션PR (2비트), 캐쉬어블비트C (1비트) 및 더티비트D (1비트) 를 보유한다. 어드레스부가 보유하는 논리 페이지번호의 정보는 32비트의 논리 어드레스의 비트포멧에 있어서 인덱스에 이용되는 비트를 제외한 비트10 비트11과 비트17 비트31로 된다.
전자는 VPN (11 - 10)으로 표시되고, 후자는 VPN (31 - 17) 로 표기된다. 공유상태SH는 다수 프로세스사이에서 상기 폐이지가 공유되어 있는지 공유되어 있지 않은지를 나타내고, SH = 0은 비공유, SH = 1은 공유를 의미한다. 공간번호ASID는 특정의 프로세스에 속하는 것으로 논리페이지를 정의하거나 하기 위해 이용되는 것으로서 프로세스번호라고도 한다. 프로텍션PR은 페이지에 대한 액세스권을 정의하기 위해 인코드된 데이타로서 그 값의 조합에 의해서 액세스권이 정의된다. 사이즈비트SZ는 논리 페이지사이즈를 지정하는 비트로서, SZ = 1은 4 KB 페이지사이즈를 지정하고, SZ = 0은 1 KB 페이지사이즈를 지정한다.

또, 본 명세서에 있어서 소문자로 나타내는 vpn, ppn, asid는 액세스에 이용되는 논리페이지번호, 물리페이지번호, 프로세스번호로 되고, 어드레스 변환버퍼TLB나 캐쉬메모리CACHE-M의 엔트리 또는 페이지 테이블엔트리로서의 대문자로 나타내는 논리 페이지번호VPN, 물리페이지번호PPN, 프로세스번호ASID와는 구별되어 있다.

<다수 페이지사이즈의 서포트> 제4도 및 제19도에 도시되는 바와 같이 어드레스 변환테이블 엔트리 (페이지 테이블 엔트리) 및 TLB엔트리는 상기 사이즈 비트SZ를 갖고, 논리 페이지사이즈가 페이지마다 가변으로 설정가능하게 된다. 4웨이 세트 어소시에이티브형식의 어드레스 변환버퍼TLB는 그 사이즈가 가변으로 설정가능하게 되는 다수의 논리 페이지사이즈에 대해서 공통으로 이용된다. 본 실시예에서는 마이크로킴퓨터MPU가 서포트하는 논리 페이지사이즈는 1 KB와 4 KB의 2종류로 된다. 그리고, 어드레스 변환버퍼TLB에 대한 인덱스 어드레스IDX의 지정방법은 4 KB와 1 KB의 쌍방에 있어서 공통화되고, 제6도에 도시되는 바와 같이 중앙처리장치CPU에서 형성되는 전부32비트의 논리 어드레스 중, 비트12 비트16 즉, vpn (16 - 12)가 어드레스 변환버퍼TLB의 인덱스에 이용된다. 인덱스 어드레스는 5비트이므로, 1뱅크 (웨이) 당 최대32개의 엔트리를 보유할 수 있다. 어드레스 변환버퍼 TLB는 4개의 뱅크BNK0 BNK3을 갖으므로, 1개의 인덱스어드레스에 대해 최대 4개의 엔트리를 보유할 수 있다. 상기 인덱스 어드레스는 페이지사이즈가 4 KB인 경우에는 상기 논리페이지번호vpn의 최하위에서 5비트vpn (16- 12)로 되므로, 페이지사이즈4 KB일 때에는 임의의 논리페이지번호의 엔트리에 대해서도 각 뱅크에 최대32엔트리 (전체 128엔트리)글 보유할 수 있다. 한편, 페이지사이즈가 1 KB인 경우에는 상기 논리 페이지번호vpn의 최하위에서 2비트vpn (11 - 10)은 인덱스에 이용되지 않는다. 이 때문에 논리 페이지사이즈가 1 KB에 있어서의 1개의 뱅크에 대한 인덱스를 고려하면, 인덱스된 엔트리는 5비트의 인덱스어드레스에 의해서 선택된 4개의 논리 페이지번호 (각각이 1 KB의 페이지사아즈를 갖는다) 중 어느 것인가를 가리킨다. 인덱스에 이용되지 않은 2비트 (비트10, 11) 은 이 선택된 4개의 논리 페이지번호 중 어느 것인 1개를 나타내기 위해 사용되는 것이다. 따라서, 뱅크의 수가 1개밖에 존재하지 않는 경우에는 연속하는 4개의 논리 페이지에 대해서 1개밖에 엔트리가 할당되지 않는다. 본 실시예에 있어서는 논리 페이지의 최대사이즈가 최소사이즈에 대해서 2의 N승배로 되고, 뱅크의 수도 2의 N승개 마련되어 있다, 즉, 논리페이지 최소사이즈는 1 KB로 되고, 최대사이즈는 그 2의 2승배인 4 KB로 되고, 뱅크수는 2의 2승개 (4개) 가 마련되어 있다. 이와 같이 하는 것에 의해 4 KB페이지사이즈의 경우와 거의 마찬가지로, 어드레스 변환버퍼TLB에는 전체로서는 1 KB페이지사이즈의 임의논리 페이지번호의 엔트리를 128개 보유가능하게 된다. 단, 1개의 뱅크에 보유할 수 있는 엔트리의 논리 페이지 번호는 4 KB마다라고 하는 제약을 받는다. 이 제한은 어드레스 변환버퍼TLB가 보유하는 엔트리의 논리 페이지번호가 연속적이면, 어드레스 변환버퍼TLB의 히트율에는 아무런 영향을 주지 않는다. 분산적인 경우에는 어느 정도 히트율이 영향을 받는다. 이 경우에도 1 KB의 논리페이지를 2 KB마다 어드레스맵핑하면 그 영향을 작게 할 수 있고, 4 KB마다 어드레스맵핑하면 어떠한 영향을 받지 않도록 할 수 있다. 예를 들면, 1 KB페이지사이즈의 변환정보를 어드레스 변환버퍼TLB에 설정 (라이트할) 때 4개의 뱅크 (BNK0), (BNK1), (BNK2), (BNK3)의 각각에서 5비트의 인덱스 어드레스에 의해서 지시되는 4개의 엔트리에 2비트vpn (11 - 10)이 ' 00'일 때의 변환정보, 2비트vpn (11 - 10)이 ' 01'일 때의 변환정보, 2비트vpn (11 - 10)이 '10'일 때의 변환정보, 2비트vpn (11 - 10)이 ' 11'일 때의 변환정보를 각각 설정한다. 이과 같이 하면 히트율의 저하를 방지하는 것이 가능하게 된다.

히트판정을 위한 어드레스비교의 비트수는 제24도에 따라서 설명한 바와 같이 논리페이지사이즈에 따라서 변환되어야만 한다. 논리 페이지사이즈가 1 KB인 경우에는 4 KB인 경우에 비해 vpn (11 - 10)을 VPN (11 - 10)과 비교해야만 한다. 어드레스 변환버퍼TLB는 그와 같은 비교대상의 비트수를 모두 커버할 수 있도록 VPN (31-17)과 VPN (11 - 10)의 기억영역을 구비하고, 또한 물리 페이지번호PPN에 대해서도 22비트의 기억영역을 구비하고 있다. 어드레스 변환버퍼TLB는 각 엔트리의 데이타부에 그것이 서포트하는 논리 페이지사이즈를 나타내는 사이즈비트SZ를 갖고, 그 값에 따라서 히트판정을 위한 어드레스비교의 비트수를 변화시킨다. 제24도에 따라서 설명한 바와 같이 사이즈비트SZ = 1 (논리 페이지사이즈= 4 KB)인 경우에는 VPN (31 - 17) 이 논리 어드레스의 대응비트의 비교대상으로 되고, 사이즈비트SZ = 0 (논리 페이지사이즈= 1 KB)인 경우에는 VPN (31 - 17), VPN (11 - 10)이 논리 어드레스의 대응비트와의 비교대상으로 된다. hit1 hit4는 각 뱅크BNK1 BNK3에 있어서의 히트판정을 통지하기 위한 히트신호로서, 그것에 따라서 TLB 히트/미스가 판정된다.

이와 같이 다수 페이지사이즈를 선택적으로 서포트하는 마이크로컴퓨터MPU는 시스템에 실장되는 실제메모리의 전체기억용량이 적은 경우에 논리페이지의 사이즈를 비교적 작게 해서 각 프로세스에 의한 메모리용 효율을 향상시키고자 하는 요구에도 용이하게 대응할 수 있다. 이제, 최대논리 페이지사이즈가 최소사이즈의 2의 누승수배로 되고, 그 세트 어소시에이티브방식의 어드레스 변환버퍼TLB의 뱅크의 수를 그 2의 누승수이상으로 하는 것에 의해 인덱스 어드레스의 지정방법을 최대논리 페이지사이즈인 것으로 통일화해도 선택되어 있는 논리 페이지사이즈가 최대라도 최소라도 원리적으로는 어느 논리 페이지번호의 엔트리에 대해서도 어드레스 변환버퍼TLB에 보유가능하게 할 수 있다. 논리 페이지번호에 대응하는 논리 페이지의 사이즈를 나타내기 위한 정보를 마련하고, 이 사이즈를 사용하여 히트판정을 위한 어드레스 비교의 비트수를 변화시키는 것에 의해 어드레스 변환버퍼TLB를 연상적으로 검색하기 위한 비교대상정보의 비트수나 비트위치를 논리페이지의 사이즈에 의해서 변화시키는 것을 용이하게 실현할 수 있다. 다수 페이지사이즈를 서포트하는 어드레스 변환버퍼TLB를 세트 어소시에이티브형식의 캐쉬메모리로 실현하는 것은 이것은 CAM (Content Addressable Memory) 로 구성하는 경에 비해 칩 점유면적과 소비전력을 모두 반감시킬 수 있다.

<어드레스 변환유닛의 구성모듈> 제5도에는 어드레스 번환유닛MMU의 블럭도가 도시되어 있다. 어드레스 변환버퍼 TLB는 예를 들면 SRAM (스테이틱 랜덤 액세스 메모리)로 구성되고, 4웨이 세트 어소시에이티브형식을 실현하기 위해 4개의 뱅크 (웨이라고도 한다) BNK0 BNK3을 구비하고, 각 뱅크BNK0 BNK3은 TLB엔트리의 어드 레스부 (논리 페이지 어드레스와 비교될 어드레스 태그로서의 논리 페이지번호에 관한 정보 등을 포함한다) 를 저장하기 위한 어드레스 어레이부TA - ary와, TLB엔트리의 데이타부 (어드레스태그에 대응하는 물리페이지정보 등을 포함한다)를 저장하기 위한 데이타어레이부TD - ary로 나뉘어져 있다. 1개의 TLB엔트리는 어드레스이레이부TA - ary와 데이

타어레이부TD - ary에 걸쳐서 저장된다. 각각의 뱅크BNK0 BNK3은 32개의 TLB엔트리를 저장한다. 따라서, 각 뱅크에서 1개의 엔트리를 선택하기 위해서는 5비트의 인덱스 어드레스IDX가 필요하게 된다. 인덱스 어드레스IDX는 어드레스 어레이부TA - ary 및 데이타 어레이부TD - ary의 각 뱅크BNK0 BNK3에 공통으로 공급된다. 인덱스 어드레스IDX에 의해 각 뱅크BNKO BNK3에서 선택된 각각의 TLB엔트리는 리드경로R1 - pass를 거쳐서 제어부TLB - C에 공급된다. 인덱스된 TLB엔트리 중 TLB미스/히트를 판정하기 위한 어드레스태그 등은 뱅크마다 비교기CMP0 CMP3에 공급된다. 비교기CMP0 CMP3은 뱅크마다 어드레스태그와 논리 페이지 어드레스를 비교해서 그 판정결과를 히트신호 hit1 hit4에 의해 제어부TLB- C (TLB컨트롤러TLB- C라고도 한다) 에 통지한다.

TLB컨트롤러TLB- C는 상기 리드된 TLB엔트리의 정보와 히트신호hit1 hit4 등을 받고, 이들에 따라서 TLB미스/히트등에 관한 처리를 실행한다. TLB히트의 경우에 히트에 관한 TLB엔트리에 포함되는 물리 페이지번호에 그 때의 논리 어드레스의 오프세트를 하위측에 부가해서 물리 어드레스를 생성한다. TLB미스인 경우에는 TLB미스예외가 발생되고, 미스에 관한 새로운 TLB엔트리가 외부메모리MMRY에서 로드되어 어드레스변환이 재실행된다. 그 때, 엔트리의 치환을 필요로 할때는 랜덤 또는 LRU (Least Recentry Used) 등의 논리에 따라서 치환대상뱅크가 결정된다. 상술한 새로운 TLB엔트리의 로드나 TLB엔트리의 무효화 등에 있어서는 뱅크를 지정해서 메모리부TLB-M을 액세스하는 것을 요한다. 그것에 대처하기 위해 어드레스 변환버퍼TLB는 이하에 설명하는 어드레스지정 액세스가 가능하게 된다.

어드레스 변환버퍼TLB의 어드레스지정 액세스를 위한 하드웨어 구성으로서 제5도의 제어회로TLB- C에는 라이트 선택회로WS1, 라이트 제어게이트GT1, 리드 선택회로RS1, 어드레스디코더DEC1, OR 게이트OR1이 도시된다. 라이트경로W1 - pass는 라이트 선택회로WS1에서 어드레스 어레이부TA - ary 및 데이타 어레이부TD - ary의 각 뱅크BNK0 BNK3에 결합된다. 라이트선택회로WS1은 어드레스 디코더DEC1에서 출력되는 디코드신호로서의 어레이부 선택신호S1 - ary와 뱅크선택신호S1 - bnk에 의해 어드레스 어레이부TA- ary 또는 데이타 어레이부TD - ary의 1개의 뱅크를 선택해서 라이트데이타를 공급한다. 제어게이트GT1은 라이트 선택회로WS1에 외부에서 부여된 라이트 데이타를 공급한다. 제어게이트GT1은 OR게이트OR1의 출력이 하이레벨로 되는 것을 조건으로 라이트데이타를 라이트 선택회로WS1에 부여한다. 따라서, 후술의 연상비트A가 하이레벨일 때에는 히트신호hit1 hit4중 어느 것인가가 하이레벨로 되는 것을 조건으로 라이트 제어게이트GT1이 열리고, 연상비트A가 로우 레벨일 때에는 히트신호hit1 hit4의 레벨과는 관계없이 라이트 제어게이트GT1이 열린다. 리드 선택회로RS1은 어드레스 어레이부TA - ary 및 데이타 어레이부TD - ary에서 인덱스되어 리드경로R1 - pass로 리드되어 오는 데이타를 받고, 어드레스 디코더DEC1에서 출력되는 어레이부 선택신호S1 - ary와 뱅크선택신호S1 - bnk에 의 해 어드레스 어레이부TA - ary 또는 데이타 어레이부TD - ary중 1개의 뱅크에서의 리드 데이타를 외부로 출력가능하게 한다.

라이트 선택회로WS1은 라이트동작이 지시되는 것에 의해서 동작가능하게 되고, 리드선택회로RS1은 리드동작이 지시되는 것에 의해서 동작가능하게 된다. 라이트 또는 리드의 지시는 중앙처리장치 CPU가 논리 어드레스와 함께 출력된다. 또, 논리 어드레스를 물리어드레스로 변환하기 위한 어드레스 변환동작에 있어서 각 뱅크 BNK0 BNK3에서 인덱스된 정보는 리드 선택회로RS1을 통과하지 않고, 도시하지 않은 제어회로TLB- C내부의 제어논리에 의해 물리 어드레스로의 변환제어에 이용된다.

<TLB의 어드레스 지정액세스> 어드레스 변환버퍼TLB는 논리공간의 상기 P4영역에 맵핑되고, MOV명령과 같은 일반적인 데이타전송명령에 의해 어드레스를 지정해서 리드/라이트가능하게 되어있다 (Memory Mapped TLB) . 어드레스 어레이부 TA - ary는 H ' F2000000 H ' F2FFFFFF에 맵핑되고, 데이타 어레이부TD - ary는 H ' F3000000 H ' F3FFFFFF에 맵핑된다. P4영역 (H ' E0000000 H ' FFFFFFFF)은 제3도에서도 명확한 바와 같이 오퍼레이팅시스템이나 시스템프로그램이 주행하는 특권상태 (특권모드) 에 의해서 액세스가능한 공간으로 된다.

어드레스 변환버퍼TLB에 대한 액세스 어드레스를 지정하기 위한 어드레스포맷은 제7도에 도시된다. 어드레스 어레이부TA - ary애 대한 리드/라이트의 어드레스의 비트31 비트24는 H ' F (11110010) 로 된다. 데이타 어레이부TD - ary에 대한 리드/라이트의 어드레스의 비트31 비트24는 H ' F 3 (11110011) 로 된다. 이것 에 의해서 어드레스 변환유닛MMU의 제어부TLB - C는 데이타어레이부TD - ary나 어드레스 어레이부TA - ary에 대한 어드레스지정 액세스를 인식한다. 이 때, 액세스대상뱅크 (웨이)의 지정은 비트9 비트8의 2비트 (W) 로 지정되고, 1개의 뱅크당의 엔트리의 지정은 비트16 비트12의 5비트 (ENTRY) 로 지정된다. 제어부TLB - C는 이들의 정보에 따라 액세스 논리 어드레스의 비트31 비트24의 H ' F 2 또는 H ' F 3에 따라 상기 신호S1 - ary에 의해 어드레스 어레이부TA - ary 또는 데이타 어레이부TD - ary를 지정하고, 뱅크지정비트W에 따른 신호S1 - bnk에 의해 1개의 뱅크를 지정하고, 엔트리지정비트ENTRY에 따라 인덱스 어드레스IDX에 의해 뱅크내의 1개의 TLB 엔트리를 지정한다. 이것에 의해 데이타 어레이부TD - ary 또는 어드레스 어레이부TA - ary에 있어서의 소정뱅크의 소정엔트리를 어드레스에 의해 지정가능하게 된다.

제5도를 참조해서 더욱 상세하게 기술한다. 시스템버스S- bus 상의 논리 어드레스는 제5도의 어드레스 디코더DEC1에도 공급된다. 어드레스 디코더DEC1은 제7도의 어드레스포맷에 도시되는 바와 같이 논리 어드레스의 비트31 비트24의 H ' F 또는 H ' F3을 검출하는 것에 의해서 어드레스 변환버퍼TLB에 대한 어드레스지정 액세스를 인식한다. 중앙처리장치CPU가 출력하는 S 버스 커맨드를 커맨드디코더DCR이 디코드하는 것에 의해서 리드/라이트신호R/W가 형성된다. 따라서, 액세스가 리드동작인지 라이트동작인지는 커맨드디코더DCR에서 출력되는 리드/라이트신호R/W에 의해서 결정된다. 제7도의 어드레스 및 데이타포맷이 되는 바와 같이 어드레스 어레이부에 대한 리드동작의 지시에 의해서 리드되는 데이타는 어드레스태그로서의 논리 페이지번호정보VPN (31 - 17), VPN (11 - 10) 및 공간번호ASID로 된다. 어드레스 어레이부에 대한 라이트동작의 지시에 의해서 라이트되는 데이타는 어드레스태그로서의 논리페이지 번호정보VPN (31 - 17), VPN (11 - 10) 및 공간번호ASID이외에 유효비트V가 포함된다. 제4도의 설명에서는 V비트는 데이타 어레이부TD - ary애 배치되어 있지만, 어드레스 어레이부TA - ary에 대한 라이트동작에서는

상기 V비트에 대해서도 아울러 데이타어레이부TD - ary에 라이트를 실행하도록 하는 제어신호가 상기 제어신호S1 - bnk에 포함되어 있다. 어드레스 어레이부에 대한 라이트만으로 상기 엔트리를 무효화 할 수 있도록 하기 위함이다. 데이타어레이부에 대한 리드동작의 지시에 의해서 리드되는 데이타와 라이트동작에 의해서 라이트되는 데이타는 모두 PPN, V, PR, SZ, C, D, SH로 된다.

특히, 어드레스 어레이부TA - ary에 대한 라이트 액세스의 경우에는 제7도에 도시되는 바와 같이 비트7에 연상비트A가 할당된다. 연상비트A는 연상해서 (논리 페이지번호와 어드레스태그의 어드레스비교 등을 실행해서) 라이트를 실행할지 실행하지 않을지를 지시하는 비트로 되고, A= 1인 경우에는 어드레스비교의 결과가 히트인 경우에만 해당엔트리로의 라이트를 허용하고 (미스인 경우에는 라이트를 실행하지 않는다) , A = 0인 경우에는 어드레스비교를 실행하지 않고 어드레스로 선택된 엔트리로의 라이트를 허용하는 것을 의미한다. 연상비트A = 1로 지시되는 어드레스 어레이부TA - ary로의 연상라이트에 있어서의 비교대상 어드레스는 라이트데이타에 포함되는 논리 페이지번호VPN의 정보와 인덱스된 엔트리가 보유하는 논리 페이지번호VPN의 정보이다. 이와 같은 연상라이트는 특정의 TLB엔트리를 무효화하 기 위해 V비트를 논리값0으로 리라이트하는 경우에 이용된다. 예를 들면, 제8도에 도시되는 엔트리의 무효화에 이용된다. 제5도에 도시되는 A = 1인 경우에 OR게이트 OR1의 출력은 히트신호hit1 hit4중 어느 것인가가 히트레벨 (하이레벨) 로 되지 않는 한 로우레벨을 유지하므로, 어드레스 비교결과가 히트로 되어 비로서 라이트데이타가 라이트선택회로WS1에 공급된다. A = 0에 의해 지시되는 비연상라이트에서는 어드레스 비교결과와는 관계없이 라이트제어 게이트GT1이 열리므로, 디바이스테스트에 있어서 어드레스 어레이부TA - ary를 단지 리라이트하는 경우에 이용된다. 상술한 어드레스맵핑된 어드레스 변환버퍼TLB에 대한 어드레스 지정리드 액세스는 MOV명령과 같은 데이타전송명령을 이용해서 실행할 수 있다. 그 명령기술은 예를 들면 MOV@R1, R0으로 된다. @R1은 진송원 어드레스이고, 적당한 레지스터R1에 제7도에서 설명한 포맷의 원하는 어드레스가 설정된다. R0은 전송지 레지스터이다. 이 명령을 실행하는 것에 의해 어드레스 변환버퍼TLB는 MOV명령으로 액세스가능한 메모리와 마찬가지로 리드액세스되고, 그 리드데이터는 레지스터R0으로 전송된다. 어드레스 변환버퍼TLB에 대한 라이트 액세스도 마찬가지이고, 그 명령기술은 예를 들면 MOV, R0, @R1로 된다. @R1은 전송지 어드레스로서, 적당한 레지스터R1에 제7도에서 설명한 포맷의 원하는 어드레스가 설정된다. R0은 전송원 레지스터로서, 라이트 데이타가 유지된다. 이 명령을 실행하는 것에 의해 어드레스 변환버퍼TLB는 그 밖의 메모리와 마찬가지로 MOV명령으로 라이트 액세스된다. 이 경우, A비트 = 1을 어드레스정보에 포함하고, 무효화하고자 하는 엔트리의 논리페이지번호VPN과 V = 0을 라이트데이타에 포함해서 상기 명령을 실행하였을 때, 어드레스비교가 일치 (TLB히트)인 경우만 라이트동작이 실행되고 (해당엔트리의 무효화가 실행되고), 불일치인 경우에는 라이트동작은 실행되지 않는다 (해당엔트리는 무효화되지 않는다) . 이와 같이 어드레스 변환버퍼TLB를 어드레스공간에 맵핑하고 어드레스를 지정해서 액세스가능하게 하면, 그 액세스는 대부분의 명령세트에 반드시 포함되는 MOV명령과 같은 일반적인 데이타 전송명령으로서 실현할 수 있다. 따라서, 어드레스 변환버퍼TLB를 액세스하기 위한 전용명령을 필요로 하지 않고, 명령코드의 종류를 적게 할수 있어 명령어 길이의 단축에 기여할 수 있다. 즉, 어드레스 변환버퍼TLB를 액세스하기 위한 전용명령을 채용할 필요가 없으므로, 중앙처리장치CPU의 내부에서 명령을 디코드하기 위한 명령디코더ID의 논리규모의 증대를 억제할 수 있다. 또, 명령어 길이를 짧게 해야만 하는 마이크로컴퓨터의 아키텍쳐상의 요청에도 용이하게 대처할 수 있다. 예를 들면, 본 실시예의 마이크로컴퓨터MPU가 16비트고정 길이 명령을 채용하면, 비교적 짧은 명령코드이기 때문에 상기 명령코드는 귀중한 리소오스로서 자리잡게 된다. 이 때문에, 어드레스 변환버퍼TLB를 어드레스중간에 맵핑하고 어드레스를 지정해서 액세스가능하게 한다고 하는 것은 명령디코더ID의하드웨어 변경량를 적게 할 수 있어, 명령코드의 신규추가를 불필요하게 할 수 있다. 또, 어드레스 어레이부TA - ary에 대한 라이트 액세스를 위한 어드레스 포맷에는 연상비트A가 포함되고, 이것에 의해서 연상라이트의 유무를 임의로 지정할 수 있도록 하였으므로, 본래 어드레스비교를 필요로 하는 TLB엔트리의 무효화의 처리와 디바이스 테스트시와 같은 본래 어드레스비교를 필요로 하지않는 리라이트의 쌍방의 요구에 용이하게 대처할 수 있다.

<캐쉬엔트리> 제9도에는 캐쉬메모리CACHE-M의 엔트리구성이 도시되어 있다. 어드레스부는 22비트의 어드레스태그 (엔트리의 물리어드레스의 비트31 비트10) TAC, 유효비트V (V = 1은 상기엔트리의 유효, V = 0은 상기 엔트리의 무효를 의미한다) , 갱신비트 U (U = 1은 상기 캐쉬엔트리가 리라이트되는 것, U = 0은 상기 엔트리가 리라이트되지 않는 것을 의미한다) 및 6비트의 LRU필드L (캐쉬엔트리의 치환을 위한 LRU의 알고리듬에 따라서 인코드된 데이타) 를 갖고, 데이타부는 각각 32비트의 롱워드데이타의 영역을 4개 (16바이트) 갖는다.

<캐쉬유닛의 구성모듈> 제10도에는 캐쉬유닛CACHE의 블럭도가 도시되어 있다. 캐쉬메모리CACHE-M은 예를 들면 SRAM으로 구성되고, 4웨이 세트 어소시에이티브형식을 실현하기 위해 4개의 뱅크 (웨이라고도 한다) BNK0 BNK3을 구비하고, 각 뱅크BNK0~BNK3은 캐쉬엔트리의 어드레스부를 저장하기 위한 어드레스어레이부CA - ary와 캐쉬엔트리의 데이타부를 저장하기 위한 데이타어레이부CD - ary로 나뉘어져 있다. 1개의 캐쉬엔트리는 어드레스어레이부CA - ary와 데이타 어레이부CD - ary에 걸쳐서 저장되어 있다. 각각의 뱅크BNK0 BNK3은 128개의 캐쉬엔트리를 저장한다. 따라서, 각 뱅크에서 1개의 엔트리를 선택하기 위해서는 7비트의 인덱스 어드레스IDX가 필요하게 된다. 1개의 캐쉬엔트리는 16바이트의 데이타를 보유할 수 있으므로, 인덱스어드레스는 논리어드레스의 비트10 비트4로 된다. 인덱스 어드레스IDX는 어드레스 어레이부CA - ary 및 데이타 어레이부CD - ary의 각 뱅크BNK0 BNK3에 공통으로 공급된다.

논리어드레스의 비트3 비트0은 16바이트의 데이타를 바이트단위로 지정하는 정보로 간주할 수 있다.

캐쉬메모리CACHE-M의 데이타기억용량은 1개의 뱅크당 약 2 KB (16B ×128)이고 전체 8 KB (2 KB×4)로 된다. 페이지사이즈가 4 KB일때, 캐쉬엔트리의 어드레스태그TAG는 논리 어드레스 페이지번호vpn (비트31 비트12)를 어드레스 변환유닛MMU에 의해 변환한 물리 페이지번호ppn과 논리 어드레스의 비트11 (논리 어드레스의 오프세트의 최상위비트) 를 합친 물리 어드레스의 비트31 비트11 즉, ppn (31 - 11) 과 비교된다. 페이지사이즈가 1 KB일

때, 캐쉬엔트리의 어드레스태그TAG는 논리 어드레스 페이지번호vpn (비트31 비트10) 을 어드레스 변환유닛MMU에 의해 변환한 물리 페이지번호ppn 중 비트31 비트11 즉, ppn (31 - 11) 과 비교된다. 어드레스태그TAG를 구성하는 물리 어드레스의 비트10은 상기 어드레스 비교에는 이용되지 않는다. 이것은 후술하는 바와 같이 전적으로 라이트백에 있어서의 라이트백 어드레스의 생성에 이용된다. 상기 어드레스비교는 뱅크마다 비교기CMP0 CMP3에 의해 실행되고, 그 비교결과는 히트신호hit11 hit14에 의해 제어부CACHE-C에 부여된다. 제11도에는 페이지사이즈4KB인 경우에 있어서의 캐쉬엔트리 선택방법이 모시적으로 도시되어 있다.

제 10도에 있어서 제어부CACHE-C (캐쉬컨트롤러 CACHE-C라고도 한다)는 상기 리드된 캐쉬엔트리의 정보와 히트신호hit11 hit14 등을 받고, 이것에 따라서 캐쉬미스/히트 등에 관한 처리를 실행한다. 예측 들면, 리드 액세스에 있어서 어드레스태그TAG의 비교동작이 일치인 경우에는 유효비트V가 조사되고, V = 1이면 캐쉬히트 로 되고, 논리어드레스의 비트2 및 3에 의해 상기 엔트리의 16바이트의 데이타에서 데응하는 4바이트의 데이타를 캐쉬버스C - bus로 출력한다. 리드 액세스시에 어드레스태그TAG의 비교동작이 불일치 또는 선택된 엔트리의 유효비트V = 0이면, 캐쉬미스로 되고, 외부 버스사이클이 기동되어 외부메모리MMRY에서 목적으로 하는 데이타가 리드되고, 그것이 새로운 캐쉬엔트리로서 로드된다. 새로운 엔트리에 의해서 치환될 캐쉬라인은 예를 들면 하드웨어에 의해 LRU알고리듬에서 선택된다. 치환될 캐쉬라인의 엔트리의 갱신비트U = 1이면, 그 엔트리는 치환 전에 라이트백버퍼WBBUF에 저장되고, 엔트리의 치환후에 외부메모리MMRY의 대응어드레스로 라이트백된다. 캐쉬메모리CACHE-M과 외부메모리MMRY의 데이타의 정합을 유지하기 위함이다. 치환된 새로운 캐쉬엔트리는 그것이 라이트미스에 기인하는 것일 때에는 라이트 후에 U = 1로 되고, 리드미스에 기인하는 것일 때에는 U = 0의 상태로 된다.

라이트 액세스에 있어서도 캐쉬메모리CACHE-M에 대한 인덱스는 리드 액세스외 마찬가지로 실행된다. 캐쉬히트인 경우에는 라이트데이타가 상기 캐쉬히트에 관한 캐쉬엔트리에 라이트됨과 동시에 상기 캐쉬엔트리의 갱신비트U를 논리값1로 세트하기 위한 라이트가 실행된다. 라이트 액세스에 있어서 캐쉬미스가 발생한 경우에는 새로운 캐쉬라인에 라이트되게 된다. 이 때, 치환될 캐쉬라인의 엔트리가 보유하는 갱신비트U = 1이면, 그 엔트리는 치환전에 라이트백버퍼WBBUF에 저장되고, 엔트리의 치환후에 외부메모리MMRY의 대응어드레스로 라이트백된다. 치환된 새로운 캐쉬엔트리에 있어서의 갱신비트U는 논리값1로 된다.

상술한 새로운 캐쉬엔트리의 로드, 캐쉬엔트리의 무효화, 갱신비트U의 리드/라이트 등에 있어서 뱅크를 지정해서 캐쉬메모리CACHE-M을 액세스하는 것을 필요로 한다. 그것에 대처하기 위해 캐쉬메모리CACHE-M은 이하 설명하는 어드레스 지정액세스가 가능하게 된다.

캐쉬메모리CACHE-M의 어드레스 지정액세스를 위한 하드웨어구성으로서 제10도의 제어회로CACHE-C엑는 라이트 선택회로WS2, 라이트 제어게이트GT2, 리드 선택회로RS2, 어드레스 디코더DEC2, OR게이트OR2가 도시된다. 라이트경로W2 - pass는 라이트 선택회로WS 2에서 어드레스 어레이부CA - ary 및 데이타 어레이부CD - ary의 각 뱅크BNK0 BNK3에 결합된다. 라이트 선택회로WS2는 어드레스 디코더DEC2에서 출력되는 디코드신호로서의 어레이부 선택신호S2 - ary와 뱅크선택신호S2- bnk에 의해 어드레스 어레이부CA - ary 또는 데이타어레이부CD - ary 중 1개의 뱅크를 선택해서 라이트데이타를 공급한다. 제어 게이트GT2는 라이트 선택회로WS2에 외부에서 부여된 라이트 데이타를 공급한다. 제어게이트GT2는 OR게이트OR2의 출력이 하이레벨로 되는 것을 조건으로 라이트 데이타를 라이트 선택회로WS2에 부여한다. 따라서, 후술의 연상비트A가 하이레벨일 때에는 히트신호hit11 hit14 중 어느 것인가가 하이레벨로 되는 것을 조건으로 라이트 제어게이트GT2가 열리고, 연상비트A가 로우레벨일 때에는 히트신호hit11 hit14의 레벨과는 관계없이 라이트 제어게이트GT2가 열린다. 리드 선택회로RS2는 어드레스 어레이부CA - ary 및 데이타 어레이부CD - ary에서 인덱스되어 리드경로R2 - pass에 리드되어 오는 데이타를 받고, 어드레스 디코더DEC2에서 출력되는 어레이부 선택신호S2 - ary과 뱅크 선택 신호S2- bnk에 의해 어드레스 어레이부CA - ary 또는 데이타 어레이부CD - ary중 1개의 뱅크에서의 리드 데이타를 외부로 출력가능하게 한다. 라이트 선택회로WS2는 라이트동작이 지시되는 것에 의해서 동작가능하게 되고, 리드 선택회로RS2는 리드동작이 지시되는 것에 의해서 동작가능하게 된다. 라이트 또는 리드의 지시는 중앙처리장치CPU가 논리 어드레스와 함께 출력한다. 또, 캐쉬동작에 있어서 각 뱅크BNK0 BNK3에서 인덱스된 정보는 리드 선택회로RS2를 통과하지 않고, 도시하지 않은 제어회로CACHE-C내부의 제어논리에 의해 캐쉬미스/히트의 제어에 이용된다.

<어드레스태그의 라이트백으로의 고려> 본 실시예의 마이크로컴퓨터MPU에 있어서 상기 캐쉬유닛CACHE에는 라이트백 (카피백이라고도 한다)방식이 채용된다. 즉, 라이트액세스에 있어서 캐쉬메모리CACHE-M이 리라이트되었을 때 상기 리라이트된 내용을 캐쉬미스가 발생해서 그 엔트리가 새로운 엔트리로 치환될 때에 외부메모리MMRY로 라이트백된다고 하는 방법이다. 상술한 바와 같이 엔트리를 치환할 때에 새로운 엔트리에 의해서 치환될 엔트리의 갱신비트 U = 1이면, 상기 엔트리는 외부메모리MMRY로 라이트백된다. 이와 같이 해서 라이트백할 때의 라이트어드레스는 상기 라이트백될 캐쉬라인의 어드레스태그TAG의 정보와 그 때의 캐쉬미스에 관한 논리 어드레스정보 (특히 논리어드레스에 있어서의 오프세트부분)을 사용해서 생성해야만 한다.

본 실시예의 캐쉬메모리CACHE-M의 1개의 뱅크에 있어서의 데이타기억용량은 상술한 바와 같이 2 KB이다. 본 실시예에 있어서 어드레스는 바이트어드레스이다. 캐쉬메모리 CACHE-M을 인덱스해서 뱅크에서 1개의 롱워드데이타(4바이트)를 지정 하기 위해서는 논리어드레스의 비트10까지를 필요로 한다. 논리어드레스의 비트11 비트31까지는 이드레스태그TAG와의 어드레스비교에 이용된다. 즉, 어드레스비교라고 하는 점에 관해서 어드레스태그TAG에는 물리 어드레스의 비트31 비트11이 유지되어 있는 것이 필요하게 된다. 이 때, 본 실시예의 마이크로컴퓨터MPU는 페이지사이즈를 1 KB와 4 KB로 가변으로 설정할 수 있도록 되어 있다. 페이지사이즈가 1 KB (1개의 뱅크에 있어서의 데이타기억용량보다 작은 기억용량으로 된다)일 때, 페이지번호는 어드레스의 비트31 비트10에 의해서 특정된다. 따라서, 페이지사이즈가 1 KB일 때, 라이트백을 실행하기 위해서는 적어도 물리 어드레스의 비트31 비트10으초 규정되는 물리 페이지 어드레스가 필요하고, 이 정보가 어드레스 태그TAG가 아니면, 라이트백을 위한 라이트백 어드

레스를 특정하는 것은 곤란하게 된다. 그래서, 캐쉬엔트리는 마이크로컴퓨터MPU가 서포트하는 최소 페이지사이즈에 대응한 물리페이지번호의 전체비트 (물리 어드레스의 비트31 비트10)을 어드레스태그TAG로서 보유하기 위한 필드를 갖고, 인덱스된 엔트리의 어드레스비교시에는 어드레스태그TAG에 있어서의 물리 어드레스의 비트31 비트11을 이용하고 (1 KB/4 KB페이지사이즈 중 어느것에 있어서 비트10은 미사용) , 라이트백시의 라이트백 어드레스의 생성에는 어드레스태그TAG의 필드에 포함되는 물리 어드레스의 비트31 비트10이 이용된다. 페이지사이즈가 1 KB일 때에는 상기 어드레스태그에 포함되는 물리 어드레스의 비트31 10을 전부사용하고, 페이지사이즈가 4 KB일 때에는 물리 어드레스의 비트31 10를 이용한다.

이와 같이 페이지사이즈가 캐쉬메모리CACHE-M의 1개의 뱅크에 있어서의 데이 타기억용량보다 작은 용량으로 되는 경우에 그 페이지사이즈에 대응한 물리 페이지번호를 전체비트 보유할 수 있는 사이즈의 어드레스태그TAG의 필드를 채용하고, 어드레스비교에 필요한 비트수를 넘어서 그것에 물리 어드레스정보를 보유시키는 것에 의해 인덱스된 캐쉬엔트리에 대한 어드레스비교와 라이트백의 쌍방의 요구를 만족하는데 필요한 또한 충분한 캐쉬메모리로 할 수 있다.

<캐쉬메모리의 어드레스지정 액세스> 캐쉬메모리CACHE-M도 어드레스 변환버퍼TLB와 마찬가지로 논리공간의 상기 P4영역에 맵핑되고, MOV명령과 같은 일반적인 데이타전송명령에 의해 어드레스를 지정해서 리드/라이트가능으로 되어 있다 (Memory Mapped CACHE) . 어드레스 어레이부CA - ary는 H ' F0000000 H ' F 0 FFFFFF에 맵핑되고, 데이타 어레이부CD - ary는 H ' F1000000 H ' F1FFFFFF에 맵핑된다. P4영역 (H ' E 0000000 H 'FFFFFFFF)은 제3도 (A)에서도 명확한 바와 같이 오퍼레이팅기스템이나 시스템프로그램이 주행하는 특권상태 (특권모드)에 의해서 액세스가능한 공간으로 된다.

캐쉬메모리CACHE-M에 대한 액세스 어드레스를 지정하기 위한 어드레스포맷은 제12도에 도시된다. 어드레스 어레이부CA - ary에 대한 리드/라이트의 어드레스의 비트31 비트24는 H 'F0 (11110000)으로 된다. 데이타 어레이부CD - ary에 대한 리드/라이트의 어드레스의 비트31 비트24는 H 'F1 (11110001)으로 된다. 이것에 의해서 캐쉬유닛CACHE의 제어부CACHE-C는 데이타 어레이부CD - ary나 어드레스 어레이부CA - ary에 대한 어드레스지정 액세스를 인식한다. 이 때, 액세스대상뱅크 (웨이)의 지정은 비트12 비트11의 2비트 (W) 로 지정되고, 엔트리의 지정 (캐쉬라인 의 지정)은 비트10 비트4의 7비트 (ENTRY)로 지정된다. 제어부CACHE-C는 이들의 정보에 따라 액세스 논리 어드레스의 비트31 비트24의 H ' F 0 또는 H ' F1에 따라 신호S2 - ary에 의해 어드레스 어레이부CA - ary 또는 데이타어레이부CD - ary를 지정하고, 뱅크지정비트W에 따라 신호S2 - bnk에 의해 1개의 뱅크를 지정하고, 엔트리지정비트ENTRY에 따른 인덱스 어드레스IDX에 의해 뱅크내에 1개의 캐쉬엔트리 (캐쉬라인)을 지정한다. 이것에 의해 데이타 어레이부CD - ary 또는 어드레스 어레이부CA - ary에 있어서의 소정뱅크의 소정엔트리를 어드레스에 의해 지정가능하게 된다.

제10도를 참조해서 더욱 상세하게 기술한다. 시스템버스S - bus상의 논리어드레스는 제10도의 어드레스 디코더DEC2에도 공급된다. 어드레스 디코더DEC2는 제12도의 어드레스포맷에 도시되는 바와 같이 논리어드레스의 비트31 비트24의 H ' F 0 또는 H ' F 1을 검출하는 것에 의해서 캐쉬메모리CACHE-M에 대한 어드레스지정 액세스를 인식한다. 중앙처리장치CPU가 출력하는 S버스 커맨드를 커맨드디코더DCR이 디코드하는 것에 의해서 리드/라이트신호R/W가 형성된다. 따라서, 액세스가 리드동작인지 라이트동작인지는 커맨드 디코더DCR에서 출력되는 리드/라이트신호 R/W에 의해서 결정된다. 제12도의 어드레스 및 데이타포맷에 도시되는 바와 같이 어드레스 어레이부에 대한 리드데이타 및 라이트 데이타는 어드레스태그TAG (31 - 10) , LRU, U비트 및 V비트로 된다. 어드레스어레이부에 대한 라이트만으로 해당 엔트리를 무효화할 수 있도록 V비트가 포함되어 있다. 데이타어레이부에 대한 리드라이트데이타는 16바이트의 데이타로 된다.

어드레스 어레이부CA - ary에 대한 라이트 액세스인 경우에는 제12도에 도시되는 바와 같이 어드레스의 비트3에 연상비트A가 할당된다. 연상비트A는 연상해서 (상기 어드레스비교를 실행해서) 라이트를 실행할지 실행하지 않을지를 지시하는 비트로 되고, A = 1인 경우에는 어드레스비교의 결과가 히트인 경우에만 해당 엔트리로의 라이트를 허용하고 (미스인 경우에는 라이트를 실행하지 않는다) , A= 0인 경우에는 어드레스비교를 실행하지 않고 어드레스로 선택된 엔트리로의 라이트를 허용하는 것을 의미한다. 연상비트A로 지시되는 어드레스 어레이로의 연상라이트에 있어서의 비교대상 어드레스는 라이트 데이타에 포함되는 어드레스태그TAG이다. 이와 같은 연상라이트는 특정의 캐쉬엔트리를 무효화하기 위해 V비트를 논리값0으로 리라이트하는 경우에 이용된다. 엔트리의 무효화의 처리예는 제8도에 도시된다. 데이타 어레이부CD - ary에 대한 액세스의 경우에는 그 어드레스의 비트3 비트2에는 롱워드 셀랙트비트LS가 할당되어 있다. 롱워드 셀렉트비트LS는 액세스대상으로 하는 롱워드데이타를 2비트로 지정한다. 제10도에 도시되는 바와 같이 A = 1인 경우에는 OR게이트OR2의 출력은 히트신호hit11 hit14 중 어느 것인가가 히트레벨 (하이레벨)로 되지 않는 한 로우레벨을 유지하므로, 어드레스 비교결과가 히트로 되어 비로서 라이트 데이타가 라이트 선택회로WS2에 공급된다. A = 0으로 지시되는 비연상라이트에서는 어드레스 비교결과와는 관계없이 라이트제어게이트GT2가 열리므로, 디바이스테스트에 있어서 어드레스 어레이부CA - ary를 단지 리라이트하는 경우에 이용된다.

상술한 어드레스 맵핑된 캐쉬메모리CACHE-M에 매한 리드 액세스는 MOV명령과 같은 데이타전송명령을 이용해서 실행할 수 있다. 그 명령기술은 예를 들면, MOV@R1, R0으로 된다. @R1은 전송원 어드레스로서, 적당한 레지스터R1에 제12도에서 설명한 포맷의 어드레스가 설정된다. R0은 전송지 레지스터이다. 이 명령을 실행하는 것에 의해 캐쉬메모리CACHE-M은 MOV명령으로 액세스가능한 메모리와 마찬가지로 리드 액세스되고, 그 리드데이타는 레지스터R0으로 전송된다. 캐쉬메모리CACHE-M에 대한 라이트 액세스도 마찬가지로, 그 명령기술은 예를 들면 MOVR0, @R1로 된다. @R1은 전송지 어드레스로서, 적당한 레지스터R1에 제12도에서 설명한 포맷의 어드레스가 설정된다. R0은 전송원 레지스터로서, 라이트 데이타가 유지된다. 이 명령을 실행하는 것에 의해 캐쉬메모리CACHE-M은 그 밖의 메모리와 마찬가지로 MOV명령으로 라이트 액세스된다. 이 경우, A = 1을 어드레스정보에 포함하고, 무효화하

고자 하는 엔트리의 어드레스태그TAG와 V = 0을 라이트데이타에 포함해서 상기 명령을 실행했을때, 어드레스비교가 일치 (캐쉬히트)인 경우에만 라이트동작이 실행되고 (상기 캐쉬엔트리가 무효화되고) , 불일치인 경우에는 라이트동작은 실행되지 않는다 (상기 캐쉬엔트리는 무효화되지 않는다).

이와 같이 캐쉬메모리CACHE-M을 어드레스공간에 맵핑하고 어드레스를 지정해서 액세스가능하게 하면, 그 액세스는 대부분의 명령세트에 포함되는 MOV명령과 같은 일반적인 데이타전송명령으로서 실현할 수 있다. 따라서, 캐쉬메모리CACHE-M을 액세스하기 위한 전용명령을 필요로 하지 않고, 명령코드의 종별을 적게 할 수 있어 명령어 길이의 단축에 기여할 수 있다. 즉, 캐쉬메모리CACHE-M을 액세스하기 위한 전용명령을 채용할 필요가 없으므로, 중앙처리장치CPU의 내부에서 명령을 디코 드하기 위한 명령디코더ID의 논리규모의 증대를 억제할 수 있다. 또, 명령어길이를 짧게 해야만하는 마이크로컴퓨터의 아키텍쳐상의 요청에도 용이하게 대처할 수 있다. 예를 들면, 본 실시예의 마이크로컴퓨터MPU가 16비트고정길이명령을 채용하면, 비교적 짧은 명령코드이므로 상기 명령코드는 귀중한 리소오스로서 자리잡게된다. 이 때문에 캐쉬메모리CACHE-M을 어드레스공간에 맵핑하고 어드레스를 지정해서 액세스가능하게 한다고 하는 것은 명령디코더ID의 하드웨어변경량을 적게 할 수 있어 명령코드의 신규추가를 필요로 하지 않을 수 있다. 또, 어드레스 포맷에는 A비트를 포함해서 연상라이트의 유무를 임의로 지정할 수 있도록 하였으므로, 본래 어드레스비교를 필요로 하는 캐쉬엔트리의 무효화의 처리와 디바이스테스트시와 같은 본레 어드레스 비교를 필요로 하지 않는 리라이트와의 쌍방의 요구에 용이하게 대처할 수 있다.

제15도에는 상기 캐쉬메모리CACHE-M 및 어드레스 변환버퍼TLB에 대한 어드레스지정 액세스가 중앙처리장치CPU의 특권모드에 있어서만 가능하게 되는 것을 도시한 블럭도가 도시되어 있다. 동일도면에 있어서 캐쉬메모리CACHE-M 및 어드레스 변환버퍼TLB에 대한 액세스제어는 그것에 대한 인덱스를 주체로 도시되어 있다. 어드레스 변환버퍼TLB에는 논리 어드레스의 비트16~12가 인덱스 어드레스로서 공급된다. 어드레스지정 액세스에 있어서 그들의 비트는 제7도의 어드레즈지정 액세스에 있어서의 어드레스포맷의 뱅크지정비트ENTRY에 상당한다. 캐쉬메모리CACHE-M에는 논리 어드레스의 비트10 4가 인덱스 어드레스로서 공급된다. 어드레스지정 액세스에 있어서 그들의 비트는 제12도의 어드레스지정 액세스에 있어서의 어드레스포맷 의 뱅크지정비트ENTRY에 상당된다. 액세스권 체크회로 (60) 은 제3도의 메모리맵에서 명확한 바와 같이 그 논리 어드레스가 특권모드에 있어서만 액세스가 허용되는 영역P1 p4의 어드레스인지 아닌지를 논리 어드레스의 최상위측의 4비트로 판정한다. 액세스권 체크회로 (60) 은 모드비트MD를 입력하고, 그것에 의해서 논리 어드레스에 특권위반 (사용자모드에 있어서의 영역P1 P4의 액세스) 이 없는지를 판정하고, 특귄위반에 대해서는 어드레스에러를 중앙처리장치CPU에 통지한다. 중앙처리장치CPU는 그것에 의해서 현재의 명령실행을 중단하고 예외처리로 분기된다. 제7도 및 제12도에 도시되는 바와 같이 캐쉬메모리CACHE-M 및 어드레스 변환버퍼TLB는 P4영역에 맵핑되므로, 그들에 대한 상기 어드레스 지정액세스는 특권모드에 있어서만 가능하게 된다. 또, 레지스터PTEH 및 MMUCR은 캐쉬컨틀로러CACHE - C에 포함되는 일부의 컨트롤레지스터XOR은 배타적 논리합회로, (18) 은 선택회로이고, 이들에 대해서는 다음의 실시예설명에서 명확하게 한다.

이상의 실시예 설명에서는 마이크로컴퓨터MPU는 다수의 페이지사이즈를 서포트하는 것으로 하였다. 본 발명이 적용되는 마이크로컴퓨터는 그 밖에 다수의 인덱스방법을 서포트하고, TLB엔트리 등에 대한 치환의 자유도를 향상시켜 단일가상기억과 다중가상기억의 쌍방을 서포트하는 기능이 부가되어 있어도 좋다. 이하, 제16도~제33도를 참조하면서 마이크로컴퓨터MPU에 있어서의 상기 다수의 인덱스방법의 서포트 등에 대해서 설명한다.

제20도에는 메모리매니지먼트 유닛MMU를 주체로 해서 마이크로컴퓨터의 블럭도가 도시되어 있다. 동일도면에 도시되는 마이크로컴퓨터는 특히 제한되지 않지 만, 공지의 반도체집적회로 제조기술에 의해서 단결정실리콘과 같은 1개의 반도체기판에 형성되어 있다. 동일도면에는 논리 어드레스버스VABUS, 물리 어드레스버스PABUS, S, 데이타버스DBUS, 중앙처리장치CPU, 캐쉬유닛 CACHE, 버퍼메모리로서의 어드레스 변환버퍼TLB 및 TLB컨트롤러 TLB-C가 대표적인 회로블럭으로서 도시되어 있다. 중앙처리장치CPU는 도시하지 않은 프로그램메모리에서 명령을 페치하고, 그 명령기술에 따른 데이타처리를 실행하고, 외부액세스를 필요로 하는 경우에는 논리 어드레스버스VABUS에 논리 어드레스를 출력하고, 데이타버스DBUS에 데이타의 입출력을 실행한다. 캐쉬유닛CACHE는 특히 제한되지 않지만, 4웨이 세트 어소시에이티브형식으로 되고, 뱅크에 대한 인덱스는 논리 어드레스버스VABUS에서 공급되는 논리 어드레스의 일부를 사용해서 실행되고, 엔트리의 태그부에는 물리 어드레스가 보유되고, 인덱스된 태그부는 그 논리 어드레스가 어드레스변환버퍼TLB에 의해 변환되어 물리 어드레스버스PABUS에 출력되는 물리 어드레스와 비교되고, 그 비교결과에 따라서 캐쉬미스/히트를 판정한다.

본 실실에의 마이크로컴퓨터는 논리 어드레스공간을 논리 패이지라고 불리우는 단위로 분할하고, 그 페이지단위로 논리 어드레스를 물리 어드레스로 어드레스변환을 실행하기 위한 가상기억을 서포트한다. 상기 어드레스 변환버퍼TLB는 논리 패이지번호VPN과 이것에 대응한 물리 페이지번호PPN에 관한 변환쌍 등을 TLB엔트리로서 저장하고, TLB컨트롤러 TLB - C는 중앙처리장치 CPU가 출력하는 논리 어드레스를 어드레스 변환버퍼TLB 등을 사용해서 물리 어드레스로 변환한다. 그 어드레스 변환버퍼TLB는 각각 인덱스 어드레스가 공통화된 4개의 뱅크를 갖는 4웨이 세트 어 소시에이티브 방식의 캐쉬메모리에 의해서 구성된다. 도면이 복잡하게 되는 것을 피하기 위해서 제20도에는 대표적으로 1개의 탱크BNK0만이 도시되어 있지만, 실제로는 제6도와 같이 뱅크BNK0과 동일한 다른 뱅크BNK1 BNK3이 도면의 표면과 이면방향으로 배치되어 있다. 상기 어드레스 번환버퍼TLB, TLB컨트롤러TLB-C, 중앙처리장치CPU 및 어드레스 변환과 메모리보호를 위한 시스템 소프트웨어 또는 오퍼레이팅시스템에 의해서 상기 가상기억을 서포트하는 어드레스변환기구가 구성된다.

본 실시예의 마이크로컴퓨터의 어드레스공간에 대해서는 제3도 (A) 및 제3도 (B)에 따라서 이미 설명한 바와 같다. 또, 본 실시예의 마이크로컴퓨터를 특권모드로 설정하는 방법으로서 1) 예외나 인터럽트의 발생, 2) 특권상태 세트명령 (TRAPA)의 실행의 2가지이다. 제5도나 제10도에 있어서 설명한 어드레스 변환버퍼TLB 및 캐쉬메모리CACHE를 액세스할 때, 마이크로컴퓨터를 특권모드로 하는 방법으로서는 특히 제한되지 않지만, 상기 2) 방법으로 한다. 물

론, 상기 1) 의 방법으로 마이크로컴퓨터를 특권모드로 설정하고, 어드레스 변환버퍼TLB 및 캐쉬메모리CACHE를 액세스해도 상관없다. 특권상태 (특권모드가 설정되어 있는 상태로서, 중앙처리장치CPU는 모든 명령을 실행하는 것이 가능하게 되고, 또한 모든 레지스터를 액세스할 수 있다)는 사용자상태 (사용자모드가 설정되어 있는 상태로서, 중앙처리장치CPU는 시스템에 중대한 영향을 주는 명령의 진행이나 시스템이 관리하는 레지스터 및 메모리영역의 액세스는 할 수 없고 특정명령실행 특정레지스터 및 특정메모리영역의 액세스만 가능)에서는 어드레스에러로 되는 어드레스공간을 액세스 할 수 있고, 사용자상태에서는 실행불가능한 특권명령 또는 시스템제어명렁을 실행 할 수 있는 등과 같은 점에 있어서 사용자상태와 상위된다. 특히 제한되지 않지만, 모드비트MD가 ' 1 '일 때, 중앙처리장치CPU는 특권모드로 되고, 모드비트MD가 ' 0 '일 때, 중앙처리장치 CPU는 사용자모드로 된다.

또, 상기 실시예와 마찬가지로 본 실시예의 마이크로컴퓨터가 서포트하는 논리 페이지의 사이즈는 4 KB와 1 KB의 쌍방으로 되고, 서포트되는 논리 페이지의 최대사이즈 (=4 KB)가 최소사이즈 (= 1 KB) 의 2의 누승수배로 되고, 어드레스 변환버퍼TLB의 뱅크의 수 (= 4) 가 그 2의 누승수이상이라고 하는 관계를 만족하고 있다. 이 때의 논리 페이지사이즈와 오프세트 및 논리 페이지번호 (논리페이지 어드레스) 의 관계는 제4도에 따라서 이미 설명한 바와 같고, 어드레스변환버퍼TLB에 대한 인덱스에는 페이지사이즈가4 KB인지 1 KB인지에 관계없이 4 KB페이지사이즈의 논리 페이지어드레스의 하위5비트의 비트위치의 정보 즉, 32비트의 논리 어드레스의 비트12 비트16이 사용된다. 어드레스 변환버퍼TLB에 저장되는 엔트리에 대해서도 제4도에 따라서 이미 설명한 내용과 동일하다.

여기서, 단일가상기억과 다중가상기억의 개념을 제32도 (A) 및 제32도 (B) 에 따라서 설명한다. 다중가상기억이라고 하는 것은 다수의 프로세서의 각각이 논리공간의 전역에 걸치는 각각의 어드레스 변환정보를 갖을 때에는 프로세스번호asid에 의해서 논리 어드레스를 수식 또는 확장하는 것이다. 단일기억이라고 하는 것은 다수의 프로세스에 논리 어드레스공간의 일부가 배타적으로 할당되어 각각의 프로세스가 그것에 할당된 논리 어드레스공간의 어드레스 변환정보를 갖을 때에는 프로세스번호asid에 의해서 논리 어드레스를 수식 또는 확장하지 않는 다고 하는 것이다. 이와 같이 단일가상기억에 있어서는 다수의 프로세스사이에서 배타적으로 논리어드레스공간이 할당되므로, 제32도 (B) 에서 도시되는 바와 같이 프로세스에 할당된 논리 어드레스공간마다 그 고유의 어드레스 변환정보가 존재한다. 이 때문에, 어드레스 변환테이블은 1개 존재할 뿐이다. 상기 1개의 어드레스 변환테이블을 사용하면, 어느 논리 어드레스A는 그것에 대응되는 물리 어드레스D로 일의적으로 변환된다. 이것에 대해서 다중가상기억에 있어서는 다수의 프로세스사이에서 논리 어드레스공간이 서로 중복해서 할당된다. 이 때문에 프로세스마다의 어드레스변환정보는 서로 개개의 어드레스 변환테이블에 포함되어야만 한다. 따라서, 어느 논리 어드레스A는 서로 다른 어드레스 변환테이블i , j를 거치는 것에 의해서 다른 물리 어드레스B , C로 변환되게 된다. 이 때, 변환에 관한 논리 어드레스A가 어느 프로세스에 속하는지는 프로세스번호에 의해서 식별된다. 제32도 (A)에 따르면, 다중가상기억에 있어서 어드레스변환테이블 i는 프로세스번호 i에 대응되고, 어드레스 변환테이블 j는 프로세스번호 j에 대응된다. 프로세스번호는 서로 동일한 논리 어드레스공간을 사용하는 (액세스하는) 다수의 프로세스에 있어서의 식별번호로 간주할 수도 있다.

제20도에 있어서 상기 TLB컨트롤러TLB- C는 제어회로 (CTRL) (50) , 페이지테이블 엔트리 상위 (PTEH) 레지스터 (51) 패이지테이블 엔트리 하위 (PTEL) 레지스터 (52) , 변환테이블 베이스 (TTB) 레지스터 (53) , TLB예외 어드레스 (TEA) 레지스터 (54) 및 컨트롤 (MMUCR)레지스터 (55)를 구비한다. 후에 제34도를 사용해서 설명하는 바와 같이 이들의 레지스터는 중앙처리장치CPU에 의해서 직접 리드/라이 트가능하게 된다. 그밖의 레지스터 (51) (53)도 중앙처리장치CPU에 의해서 직접 액세스가능하다.

제19도에 도시되는 바와 같이 PTEH레지스터 (51) , PTEL 레지스터 (52)는 TLB미스 등에 있어서 어드레스 변환버퍼TLB의 엔트리를 갱신 또는 추가하기 위한 페이지테이블 엔트리를 보유할 수 있는 필드가 구비되어 있다. 또, PTEH레지스터 (51)에는 소프트웨어의 실행에 의해서 중앙처리장치CPU에서 현재의 프로세스의 공간번호asid가 세트된다. 또, PTEH레지스터 (51) 은 TLB미스 등이 발생한 경우, 중앙처리장치CPU가 출력하고 있는 TLB미스의 논리페이지 어드레스vpn을 유지하는 기능도 아울러 구비하고 있다. 중앙처리장치CPU가 출력하는 논리 어드레스의 오프세트는 제어회로CTRL (50) 내부의 도시하지 않은 래치 회로에 유지된다. TLB레지스터 (53)은 현재의 페이지테이블의 베이스어드레스를 지정하고 있다. TEA레지스터 (54)는 TLB에 관한 예외 또는 어드레스에러예외를 발생한 논리 어드레스를 유지한다. MMUCR레지스터 (55) 는 어드레스변환을 유효로 할지 무효로 할지를 지시하는 비트AT (논리값 1 =유효, 논리값0 =무효) , 어드레스 번환버퍼TLB의 플럭싱을 지시하는 비트TF, 2비트의 랜덤카운터필드RC, 인덱스모드를 지정하는 인덱스모드비트 IX, 단일가상기억과 다중가상기억 중 어느것인가를 선택할지를 지시하는 싱글가상기억비트SV (SV = 1로 단일가상기억을 선택, SV = 0으로 다중가상기억을 선택)을 포함한다. 상기 인덱스모드비트 IX = 1인 경우에는 제17도에 도시되는 바와 같이 asid (4-0) 즉, 현재의 공간번호asid의 비트0 비트4와 논리 페이지번호vpn의 비트12 비트16을 이용한 인덱스방법이 선택되고, IX = 0인 경우에는 제16도에 도 시되는 바와 같이 중앙처리장치CPU에서 출력되어 있는 논리 페이지번호vpn의 비트12 비트16을 이용한 인덱스방법이 선택된다. 더욱 상세하게 기술하면, IX = 1인 경우에 있어서의 인덱스 어드레스는 제20도에 도시되는 바와 같이 PTEH레지스터 (51) 이 보유하는 공간번호asid의 비트0 비트4와 중앙처리장치CPU에서 출력되고 있는 논리 페이지번호vpn의 비트12 비트16 즉, vpn (16-12)를 입력하는 배타적논리합게이트XOR의출력으로 된다. 제20도의 셀렉터 (18) 은 배타적논리합게이트XOR에 의해 해싱된 출력 또는 vpn (16-12)중 어느것인가를 인덱스용 어드레스로서 선택한다. 그 선택제어는 인덱스모드비트IX의 값에 따라서 결정되고, CTRL (50) 에서 출력되는 선택신호 (550) 에 의해 실행된다.

제20도에 있어서, 중앙처리장치CPU에서 출력되는 논리어드레스의 논리 페이지번호vpn (31 - 10)중, 비트12 비트16에 상당하는 vpn (16-12)는 TLB의 4개의 뱅크BNKO BNK3에 공통인 인덱스 어드레스 (2)의 생성에 이용된다. 상기한 바와 같이 논리 페이지번호는 5비트로 나타내므로, 공통인 인덱스 어드레스 (2) 에 의해서 각각의 뱅크에 있어서 32개의 엔트리에서1개가 선택되어 리드된다. 선택되는 각각의 엔트리는 VPN (31 - 17) , VPN (11 - 10) , ASID, SH, SZ, V, PPN (31 - 10) , PR, C, D를 포함한다. 리드된 VPN (31 - 17)은 비교기 (151) 에 의해서 중앙처리장치

CPU에서 출력되고 있는 논리 어드레스의 vpn (31 - 17) 과 비교되고, VPN (11 - 10) 은 비교기 (152) 에 의해서 중앙처리장치CPU에서 출력되고 있는 논리어드레스의 vpn (11-10) 과 비교되고, 리드된 프로세스번호ASID는 PTEH레지스터 (51) 이 보유하는 현재의 프로세스번호asid와 비교기 (153) 에 의해 비교된다. 비 교결과에 대해서는 제어논리 (154)가 공유상태SH, 사이즈비트SZ, 싱글가상기억비트SV 및 모드비트MD의 값을 고려해서 뱅크BNK0의 미스/히트의 판정을 실행한다. hit1은 뱅크BNK0에 있어서의 미스/히트의 판정결과로서의 히트신호이다. 상기 비교기 (151) (153) 및 제어논리 (154) 는 각 뱅크BNK0 BNK3에 마련되어 있다. 제20도에서는 뱅크BNK1 BNK3에 관해서 각각의 히트신호hit2 hit4가 대표적으로 도시되어 있다. 본 실시예에 따르면 각 비교기 (151) (153)의 출력은 하이레벨이 일치레벨로 된다. 히트신호hit1 hit4는 하이레벨이 히트레벨로 된다. 제어회로 (50) 은 히트신호hit1 hit4 중 어느것인가가 히트레벨로 되는 것으로서 TLB히트로 판정한다. 제20도의 (501) 은 TLB히트/미스의 판정결과를 중앙처리장치CPU에 통지하는 TLB히트신호이다. TLB미스가 발생했을 때에는 어드레스 변환버퍼TLB의 엔트리를 치환하는 처리가 실행된다. 이 변환처리에 있어서 치환될 엔트리의 내용은 PTEH레지스터 (51) , PTEL레지스터 (52) 에 유지되고, PTEH레지스터 (51), PTEL레지스터 (52) 에서 어드레스 변환버퍼 TLB로 변환될 정보가 공급되고, 어드레스 변환버퍼TLB에 저장된다. 변환될 엔트리를 선택하기 위한 인덱스방법은 리드시에 있어서의 인덱스방법과 동일하지만, 어느 뱅크 (세트) 에 상기 엔트리를 저장할지는 MMUCR레지스터 (55) 의 RC의 값 (MMUCR. RC)에 의해서 결정된다. 제33도에는 상기 제어논리 (154) 의 1예 논리구성이 도시된다.(1541) 은 3입력 AND게이트, (1542) 는 2입력OR게이트, (1543) 은 2입력OR게이트이다. OR게이트 (1542) 는 인덱스된 TLB엔트리 (인덱스 어드레스에 의해서 선택되어 리드된 엔트리) 에 포함되는 VPN (11 - 10) 과 논리어드레스에 포함되는vpn (11 - 10)의 비교결과인 비교 기 (152) 의 출력과 상기 인덱스된 TLB엔트리에서의 사이즈비트SZ를 입력한다. 사이즈비트SZ = 1에 의해서 지시되는 4 KB의 논리 페이지사이즈에 있어서는 TLB미스/히트판정을 위한 어드레스비교에 있어서 TLB엔트리내의 VPN (11 - 10) 과 중앙처리장치CPU에서의 vpn (11 - 10) 의 비교는 실행할 필요가 없다. 그 때문에, 사이즈비트SZ = 1인 상태에서는 AND게이트 (1541)의 출력신호hit1에는 상기 어드레스비트 (11) , (10) 의 비교결과는 반영되지 않는다. 사이즈비트SZ = 0에 의해서 지시되는 1 KB의 논리 페이지사이즈에서는 TLB미스/히트판정을 위해 어드레스비트(11), (10)의 비교동작이 필요하게 되고, 그 결과가 신호hit1에 반영된다.

상기 OR게이트 (1543) 은 인덱스된 TLB엔트리에 포함되는 프로세스번호ASID와 현재의 프로세스번호 (PTEH레지스터 (51) 에서 출력되고 있는 프로세스번호) asid의 비교결과인 비교기 (153)의 출력과 상기 인덱스된 TLB엔트리에서의 공유비트SH를 입력한다. 공유비트SH = 1 (프로세스사이에서의 논리페이지의 공유) 의 상태에서는 TLB미스/히트판정을 위한 어드레스비교에 있어서 프로세스번호사이의 비교를 필요로 하지 않으므로, 공유비트SH = 1인 상태에서는 AND게이트 (1541)의 출력신호hit1에는 프로세스 번호의 비교결과는 반영되지 않는다. 공유비트SH = 0 (프로세스사이에서의 논리페이지의 비공유)의 상태에서는 TLB미스/히트판정을 위한 어드레스비교에 있어서 프로세스번호사이의 비교를 필요로 하므로, 공유비트SH = 0인 상태에서는 AND게이트 (1541)의 출력신호hit1에는 프로세스번호의 비교결과가 반영된다.

여기서, TLB엔트리가 보유하는 프로세스번호ASID는 단일가상기억에 있어서 메모리보호정보 (도메인번호)로서 이용된다. 즉, 단일가상기억에서도 다중가상기억에서도 공유비트SH에 의해서 공유 또는 비공유가 지시된다. 비공유가 지시되어 있을 때, 다중가상기억에 있어서는 현재의 프로세스번호asid와 TLB엔트리에 포함되는 프로세스번호ASID의 불일치는 TLB미스로 된다. 이것에 대해서 비공유가 도시되어 있을 때, 단일가상기억에 있어서 프로세스번호asid, ASID사이의 불일치는 TLB프로텍트 위반예외의 검출에 이용된다. 이것을 실현하기 위해서 제어회로 (50) 에는 액세스권체크를 위한 1개의 논리로서 제33도에 도시되는 AND게이트(502)를 갖는다. 이 AND게이트 (502)는 상기 OR게이트 (1543)의 반전출력, MMUCR의 레지스터에서의 싱글가상기억비트SV 및 중앙처리장치CPU내의 상태 레지스터내의 모드비트MD의 반전신호를 받아서 TLB프로텍트 위반예외의 검출신호 (503) 을 형성한다. 이 검출신호 (503)은 하이레벨이 TLB프로텍트 위반예외의 검출레벨이다. 신호 (503)에 의해서 TLB프로텍트 위반예외가 검출되는 것은 프로세스번호가 불일치 또한 비공유 (OR게이트 (1543)의 출력이 로우레벨)단일가상기억 (SV = 1) , 사용자모드 (MD = 0) 의 조건이 만족될 때이다. 즉, 단일가상기억에 있어서 프로세스번호가 불일치 또한 비공유인 경우에는 실질적으로 TLB미스가 되지만, 이 상태를 메모리보호를 위한 TLB프로텍트위반예외로 한다. 모드비트MD = 1에 의해서 지시되는 특권상태에서는 다른 프로세스에 할당되고 있는 논리 페이지도 액세스할 수 있도록 하는 것이 바람직하므로, MD = 1의 특권상태에 있어서는 TLB프로텍트 위반예외를 검출하지 않도록 하고 있다.

제22도에는 제어회로 (50) 에 의한 어드레스변환의 제어메인흐름이 도시되어 있다. 그 제어는 어드레스 변환버퍼TLB의 인덱스처리L1, 어드레스비교와 V비트의 체크처리L2, 액세스권의 체크처리 L3, 물리어드레스의 생생처리L4로 나뉜다. 이들의 처리는 중앙처리장치CPU 및 컨트롤러 (5) 에 의해서 제어된다.

어드레스 변환버퍼TLB의 인덱스처리L1에 있어서, 그것에 이용되는 논리 어드레스는 논리 페이자사이즈에 관계없이 vpn (16 - 12) 으로 된다. 이 인덱스처리에 있어서 이용되는 논리어드레스를 배타적논리합게이트XOR을 사용해서 공간번호asid의 일부asid (4 - 0) 에 의해서 해싱한 것을 인덱스용 어드레스로 하는지 하지않는지가 MMUCR레지스터 (55)의 IX의 값 (MMCUR. IX) 에 의해서 결정된다. 제23도에 도시되는 바와 같이 MMUCR. IX = 1인 경우에는 상기 이용되는 논리 어드레스가 asid (4 - 0) 에 의해서 해싱되고, 인덱스용 어드레스로 된다. MMUCR. IX=0인 경우에는 vpn (16-12) 가 그대로 인덱스용 어드레스로 된다. 전자의 인덱스방법은 제17도에 도시되고, 후자의 인덱스방법은 제16도에 도시된다. 어드레스변환버퍼TLB가 인덱스되면, 각각의 뱅크BNK0 BNK3에 있어서 32개의 엔트리에서 1개가 선택되어 리드된다. 선택되는 각각의 엔트리는 VPN (31-12), VPN (11-10), ASID, SH, SZ, V, PPN (31 - 10), PR, C, D를 포함한다.

어드레스비교와 V비트의 체크처리L2에 있어서, 어드레스비교의 수순은 제24도와 같이 된다. 이 수순은 제33도의 제어논리 (154)의 논리에 따르지만, 공간번호ASID의 비교에 관해서는 TLB프로텍트 위반예외의 검출도 고려되어 있다.

히트신호hit1　hit4에 반영될 어드레스비교의 대상을 어떻게 하는가는 다음과 같이 결정된다. SH=1인지 아닌지에 의해서 어드레스비교의 대상으로서 공간번호를 고 려할지가 결정되고, SZ = 0인지 아닌지에 의해서 어드레스비교의 대상으로 VPN (11 - 10)을 고려할지 고려하지않을지가 결정된다. 특히, 단일가상기억 (SV = 1)에 있어서는 공간번호ASID의 필드내 데이타를 메모리보호정보로서 사용하지만, 상술한 바와 같이 특권모드에 있어시는 다른 프로세스에 할당된 논리페이지도 현재의 프로세스에서 액세스할 수 있도록 하기 위해 즉, TLB프로텍트 위반예외를 검출하지 않도록 하기 위해서 단일가상기억이고 또한 특권모드 (SV= 1 또한 MD = 1)일 때에는 비교대상에서 공간번호ASID의 필드를 제외하도록 하고 있다.

인덱스에 의해서 어드레스 변환버퍼TLB에서 TLB엔트리가 리드되고, 그 리드된 TLB엔트리내의 공유상태SH에 따라서 어드레스비교시에 공간번호ASID를 고려할지 고려하지 않을지가 판정된다.

SH = 1 (공유)인 경우, 공간번호ASID는 어드레스비교의 대상으로서 고려되지 않고, SH = 0 (비공유)인 경우, 공간번호ASID는 어드레스비교의 대상으로 고려된다. MMUCR레지스터 (55) 의 SV의 값 (MMUCR. SV) = 1에 의해 단일가상기억이 설정되어 있는 경우에 상태레지스터SR이 모드비트SR. MD = 1에 의해 특권모드가 지정되어 있을 때에는 공간번호ASID는 TLB프로텍트 위반예외의 검출에는 고려되지 않는다. 특권모드의 성질상 다른 프로세스에 할당되어 있는 논리페이지를 액세스할 수 있도록 하기 위함이다.

본 실시예에 있어서는 TLB엔트리내의 사이즈비트SZ의 값에 따라서 1 KB 또는 4 KB의 논리 페이지사이즈의 사이즈로서 선택된다. 논리 페이지의 사이즈가 1 KB인 경우에는 각 뱅크에서 인덱스된 각각의 TLB엔트리내의 정보VPN (31 - 17) 및 VPN (11 - 10) 이 논리어드레스의 대응비트vpn (31 - 17) , vpn (11 - 10) 과의 비교대상으로 된다. 논리 페이지사이즈가 4 KB인 경우에는 각 뱅크에서 인덱스된 각각의 TLB엔트리내의 정보VPN중, VPN (11 - 10) 과 이것에 대응하는 논리어드레스의 대 응비트vpn (11 - 10) 은 비교판정대상에서 제외된다.

상술한 바와 같이 비교대상 (VPN (31 - 17, 11 - 10) , vpn (31 - 17, 11 - 10), ASID, asid) 가 결정되고, 비교가 실행된다. 이 비교결과로서 어떤 뱅크에 있어서 일치하면, 그 일치한 뱅크에서 히트신호가 출력된다. 각 뱅크의 히트신호hit1　hit4로서 출력되고, TLB히트로 된다. 이것에 대해서 어떤 뱅크에서도 히트신호가 출력되지 않는 경우, 즉 불일치인 경우에는 TLB미스예외가 검출되게 된다. 그 결과는 신호 (501) 에 의해 중앙처리장치CPU에도 통지되고, 중앙처리장치CPU에 의해서 후술하는 TLB미스예외의 처리가 실행된다. 또, 인덱스된 각 뱅크의 엔트리에 대해서는 그 엔트리내의 V비트에 대한 체크도 실행된다. 즉, 인덱스에 의해서 리드된 엔트리내의 V비트에 대해서 체크가 실행된다. TLB히트인 경우에 히트에 관계되는 엔트리가 V=0 (무효)일 때에는 TLB무효예외가 검출되고, 이것이 중앙처리장치CPU에 통지된다. 이 예외처리의 내용은 후술한다. TLB미스인 경우에 있어서의 V비트의 판정결과는TLB미스에 관계된 후술의 엔트리 치환에서 이용된다.

액세스권의 체크처리L3에 있어서는 인덱스에 의해 리드된 TLB엔트리내의 정보PR의 내용과 MMUCR레지스터내의 비트MMUCR. SV의 내용에 따라서 액세스권이 체크된다. 예를 들면, 제25도에 도시되는 바와 같이 우선, MMUCR레지스터내의 비트MMUCR. SV가 1 (단일가상기억) 인지 0 (다중가상기억) 인지의 판정이 실행된 다. 다중가상기억 (SV=0)인 경우에는 제21도의 PR의 내용에 따라서 TLB엔트리내의 정보로 나타내는 어드레스공간의 프로텍션이 실행된다. 단일가상기억이고 또한 특권모드로 되어 있는 경우, 즉 MMUCR. SV = 1 (단일가상기억) 이고, 상태레지스터내의 비트SR. MD = 1 (특권모드) 인 경우에는 TLB엔트리내의 정보로 나타내는 어드레스공간을 조건없이 액세스할 수 있다. 이것에 대해서 단일가상기억에서도 사용자모드인 경우 (SR. MD = 0 : 사용자모드) 에는 액세스권의 체크시에 공간번호ASID와 공유상태SH가 고려된다. 즉, 액세스시의 PTEH레지스터 (51)의 공간번호asid와 어드레스변환버퍼TLB에서 리드된 공간번호ASID가 일치하는 경우 또는 SH = 1 (공유) 인 경우에는 상기 PR에 따라서 TLB엔트리내의 정보로 나타내는 어드레스공간의 프로텍션이 실행된다. 이것에 대해서 프로세스번호불일치이고 또한 비공유인 경우에는 TLB프로텍트 위반예외가 검출된다. 상기 예외의 내용에 대해서는 후술한다. 또, 액세스권의 체크처리L3에 있어서는 액세스가 리드를 위한 것인지 라이트를 위한 것인지의 액세스타입판정과 어드레스 변환버퍼TLB에서 리드한 엔트리의 D비트의 판정이 실행된다. 액세스가 최초의 라이트 (예를 들면 전원투입이나 리세트후의 최초라이트액세스) 인 경우에는 TLB이니셜페이지 라이트예외가 검출된다. 즉, TLB이니셜 페이지라이트예외는 논리 어드레스와 인덱스된 TLB엔트리의 비교결과가 TLB비트로서, TLB엔트리내의 더티비트 D = 0으로 되고, 그 때의 액세스가 라이트액세스인 조건에 의해서 검출된다. 이 TLB이너셜페이지 라이트예외처리의 내장에 대해서는 후술한다.

물리 어드레스의 생성처리L4에 있이시는 인덱스된 TLB엔트리의 사이즈비트SZ 에 따라서, 제26도와 같이 물리 어드레스가 생성된다. 물리 어드레스pa를 형성하기 위해 사용되는 논리 어드레스va의 오프세트va (9-0) 은 도시되어 있지 않지만, 제어회로CTRL내의 래치회로에 유지되어 있다. SZ = 0 (논리 페이지사이즈가 1 KB)일 때에는 중앙처리장치CPU에서 출력되고 있는 논리 어드레스va의 오프세트va (9-0) 이 물리 어드레스pa의 오프세트pa (9-0) 으로 된다. 히트한 TLB엔트리의 데이타부에 포함되는 물리 페이지번호PPN의 전체비트PPN (31 - 10)이 물리 페이지어드레스pa (31 - 10) 으로 되고, 이것에 오프세트로서 어드레스 (9-0) 이 하위측에 부가되어 물리 어드레스pa가 생성된다. SZ = 1 (논리 페이지/사이즈가 4 KB) 일 때에는 중앙처리장치CPU에서 출력되고 있는 논리어드레스의 va의 오프세트va (11 - 0)이 물리어드레스pa의 오프세트pa (11-0) 으로 된다. 히트한 TLB엔트리내의 데이타부에 포함되는 물리페이지번호PPN 중, 하위2비트가 무시된 PPN (31 - 12)가 물리 페이지어드레스pa (31 - 12)로 되고, 오프세트로서의 어드레스 (11-0)이 하위측에 부가되어 물리어드레스pa가 생성된다.

제27도에는 어드레스비교와 V비트의 체크처리L2에 있어서 검출된 TLB미스예외에 있어서의 치환대상뱅크의 하드웨어지정방법이 도시되어 있다. 이 제어는 제어회로 (50)이 그 논리구성에 따라서 일의적으로 실행하는 것으로서 MMUCR. RC를 랜덤카운터와 같은 계수수단으로서 이용한다. MMUCR. RC의 비트수의 2의 누승수는 상기 어드레스변환버퍼TLB의 뱅크의 수 (= 4)에 일치된다. 제어회로 (50)은 상기 히트신호hit1　hit4중 모두가 히트상태를 나타내지 않은것에 응답해서 TLB미스에 의한 어드레스 변환버퍼TLB에 대한 엔트리의 치환이 필요하다고 판단한다. 이와

같 이 판단하면, 제어회로 (50)은 MMUCR. RC를 1인크리먼트 (+1)하고, 인덱스된 4개의 엔트리에 무효인 엔트리가 있는지 없는지를 그 V비트에 따라서 판정한다. V비트는 무효인 엔트리가 없는 (인덱스된 각 뱅크의 엔트리는 V = 1에 의한 유효한 데이타를 유지하고 있다) 것을 나타내고 있는 경우에는 그 인크리먼트된 결과를 치환할 뱅크번호로 하고, MMUCR. RC에 대해서는 동작하지 않게 한다. 무효인 엔트리가 존재하는 경우 (각 뱅크에서 인덱스된 어떤 엔트리가 V = 0에 의한 유효한 데이타를 유지하고 있지 않는 경우)에는 무효인 엔트리를 갖는 뱅크의 뱅크번호를 MMUCR. RC에 세트하고 또한 세트된 번호의 뱅크를 치환할 뱅크로한다. 또, 상기 MMUCR. RC의 각 비트는 중앙처리장치CPU에 의한 소프트웨어의 실행에 의해서 임의로 그 값을 변경하는 것이 가능하다. 그 때문에 상술한 바와 같이 해서 이 레지스터에 설정된 뱅크번호를 또, 소프트웨어에 의해서 변경할 수도 있다. 그 때문에 임의의 뱅크를 치환의 대상으로 할 수 있다.

제28도에는 상기 TLB미스예외에 대처하기 위해 TLB엔트리를 갱신하기 위한 TLB미스핸들러에 의한 처리수순이 도시되어 있다. 어드레스 변환버퍼TLB의 엔트리갱신에는 로드TLB명령이 이용된다. 이 로드TLB명령 (LDTLB라고도 한다)이 중앙처리장치CPU에 의해서 실행되는 것에 의해 다음의 처리가 실행된다. 즉, PTEH, PTEL의 각 레지스터 (51), (52)의 값을 어드레스 변환 버퍼TLB의 엔트리로 라이트하는 처리가 실행된다. 이 경우, 라이트대상의 엔트리는 특히 제한되지 않지만, MMUCR. RC에 세트되어 있는 뱅크번호에 의해 지시되는 뱅크내의 엔트리로서, PTEH레지스터 (51) 내에 유지되어 있는 논리어드레스 (비트12 - 비트16) 를 인덱스 어드레스로서 지시되는 엔트리이다. 상기 TLB미스예외가 검출되면, 중앙처리장치CPU에서 출력되고 있는 그 때의 논리 어드레스의 일부 (비트10 비트31) 는 상기 PTEH레지스터 (51) 에 유지된다. 이것에 의해 TLB미스예외가 발생했을 때의 인덱스 어드레스와 동일한 값의 인덱스 어드레스에 의해서 치환시의 엔트리가 지시된다. 단,치환에 사용되는 뱅크는 MMUCR. RC에 세트되어 있는 뱅크번호에 의해서 결정되게 된다.

TLB미스예외에 대처하기 위해 제34도에 도시되어 있는 외부메모리RAM에 미리 페이지테이블이 사용자에 의해서 형성된다. 이 페이지테이블에는 특히 제한되지 않지만, 다수의 논리어드레스에 각각 대응한 다수의 변환정보 (페이지테이블 엔트리)가 소정의 규칙에 따라서 저장된다. 이 페이지테이블의 어드레스, 예를 들면 그 개시어드레스는 페이지어드레스로서 페이지TTB (53)에 미리 저장된다. 이 페이지테이블은 특히 제한되지 않지만, 개시 어드레스로서의 상기 폐이지 어드레스와 논리 어드레스에 따라 상기 논리어드레스에 대응한 페이지테이블 엔트리 (대응하는 물리페이지번호ppn, 유효비트v, 프로텍션비트pr, 사이즈비트sz, 캐쉬어블비트 c, 더티비트d, 상태sh를 포함한다)를 검색할 수 있는 규칙에 의해 다수의 논리 어드레스에 각각 대응한 다수의 페이지 테이블 엔트리가 배치되어 있다.

상기 TLB미스 핸들러는 사용자에 의해서 기술된다. TLB미스예외가 검출되면, 중앙처리장치CPU에 의해서 이 TLB미스핸들러가 기동된다. 이것에 의해 PTEH레지스터 (51)에는 TLB미스발생시의 논리어드레스의 정보vpn (10-31)이 저장된다.

이 때, PTEH레지스터 (51) 에는 TLB미스발생시의 공간번호asid도 저장되도록 해도 좋다. 또, 중앙처리장치CPU는 레지스터TTB (53) 에 저장되어 있는 페이지어드 레스와 TLB미스 발생시의 논리 어드레스를 사용해서 외부메모리상의 상기 베이스테이블을 검색한다. 이 검색에 의해서 TLB미스발생시의 논리어드레스에 대응하는 페이지 테이블 엔트리가 발견되면, 이 발견된 페이지 테이블 앤트리의 내용은 PTEL레지스터 (52) 에 로드된다. 계속해서 TLB명령이 발행되어 PTEH, PTEL의 각 레지스터 (51) , (52)의 값에 의해서 어드레스 변환버퍼TLB의 해당엔트리가 갱신된다. 또, PTEH레지스터 (51) 에 유지되어 있는 TLB미스발생시의 논리어드레스의 정보vpn, asid는 TBL엔트리의 일부VPN, ASID로서 채용되게 된다. 또, 이 때, 치환되는 엔트리는 상기한 바와 같이 MMUCR. RC에 세트되어 있는 뱅크번호에 의해서 지시되고 있는 뱅크내의 엔트리로서, TLB미스발생시의 인덱스 어드레스와 동일한 인덱스 어드레스에 의해서 지시되는 엔트리이다.

상기 TLB무효예외는 TLB히트에 있이서의 페이지폴트의 경우에 발생한다. 이 예외에 대해서는 예를 들면 우선, 외부메모리상에 필요한 페이지 테이블 엔트리를 회복해서 그 페이지 테이블 엔트리내의 V비트를 논리값1로 한다. 그 후, 상기 페이지 테이블 엔트리를 외부메모리에서 PTEL레지스터 (52) 에 로드하고, 상술한 로드TLB명령을 발행해서 PTEH, PTEL의 각 레지스터 (51), (52) 의 값에 의해서 어드레스 변환버퍼TLB의 해당엔트리를 갱신한다.

상기 TLB이니셜 페이지 라이트예외에 대해서는 그것이 검출되면, 외부메모리상의 대응하는 페이지 테이블 엔트리의 D비트를 논리값1로 하고, 상기 페이지 테이블 엔트리를 외부메모리에서 PTEL레지스터 (52) 에 로드한 후, 상술한 로드TLB명령을 발행해서 PTEH, PTEL의 각 레지스터 (51), (52) 의 값에 의해서 어드레스 변환 버퍼TLB의 해당엔트리를 갱신한다. 또, 예외요인으로 된 논리어드레스의 정보vpn, asid는 PTEH레지스터 (51) 에 유지되어 있다. D = 1로 될 상황은 메인메모리상의 물리 페이지영역에 최초로 라이트가 실행될 때에 발생된다. 가상기억에 있어서 페이지 교체시에 보조기억장치와 메인메모리 (예를 들면 제34도의 외부메모리)상호간에서의 데이타의 정합을 도모하기 위해 메인메모리의 교체대상 페이지의 내용을 보조기억장치에 카피백할지 하지 않을지의 판정이 필요하게 된다. 더티비트D는 이 판정을 위해 이용된다.

상기 TLB프로텍트 위반예외가 검출되면, 예외요인으로 되는 논리 어드레스의 논리페이지번호vpn이 PTEH레지스터 (51)에, 그리고 그 논리어드레스가 TEA레지스터 (54) 에 라이트된 후, 그 프로텍트위반을 해결하기 위한 핸들러가 기동된다.

상기한 바와 같이 MMUCR. RC을 카운터로서 사용하는 경우, 상기의 TLB미스예외의 대책시에는 새로운 뱅크에 엔트리를 등록할 수 있도록 하기 위해서 상기한 바와 같은 인크리트먼트하는 것이 바람직하다. 이것에 대해서 상기 TLB무효예외, 상기 TLB이니셜 페이지 라이트예외 및 상기 TLB프로텍트위반의 대책에 있어서는 MMUCR. RC를 인크리먼트하지 않는 것이 바람직하다. 이들의 대책에 있어서는 D비트 또는 V비트의 변경만이 필요한 경우가 있고, 새로운 뱅크에 등록되지 않고 원래의 뱅크에 등록하도록 한 쪽이 TLB를 유효하게 사용할 수 있기 때문이다. 물론, 본 발명은 이와 같이 하는 것에 제한받는 것은 아니다.

제29도 및 제30도에는 MMUCR레지스터의 MMUCR. SV = 0 (다중가상기억)에 있어서의 어드레스 변환버퍼TLB에 관한 예외 검출흐름의 전체가 도시되어 있다. 제29 도에 따르면 논리 어드레스의 vpn이나 현재의 공간번호asid에 따라서 소정의 방법으로 어드레스 변환버퍼TLB의 인덱스가 실행된다 (S1). 이것에 의해서 인덱스된 앤트리가 SH = 0 (비공유)을 포함할 때에는 ASID 또는 VPN이 불일치이면 (S2, S3), TLB미스예외 (EX1) 이 검출된다. 인덱스된 엔트리가 SH = 1 (공유) 를 포함할 때에는 ASID는 비교되지 않고 VPN이 불일치이면 (S4), TLB미스예외 (EX = 1)이 검출된다. TLB히트인 경우 (S3, S4의 YES) 에는 V = 1인지가 판정된다 (S5). V = 0 (무효) 이면, TLB무효예외 (EX2)가 검출된다. V = 1 (유효)인 경우에는 제30도에 도시되는 바와 같이 상태레지스터SR. MD에서 사용자모드 (User) 인지 특권모드 (Privileged) 인지가 판정된다 (S6). 중앙처리장치CPU가 사용자모드에서 동작하고 있고, 이 모드에서 동작하고 있는 중앙처리장치CPU에 의한 액세스에 의해서 리드된 엔트리가 특권모드에서의 액세스를 허용하는 것 (사용자모드에서의 액세스금지) 를 나타내는 정보PR을 갖고 있는 경우 (PR = 00 또는 01), TLB프로텍트 위반예외 (EX3) 가 검출된다. 또, 사용자모드에서의 액세스에 의해 리드된 엔트리내의 정보PR이 10이라 판정되었을 때, 이 액세스가 리드의 액세스타입인지 라이트의 액세스타입인지가 또 판정된다. 제21도에 도시되는 바와 같이 정보PR이 10인 경우, 사용자액세스는 리드의 액세스 타입만이 허용된다. 그 때문에 상기 액세스가 라이트 액세스타입인 경우에는 액세스타입이 상위되므로(S7의 write), TLB프로텍트 위반예외 (EX3) 이 검출된다.
특권모드에서의 액세스에 있어서도 PR = 00 또는 10이 판정되었을 때의 리드/라이트의 액세스타임이 PR의 내용에 대해서 위반되어 있으면 (S8의 write), TLB프로텍트 위반예외 (EX4)가 검출된다. 즉, 중앙처리장치CPU가 사용자모드에서 동작하고 있는지 특권모드에서 동작하고 있는가에 의해 PR에 의해 허용되는 액세스권은 다르지만, 어느 경우도 PR에 의해 허용되는 이외의 액세스타입에서 액세스를 한 경우에는 TLB프로텍트 위반예외 (EX3, 4)가 검출된다. 액세스타입이 PR에 의해서 허용된 라이트 (S9. S10의 write) 인 경우, 엔트리내의 정보D가 0 (미라이트의 페이지) 이면, TLB이니셜라이트예외 (EX5) 가 검출된다. 또, 엔트리내의 정보D가 1인 경우, 엔트리내의 정보C가 1이면, 캐쉬유닛CACHE가 액세스되게 된다. C = 0이면, 메인메모리 (예를 들면 제34도의 외부메모리RAM, ROM) 이 액세스되게 된다. 액세스타입이 PR에 의해서 허용된 리드 (S7~S10의 read)인 경우에 C = 1이면, 캐쉬유닛CACHE가 액세스되고, C = 0일 때에는 메인메모리가 액세스되게 된다.
제34도에는 제20도에 도시한 각 레지스터와 중앙처리장치CPU의 접속관계가 주로 도시되어 있다. 상기 각 레지스터에는 각각 고유의 어드레스가 할당되어 있다. 중앙처리장치CPU에 의해 형성된 논리 어드레스는 내부논리 어드레스버스VABUS를 거쳐서TLB제어회로 TLBC내의 선택회로에 공급된다. 이 선택회로는 상기 논리어드레스를 디코드하고, 논리어드레스가 레지스터에 할당된 고유의 어드레스였던 경우, 레지스터를 선택하기 위한 선택신호를 형성한다. 예를 들면, 논리어드레스가 PTEL레지스터에 할당된 어드레스였던 경우, 선택회로는 선택신호C4를 형성해서 상기 레지스터를 선택한다. 마찬가지로 해서 다른 레지스터 (PTEH, MMUCR, TEA, TTB) 의 선택도 실행된다. 즉, 이들의 레지스터는 어드레스맵되어 있다. 선택된 레지스터에 대한 중앙처리장치에서의 리드/라이트는 도시되지 않은 내부제어버스를 기쳐 서 중앙처리장치에서 각 레지스터로 공급되는 리드/라이트제어신호에 의해서 지시된다. 물론, 이 도면에 도시되어 있는 바와 같이 각 레지스터와 중앙처리장치CPU는 내부데이타버스DBUS를 거쳐서 서로 접속되어 있다. 각 레지스터는 제20도에 도시한 제어회로(50) 및 TLB1과도 접속되어 있지만, 도면이 복잡하게 되는 것을 피하기 위해 제34도에는 도시되어 있지 않다. 중앙처리장치는 소프트웨어를 실행하는 것에 의해 레지스터에 데이타를 라이트할 수 있다. 즉, 소프트웨어의 실행에 의해 중앙처리장치는 레지스터에 할당된 논리어드레스를 버스VABUS로 출력하고, 데이타를 버스DBUS로 출력하고, 리드/라이트제이신호로 라이트를 지시하는 것에 의해 레지스터에 데이타를 라이트할 수 있다. 마찬가지로, 소프트웨어의 실행에 의해서 중앙처리장치는 레지스터에서 데이타를 리드하는 것도 가능하다. 이와 같이 소프트웨어의 실행에 의해 PTEH레지스터에 대해서는 논리공간번호TLB미스시의 논리어드레스를 라이트하는 것이 가능하고, PTEL 레지스터에 대해서는 치환시의 테이블엔트리를 라이트하는 것이 가능하고, TTB레지스터에 대해서는 베이스어드레스를, TEA레지스터에 대해서는 프로텍트 위반예외시에 논리 어드레스를 라이트하는 것이 가능하다. 또, MMUCR레지스터에 대해서는 제19도에 도시되어 있는 여러가지의 제어데이타를 라이트하는 것이 가능하고, 특정의 비트를 카운터와 같이 사용할 수도 있다.
내부논리 어드레스버스VABUS는 제어회로CTRL, TLB1에도 접속되어 있다. 제어회로CTRL에는 상기한 바와 같이 논리 어드레스의 오프세트를 유지하기 위한 레치회로가 마련되어 있고, 내부논리어드레스 버스VABUS에서의 논리어드레스의 오프세트가 유지된다. 또, 이 내부논리 어드레스버VABUS를 거쳐서 CPU3에서 논리어드레스가 TLB1에 공급되고, 인덱스 어드레스, 검색용의 어드레스로서 사용된다. 물론, 제어회로CTRL에 마런되는 상기 래치회로는 오프세트 어드레스뿐만 아니라, 논리어드레스의 전부를 유지하도록 해도 좋다.
이 도면에는 상기 PTEH레지스터과 상기 TLB1의 접속만이 명시적으로 도시되어 있다. TLB1의 미스/히트의 판정을 위한 공간번호는 이 레지스터에 세트되고,이 레지스터에서 상기 TLB1로 공급된다. 또, TLB1의 미스예외에 대한 대책에 있어서도 이 레지스터에서 상기한 바와 같이 논리 어드레스 등이 상기 TLB1로 공급된다.
내부데이타버스DBUS 및 내부 물리어드레스 버스PABUS는 이 데이타처리장치에 마련된 외부단자TD 및 TA를 거쳐서 외부데이타버스DBUS 및 외부 어드레스버스ABUS에 접속된다. 이들의 외부버스에는 예를 들면 동일도면에 도시되어 있는 바와 같이 외부메모리RAM, ROM이 접속된다. 특히 제한되지 않지만, 외부메모리RAM은 휘발성메모리로서, 상기한 바와 같은 여러가지의 테이블 등이 형성된다. 또, 외부메모리ROM은 불휘발성의 메모리로서, 여러가지의 프로그램 (예를 들면, 상기한 핸들러 등의 소프트웨어)를 저장하고 있다.
이상 설명한 실시예의 작용효과를 이하 그 항목별로 열거한다.
<메모리맵 TLB 및 캐쉬메모리> 캐쉬메모리CACHE-M의 어드레스 어레이부CA - ary를 H ' F0****** (*는 임의) 에 데이타어레이부D - ary를 H ' F1******에, 어드레스 변환버퍼TLB의 어드레스 어레이부 TA - ary를 H ' F2******에, 데이타 어레이부TD - ary를 H ' F3******에 맵핑하고, *부분에 있어서 라인의 지정 및 뱅크의 지정 등을 할 수

있도록 어드레스포맷이 결정되는 것에 의해 캐쉬메모리CACHE-M 및 어드레스 변환버퍼TLB에 대해서 어드레스 어레이브 및 데이타 어레이부중 어느것에 대해서도 임의의 뱅크의 임의의 라인을 어드레스 지정가능하게 된다. 이것에 의해 대부분의 명령세트에 반드시 포함되는 MOV명령과 같은 일반적인 데이타전송명령으로꺼 캐쉬메모리CACHE-M 및 어드레스 변환버퍼TLB에 대해서 액세스할 수 있다. 따라서, 엔트리의 무효화나 U비트의 리드/라이트 등을 위해 어드레스 변환버퍼TLB나 캐쉬메모리CACHE-M을 액세스하기 위한 전용명령을 필요로 하지 않고, 명령코드의 종류를 적게 할 수 있어 명령어 길이의 단축에 기여할 수 있다. 즉, 어드레스 변환버퍼TLB를 액세스하기 위한 전용명령을 채용할 필요가 없으므로, 중앙처리장치CPU의 내부에서 명령을 디코드 하기 위한 명령디코더ID의 논리규모의 증대를 억제할 수 있다. 또, 명령어길이를 짧게 해야만 하는 마이크로컴퓨터의 아키텍쳐상의 요청에도 용이하게 대처할 수 있다. 예를 들면, 본 실시예의 마이크로컴퓨티MPU가 16비트 고정길이명령을 채용하면, 비교적 짧은 명령코드이므로, 상기 명령코드는 귀중한 리소오스로서 자리잡게 된다. 이 때문에 어드레스 변환버퍼TLB를 어드레스 공간에 맵핑하고, 어드레스를 지정해서 액세스가능하게 한다고 하는 것은 명령디코더ID의 하드웨어 변경량을 적게 할 수 있어 명령코드의 신규추가를 불필요하게 할 수 있다.

또, 그와 같은 어드레스 포맷은 연상라이트의 유무를 임으로 지정할 수 있는 연상비트A를 포함하고, 어드레스에 의해 선택된 라인의 어드레스태그TAG나 논리 페이지번호와 같은 피검색 어드레스정보와 라이트데이타 중의 검색어드레스정보의 어드레스비교가 일치인 경우에만 라이트를 실행하는지를 선택할 수 있으므로, 본래 어드레스비교를 필요로 하는 엔트리의 무효화의 처리와 디바이스 테스트시와 같은 본래 어드레스비교를 필요로 하지 않는 리라이트의 쌍방의 요구에 용이하게 대처할 수 있다.

<어드레스태그의 라이트백으로의 고려> 페이지사이즈가 캐쉬메모리의 1개의 뱅크에 있어서의 데이타기억용량보다 작은 용량으로 되는 경우에 그 페이지사이즈에 대응한 물리 페이지번호를 전체비트보유할 수 있는 사이즈의 어드레스태그TAG의 필드를 채용하고, 어드레스비교에 필요한 비트수를 넘어서 그것에 물리 어드레스정보를 보유시키는 것에 의해 인덱스된 캐쉬엔트리에 대한 어드레스비교와 라이트백의 쌍방의 요구를 만족할 수 있다. 이것은 페이지사이즈를 가변으로 설정할 수 있는 마이크로컴퓨터의 경우뿐만이 아닌 데이타기억용량이 큰 캐쉬메모리를 내장해야만 하는 경우에도 마찬가지로 기능한다.

<다수 페이지사이즈의 서포트> 제4도 및 제19도에 도시되는 바와 같이 페이지 테이블 엔트리 및 TLB엔트리는 상기 사이즈비트SZ를 갖고, 물리 페이지사이즈가 페이지마다 가변으로 설정가능하게 되고, 4웨이 세트 어소시에이티브형식의 어드레스 변환버퍼TLB는 가변으로 설정가능하게 되는 다수의 논리 페이지사이즈에 대해서 공통으로 이용된다. 본 실시예에서는 마이크로컴퓨터가 서포트하는 논리 페이지사이즈는 1 KB와 4 KB의 2종류로 된다. 그리고, 어드레스 변환버퍼TLB에 대한 인덱스용 어드레스의 지정방법은 4 KB와 1 KB의 쌍방에 있어서 공통화되고, 제16도 및 제17도에 도시되는 바와 같이 전부32비트의 논리 어드레스에 있어서의 비트 12 비트16 즉, vpn (16-12)가 어드레스 변환버퍼TLB의 인덱스에 이용된다. 논리 페이지 의 최대사이즈4 KB는 최소사이즈 1 KB의 2의 2승배로 되고, 이 때에 뱅크수는 2의 2승개 (4개) 존재되므로, 어드레스 변환버퍼TLB전체로서는 4 KB페이지사이즈와 거의 마찬가지로 어느 논리 페이지번호의 엔트리에 대해서도 전체128개 보유가능하게 된다.

비트판정을 위한 어드레스비교의 비트수는 제4도에 따라서 설명한 바와 같이 놀리 페이지사이즈에 따라서 변화되어야만 한다. 논리 페이지사이즈가 1 KB인 경우에는 4 KB의 경우에 비해 vpn (11 - 10)을 VPN (11 - 10)과 비교해야만 한다. 어드레스 변환버퍼TLB는 그와 같은 비교대상의 비트수를 모두 커버할 수 있도록 VPN (31 - 17)과 VPN (11 - 10)의 기억영역을 구비하고 또한, 물리 페이지번호PPN에 대해서도 22비트의 기억영역을 구비하고 있다. 어드레스 변환버퍼TLB는 각 엔트리의 데이타부에 그것이 서포트하는 논리 페이지사이즈를 나타내는 사이즈비트 SZ를 갖고, 그 값에 따라서 히트판정을 위한 어드레스비교의 비트수를 변화시킨다. 제24도에서 설명한 바와 같이 사이즈비트SZ = 1 (논리 페이지사이즈= 4 KB)인 경우에는 VPN (31- 17) 이 논리 어드레스의 대응비트와의 비교대상으로 되고, 사이즈비트SZ = 0 (논리 페이지사이즈= 1 KB) 인 경우에는 VPN (31 - 17), VPN (11 - 10)이 논리어드레스의 대응비트와의 비교대상으로 된다.

이와 같이 다수 페이지사이즈를 선택적으로 서포트하는 마이크로컴퓨터는 시스템에 실장되는 실제메모리의 전체기억용량이 적은 경우에 논리페이지의 사이즈를 비교적 작게 해서 각 프로세스에 의한 메모리이용효율을 향상시키고자 하는 요구에도 용이하게 대응할 수 있다. 이 때, 최대논리 페이지사이즈가 최소사이즈의 2의 누승수배로 되고 그 세트 어소시에이티브방식의 어드레스 변환버퍼TLB의 뱅크의 수를 그 2의 누승수이상으로 하는 것에 의해 인덱스 어드레스의 지정방법을 최대논리 페이지사이즈의 것으로 통일화해도 선택되어 있는 논리 페이지사이즈가 최대이어도 최소이어도 원리적으로는 어느 논리페이지번호의 엔트리에 대해서도 어드레스 변환버퍼TLB에 보유가능하게 할 수 있다. 다수 페이지사이즈를 서포트하는 어드레스 변환버퍼TLB를 세트 어소시에이티브헝식의 캐쉬메모리에서 실현하는 것은 이것을 CAM으로 구성하는 경우에 비해서 칩점유면적과 소비전력을 모두 반감시킬 수 있다.

<다수의 인덱스방법을 서포트> 다수의 프로세스가 존재하고, 각각의 프로세스가 각각의 어드레스 변환정보를 갖고, 프로세스번호asid에 의해서 구별되는 다중가상기억을 서포트하는 경우에 어드레스 변환버퍼TLB의 인덱스 어드레스를 지정하는 방법으로서 제16도에 도시되는 바와 같이 논리 어드레스의 일부만을 디코드하는 방법과 제17도에 도시되는 배타적논리합게이트XOR에 의해서 그 논리 어드레스의 일부를 현재의 프로세스번호asid의 일부에 의해서 수식한 결과를 디코드하는 방법을 레지스터MMUCR. IX의 논리값에 따라서 지시할 수 있다. 이것에 의하면, 다중가상기억에 있어서 대부분의 프로세스가 병렬적으로 기동되는 이용형태에 있어서 히트율의 저하를 억제할 수 있도록 그 이용형태에 따라서 인덱스방법을 선택할 수 있도록 할 수 있다. 또, 논리어드레스의 일부를 상기논리어드레스를 이용하는 프로세스의 번호asid에 의해서 수식하고 이것으로서 버퍼메모리를 인덱스하는 것에 의해 다중가상기억에 있어서 대부분의 프로세스가 병렬적으로 기동되는 이용형태에 있어서 히트율의 저하를 억제할 수 있다.

<치환의 자유도> 상술한 바와 같이 어드레스 변환버퍼TLB는 각각의 인덱스 어드레스가 공통화된 다수 뱅크BNK0 BNK3을 갖는 4웨이 세트 어소시에이티브방식의 캐쉬메모리로서 구성되고, 캐쉬미스 등에 있어서 그 다수 뱅크중에서 기억정보를 치환한 경우에 상기 치환될 세트는 중앙처리장치 (3) 에 의한 소프트웨어의 실행에 의해서 임의로 지정가능하게 된다. 제19도에 도시되는 MMUCR. RC는 상기 뱅크를 임의로 지정하기 위한 2비트의 정보가 설정되는 레지스터이다. 이것에 설정된 값이 제 18도의 디코더 (17) 에 의해서 해독되는 것에 의해 4개의 뱅크BNK0~BNK3 중에서 1개를 선택하는 신호 (BSL1~BSL4) 가 형성되는 것에 의해 인덱스 어드레스 (2) 에 의해 지정된 4개의 뱅크BNK0 BNK3중 1개가 치환대상으로 된다. MMUCR. RC는 랜덤카운터와 같은 계수수단으로 된다. MMUCR. RC의 비트수의 2의 누승수는 상기 버퍼메모리 (1) 의 뱅크의 수 (=4) 에 일치된다.
제어회로 (CTRL) (50) 은 제27도에 따라서 설명한 바와 같이 어드레스 변환버퍼TLB에 대한 기억정보의 치환이 필요로 된 (TLB미스) 경우에 그 MMUCR. RC를 1인크리먼트하고, 어느 뱅크도 인덱스된 기억영역에 유효한 데이타를 유지하고 있는 (인덱스된 각 엔트리는 V = 1을 보유한다) 경우에는 그 인크리먼트된 결과를 치환할 뱅크번호로 하고, 어떤 뱅크가 인덱스된 기억영역에 유효한 데이타를 유지하고 있지 않는 (안덱스된 어떤 엔트리는 V = 0을 보유한다) 경우에는 그 뱅크번호를 MMUCR. RC에 세트하고 또한, 세트된 번호의 뱅크를 치환할 뱅크로 한다라고 하는 일정한 규칙에 따라서 치환할 뱅크를 지정한다. 이 때, MMUCR. RC의 각 비트는 중앙처리장치 (3) 에 의한 소프트웨어의 실행에 의해서 임으로 값이 변경가능한 대상 으로 된다. 즉, MMUCR. RC는 TLB미스와 발생에 의해서 + 1되는 동작에 한정되지 않는다. 특징의 값을 제외하도록 MMUCR. RC를 변경해도 좋다. 또, 중앙처리장치CPU가 실행하는 소프트웨어의 알고리듬순서로 랜덤, 최초에 로드된 것에서 치환하는 FIFO, 마지막에 참조되는 것에서 치환하는 LRU (Least Recentry Used)등에 따라 MMUCR. RC를 갱신해서 치환을 실행하는 자유도도 보증할 수 있다. 이와 같이 어드레스 변환버퍼TLB의 엔트리를 치환하기 위한 치환알고리듬을 고정화하지 않고, 치환할 뱅크를 소프트웨어로 임의로 결정가능하게 하는 것에 의해 데이타처리의 형편상, 항상 특정의 변환쌍을 어드레스 변환버퍼TLB에 엔트리로서 저장해 두고자 하는 요구나 특정의 엔트리를 치환대상으로 하고자 하지 않는 요구에 용이하게 대응할 수 있도록 된다.
<단일가상기억과 다중가상기억의 서포트> 본 실시예의 마이크로컴퓨터는 다수의 프로세스의 각각이 논리공간의 전역에 걸치는 각각의 어드레스 변환정보를 갖을 때에는 프로세스번호asid에 의해서 논리 어드레스를 수식 또는 확장하는 다중가상기억을 또, 다수의 프로세스에 논리어드레스공간의 일부가 배타적으로 할당되어 각각의 프로세스가 그것에 할당된 논리이드레스공간의 어드레스 변환정보를 갖을 때에는 프로세스번호asid에 의해서 논리어드레스를 수식 또는 확장하지 않는 단일가상기억을 선택가능하게 한다. 그와 같은 가상기억에 대한 제어는 제19도에 예시되는 MMUCR. SV의 값에 의해서 지시된다. MMUCR. SV의 값은 중앙처리장치 (3) 이 소프트웨어를 실행하는 것에 의해서 임의로 설정된다. 단일가상기억과 다중가상기억의 개념적인 상위점은 제32도에서 설명한 바와 같고, 그 밖의 대표적인 상위점에 대해서는 제31도에 예시되어 있다. 제4도에 도시되는 바와 같이 어드레스 변환버퍼TLB는 논리 페이지번호VPN과 물리 페이지PPN번호와 함께 프로세스번호ASID의 필드를 갖는다. 이 필드의 값은 단일가상기억인지 다중가상기억인지에 의해 그 처리내용이 상위되게 된다. 어느 TLB엔트리에 포함되는 프로세스번호에 대응되는 논리페이지가 다른 프로세스와 공유불가능하게 될 때, 다중가상기억에 있어서 그 프로세스 번호ASID는 제29도에서 설명한 바와 같이 어드레스 변환버퍼TLB의 TLB히트/미스의 판정에 사용된다. 따라서, 어드레스변환버퍼TLB에 저장되어 있는 엔트리의 논리 페이지번호VPN이 논리페이지 어드레스vpn과 일치함과 동시에 상기 엔트리의 프로세스번호ASID가 현재의 프로세스번호asid와 일치하고 있지 않으면, TLB히트로는 되지 않는다. 단일가상기억에 있어서 그 프로세스번호ASID는 메모리보호정보 (도메인번호) 로서 사용된다. 사용자 모드에 있어서 비공유페이지에 대한 다른 프로세스에 의한 상기 페이지액세스는 TLB프로텍트 위반예외로서 소프트웨어에 의해 처리된다.
MMUCR. SV의 값을 중앙처리장치CPU를 거쳐서 설정하는 것에 의해 단일가상기억과 다중가상기억의 쌍방을 선택적으로 서포트가능하게 하는 것에 의해 어드레스 변환기구의 사용상의 편리함을 향상시킬 수있다. 다중가상기억에 있어서의 프로세스번호ASID를 단일가상기억에 있어서의 메모리보호정보로서 사용하는 것에 의해 그 경우에 있어서의 메모리보호의 완전화를 용이하게 실현할 수 있다.
이상 본발명가들에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 본 발명은 그것에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범 위에 있어서 여러가지 변경가능한 것은 물론이다. 예를 들면, 어드레스 변환버퍼나 캐쉬메모리의 웨이수 즉, 뱅크의 수는 5이상 예를 들면 8로 하는 것도 가능하다. 마이크로컴퓨터가 서포트하는 어드레스공간의 사이즈는 4 GB에 한정되지 않고, 그것에 따라서 논리어드레스의 비트수도 제한되지 않는다. 서포트하는 페이지사이즈도 적절한 사이즈로 또한 서포트하는 종류의 수도 적절하게 변경가능하다. 또, TLB엔트리로서 보유하는 논리페이지번호VPN은 상기 실시예와 같이 인덱스에 이용되는 대응비트를 제외한 것으로 한 구성에 한정되지 않고, 논리페이지번호의 전체 비트를 TLB엔트리로서 보유하는 것도 가능하다.
이상의 설명에서는 주로 본 발명자들에 의해서 이루어진 발명을 그 배경으로 된 이용분야인 어드레스 변환버퍼와 캐쉬메모리의 쌍방을 내장한 1칩형의 마이크로컴퓨터에 이용한 경우에 대해서 설명하였지만, 본 발명은 그것에 한정되는 것은 아니고 적어도 중앙처리장치와 함께 어느 것인가 한쪽을 내장하는 데이타처리장치에 널리 적용할 수 있다.
본원에 있어서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면 다음과 같다.
즉, 대부분의 명령세트에 포함되는 MOV명령과 같은 일반적인 데이타전송명령으로서 캐쉬메모리나 어드레스 변환버퍼에 대해서 액세스할 수 있다. 따라서, 엔트리의 무효화 등을 위해 어드레스 변환버퍼나 캐쉬메모리를 액세스하기 위한 전용명령을 필요로 하지 않고 명령코드의 종류를 적게 할 수 있어 멍령어길이의 단축에 기여할 수 있다. 따라서, 어드레스 변환버퍼나 캐쉬메모리를 액세스하기 위한 전용 명령을 채용할 필요가 없으므로, 중앙처리장치의 명령디코더의 논리규모의 증대를 억제할 수 있다.
또, 명령어길이를 짧게해야만 하는 마이크로컴퓨터의 아키텍쳐상의 요청에도 용이하게 대처할 수 있다. 마이크로컴퓨터가 비교적 적은 비트수의 고정길이명령을 채용하면, 비교적 짧은 명령코드이므로, 상기 명령코드는 귀중한 리소

오스로서 자리잡게 된다. 이 때문에 어드레스 변환버퍼나 캐쉬메모리를 어드레스공간에 맵핑하고 어드레스를 지정해서 액세스가능하게 한다고 하는 것은 명령디코더의 하드웨어변경량은 적게 할 수 있어 명령코드의 신규추가를 불필요하게 할 수 있다.
라이트시에 연상라이트를 서포트하는 것에 의해 어드레스 지정만으로는 고러되지 않은 피검색어드레스정보를 라이트가부의 조건으로 하므로, 에러없이 엔트리를 무효화하는 조작을 보증할 수 있다.
연상라이트를 비선택가능으로 하는 것에 의해 소정논리값의 데이타를 라이트한 후, 그것과 동일한 논리값의 데이타를 리드할 수 있는지 리드 할 수 없는지를 검증하는 연상메모리부의 디바이스 테스트로의 대응도 가능하게 된다.
캐쉬메모리의 1개의 뱅크에 있어서의 데이터기억용량이 페이지사이즈보다 큰 경우에 그 페이지사이즈에 대응한 물리 페이지어드레스를 전체비트 보유할 수 있는 사이즈의 어드레스태그의 필드를 채용하고 어드레스 비교에 필요한 비트수를 넘어서 그것에 물리 어드레스정보를 보유시키는 것에 의해 캐쉬메모리의 연상동작이라고 하는 관점에서는 어드레스태그에 물리 페이지어드레스의 전부를 포함할 필요는 없지만, 라이트백방식에서는 새로운 엔트리에 의해서 치환될 엔트리의 라이트목적 지의 어드레스를 상기 엔트리의 어드레스태그의 정보를 이용해서 생성해야만 한다고 하는 요구를 만족시킬 수 있다. 이것에 의해 캐쉬메모리의 데이타기억용량의 증대나 논리페이지사이즈의 가변화시에 인덱스된 캐쉬엔트리에 대한 어드레스비교와 라이트백의 쌍방을 달성할 수 있다.

(57) 청구의 범위

청구항 1.
중앙처리장치와 어드레스 변환유닛을 갖고,
상기 중앙처리장치는 어드레스공간내의 어드레스를 생성하고,
상기 어드레스 변환유닛은 어드레스 변환버퍼와 컨트롤러를 갖고,
상기 어드레스 변환버퍼는 어드레스변환에 사용하는 여러개의 엔트리를 갖고, 상기 중앙처리장치의 어드레스공간으로 액세스가능하게 되고,
상기 컨트롤러는 상기 중앙처리장치에서 데이타와 연상비트를 포함하는 어드레스를 공급받고 연상라이트를 라이트 제어하고,
상기 어드레스의 연상비트가 제1 상태이고 상기 어드레스 변환버퍼내의 엔트리에 포함되는 검색 어드레스정보가 상기 중앙처리장치로부터의 어드레스에 포함되는 정보에 대응하는 경우, 상기 컨트롤러는 상기 중앙처리장치로부터의 어드레스에 의해 지정되는 엔트리에 포함되는 소정 비트로의 데이타의 라이트를 가능하게 하고, 상기 어드레스 변환버퍼내의 엔트리에 포함되는 검색 어드레스정보가 상기 중앙처리장치로부터의 어드레스에 포함되는 정보에 대응하지 않는 경우, 상기 컨트롤러는 상기 중앙처리장치로부터의 어드레스에 의해 지정되는 엔트리에 포함되는 소정 비트로의 데이타의 라이트를 억제하는 것을 특징으로 하는 데이타 처리장치.

청구항 2.
제1항에 있어서,
상기 어드레스의 연상비트가 제2 상태이고 어드레스 변환버퍼의 검색어드레 스정보가 중앙처리장치로부터의 어드레스에 포함되는 정보에 대응하는 경우, 상기 컨트롤러는 중앙처리장치로부터의 어드레스에 의해 지정되는 엔트리에 포함되는 소정 비트로의 데이타의 라이트를 가능하게 하는 것을 특징으로 하는 데이타 처리장치.

청구항 3.
제2항에 있어서,
상기 소정 비트는 상기 엔트리가 유효한지 유효하지 않는지를 나타내는 비트를 포함하는 것을 특징으로 하는 데이타 처리장치.

청구항 4.
제2항에 있어서,
상기 어드레스 변환유닛은 어드레스 변환버퍼의 엔트리에 포함되는 검색어드레스정보와 중앙처리장치로부터의 어드레스에 포함되는 정보를 비교하기 위한 비교기를 갖고, 어드레스 변환버퍼의 엔트리에 포함되는 검색 어드레스정보가 중앙처리장치로부터의 어드레스에 포함되는 정보에 대응할 때에는 히트신호를 출력하고,
상기 컨트롤러는 어드레스 변환버퍼에 라이트할 데이타를 공급하는 라이트 제어회로 및 상기 연상비트와 히트신호를 공급받고 제1 제어신호와 제2 제어신호중의 어느 한쪽을 상기 라이트 제어회로로 출력하는 논리회로를 갖고,
상기 논리회로는 제2 상태의 연상비트가 상기 논리회로로 공급된 경우에 상기 라이트 제어회로로 제1 제어신호를 출력하고, 제1 상태의 연상비트가 상기 논리 회로로 공급된 경우에 상기 라이트 제어회로로 제2 제어신호를 출력하고,
상기 라이트 제어회로는 제1 제어신호가 공급되었을 때, 중앙처리장치로부터의 어드레스에 의해 지정되는 엔트리의 유효비트에 라이트할 데이타를 공급하고 유효비트는 데이타에 의해 갱신되는 것을 특징으로 하는 데이타 처리장치.

청구항 5.
제4항에 있어서,
상기 논리회로는 상기 히트신호가 상기 논리회로로 공급되지 않은 상태에서 제1 상태의 연상비트가 상기 논리회로로 공급된 경우, 라이트 제어회로로 제2 제어 신호를 출력하고,
상기 라이트 제어회로는 제2 제어신호가 공급되었을 때, 중앙처리장치로부터의 어드레스에 의해 지시되는 엔트리의 유효비트를 갱신할 데이타를 공급하지 않고 유효비트는 갱신되지 않는 것을 특징으로 하는 데이타 처리장치.

청구항 6.

제5항에 있어서,
제1 상태의 연상비트는 논리값'1'이고, 제2 상태의 연상비트는 논리값'0'인 것을 특징으로 하는 데이타 처리장치.

청구항 7.

제6항에 있어서,
상기 중앙처리장치에 의해 실행되는 MOVE 명령에 의해 지정되는 제1 및 제2 레지스터를 갖고,
상기 제1 레지스터에는 여러개의 엔트리중의 하나의 어드레스와 연상비트가 저장되고, 상기 제2 레지스터에는 여러개의 엔트리중의 하나에 라이트할 데이타가 저장되는 것을 특징으로 하는 데이타 처리장치.

청구항 8.

제7항에 있어서,
상기 어드레스 변환유닛은 세트어소시에이티브 구성의 어드레스 변환유닛인 것을 특징으로 하는 데이타 처리장치.

청구항 9.

중앙처리장치와 어드레스 변환유닛을 갖고,
상기 중앙처리장치는 어드레스공간내의 어드레스를 생성하고, 특권모드와 사용자모드에서의 처리가 가능하고, 특권모드하에서는 명령의 세트를 실행할 수 있고, 사용자모드하에서는 명령의 세트의 일부(서브세트)를 실행할 수 있고,
상기 어드레스 변환유닛은 어드레스 변환버퍼와 컨트롤러를 갖고,
상기 어드레스 변환버퍼는 어드레스변환에 사용되는 여러개의 엔트리를 갖고 중앙처리장치의 어드레스공간으로 액세스가능하고,
상기 컨트롤러는 중앙처리장치에서 데이타와 연상비트를 포함하는 어드레스를 공급받고, 중앙처리장치가 사용자모드하에서 명령의 서브세트에 포함되는 명령을 실행하는 것에 의해 연상라이트를 라이트제어하고,
어드레스에 포함되는 연상비트가 제1 상태에 있는 경우, 어드레스 변환버퍼 중의 엔트리에 포함되는 피검색 어드레스정보가 중앙처리장치로부터의 어드레스에 포함되는 정보와 대응할 때에는 상기 컨트롤러는 중앙처리장치로부터의 어드레스에 의해 지정된 엔트리내의 소정 비트에 데이타를 갱신가능하게 하고, 어드레스 변환버퍼중의 엔트리에 포함되는 피검색 어드레스정보가 중앙처리장치로부터의 어드레스에 포함되는 정보와 대응하지 않을 때에는 상기 컨트롤러는 중앙처리장치로부터의 어드레스에 의해 지시되는 엔트리의 소정 비트로의 데이타 갱신을 억제하는 것을 특징으로 하는 데이타 처리장치.

청구항 10.

제9항에 있어서,
어드레스에 포함되는 연상비트가 제2 상태에 있는 경우, 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보가 중앙처리장치로부터의 어드레스에 대응하는지 대응하지 않는지에 관계없이 상기 컨트롤러는 중앙처리장치로부터의 어드레스에 의해 지시되는 엔트리의 소정 비트를 데이타에 의해 갱신가능하게 하는 것을 특징으로 하는 데이타 처리장치.

청구항 11.

제10항에 있어서,
상기 소정 비트에는 상기 엔트리가 유효한지 유효하지 않는지를 나타내는 비트가 포함되는 것을 특징으로 하는 데이타 처리장치.

청구항 12.

제11항에 있어서,
상기 어드레스 변환유닛은 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보와 중앙처리장치로부터의 어드레스에 포함되는 정보를 비교하기 위한 비교기를 갖고, 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보가 중앙처리장치로부터의 어드레스에 포함되는 정보에 대응하는 경우에 히트신호를 출력하고,
상기 컨트롤러는 어드레스 변환버퍼를 갱신하기 위한 데이타를 공급하는 갱신 제어회로 및 상기 연상비트와 히트신호를 공급받고 상기 갱신 제어회로로 제1 제어신호와 제2 제어신호중의 어느 한쪽을 출력하는 논리회로를 갖고,
상기 논리회로는 제2 상태의 연상비트가 공급되었을 때에 갱신 제어회로로 제1 제어신호를 출력하고, 제1 상태의 연상비트와 히트신호가 공급되었을 때에 갱신제어회로로 제2 제어신호를 출력하고,
상기 갱신 제어회로는 제1 제어신호가 공급되었을 때에 중앙처리장치로부터의 어드레스에 의해 지시되는 엔트리에 포함되는 유효비트를 갱신할 데이타를 공급하고, 유효비트는 데이타에 의해 갱신되는 것을 특징으로 하는 데이타 처리장치.

청구항 13.

제12항에 있어서,
상기 논리회로는 히트신호가 공급되지 않는 경우, 제1 상태의 연상비트가 공급되었을 때에 제2 제어신호를 상기 갱신 제어회로로 출력하고,
상기 갱신 제어회로는 제2 제어신호가 공급된 경우에 중앙처리장치에서 공급된 어드레스에 의해 지시되는 엔트리에 포함되는 유효비트를 갱신하기 위한 데이타를 공급하지 않고 유효비트는 데이타에 의해 갱신되지 않는 것을 특징으로 하는 데이타 처리장치.

청구항 14.

제13항에 있어서,
상기 제1 상태의 연상비트는 논리값'1'이고, 제2 상태의 연상비트는 논리값'0'인 것을 특징으로 하는 데이타 처리장치
.

청구항 15.
제14항에 있어서;
사용자모드하에서 중앙처리장치에 의해 실행되는 명령의 서브세트에는 데이타전송을 실행하기 위한 MOVE 명령이 포함되는 것을 특징으로 하는 데이타 처리장치.

청구항 16.
제15항에 있어서,
상기 MOVE 명령에 의해 지정되는 제1 및 제2 레지스터를 갖고,
상기 제1 레지스터에는 어드레스변환을 위한 여러개의 엔트리중의 하나의 어드레스와 연상비트가 저장되고,
상기 제2 레지스터에는 어드레스변환을 위한 여러개의 엔트리중의 하나를 갱신하기 위한 데이타가 저장되는 것을 특징으로 하는 데이타 처리장치.

청구항 17.
제16항에 있어서,
상기 어드레스 변환유닛은 세트어소시에이티브 구성의 어드레스 변환유닛인 것을 특징으로 하는 데이타 처리장치.

청구항 18.
중앙처리장치와 어드레스 변환유닛을 갖고,
상기 중앙처리장치는 어드레스공간내의 어드레스를 생성하고, 여러개의 레지스터를 갖고,
상기 어드레스 변환유닛은 어드레스 변환버퍼와 컨트롤러를 갖고,
상기 어드레스 변환버퍼는 어드레스변환을 위한 여러개의 엔트리를 갖고, 중앙처리장치의 어드레스공간으로의 액세스를 가능하게 하고,
상기 컨트롤러는 상기 여러개의 레지스터중의 제1레지스터에 저장되는 데이타와 제2 레지스터에 저장되고 연상비트를 포함하는 어드레스를 공급받고, 중앙처리장치에서의 명령의 실행에 따라서 연상라이트를 라이트제어하고,
어드레스에 포함되는 연상비트가 제1 상태인 경우, 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보가 제2 레지스터에 저장되는 어드레스에 포함되는 정보에 대응할 때에는 상기 컨트롤러는 제2 레지스터에 저장되는 어드레스에 의해 지시되는 엔트리에 포함되는 소정 비트를 제1 레지스터에 저장된 데이타에 의해 갱신 가능하게 하고,
어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보가 제2 레지스터에 저장된 어드레스에 포함되는 정보에 대응하지 않을 때에는 어드레스 변환버퍼의 엔트리의 소정 비트를 제1 레지스터에 저장된 데이타에 의해 갱신하는 것을 억제하는 것을 특징으로 하는 데이타 처리장치.

청구항 19.
제18항에 있어서,
어드레스에 포함되는 연상비트가 제2 상태인 경우, 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보가 제2 레지스터에 저장된 어드레스에 포함되는 정보와 대응하는지 대응하지 않는지에 관계없이 상기 컨트롤러는 제2 레지스터에 저장된 어드레스에 의해 지시되는 엔트리에 포함되는 소정 비트를 제1 레지스터에 저장된 데이타에 의해 갱신 가능하게 하는 것을 특징으로 하는 데이타 처리장치.

청구항 20.
제19항에 있어서,
상기 소정 비트는 상기 엔트리가 유효한지를 나타내는 비트를 포함하는 것을 특징으로 하는 데이타 치리장치.

청구항 21.
제20항에 있어서,
상기 어드레스 변환유닛은 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보와 제2 레지스터에 저장된 어드레스에 포함되는 정보를 비교하기 위한 비교기를 갖고, 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보가 제2 레지스터에 저장된 어드레스에 포함되는 정보와 대응하는 경우에 히트신호를 출력하고,
상기 컨트롤러는 어드레스 변환버퍼를 갱신하기 위한 데이타를 공급하는 라이트 제어회로 및 연상비트와 히트신호를 공급받고 상기 라이트 제어회로로 제1 제 어신호와 제2 제어신호중의 어느 한쪽을 출력하는 논리회로를 갖고,
상기 논리회로는 제2 상태의 연상비트가 공급되었을 때에 제1 제어신호를 라이트 제어회로로 출력하고, 제1 상태의 연상비트와 히트신호가 공급되었을 때에 제2 제어신호를 라이트 제어회로로 출력하고,
상기 라이트 제어회로는 제1 제어신호가 공급되었을 때에 제2 레지스터에 저장된 어드레스에 의해 지시되는 엔트리에 포함되는 유효비트에 라이트하기 위한 데이타를 공급하고 유효비트는 데이타에 의해 갱신되는 것을 특징으로 하는 데이타 처리장치.

청구항 22.
제21항에 있어서,
상기 논리회로는 히트신호가 공급되지 않는 경우, 제1 상태의 연상비트가 공급되었을 때에 상기 라이트 제어회로로 제2 제어신호를 출력하고,
상기 라이트 제어회로는 제2 제어신호가 공급된 경우, 제2 레지스터에 저장되는 어드레스에 의해 지시되는 엔트리에 포함되는 유효비트를 라이트하기 위한 데이타를 공급하지 않고 유효비트는 데이타에 의해 갱신되지 않는 것을 특징으로 하는 데이타 처리장치.

청구항 23.
제22항에 있어서,

상기 제1 상태의 연상비트는 논리값'1'을 포함하고, 제2 상태의 연상비트는 논리값'0'을 포함하는 것을 특징으로 하는 데이타 처리장치.

청구항 24.

제23항에 있어서,
상기 중앙처리장치에 의해 실행되는 명령에는 데이타전송을 실행하기 위한 MOVE 명령이 포함되는 것을 특징으로 하는 데이타 처리장치.

청구항 25.

제24항에 있어서,
상기 어드레스 변환유닛은 세트어소시에이티브 구성의 어드레스 변환유닛인 것을 특징으로 하는 데이타 처리장치.

청구항 26.

중앙처리장치와 어드레스 변환유닛을 갖고,
상기 중앙처리장치는 어드레스공간내의 어드레스를 생성하고, 여러개의 레지스터를 갖고,
상기 어드레스 변환유닛은 어드레스 변환버퍼와 컨트롤러를 갖고,
상기 어드레스 변환버퍼는 어드레스변환을 위한 여러개의 엔트리를 갖고, 중앙처리장치의 어드레스공간으로의 액세스를 가능하게 하고,
상기 컨트롤러는 상기 여러개의 레지스터중의 제1 레지스터에 저장되는 데이타 와 제2 레지스터에 저장되고 연상비트를 포함하는 어드레스를 공급받고, 중앙처리장치가 데이타전송을 위한 MOVE 명령을 실행하는 것에 따라서 연상라이트를 라이트제어하고,
어드레스에 포함되는 연상비트가 제1 상태인 경우, 어드레스 변환버퍼의 엔 트리에 포함되는 피검색 어드레스정보가 제2 레지스터에 저장된 어드레스에 포함되는 정보와 대응할 때에 상기 컨트롤러는 제2 레지스터에 저장되는 어드레스에 의해 지시된 엔트리에 포함되는 소정 비트를 제1 레지스터에 저장된 데이타에 의해 갱신가능하게 하고,
어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보가 제2 레지스터에 저장된 어드레스에 포함되는 정보와 대응하지 않을 때에 엔트리에 포함되는 소정 비트를 제1 레지스터에 저장된 데이타에 의해 갱신하는 것을 억제하는 것을 특징으로 하는 데이타 처리장치.

청구항 27.

제26항에 있어서,
상기 컨트롤러는 어드레스에 포함되는 연상비트가 제2 상태인 경우, 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보가 제2 레지스터에 저장된 어드레스에 포함되는 상부우측과 대응하는지 대응하지 않는지에 관계없이 제2 레지스터에 저장된 어드레스에 의해 지시되는 엔트리에 포함되는 소정 비트를 제1 레지스터에 저장된 데이타에 의해 갱신 가능하게 하는 것을 특징으로 하는 데이타 처리장치.

청구항 28.

제27항에 있어서,
상지 소정 비트는 상기 엔트리가 유효한지 유효하지 않는지를 나타내는 유효 비트를 포함하는 것을 특징으로 하는 데이타 처리장치.

청구항 29.

제28항에 있어서,
상기 어드레스 변환유닛은 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보와 제2 레지스터에 저장된 어드레스에 포함되는 정보를 비교하기 위한 비교기를 포함하고, 어드레스 변환버퍼의 엔트리에 포함되는 피검색 어드레스정보가 제2 레지스터에 저장된 어드레스에 포함되는 정보에 대응하는 경우에 히트신호를 출력하고,
상기 컨트롤러는 어드레스 변환버퍼를 갱신하기 위한 데이타를 공급하는 라이트 제어회로 및 연상비트와 히트신호를 공급받고 상기 라이트 제어회로로 제1 제어신호와 제2 제어신호중의 어느 한쪽을 출력하는 논리회로를 갖고,
상기 논리회로는 제2 상태의 연상비트가 공급되었을 때에 상기 라이트 제어 회로로 제1 제어신호를 출력하고, 제1 상태의 연상비트와 히트신호가 공급되었을 때에 상기 라이트 제어회로로 제2 제어신호를 출력하고,
상기 라이트 제어회로는 제1 제어신호가 공급되었을 때에 제2 레지스터에 저장된 어드레스에 의해 지시되는 엔트리에 포함되는 유효비트에 라이트하기 위한 데이타를 공급하고, 유효비트는 상기 데이타에 의해 갱신되는 것을 특징으로 하는 데이타 처리장치.

청구항 30.

제29항에 있어서,
상기 논리회로는 히트신호가 공급되지 않고 제1 상태의 연상비트가 공급되었 을 때, 상기 라이트 제어회로로 제2 제어신호를 출력하고,
상기 라이트 제어회로는 제2 제어신호가 공급되었을 때, 제2 레지스터에 저장된 어드레스에 의해 지시되는 엔트리에 포함되는 유효비트에 라이트하기 위한 데이타를 공급하지 않고 유효비트는 상기 데이타에 의해 갱신되지 않는 것을 특징으로 하는 데이타 처리장치.

청구항 31.

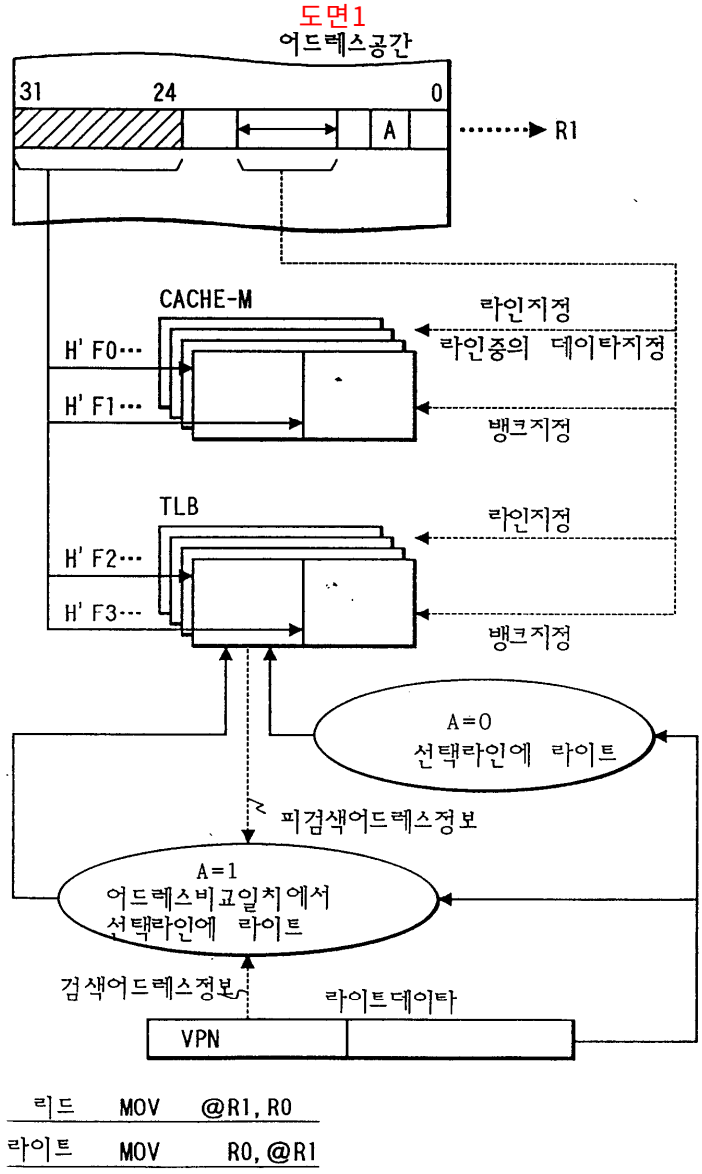
제30항에 있어서,
상기 제1 상태의 연상비트는 논리값'1'을 포함하고, 제2 상태의 연상비트는 논리값'0'을 포함하는 것을 특징으로 하는 데이타 처리장치.

청구항 32.

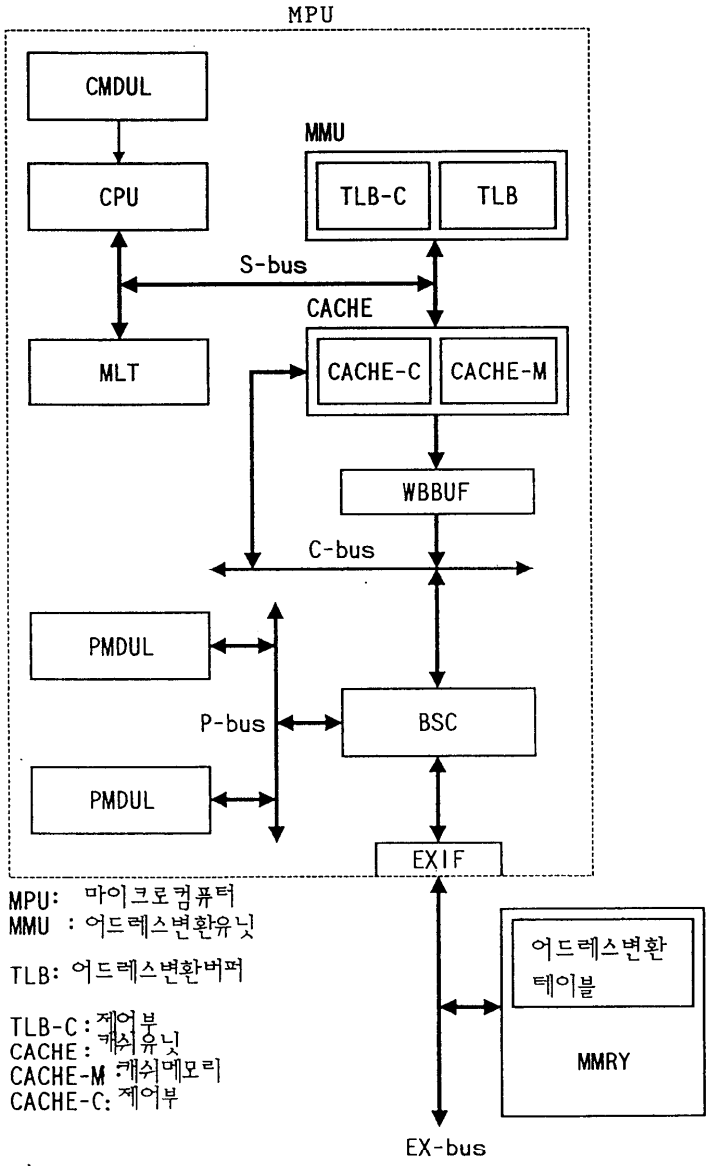
제31항에 있어서,
상기 어드레스 변환유닛은 세트어소시에이티브 구성의 어드레스 변환유닛인 것을 특징으로 하는 데이타 처리장치.

도면

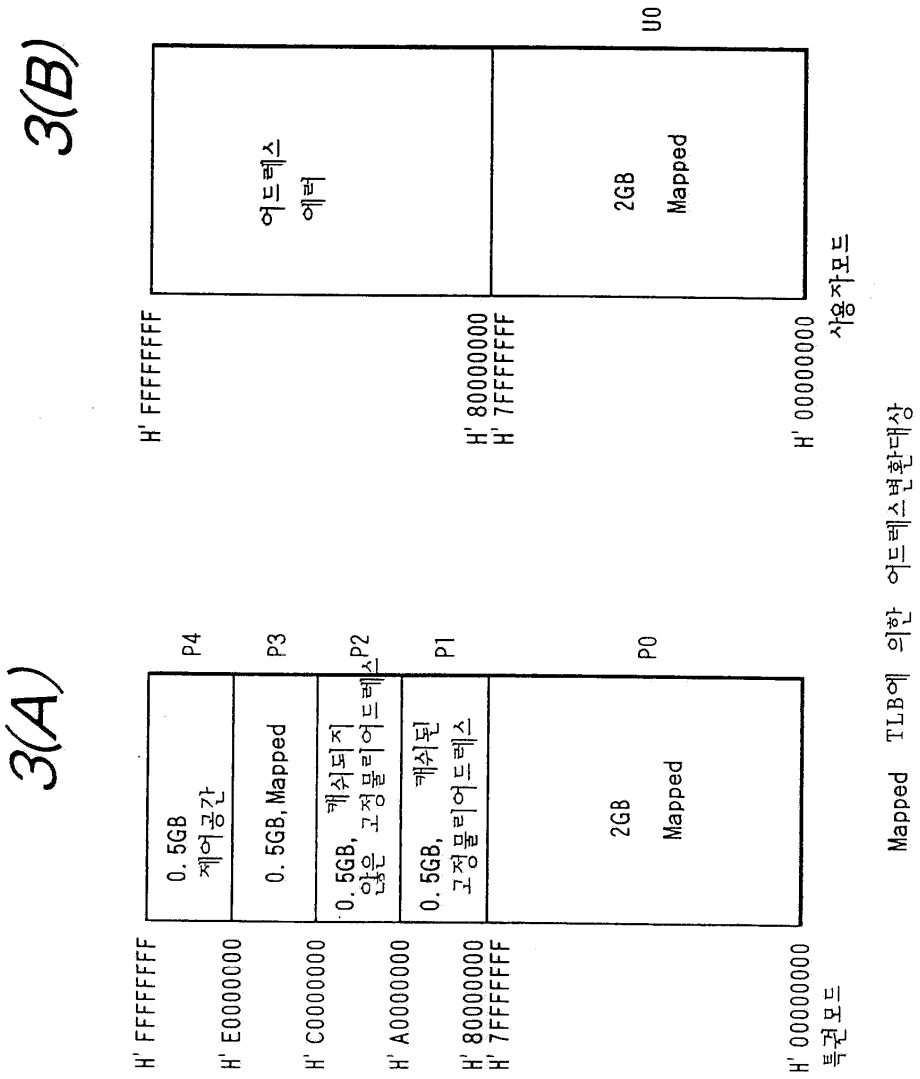
도면1



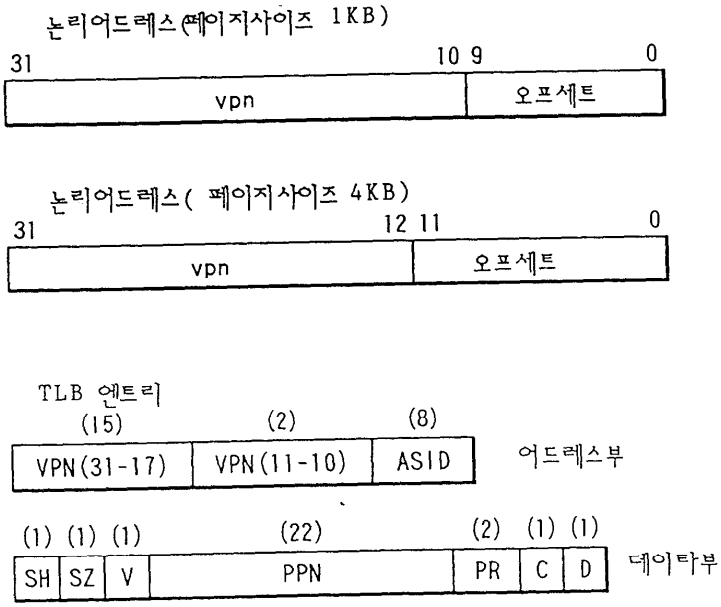
도면2


MPU
CMDUL
CPU
MMU
TLB-C
TLB
S-bus
CACHE
MLT
CACHE-C
CACHE-M
WBBUF
C-bus
PMDUL
P-bus
BSC
PMDUL
EXIF
어드레스변환
테이블
MMRY
EX-bus
MPU: 마이크로컴퓨터
MMU : 어드레스변환유닛
TLB: 어드레스변환버퍼
TLB-C : 제어부
CACHE : 캐쉬유닛
CACHE-M : 캐쉬메모리
CACHE-C: 제어부

도면3

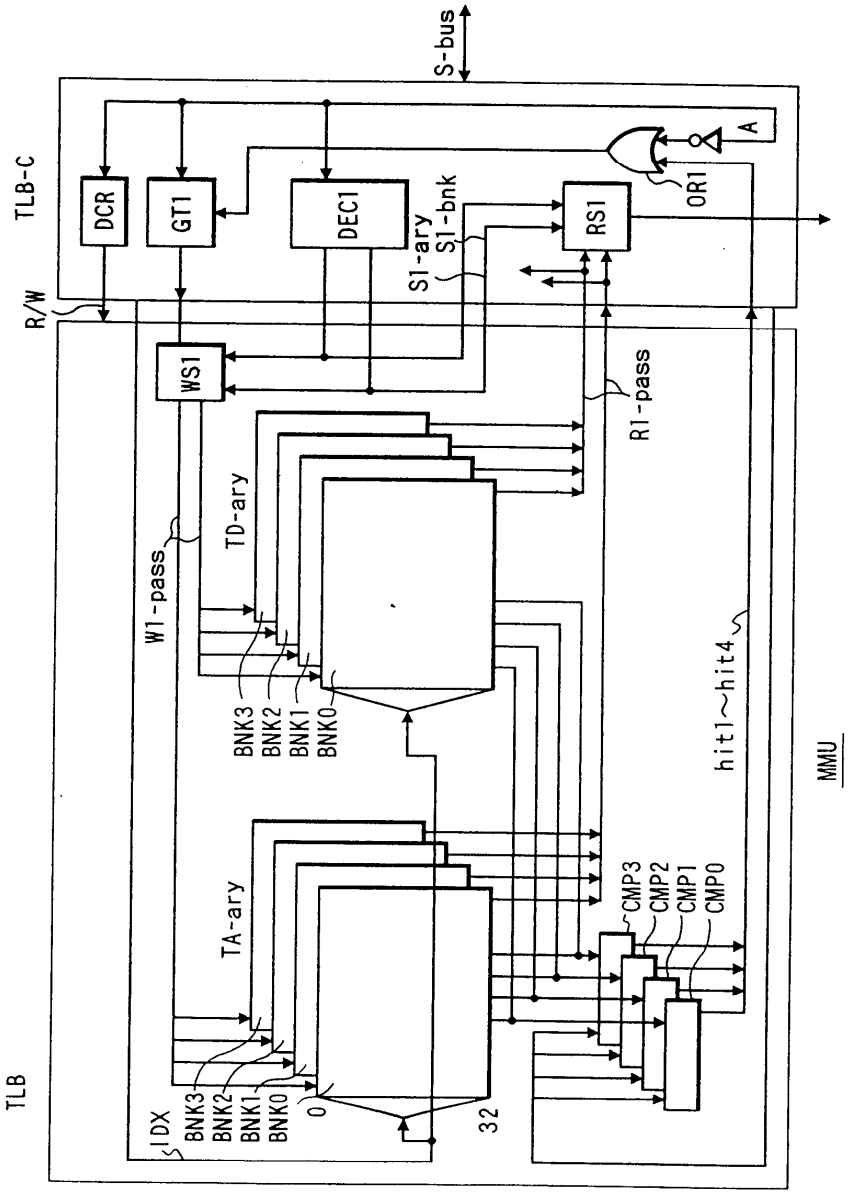

3(A)
P4
P3
P2
P1
P0
0.5GB 제어공간
0.5GB, Mapped
0.5GB, 캐쉬되지 않은 고정물리어드레스
0.5GB, 캐쉬된 고정물리어드레스
2GB Mapped
H' FFFFFFFF
H' E0000000
H' C0000000
H' A0000000
H' 80000000
H' 7FFFFFFF
H' 00000000
특권모드
3(B)
U0
어드레스 에러
2GB Mapped
H' FFFFFFFF
H' 80000000
H' 7FFFFFFF
H' 00000000
사용자모드
Mapped TLB에 의한 어드레스변환대상

도면4

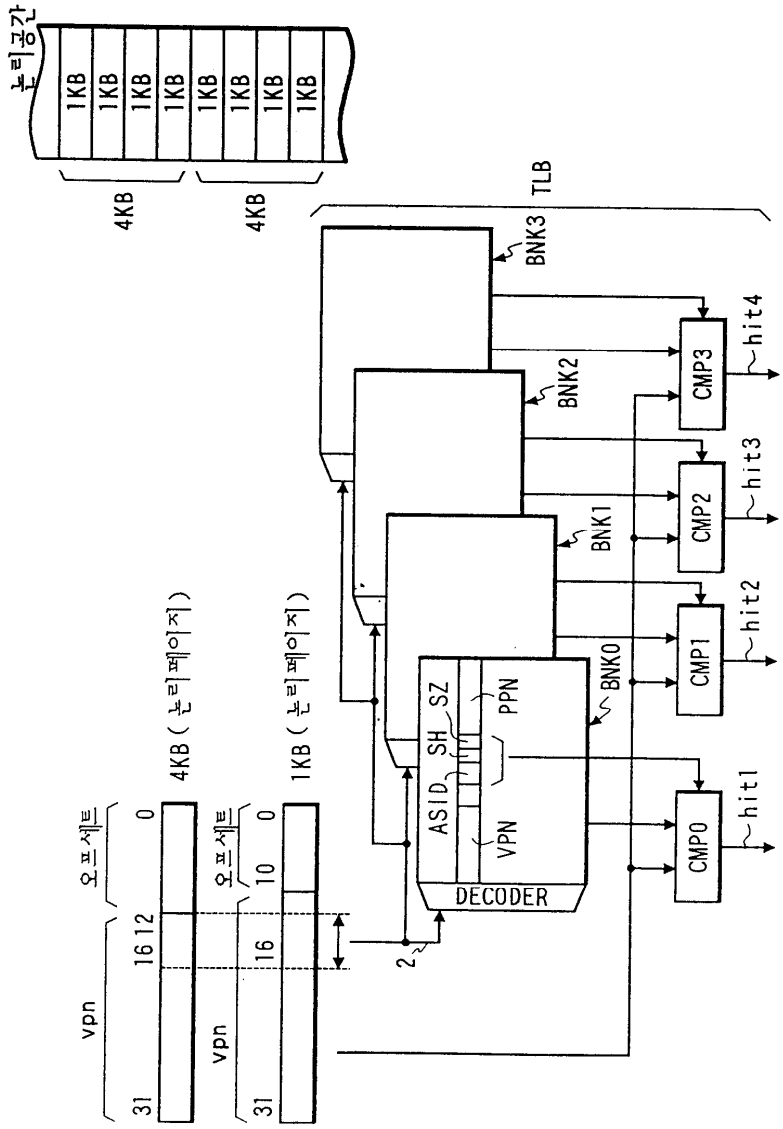


vpn, VPN : 가상기억 페이지 번호
ASID : 어드레스 공간번호
PPN : 물리 페이지 번호
V : 유효비트: 1= 유효, 0=무효
SH : 공유상태비트
; 0= 프로세스사이에서 비공유페이지
; 1= 프로세스사이에서 공유페이지
D : 더티비트, 페이지가 라이트되었는지 아닌지를 나타낸다.
1= 라이트됨, 0= 라이트되지 않음
C : 캐쉬어블 비트
; 1= 캐쉬어블, 0= 논 캐쉬어블
PR : 프로텍션 키필드, 페이지에 대한 액세스권을 정의하기 위해 인코드된 2비트필드.
SZ : 페이지사이즈 비트
,1= 4-KB페이지,0= 1-KB 페이지

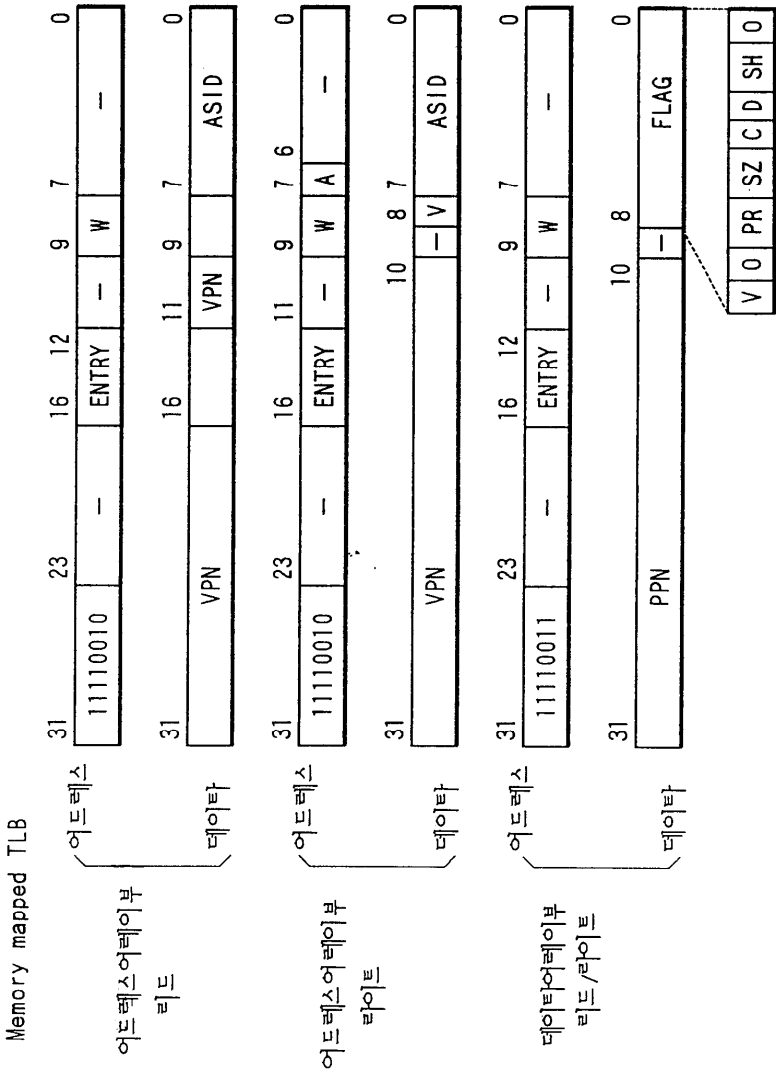
도면5


S-bus
TLB-C
R/W
DCR
GT1
DEC1
S1-ary
S1-bnk
RS1
OR1
A
WS1
R1-pass
W1-pass
TD-ary
BNK3
BNK2
BNK1
BNK0
hit1~hit4
MMU
TA-ary
CMP3
CMP2
CMP1
CMP0
TLB
IDX
BNK3
BNK2
BNK1
BNK0
0
32

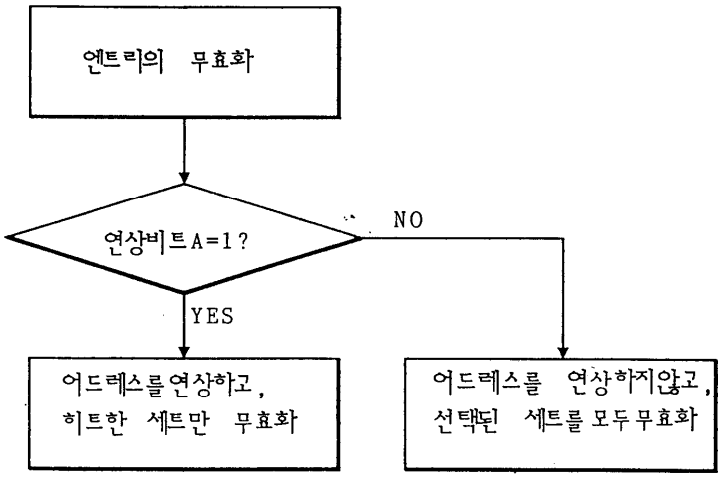
도면6


논리공간
1KB
4KB
4KB
TLB
BNK3
BNK2
BNK1
BNK0
CMP3
CMP2
CMP1
CMP0
hit4
hit3
hit2
hit1
ASID
SH
SZ
PPN
VPN
DECODER
2
4KB (논리페이지)
1KB (논리페이지)
오프셋트
vpn
0
12
16
31
10

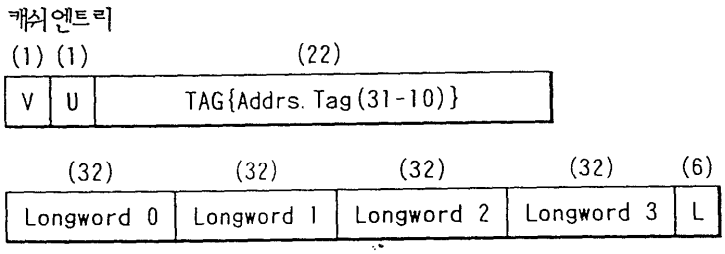
도면7


Memory mapped TLB
어드레스
데이타
어드레스어레이부
리드
어드레스
데이타
어드레스어레이부
라이트
어드레스
데이타
데이타어레이부
리드/라이트
11110010
VPN
ENTRY
ASID
FLAG
PPN
V
D
C
SZ
PR
SH
W
A

도면8


엔트리의 무효화
연상비트A=1?
NO
YES
어드레스를연상하고,
히트한 세트만 무효화
어드레스를 연상하지않고,
선택된 세트를모두무효화

도면9



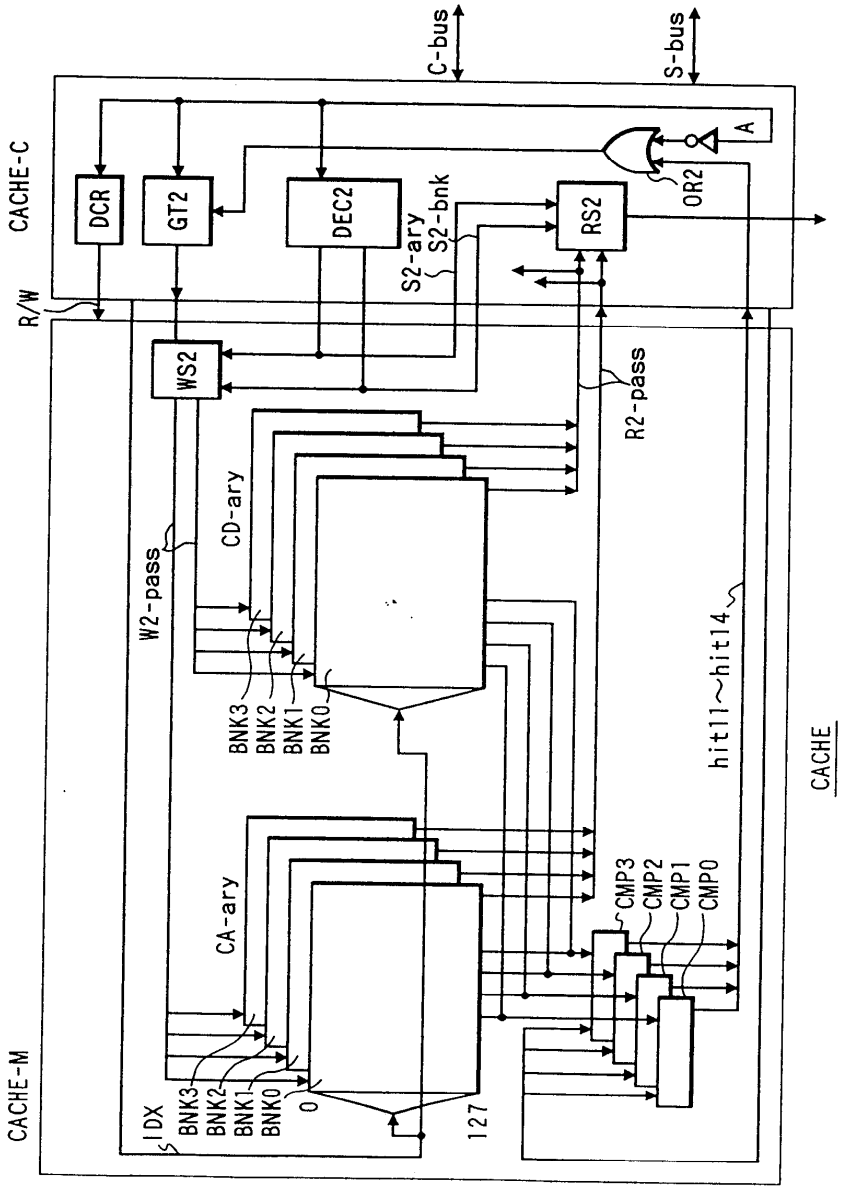
V : 유효비트, 엔트리가 유효인지 아닌지를 나타낸다.
; 1= 유효, 0= 무효

Addrs. Tag : 엔트리의 물리어드레스의 비트31-10

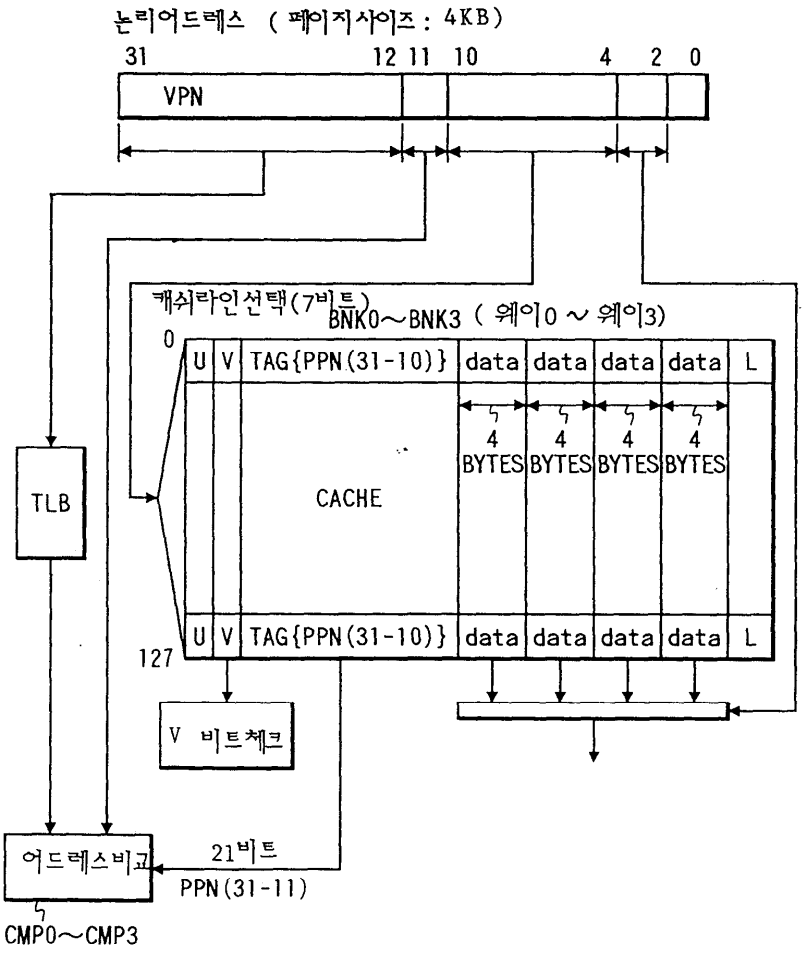
U : 갱신비트, 캐쉬라인이 라이트되었는지 아닌지를 나타낸다.
: 1= 라이트됨, 0= 라이트되지 않음

L : LRU 필드, 엔트리의 치환을 위한 LRU 알고리듬에 따라서 인코드된다.

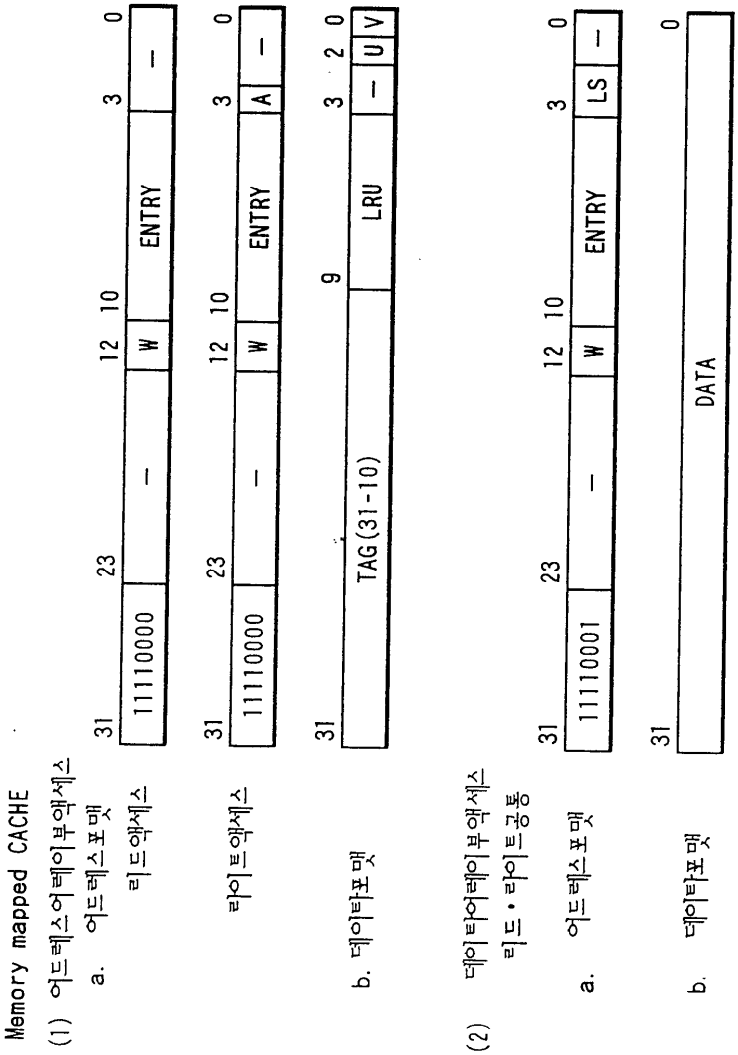
도면10



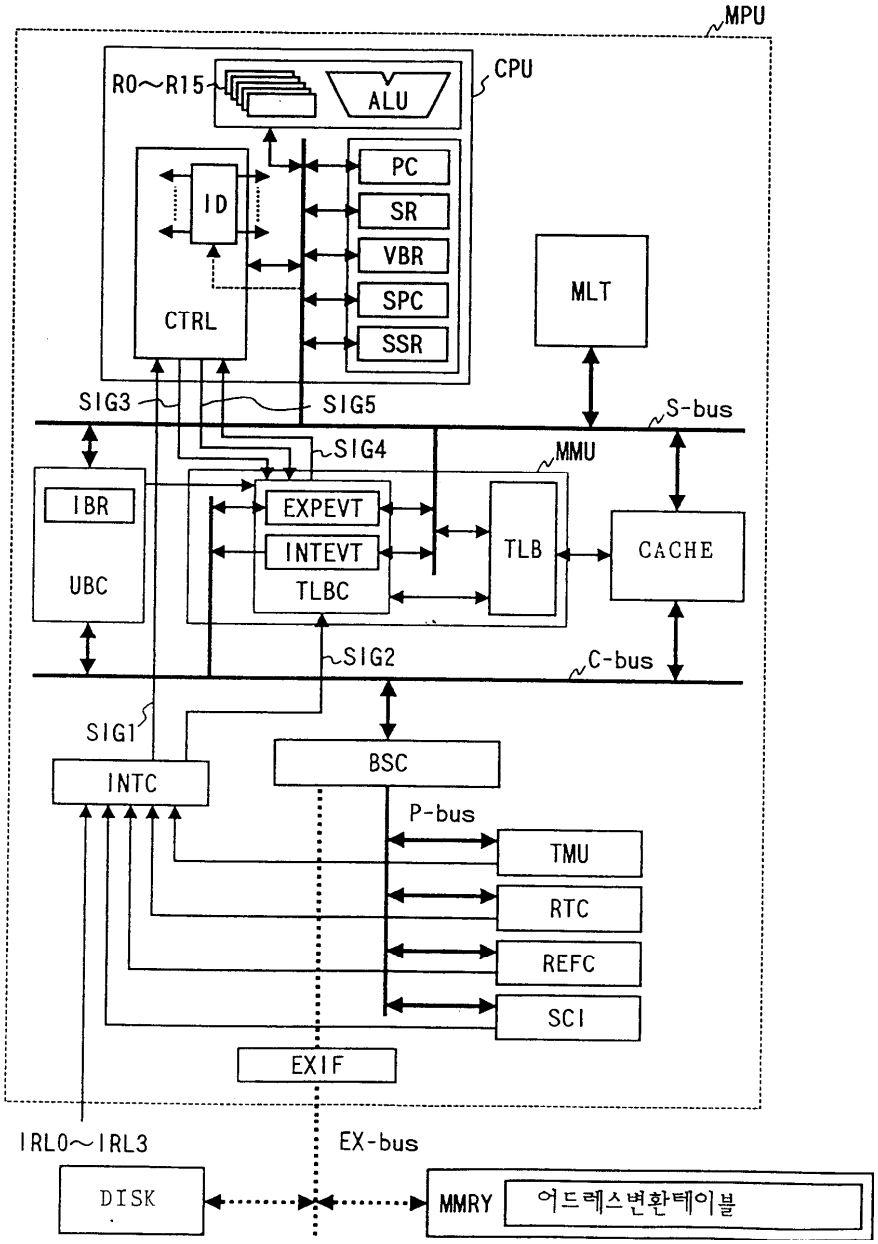
도면11


논리어드레스 (페이지사이즈 : 4KB)
31
12 11 10
4 2 0
VPN
캐쉬라인선택(7비트)
BNK0~BNK3 (웨이0 ~ 웨이3)
0
U V TAG{PPN(31-10)} data data data data L
4 BYTES
CACHE
127
TLB
V 비트체크
어드레스비교
21비트
PPN(31-11)
CMP0~CMP3

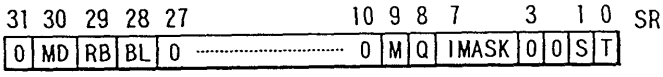
도면12


Memory mapped CACHE
(1) 어드레스어레이부액세스
a. 어드레스포맷
리드액세스
31
23
12 10
3
0
11110000
—
W
ENTRY
—
라이트액세스
11110000
—
W
ENTRY
A
—
b. 데이타포맷
TAG(31-10)
9
LRU
—
U
V
(2) 데이타어레이부액세스
리드·라이트공통
a. 어드레스포맷
11110001
—
W
ENTRY
LS
—
b. 데이타포맷
DATA

도면13


MPU
CPU
R0~R15
ALU
PC
SR
VBR
SPC
SSR
ID
CTRL
MLT
SIG3
SIG5
S-bus
SIG4
MMU
IBR
UBC
EXPEVT
INTEVT
TLBC
TLB
CACHE
SIG2
C-bus
SIG1
INTC
BSC
P-bus
TMU
RTC
REFC
SCI
EXIF
IRL0~IRL3
EX-bus
DISK
MMRY
어드레스변환테이블

도면14



Status Register

T bit : 캐리,보로,오버플로 또는 언더플로를 나타내는 것.
S bit : MAC 명령에 의해 사용된다.
IMASK : 인터럽트 요구에 대한 마스크레벨을 나타내는 4비트 필드.

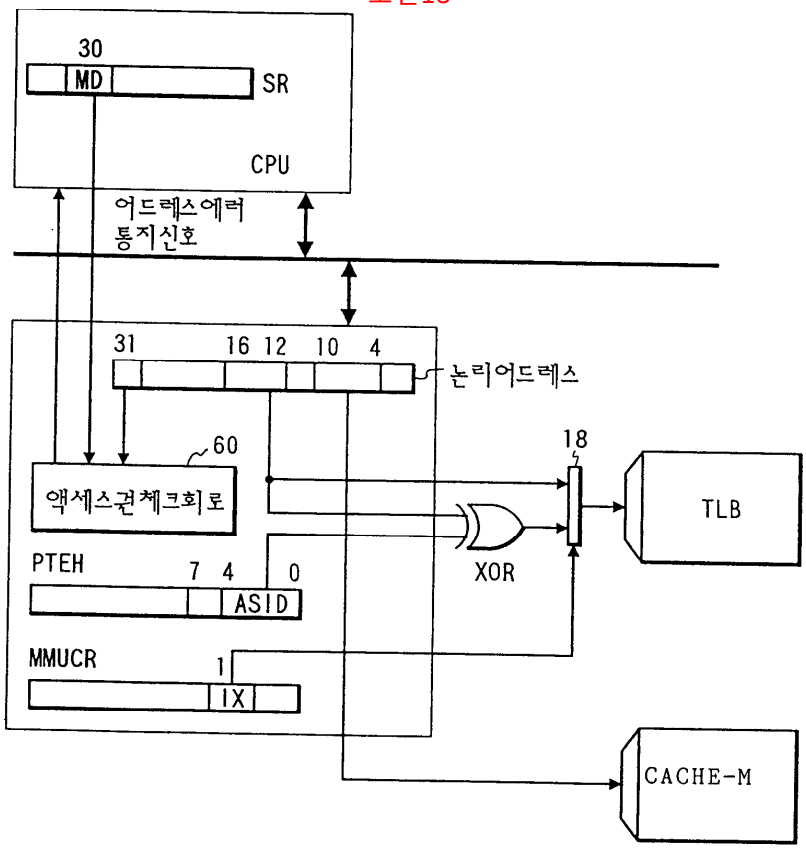
M & Q bits DIV0 U/S 및 DIV1 명령에 의해 사용된다.

RB : 특권모드에 있어서의 범용레지스터를규정하는데 사용되는 레지스터 뱅크 비트
논리1은 R0~R7(BANK1) 을 나타내고, R8~R15는 범용레지스터로서
액세스되고 R0~R7(BANK0)은 LDC/STC 명령에 의한 액세스만이 허용되며,
논리0 은 R0~R7(BANK0) 을 나타내고, R8~R15는 범용레지스터로서
액세스되고 R0~R7(BANK1)은 LDC/STC 명령에 의한 액세스만이 허용된다.

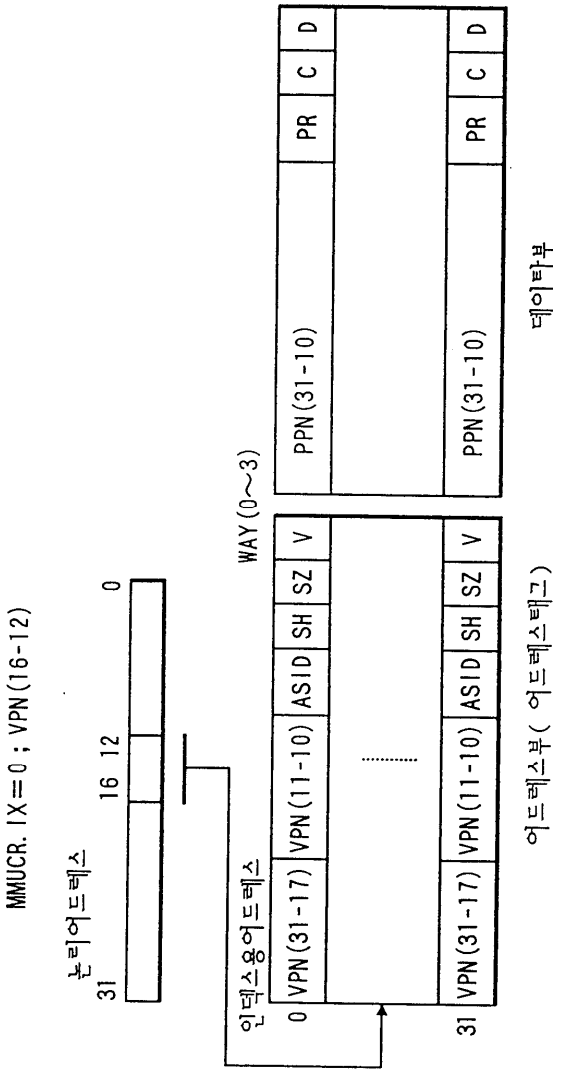
BL : 특권모드에 있어서 예외를 마스크하기 위해 사용되는 블럭비트.
BL=1 은 예외를 마스크하는 것(허용하지 않는것)을 지시한다.
BL=0 은 예외를 허용하는 것을 지시한다.

MD : 프로세서 동작모드를 나타내는 프로세서 동작모드 비트.
1= 특권모드.
2= 사용자모드.

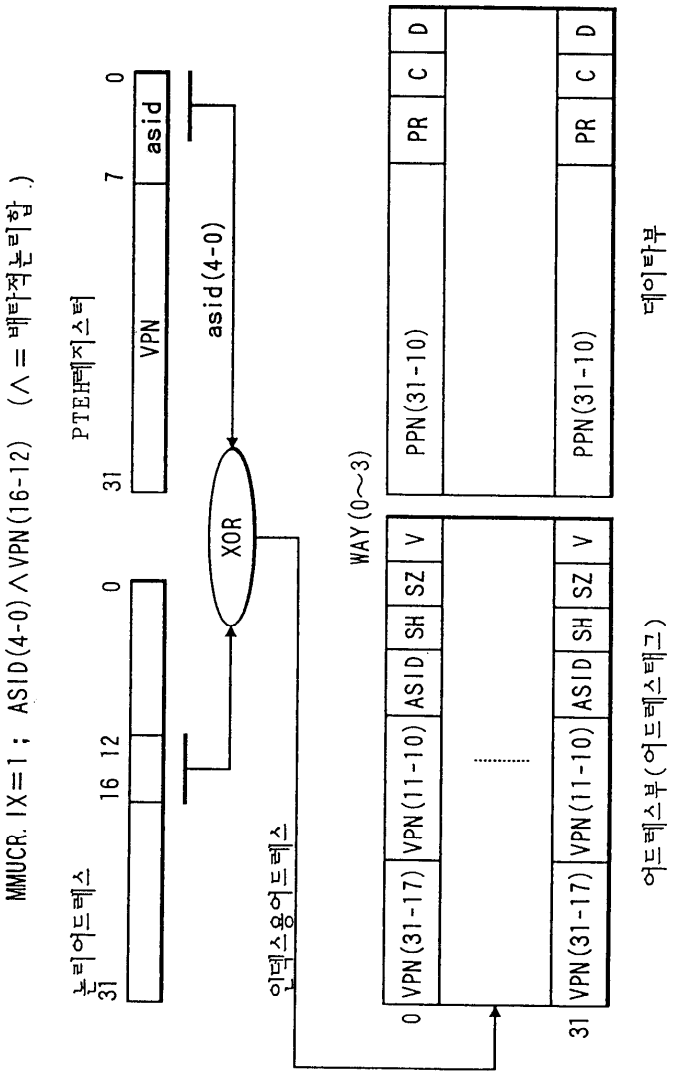
도면15



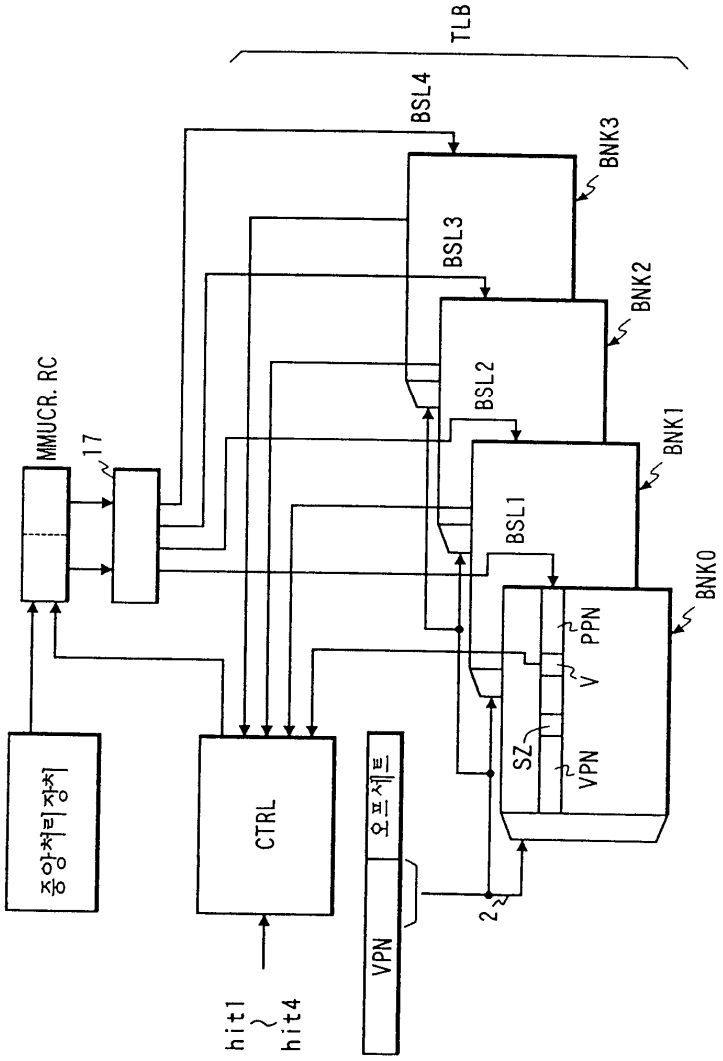
도면16


MMUCR. IX=0 ; VPN(16-12)
논리어드레스
31
16 12
0
인덱스용어드레스
WAY(0~3)
0
VPN(31-17)
VPN(11-10)
ASID
SH
SZ
V
PPN(31-10)
PR
C
D
31
어드레스부(어드레스태그)
데이타부

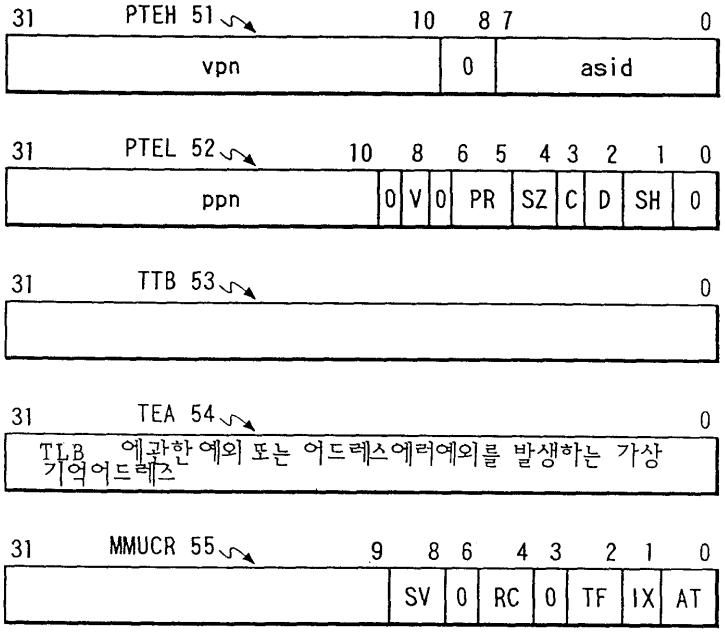
도면17


MMUCR. IX=1 ; ASID(4-0)∧VPN(16-12) (∧ = 배타적논리합 .)
논리어드레스
31
16 12
0
PTEH레지스터
31
VPN
7
asid
0
asid(4-0)
XOR
인덱스용어드레스
WAY(0~3)
VPN(31-17)
VPN(11-10)
ASID
SH
SZ
V
PPN(31-10)
PR
C
D
0
31
어드레스부(어드레스태그)
데이타부

도면18


TLB
BSL4
BNK3
BSL3
BNK2
BSL2
BNK1
BSL1
BNK0
MMUCR. RC
17
PPN
V
SZ
VPN
중앙처리장치
CTRL
오프셋트
VPN
2
hit1
~
hit4

도면19



AT : 어드레스변환비트 1=유효,0=무효

TF : TLB 플러싱비트. 1=플러싱 TLB ,0=동작하지 않고 항상 0으로 리드 되어야한다.

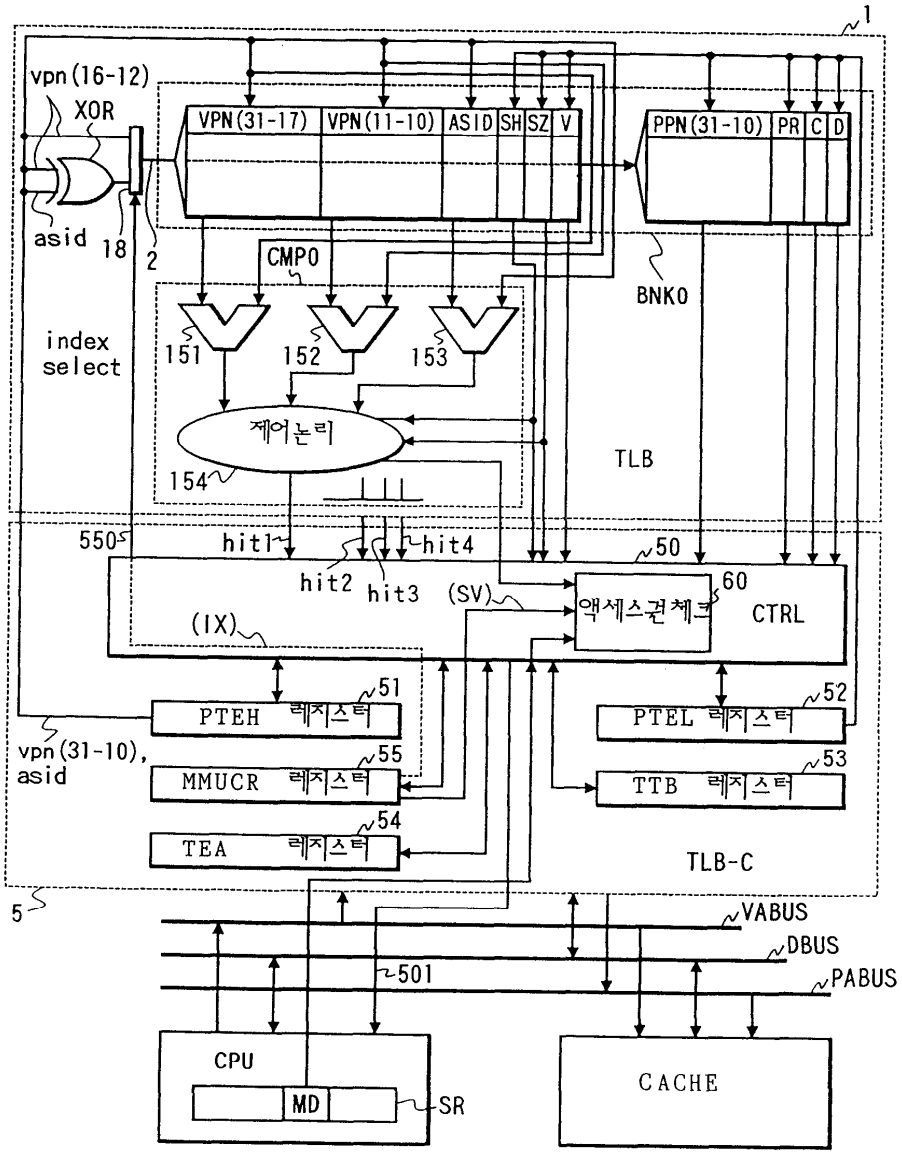
RC : 랜덤카운터필드, TLB 미스마다 프로세서에 의해서 +1된 2비트카운터. 소프트웨어는 소요값을 이 필드에 세트가능.

IX : 인덱스모드비트 ; 논리1은 ASID 의 비트4-0과 VPN 의 비트16-12가 TLB 를 인덱스하는데 사용되는 것을 지시한다. 논리0은 VPN 의 비트16-12가 TLB 를 인덱스하는데 사용되는 것을 지시한다.

SZ : 페이지사이즈비트; 1=4-KB 페이지 0=1-KB 페이지

SV : 단일가상비트 ; 1= 단일가상서포트, 0= 다중가상서포트

도면20


1
vpn(16-12)
XOR
asid
18
2
VPN(31-17)
VPN(11-10)
ASID
SH
SZ
V
PPN(31-10)
PR
C
D
CMP0
BNK0
index
select
151
152
153
제어논리
154
TLB
550
hit1
hit2
hit3
hit4
50
60
액세스권체크
CTRL
(SV)
(IX)
51
PTEH 레지스터
52
PTEL 레지스터
vpn(31-10),
asid
55
MMUCR 레지스터
53
TTB 레지스터
54
TEA 레지스터
TLB-C
5
VABUS
DBUS
PABUS
501
CPU
MD
SR
CACHE

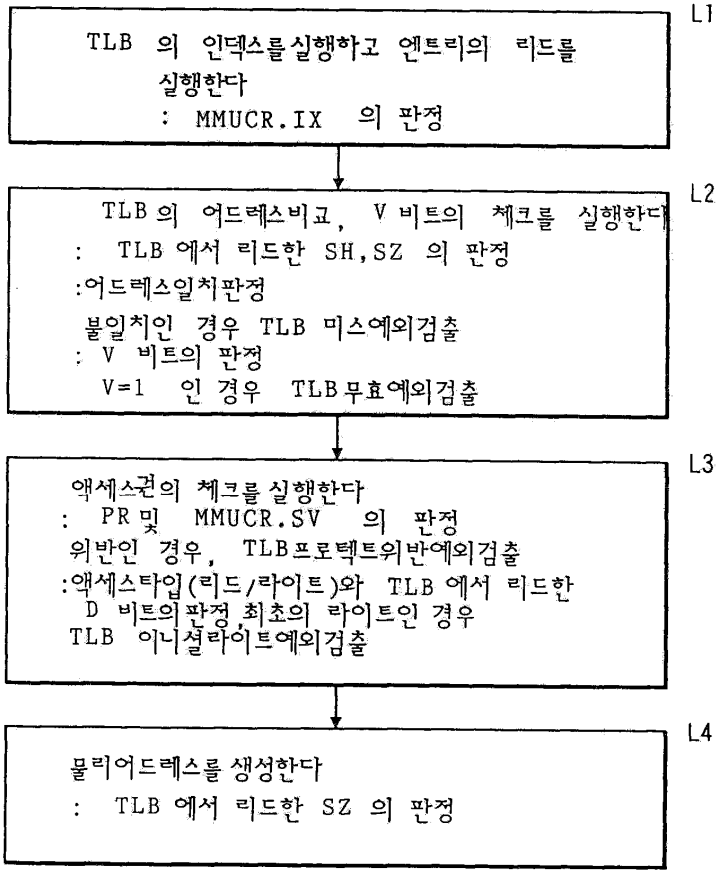
도면21

액세스권

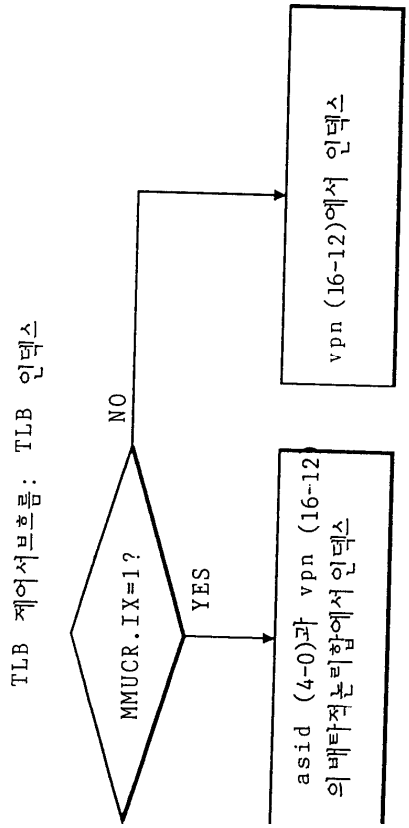
PR	허용어드레스		메모
	특권모드	사용자모드	
00	리드만	액세스하지 않음	특권모드만 사용자라이트플랫 정상액세스
01	리드 / 라이트	액세스하지 않음	
10	리드만	리드만	
11	리드 / 라이트	리드 / 라이트	

도면22

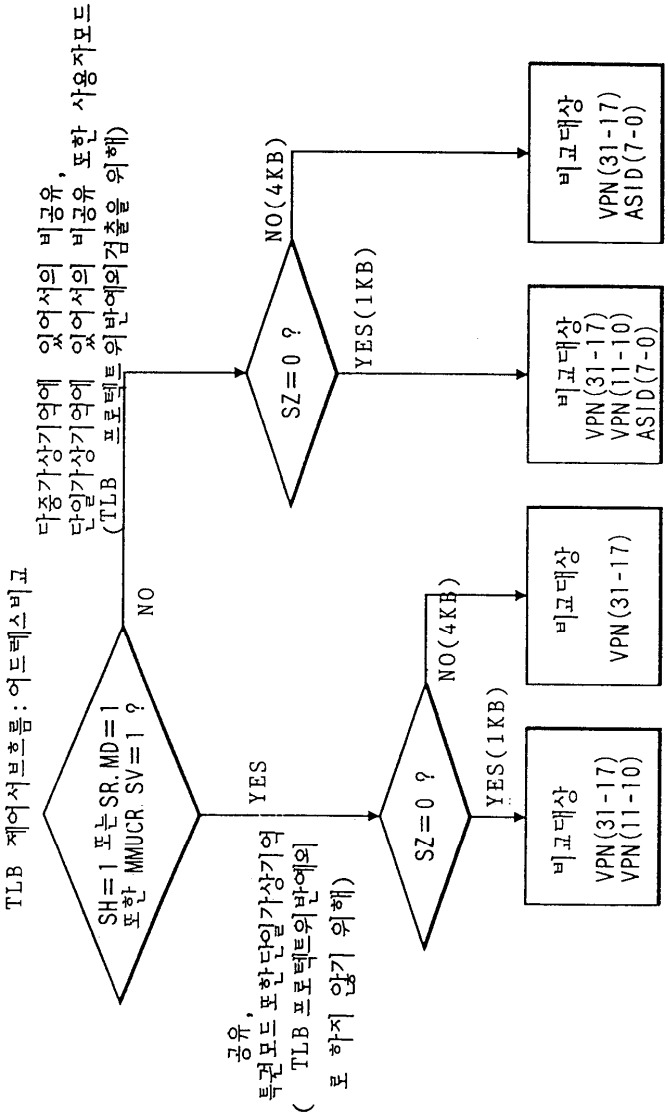
제어메인흐름



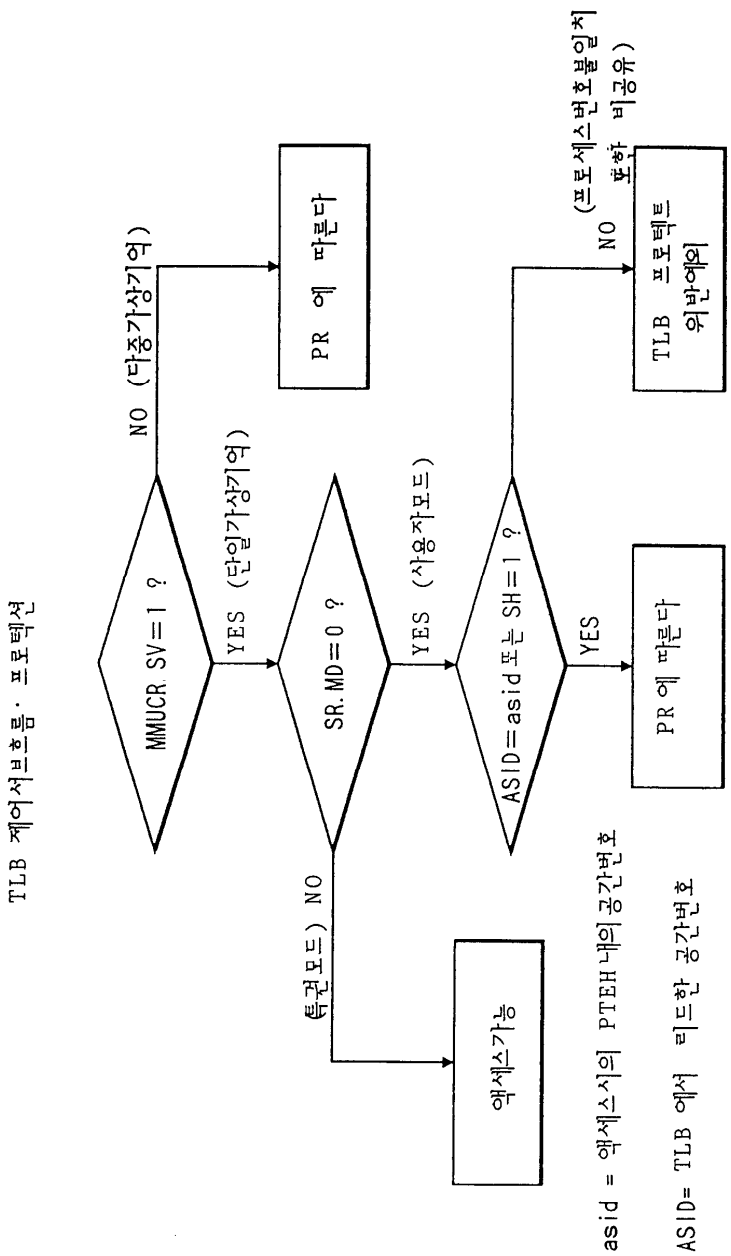
도면23



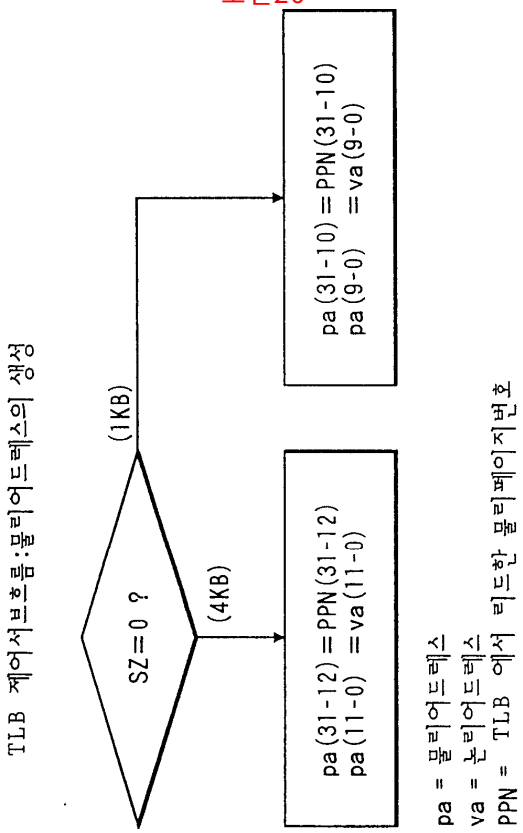
도면24


TLB 제어서브흐름 : 어드레스비교
SH=1 또는 SR.MD=1
또한 MMUCR.SV=1 ?
NO
YES
다중가상기억에 있어서의 비공유,
단일가상기억에 있어서의 비공유 또한 사용자모드
(TLB 프로텍트 위반예외검출을 위해)
SZ=0 ?
NO(4KB)
YES(1KB)
비교대상
VPN(31-17)
ASID(7-0)
비교대상
VPN(31-17)
VPN(11-10)
ASID(7-0)
공유,
특권모드 또한 단일가상기억
(TLB 프로텍트위반예외
로 하지 않기 위해)
SZ=0 ?
NO(4KB)
YES(1KB)
비교대상
VPN(31-17)
비교대상
VPN(31-17)
VPN(11-10)

도면25

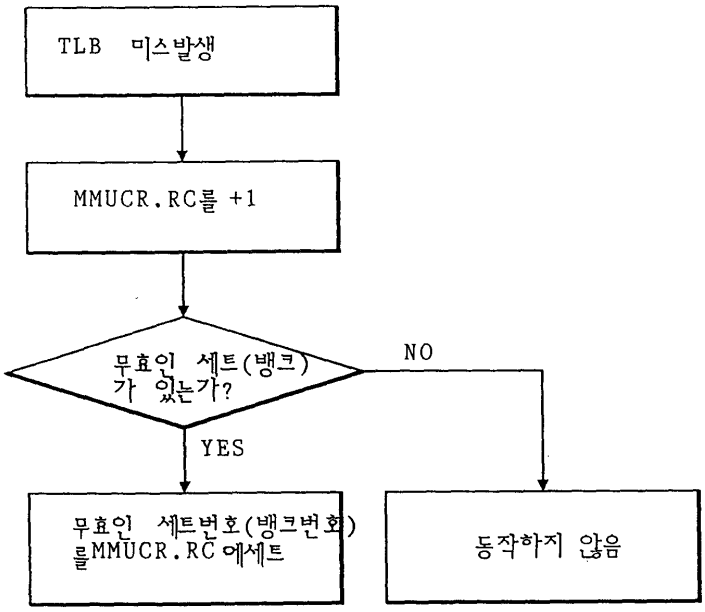

TLB 제어서브흐름 · 프로텍션
MMUCR.SV=1 ?
NO (다중가상기억)
PR 에 따른다
YES (단일가상기억)
SR.MD=0 ?
YES (사용자모드)
ASID=asid 또는 SH=1 ?
YES
PR 에 따른다
NO (프로세스번호불일치 포함 비공유)
TLB 프로텍트 위반예외
특권모드) NO
액세스가능
asid = 액세스시의 PTEH 내의 공간번호
ASID= TLB 에서 리드한 공간번호

도면26

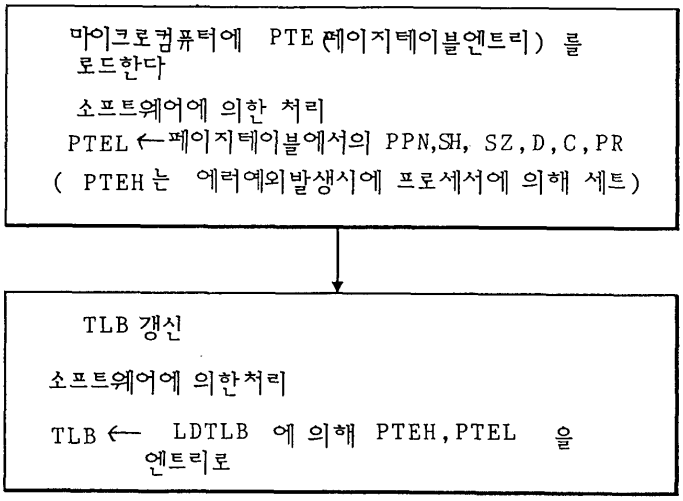


도면27

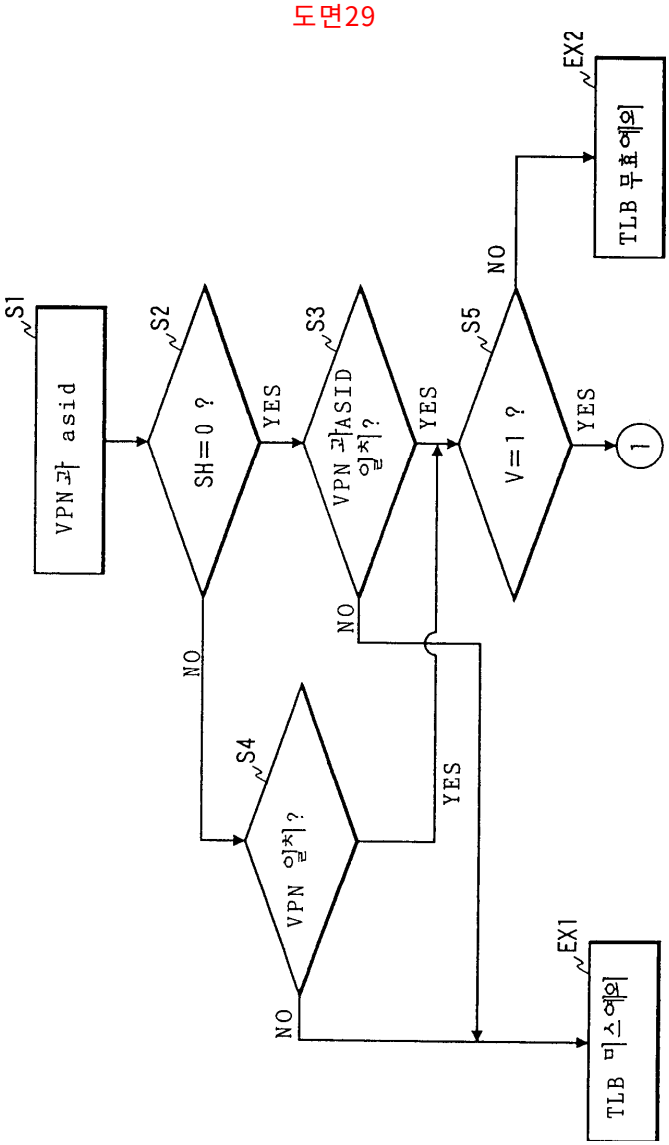
TLB 제어서브흐름: TLB 의 치환세트의 하드웨어지정



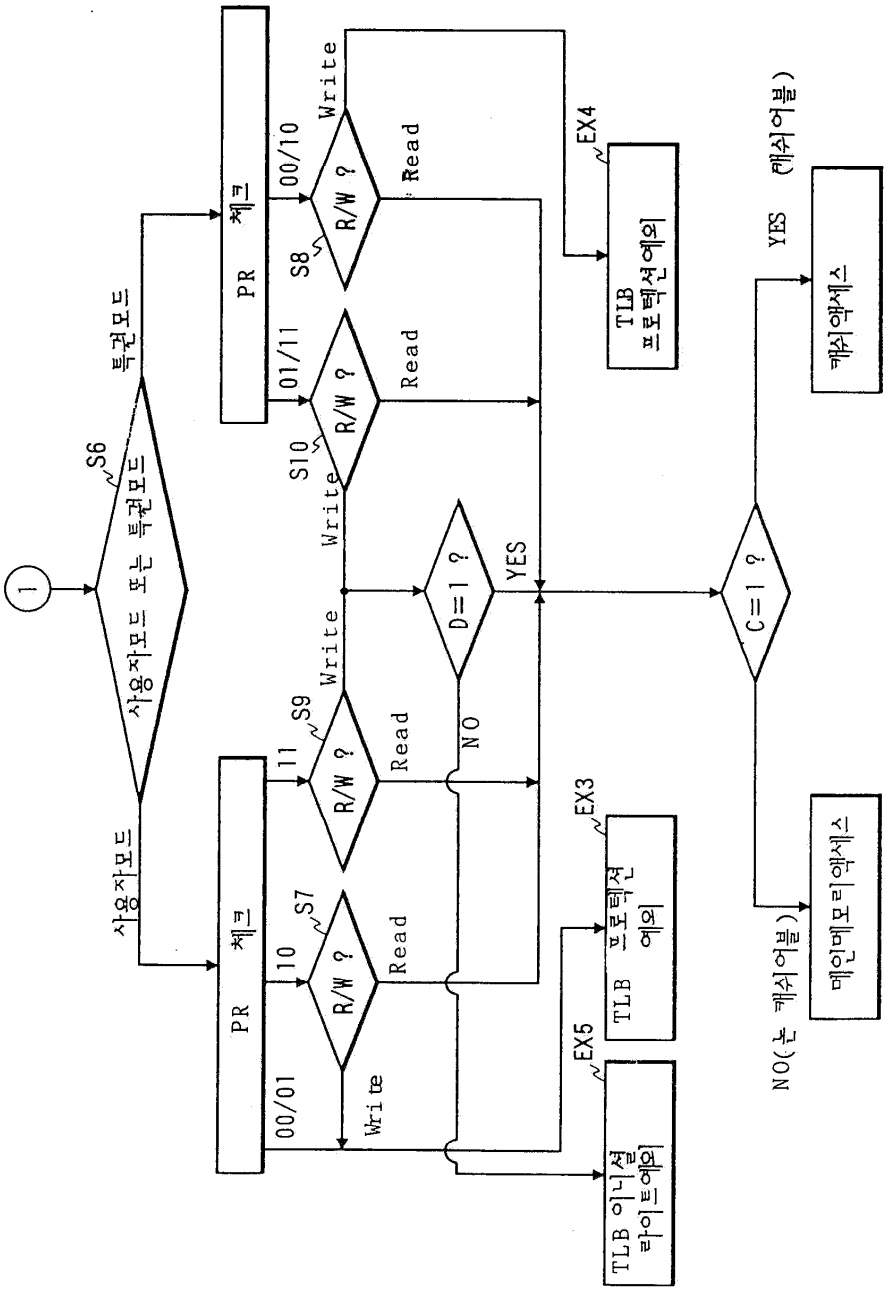
도면28


마이크로컴퓨터에 PTE (페이지테이블엔트리) 를 로드한다
소프트웨어에 의한 처리
PTEL ←페이지테이블에서의 PPN,SH, SZ,D,C,PR
(PTEH는 에러예외발생시에 프로세서에 의해 세트)
TLB 갱신
소프트웨어에 의한처리
TLB ← LDTLB 에 의해 PTEH,PTEL 을 엔트리로

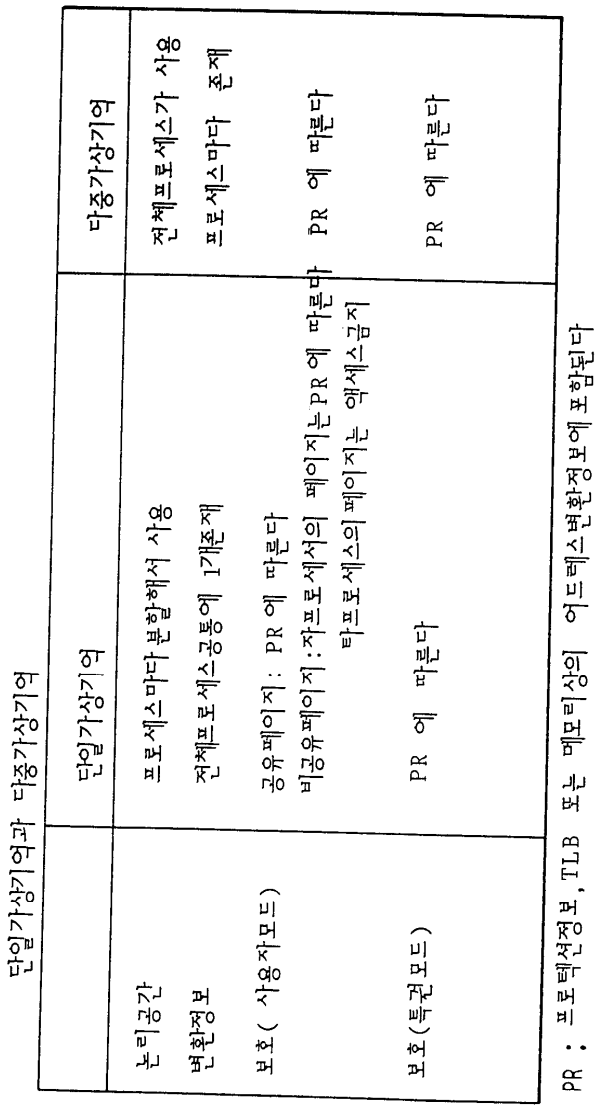
도면29


S1
VPN과 asid
S2
SH=0 ?
YES
NO
S3
VPN 과ASID 일치?
YES
NO
S4
VPN 일치?
YES
NO
S5
V=1 ?
YES
NO
EX1
TLB 미스예외
EX2
TLB 무효예외
1

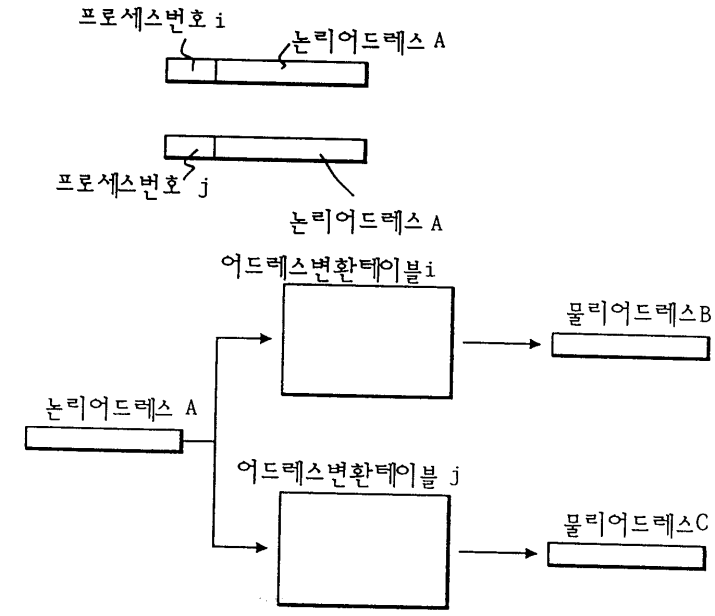
도면30


1
S6
사용자모드 또는 특권모드
특권모드
사용자모드
PR 체크
00/10
01/11
10
00/01
S8
S10
S9
S7
R/W ?
Write
Read
Write
Read
Write
Read
Write
EX4
TLB 프로텍션예외
D=1 ?
YES
NO
EX3
TLB 프로텍션 예외
EX5
TLB 이니셜 라이트예외
C=1 ?
YES (캐쉬어블)
캐쉬액세스
NO(논 캐쉬어블)
메인메모리액세스

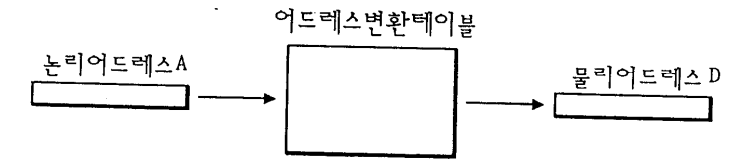
도면31


단일가상기억과 다중가상기억
단일가상기억
다중가상기억
논리공간
변환정보
보호(사용자모드)
보호(특권모드)
프로세스마다 분할해서 사용
전체프로세스공통에 1개존재
공유페이지 : PR 에 따른다
비공유페이지:자프로세서의 페이지는PR 에 따른다
타프로세스의페이지는 액세스금지
PR 에 따른다
전체프로세스가 사용
프로세스마다 존재
PR 에 따른다
PR 에 따른다
PR : 프로텍션정보, TLB 또는 메모리상의 어드레스변환정보에 포함된다

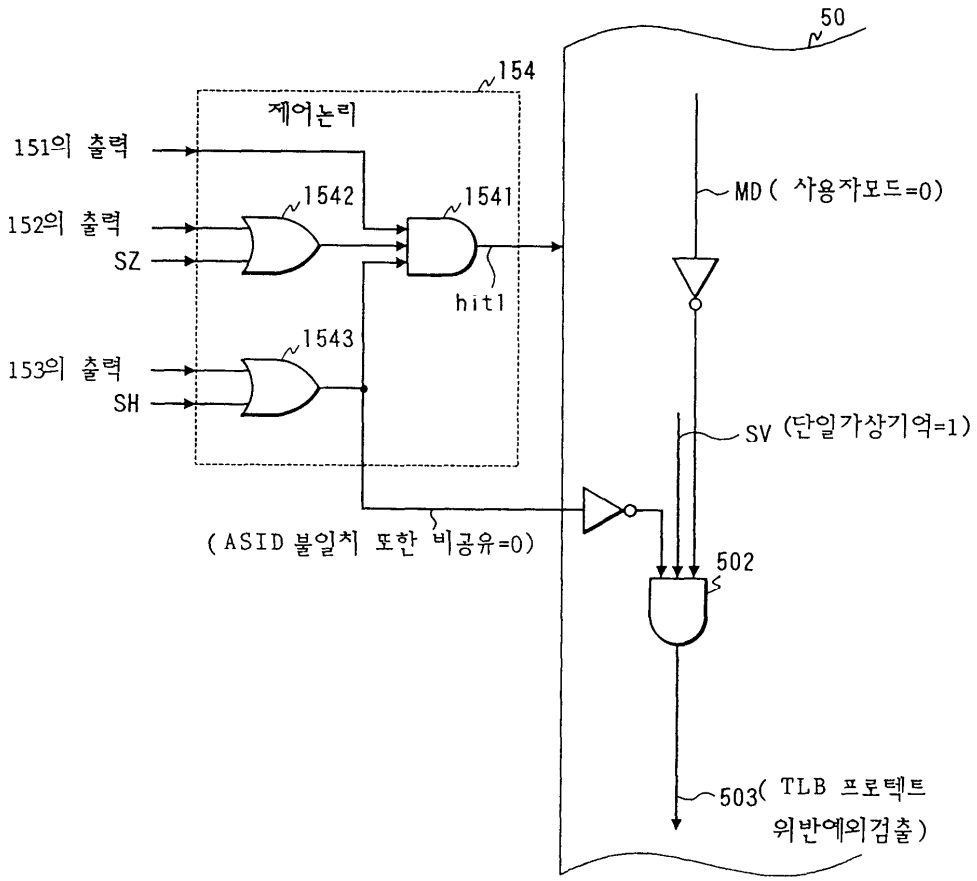
도면32a


다중가상기억
프로세스번호 i
논리어드레스 A
프로세스번호 j
논리어드레스 A
어드레스변환테이블i
물리어드레스B
논리어드레스 A
어드레스변환테이블 j
물리어드레스C

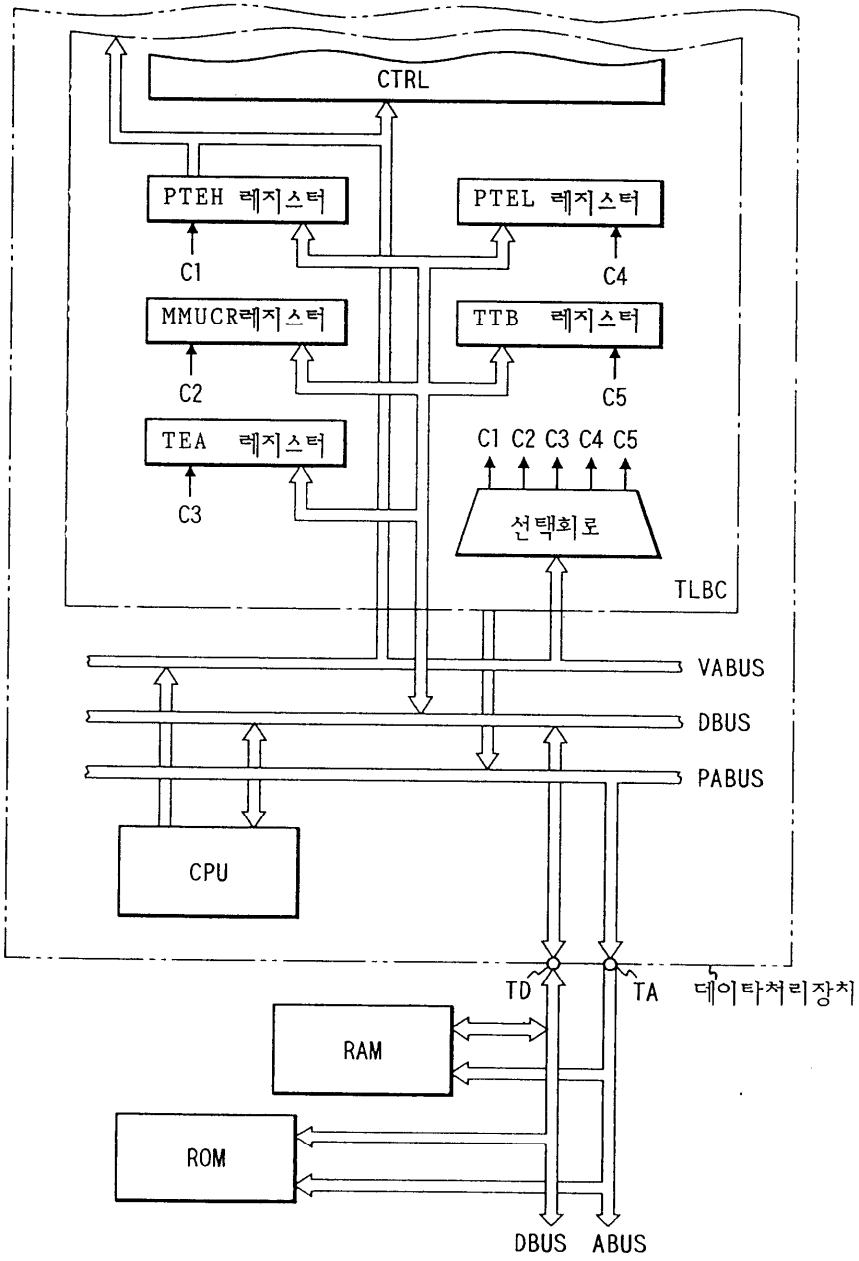
도면32b


단일가상기억
어드레스변환테이블
논리어드레스A
물리어드레스D

도면33


50
154
제어논리
151의 출력
152의 출력
SZ
153의 출력
SH
1542
1541
1543
hit1
MD(사용자모드=0)
SV (단일가상기억=1)
(ASID 불일치 또한 비공유=0)
502
503
(TLB 프로텍트
위반예외검출)

도면34


CTRL
PTEH 레지스터
PTEL 레지스터
C1
C4
MMUCR레지스터
TTB 레지스터
C2
C5
TEA 레지스터
C1 C2 C3 C4 C5
C3
선택회로
TLBC
VABUS
DBUS
PABUS
CPU
TD
TA
데이타처리장치
RAM
ROM
DBUS
ABUS