



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년06월10일

(11) 등록번호 10-1527800

(24) 등록일자 2015년06월04일

(51) 국제특허분류(Int. Cl.)

G06F 13/00 (2006.01) G06F 11/00 (2006.01)

(21) 출원번호 10-2013-7024661

(22) 출원일자(국제) 2012년02월16일

심사청구일자 2013년09월17일

(85) 번역문제출일자 2013년09월17일

(65) 공개번호 10-2013-0136518

(43) 공개일자 2013년12월12일

(86) 국제출원번호 PCT/US2012/025526

(87) 국제공개번호 WO 2012/134652

국제공개일자 2012년10월04일

(30) 우선권주장

13/029,934 2011년02월17일 미국(US)

(56) 선행기술조사문헌

US20060184831 A1

US20090024883 A1

US20090080584 A1

(73) 특허권자

퀄컴 인코포레이티드

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자

춘, 텍스터 티.

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

울프, 잭 케이.

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(뒷면에 계속)

(74) 대리인

특허법인 남앤드남

전체 청구항 수 : 총 49 항

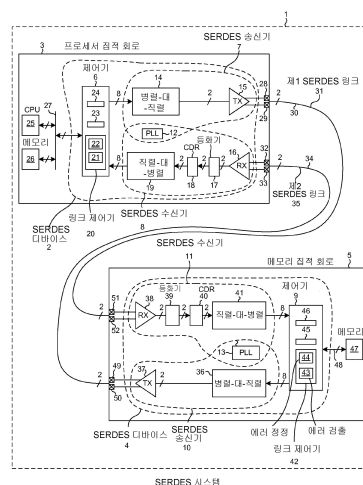
심사관 : 고재용

(54) 발명의 명칭 검출된 에러 레이트의 함수로서의 SERDES 전력 스토틀링

(57) 요약

시스템은 제1 집적 회로(IC)로부터 제2 IC로의 제1 SerDes 링크 및 제2 IC로부터 제1 IC로의 제2 링크를 포함한다. 제1 링크의 회로 내에서의 전력 소모 세팅들은 제1 링크의 비트 에러 레이트가 범위 내에서 유지되도록 전력 소모를 제어하기 위해 조정되고, 범위의 하한은 실질적으로 0보다 더 크다. 제2 링크에 대한 회로 내의 전력 소모 세팅들은 제2 링크의 비트 에러 레이트가 범위 내에서 유지되도록 전력 소모를 제어하기 위해 조정되고, 범위의 하한은 실질적으로 0보다 더 크다. 일 예에서, 제2 IC 내의 회로는 제1 링크에서 에러들을 검출하고, 제2 링크를 통해 역으로 보고한다. 제1 IC는 제1 링크에 대한 비트 에러 레이트를 결정하기 위해 보고된 정보를 사용한다.

대표도 - 도1



(72) 발명자

**서, 중원**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스  
스 드라이브 5775

**소우라티, 티르데드**

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스  
스 드라이브 5775

---

## 명세서

### 청구범위

#### 청구항 1

방법으로서,

제 1 SerDes(직렬화기/역직렬화기:Serializer/Deserializer) 링크 및 제 2 SerDes 링크를 포함하는 SerDes 링크를 통하여 제 1 SerDes 디바이스와 제 2 SerDes 디바이스 사이에서 정보의 통신에 SerDes 회로를 사용하는 단계 - 상기 SerDes 회로는 상기 제 1 SerDes 디바이스 내에 위치하고, 상기 제 1 SerDes 링크를 통해 정보를 송신하는 SerDes 송신기 및 상기 제 2 SerDes 링크로부터 정보를 수신하는 SerDes 수신기로 구성된 그룹으로부터 취해짐 - ; 및

상기 제 1 SerDes 링크를 통한 상기 제 2 SerDes 디바이스로부터 상기 제 1 SerDes 디바이스로의 송신들을 위한 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 상기 제 1 SerDes 디바이스의 SerDes 수신기의 전력 소모를 제어하는 단계를 포함하고,

상기 제 2 SerDes 디바이스로부터 상기 제 1 SerDes 디바이스로의 송신들을 위한 상기 에러 레이트가 상기 에러 레이트 하한과 상기 에러 레이트 상한 외부에 존재할 때, 상기 제 2 SerDes 디바이스의 전력 소모를 변경하기 위해 상기 제 1 SerDes 디바이스가 상기 제 2 SerDes 디바이스로 표시를 송신하도록 구성된,

방법.

#### 청구항 2

장치로서,

SerDes(직렬화기/역직렬화기:Serializer/Deserializer) 회로에 동작가능하게 커플링되는 제어기를 포함하고,

상기 SerDes 회로는 제 1 SerDes 링크 및 제 2 SerDes 링크를 포함하는 SerDes 링크를 통하여 제 1 SerDes 디바이스와 제 2 SerDes 디바이스 사이에서 정보를 통신하도록 적응되고,

상기 제어기는 상기 제 1 SerDes 디바이스 내에 위치하고, 상기 SerDes 링크의 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 상기 SerDes 회로의 전력 소모를 제어하도록 적응되며,

상기 제 2 SerDes 디바이스로부터 상기 제 1 SerDes 디바이스로의 송신들을 위한 상기 에러 레이트가 상기 에러 레이트 하한과 상기 에러 레이트 상한 외부에 존재할 때, 상기 제 2 SerDes 디바이스의 전력 소모를 변경하기 위해 상기 제 1 SerDes 디바이스가 상기 제 2 SerDes 디바이스로 표시를 송신하도록 구성된,

장치.

#### 청구항 3

제2항에 있어서,

상기 SerDes 링크는 상기 제 1 SerDes 디바이스와 상기 제 2 SerDes 디바이스 사이에서 연장하는, 장치.

#### 청구항 4

제2항에 있어서,

상기 제어기 및 상기 SerDes 회로는 상기 제 1 SerDes 디바이스의 일부분들인, 장치.

#### 청구항 5

방법으로서,

(a) SerDes(직렬화기/역직렬화기) 링크의 에러 레이트를 결정하는 단계 - 상기 SerDes 링크를 통해 전달되는 정보는 SerDes 수신기에 의해 수신됨 - ; 및

(b) 상기 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 상기 SerDes 수신기의 전력 소모 세팅을 제어하는 단계를 포함하고,

상기 SerDes 수신기에 의해 수신되는 송신들을 위한 상기 에러 레이트가 상기 에러 레이트 하한과 상기 에러 레이트 상한 외부에 존재할 때, 제 1 SerDes 수신기는 추가적인 SerDes 디바이스의 전력 소모를 변경하기 위해 상기 추가적인 SerDes 디바이스로 상기 SerDes 링크를 통해 표시를 송신하도록 구성된, 방법.

#### 청구항 6

제5항에 있어서,

상기 (a)의 결정하는 단계 및 상기 (b)의 제어하는 단계는 배터리-구동식 모바일 통신 디바이스에서 발생하고, 상기 SerDes 링크는 상기 배터리-구동식 모바일 통신 디바이스 내에 배치되는, 방법.

#### 청구항 7

제5항에 있어서,

상기 SerDes 링크는 배터리-구동식 모바일 통신 디바이스 내의 제 1 집적 회로로부터 상기 배터리-구동식 모바일 통신 디바이스 내의 제 2 집적 회로로 연장하는, 방법.

#### 청구항 8

제5항에 있어서,

상기 (a)의 결정하는 단계 및 상기 (b)의 제어하는 단계는 상기 SerDes 수신기를 포함하는 제 1 집적 회로에 의해 수행되고, 상기 SerDes 링크를 통해 전달되는 정보는 제 2 집적 회로의 일부분인 SerDes 송신기로부터 수신되고, 상기 제 1 집적 회로는 중앙 처리 장치(CPU)를 포함하고, 상기 제 2 집적 회로는 메모리를 포함하고, 상기 방법은:

상기 SerDes 링크의 SerDes 수신기를 사용하여 상기 제 2 집적 회로의 메모리에 액세스하는 단계를 더 포함하고, 상기 제 1 집적 회로의 CPU는 상기 액세스하는 단계를 수행하는, 방법.

#### 청구항 9

제5항에 있어서,

상기 (a)의 결정하는 단계 및 상기 (b)의 제어하는 단계는 집적 회로에 의해 수행되고, 상기 집적 회로는 SerDes 수신기를 포함하고, 상기 (a)의 결정하는 단계는:

상기 SerDes 수신기를 통해 정보를 수신하는 것 - 상기 정보는 데이터 부분 및 에러 검출 코드 부분을 포함함 - ; 및

상기 에러 검출 코드 부분을 사용하여 상기 데이터 부분 내의 하나 이상의 비트 에러들을 검출하기 위해 상기 집적 회로 상의 에러 검출 회로를 사용하는 것을 수반하는, 방법.

#### 청구항 10

제9항에 있어서,

상기 에러 검출 코드 부분은 에러 정정 코드, 에러 검출 및 정정 코드, 및 CRC(순환 중복 코드) 코드로 구성된 그룹으로부터 취해지는, 방법.

#### 청구항 11

제9항에 있어서,

상기 (a)의 결정하는 단계는:

다수의 검출된 비트 에러들의 합산을 유지하는 것; 및

에러 없이 수신된 다수의 비트들의 합산을 유지하는 것을 포함하는, 방법.

#### 청구항 12

제5항에 있어서,

상기 SerDes 수신기는 루프 필터를 포함하고, 상기 전력 소모 세팅은 상기 루프 필터의 세팅을 포함하는, 방법.

#### 청구항 13

제5항에 있어서,

상기 SerDes 수신기는 디지털 필터를 포함하고, 상기 전력 소모 세팅은 디지털 클록 신호가 상기 디지털 필터의 일부분에 공급되는 것을 방지하는 세팅인, 방법.

#### 청구항 14

제5항에 있어서,

상기 SerDes 수신기는 클록 및 데이터 복원 회로를 포함하고, 상기 전력 소모 세팅은 상기 클록 및 데이터 복원 회로의 세팅을 포함하는, 방법.

#### 청구항 15

제5항에 있어서,

상기 SerDes 수신기는 등화기를 포함하고, 상기 전력 소모 세팅은 상기 등화기의 세팅을 포함하는, 방법.

#### 청구항 16

제5항에 있어서,

상기 SerDes 수신기는 등화기를 포함하고, 상기 전력 소모 세팅은 상기 등화기의 고주파수 부스트를 인에이블시키는 세팅을 포함하는, 방법.

#### 청구항 17

제5항에 있어서,

상기 SerDes 수신기는 다중-위상 클록 신호를 출력하는 위상-고정 루프(PLL)를 포함하고, 상기 전력 소모 세팅은 상기 PLL의 세팅을 포함하는, 방법.

#### 청구항 18

제5항에 있어서,

상기 SerDes 수신기는 입력 임피던스를 가지고, 상기 전력 소모 세팅은 상기 SerDes 수신기의 입력 임피던스를 결정하는 세팅을 포함하는, 방법.

#### 청구항 19

방법으로서,

(a) 제 1 SerDes(직렬화기/역직렬화기) 링크의 에러 레이트를 결정하는 단계 - 상기 제 1 SerDes 링크를 통해 전달되는 정보는 SerDes 수신기에 의해 수신됨 - ; 및

(b) 상기 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 상기 SerDes 수신기의 전력 소모 세팅을 제어하는 단계를 포함하고,

상기 SerDes 수신기에 의해 수신되는 송신들을 위한 상기 에러 레이트가 상기 에러 레이트 하한과 상기 에러 레이트 상한 외부에 존재할 때, 제 1 SerDes 수신기는 추가적인 SerDes 디바이스의 입력 임피던스를 변경하기 위해 상기 추가적인 SerDes 디바이스로 상기 SerDes 링크를 통해 표시를 송신하도록 구성된, 방법.

#### 청구항 20

제19항에 있어서,

상기 (a)에서 에러 레이트를 결정하는 단계는 제 1 집적 회로 상에서 수행되고, 상기 SerDes 수신기는 제 2 집적 회로의 일부분인, 방법.

#### 청구항 21

제19항에 있어서,

상기 (a)에서 제 1 SerDes 링크를 통해 전달되는 정보는 제 1 집적 회로의 SerDes 송신기에 의해 출력되고, 상기 (a)에서 정보를 수신하는 SerDes 수신기는 제 2 집적 회로의 일부분이고, 상기 (a)의 결정하는 단계 및 상기 (b)의 제어하는 단계는 상기 제 1 집적 회로에 의해 수행되는, 방법.

#### 청구항 22

제19항에 있어서,

상기 에러 레이트를 결정하기 위해 패킷 내의 에러 정보를 사용하는 단계를 더 포함하고, 상기 패킷은 제 2 SerDes 링크를 통해 제 1 집적 회로로 수신되고, 상기 (a)의 결정하는 단계는 상기 제 1 집적 회로에 의해 수행되고, 상기 SerDes 수신기는 상기 제 1 집적 회로와 분리된, 방법.

#### 청구항 23

제22항에 있어서,

상기 패킷은 킵 얼라이브(keep alive) 동기 패킷인, 방법.

#### 청구항 24

제22항에 있어서,

상기 에러 정보는 상기 (a)에서 상기 제 1 SerDes 링크를 통해 전달되는 정보에 관련되는, 방법.

#### 청구항 25

제22항에 있어서,

제 2 집적 회로 내의 회로는 (a)에서 상기 SerDes 링크를 통해 전달되는 정보에서의 에러를 검출하고, 이로부터 에러 정보를 생성하고, 상기 제 2 집적 회로는 상기 패킷 내로 상기 에러 정보를 포함시키고, 상기 패킷을 상기 제 2 SerDes 링크를 통해 상기 제 1 집적 회로에 송신하는, 방법.

#### 청구항 26

제20항에 있어서,

상기 제 1 집적 회로는 상기 제 1 SerDes 링크를 통해 상기 제 2 집적 회로에 패킷을 송신함으로써 상기 (b)의 제어하는 단계를 수행하고, 상기 제 2 집적 회로에 송신된 패킷은 상기 입력 임피던스 세팅을 포함하고, 상기 입력 임피던스 세팅은 상기 제 2 집적 회로의 SerDes 수신기에 공급되는, 방법.

#### 청구항 27

제26항에 있어서,

상기 패킷은 제어 패킷인, 방법.

#### 청구항 28

제19항에 있어서,

상기 (a)의 결정하는 단계 및 상기 (b)의 제어하는 단계는 SerDes 송신기를 포함하는 제 1 집적 회로에 의해 수행되고, 상기 제 1 SerDes 링크를 통해 전달되는 정보는 상기 SerDes 송신기로부터 송신되고, 상기 SerDes 수신기는 제 2 집적 회로의 일부분이고, 상기 제 1 집적 회로는 중앙 처리 장치(CPU)를 포함하고, 상기 제 2 집적 회로는 메모리를 포함하고, 상기 제 1 집적 회로의 CPU는 상기 제 1 SerDes 링크를 사용하여 상기 제 2 집적 회

로의 메모리에 액세스하는, 방법.

#### 청구항 29

제19항에 있어서,

상기 (a)의 결정하는 단계 및 상기 (b)의 제어하는 단계는 배터리-구동식 무선 모바일 통신 디바이스 내의 제 1 집적 회로에 의해 수행되는, 방법.

#### 청구항 30

방법으로서,

(a) 제 1 디바이스로부터 제 2 디바이스로 제 1 SerDes 링크를 통해 제 1 SerDes 통신을 수신하는 단계 - 상기 제 1 SerDes 통신은 상기 제 2 디바이스의 SerDes 수신기로 수신됨 - ;

(b) 상기 제 1 SerDes 통신에서 에러가 발생했음을 상기 제 2 디바이스 상에서 결정하고, 상기 결정에 응답하여, 상기 제 2 디바이스로부터 상기 제 1 디바이스로 제 2 SerDes 링크를 통해 제 2 SerDes 통신을 송신하는 단계 - 상기 제 2 SerDes 통신은 상기 제 1 SerDes 통신에 존재하는 다수의 송신 에러들을 포함함 - ;

(c) 상기 제 2 통신에 기초한 에러 레이트가 수용가능한 범위를 벗어날 때, 상기 제 1 SerDes 링크를 통해 상기 제 1 디바이스로부터 상기 제 2 디바이스로 제 3 SerDes 통신을 송신하는 단계; 및

(d) 상기 제 2 디바이스의 SerDes 수신기의 입력 임피던스 세팅을 조정하기 위해 상기 제 3 SerDes 통신에서 정보를 사용하는 단계를 포함하는, 방법.

#### 청구항 31

제30항에 있어서,

상기 에러 레이트는, 송신되도록 시도된 비트들의 수로 나누어진 전체 에러들의 수를 포함하는, 방법.

#### 청구항 32

제30항에 있어서,

(a), (b), (c) 및 (d)는 제 2 집적 회로에 의해 수행되고, 상기 제 1 SerDes 링크의 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 다수 번 반복되는, 방법.

#### 청구항 33

집적 회로로서,

SerDes 수신기; 및

상기 SerDes 수신기에 커플링된 제어기를 포함하고,

상기 제어기는 상기 SerDes 수신기에 관련된 SerDes 링크에 대한 에러 레이트를 결정하고, 상기 제어기는 상기 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 상기 SerDes 수신기에 상기 제어기에 의해 공급되는 전력 소모 세팅을 조정하고,

상기 에러 레이트가 상기 에러 레이트 하한과 상기 에러 레이트 상한 외부에 존재할 때, 상기 제어기는 추가적인 SerDes 디바이스의 전력 소모를 변경하도록 상기 추가적인 SerDes 디바이스로 상기 SerDes 링크를 통해 표시를 송신하기 위해 SerDes 송신기에 표시를 제공하도록 구성된, 집적 회로.

#### 청구항 34

제33항에 있어서,

상기 제어기는 상기 SerDes 링크를 통해 이루어지는 통신들에서 에러들을 검출하는 에러 검출 회로를 포함하고, 상기 제어기는 상기 SerDes 링크에 대한 에러 레이트를 결정하기 위해 상기 에러 검출 회로에 의해 생성되는 에러 정보를 사용하는, 집적 회로.

#### 청구항 35

제33항에 있어서,

상기 SerDes 수신기는 루프 필터를 포함하고, 상기 전력 소모 세팅은 상기 루프 필터의 세팅을 포함하는, 집적 회로.

#### 청구항 36

제33항에 있어서,

상기 SerDes 수신기는 디지털 필터를 포함하고, 상기 전력 소모 세팅은 디지털 클록 신호가 상기 디지털 필터의 일부분에 공급되는 것을 방지하는 세팅인, 집적 회로.

#### 청구항 37

제33항에 있어서,

상기 SerDes 수신기는 클록 및 데이터 복원 회로를 포함하고, 상기 전력 소모 세팅은 상기 클록 및 데이터 복원 회로의 세팅을 포함하는, 집적 회로.

#### 청구항 38

제33항에 있어서,

상기 SerDes 수신기는 등화기를 포함하고, 상기 전력 소모 세팅은 상기 등화기의 세팅을 포함하는, 집적 회로.

#### 청구항 39

제33항에 있어서,

상기 SerDes 수신기는 등화기를 포함하고, 상기 전력 소모 세팅은 상기 등화기의 고주파수 부스트를 인에이블시키는 세팅을 포함하는, 집적 회로.

#### 청구항 40

제33항에 있어서,

상기 SerDes 수신기는 다중-위상 클록 신호를 출력하는 위상-고정 루프(PLL)를 포함하고, 상기 전력 소모 세팅은 상기 PLL의 세팅을 포함하는, 집적 회로.

#### 청구항 41

제33항에 있어서,

상기 SerDes 수신기는 입력 임피던스를 포함하고, 상기 전력 소모 세팅은 상기 SerDes 수신기의 입력 임피던스를 결정하는 세팅을 포함하는, 집적 회로.

#### 청구항 42

집적 회로로서,

제 2 SerDes 링크를 통해 정보를 수신하도록 적응되는 제 1 SerDes 수신기;

제 1 SerDes 링크를 통해 제 2 SerDes 수신기에 정보를 송신하도록 적응되는 SerDes 송신기; 및

상기 제 1 SerDes 수신기에 그리고 상기 SerDes 송신기에 커플링되는 제어기를 포함하고,

상기 제어기는 상기 제 1 SerDes 수신기를 통해 에러 정보를 수신하고 상기 제 1 SerDes 링크의 에러 레이트를 결정하기 위해 상기 에러 정보를 사용하고, 상기 제 1 SerDes 링크의 에러 레이트가 수용가능한 경계를 벗어나 존재하는 경우, 상기 제어기는 상기 SerDes 송신기로 하여금, 상기 제 1 SerDes 링크의 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 상기 제 2 SerDes 수신기의 입력 임피던스를 조정하기 위한 제어 패킷을 상기 제 2 SerDes 수신기에 송신하게 하는, 집적 회로.



#### 청구항 43

제42항에 있어서,

상기 에러 정보는 킵 얼라이브 동기 패킷의 일부분으로서 상기 제 2 SerDes 링크를 통해 상기 집적 회로로 수신되는, 집적 회로.

#### 청구항 44

제42항에 있어서,

상기 제 1 SerDes 링크 및 제 2 SerDes 링크를 통해 메모리 액세스를 수행하는 중앙 처리 장치(CPU)를 더 포함하는, 집적 회로.

#### 청구항 45

집적 회로로서,

제 1 SerDes 링크를 통해 정보를 수신하도록 적응되는 SerDes 수신기 — 상기 제 1 SerDes 링크는 에러 레이트를 가짐 — ;

제 2 SerDes 링크를 통해 정보를 송신하도록 적응되는 SerDes 송신기; 및

상기 SerDes 수신기에 그리고 상기 SerDes 송신기에 커플링되는 제어기를 포함하고,

상기 제어기는 상기 제 1 SerDes 링크를 통해 제 1 SerDes 통신에 존재하는 송신 에러들의 수를 결정하고, 상기 제어기는 상기 송신 에러들의 수가 상기 제 2 SerDes 링크를 통해 제 2 SerDes 통신에서 전달되게 하고,

상기 제 2 통신에 기초한 에러 레이트가 수용가능한 범위를 벗어날 때, 상기 SerDes 수신기는 상기 제 1 SerDes 링크를 통해 제 3 SerDes 통신에서 제어 패킷을 수신하도록 구성되고,

상기 제어 패킷에 응답하여, 상기 제 1 SerDes 링크의 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 상기 SerDes 수신기의 입력 임피던스가 조정되는, 집적 회로.

#### 청구항 46

제45항에 있어서,

상기 제 2 SerDes 통신은 킵 얼라이브 동기 패킷의 통신인, 집적 회로.

#### 청구항 47

제45항에 있어서,

상기 제어기에 커플링된 메모리를 더 포함하고, 메모리는 상기 제 1 SerDes 링크 및 상기 제 2 SerDes 링크를 사용하여 또다른 집적 회로에 의해 액세스될 수 있는, 집적 회로.

#### 청구항 48

장치로서,

SerDes(직렬화기/역직렬화기) 링크의 에러 레이트를 결정하기 위한 수단 — 상기 SerDes 링크를 통해 전달되는 정보는 SerDes 수신기에 의해 수신됨 — ; 및

상기 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 상기 SerDes 수신기의 전력 소모 세팅을 제어하기 위한 수단을 포함하고,

상기 SerDes 수신기에 의해 수신되는 송신들을 위한 상기 에러 레이트가 상기 에러 레이트 하한과 상기 에러 레이트 상한 외부에 존재할 때, 제 1 SerDes 수신기는 추가적인 SerDes 디바이스의 전력 소모를 변경하기 위해 상기 추가적인 SerDes 디바이스로 상기 SerDes 링크를 통해 표시를 송신하도록 구성된, 장치.

#### 청구항 49

사용자 디바이스로부터 복수의 서브캐리어들을 통해 무선 송신들을 제공하기 위한 방법을 구현하기 위해, 프로

세서에 의해 실행가능한 코드를 저장한 컴퓨터 판독가능 매체로서, 상기 방법은,

SerDes(직렬화기/역직렬화기) 링크의 에러 레이트를 결정하는 단계 - 상기 SerDes 링크를 통해 전달되는 정보는 SerDes 수신기에 의해 수신됨 - ; 및

상기 에러 레이트가 에러 레이트 하한과 에러 레이트 상한 사이에서 유지되도록 상기 SerDes 수신기의 전력 소모 세팅을 제어하는 단계를 포함하고,

상기 SerDes 수신기에 의해 수신되는 송신들을 위한 상기 에러 레이트가 상기 에러 레이트 하한과 상기 에러 레이트 상한 외부에 존재할 때, 제 1 SerDes 수신기는 추가적인 SerDes 디바이스의 전력 소모를 변경하기 위해 상기 추가적인 SerDes 디바이스로 상기 SerDes 링크를 통해 표시를 송신하도록 구성된, 컴퓨터 판독가능 매체.

## 발명의 설명

### 기술 분야

[0001] 본 개시내용은 직렬/역직렬화기(SerDes) 디바이스들에 관한 것이다.

### 배경 기술

[0002] 통상적으로, 컴퓨터의 중앙 처리 장치(CPU)와 컴퓨터의 메인 메모리 사이의 컴퓨터 내의 버스는 병렬 버스였다. 컴퓨터들의 프로세싱 스루풋이 증가함에 따라, 그리고 메모리 대역폭에 대한 요구들이 증가함에 따라, CPU와 메모리 사이의 버스가 하나 이상의 직렬화기/역직렬화기(SerDes) 링크들로서 구현되도록 하는 것이 점점 더 일반화되었다. 이들 SerDes 링크들은 상대적으로 고가인 경향이 있고, 일반적으로 대용량의 전력을 소모한다. 따라서, SerDes 링크들은, 전력 소모를 낮게 유지하는 것이 매우 중요한 모바일 디바이스들(예를 들어, 셀룰러 전화들)에서의 사용을 위해 적절한 것으로 간주되지 않았다. 그러나, 최근에, 셀룰러 전화들과 같은 저전력 모바일 디바이스들에서 SerDes 또는 SerDes-유사 기술들을 사용하는 것에 대한 움직임이 있었다. 예를 들어, SerDes 인터페이스에 대한 논의 하의 JEDEC (Joint Electron Device Engineering Council: 공동 전자 디바이스 기술 위원회) 제안 표준이 존재한다. 이러한 제안된 표준은 제안된 SerDes 인터페이스를 저전력 모바일 디바이스들에 대해 더욱 적절하게 만들기 위한 전력 절감 특징들을 포함한다. 제안된 JEDEC 표준에서의 SerDes 인터페이스에 추가하여, 다수의 다른 공지된 SerDes 설계들이 존재한다. 이들 표준들 및 공지된 설계들은 전력 소모를 감소시키기 위한 다수의 특징들 및 방법들을 포함한다.

[0003] 이러한 전력 절감 특징의 제1 예는 인터페이스가 프로세서에 의해 활성화로 액세스되지 않는 경우 SerDes 인터페이스를 저전력 모드로 두는 것을 수반한다. 그러나, 전형적인 CPU에 의한 메모리의 내재적인 랜덤 액세스 사용으로 인해, 메모리는 (슬립 모드 동작을 제외하고) 시간의 대부분 동안 프로세서에 대해 본질적으로 이용가능해야 한다. 그 결과, 이러한 전력 절감의 제1 예는 전력 소모의 감소에 있어서 단지 최소한으로 효과적이다. 전력 절감 특징의 제2 예는 SerDes에 대한 전력을 차단하고, SerDes의 PLL(위상 고정 루프) 및 CDR(클록 및 데이터 복원) 회로를 디스에이블시키는 것을 수반한다. SerDes 링크의 각각의 측은 PLL 및 CDR을 포함한다. 이 회로는 많은 전력을 소모할 수 있다. 인터페이스가 활성화가 아닌 경우 전력 소모를 감소시키기 위해 이들 회로들을 턴오프시키는 것이 가능하다. 유감스럽게도, 이들 회로를 다시 기능하도록 하고 이들을 다시 턴온시키기 위해 요구되는 시간량(PLL의 안정 및 잠금 시간)이 존재한다. 프로세스가 메모리에 대한 액세스를 요구할 때 이들 회로들이 오프 상태들에 있는 경우, 메모리가 SerDes 링크들을 통해 액세스될 수 있을 때까지의 지연이 존재할 것이고, 상기 지연은 프로세서를 실질적으로 기능 정지(stall)시킨다. 이것은 바람직하지 않다. 전력 절감 특징의 제3 예는 공개된 미국 특허 출원 제US2006/0115316호에 설명된다. 이 예에서, SerDes 송신기의 신호스윙은 오직 그것이 전송 에러들을 방지할 만큼만 크게 만들어진다. 그러나, 모바일 애플리케이션들에 대해, 더 많은 전력 절감에 대한 요구가 남아 있으며, 제1 및 제2 예들 모두에서, 원리적인 전력 절감들은, 인터페이스의 프로세서 사용이 복잡하며 부분적으로 절충되도록 시간의 일부분 동안 SerDes 인터페이스를 사용할 수 없게 그리고 비활성적으로 만듦으로써 달성된다.

### 발명의 내용

[0004] 컴퓨터 시스템은 프로세서 집적 회로 내의 SerDes 디바이스 및 메모리 집적 회로 내의 SerDes 디바이스를 포함한다. 두 SerDes 디바이스들 모두 SerDes 송신기 부분 및 SerDes 수신기 부분을 포함한다. 메모리 집적 회로 내의 SerDes 수신기 부분은 제1 SerDes 링크를 통해 메모리 집적 회로 내의 SerDes 디바이스에 프로세서 집적 회로 내의 SerDes 디바이스로부터 송신된 패킷이 에러를 포함하는지의 여부를 검출하기 위한 에러 검출 메커니

즘을 가진다. 일 예에서, 이러한 제1 SerDes 링크를 통해 송신되는 각각의 패킷은 데이터 페이로드 부분 및 CRC 체크 부분을 포함한다. 메모리 집적 회로 내의 SerDes 디바이스는 패킷을 수신하고, CRC 부분이 데이터 페이로드 부분에 대해 적절한지의 여부를 결정하기 위해 CRC 에러 검출 회로를 사용한다. 에러가 검출되는 경우, 메모리 집적 회로 내의 SerDes 디바이스는 제2 SerDes 링크를 통해 프로세서 집적 회로 내의 SerDes 디바이스에 에러(또는 에러들)의 표시를 보고한다. 일 예에서, 메모리 집적 회로 내의 SerDes 디바이스는 헬스 상태 플래그의 형태로 에러 정보를 포함하는 SerDes "킵 얼라이브" 동기 패킷을 송신함으로써 이러한 보고를 수행한다. 킵 얼라이브 동기 패킷은 프로세서 집적 회로에 제2 SerDes 링크를 통해 메모리 집적 회로로부터 송신된다. 에러 정보는 이러한 프로세서-대-메모리 링크에 대한 메모리 집적 회로 내의 SerDes 디바이스에 의해 유지되는 것과 같은 에러 레이트일 수 있거나, 또는 에러 정보는 제1 SerDes 링크를 통한 이전 프로세서-대-메모리 통신에서의 개별 에러 또는 에러들의 발생의 표시일 수 있다. 프로세서 집적 회로 내의 SerDes 디바이스는 또한 메모리 집적 회로의 SerDes 디바이스로부터 프로세서 집적 회로의 SerDes 디바이스로의 제2 링크를 통해 송신된 패킷들에서 에러들을 검출하는 에러 검출 및 정정 회로를 가진다.

[0005] 프로세서 집적 회로 내의 SerDes 디바이스는 "킵 얼라이브" 싱크 패킷을 수신하고, 프로세서로부터 메모리로의 제1 SerDes 링크에 대한 에러 레이트를 결정하기 위해 패킷에 의해 전달되는 에러 정보를 사용한다. 추가로, SerDes 디바이스는 제2 SerDes 링크를 통해 메모리 집적 회로로부터 수신된 인입 패킷에서 에러들을 검출하기 위해 자신의 에러 검출 CRC 검사 부분을 사용한다. 프로세서 집적 회로 내의 SerDes 디바이스는 메모리로부터 프로세서로의 제2 SerDes 링크에 대한 에러 레이트를 결정하기 위해 자신의 CRC 검사 부분으로부터 이러한 에러 정보를 사용한다.

[0006] 제1 SerDes 링크에 대해 결정된 에러 레이트가 제1 SerDes 링크에 대한 에러 레이트 하한 미만인 경우, 제1 SerDes 링크의 회로에서의 전력 소모가 감소한다. 일 예에서, 메모리 집적 회로 내의 SerDes 수신기의 입력 임피던스 세팅은 입력 임피던스가 더 높도록 조정된다. 이는 제1 SerDes 링크의 비트 에러 레이트가 저하되도록 한다. 제1 SerDes 링크에 대한 결정된 에러 레이트가 제1 SerDes 링크에 대한 에러 레이트 상한을 초과하는 경우, 제1 SerDes 링크의 회로에서의 전력 소모는 메모리 내의 SerDes 수신기의 입력 임피던스 세팅을 감소시킴으로써 증가한다. 이는 제1 SerDes 링크의 비트 에러 레이트가 개선되게 한다. 제1 SerDes 링크에 대한 결정된 에러 레이트가 상한과 하한 사이에 있는 경우, 이것은 자신의 수용가능한 비트 에러 레이트 범위 내에 있는 것으로 결정되고, 제1 SerDes 링크의 회로에 대한 전력 소모 세팅들은 변경되지 않는다.

[0007] 유사하게, 메모리 집적 회로로부터 프로세서 집적 회로로의 제2 SerDes 링크에 대한 결정된 에러 레이트가 제2 SerDes 링크에 대한 에러 레이트 하한 미만인 경우, 프로세서 집적 회로 내의 SerDes 수신기의 전력 소모 세팅은 제2 SerDes 링크의 회로에서의 전력 소모를 감소시키도록 조정되어 제2 SerDes 링크의 비트 에러 레이트가 저하할 것이다. 제2 SerDes 링크에 대한 결정된 에러 레이트가 제2 SerDes 링크에 대한 에러 레이트 상한을 초과하는 경우, 프로세서 집적 회로 내의 SerDes 수신기의 전력 소모 세팅은 제2 SerDes 링크의 회로에서의 전력 소모를 증가시키기 위해 조정되고 따라서 제2 SerDes 링크의 비트 에러 레이트가 개선될 것이다. 제2 SerDes 링크에 대해 결정된 에러 레이트가 상한과 하한 사이에 있는 경우, 이것은 자신의 수용가능한 범위 내에 있는 것으로 결정되고, 제2 SerDes 링크의 회로의 전력 소모 세팅이 변경되지 않는다. SerDes 링크는 신호들의 하나 이상의 쌍들을 수반할 수 있다.

[0008] 패킷들이 제1 SerDes 링크를 통해 전달됨에 따라, 제1 SerDes 링크에 대한 결정된 비트 에러 레이트는 업데이트되고, 메모리 집적 회로의 SerDes 수신기의 입력 임피던스 세팅은, 제1 링크의 에러 레이트가 실질적으로 그것의 수용가능한 범위 내에서 유지되도록 조정된다. 에러 레이트 하한은 실질적으로 0보다 더 크고, 따라서, 제1 SerDes 링크의 회로의 전력 소모는, 그렇지 않은 경우 그것이 비트 에러들을 최소화하도록 동작되는 링크인 것보다 더 작게 된다. 제1 SerDes 링크에 대한 에러 레이트 상한 및 하한은 전력 소모와 비트 에러 레이트 사이의 절충을 변경시키도록 조정될 수 있다. 제1 SerDes 링크에 대한 비트 에러 레이트와 전력 소모 사이의 절충은 프로세서 및 컴퓨터 시스템의 특정 동작 조건 및 환경 조건들에 대해 동적으로 제어되고 최적화될 수 있다.

[0009] 유사하게, 패킷들이 제2 SerDes 링크를 통해 전달됨에 따라, 제2 SerDes 링크에 대해 결정된 비트 에러 레이트가 업데이트되고, 프로세서의 SerDes 수신기의 전력 소모 세팅이 조정되어 제2 링크의 에러 레이트가 실질적으로 자신의 수용가능한 범위 내에서 유지된다. 에러 레이트 하한은 실질적으로 0보다 더 크고, 따라서, 제2 SerDes 링크의 회로의 전력 소모는 그것이 비트 에러들을 최소화하기 위해 동작되는 링크인 것보다 더 작게 된다. 제1 SerDes 링크에 대한 에러 레이트 상한 및 하한은 전력 소모와 비트 에러 레이트 사이의 절충을 변경시키도록 조정될 수 있다. 제2 SerDes 링크에 대한 전력 소모와 비트 에러 레이트 사이의 절충은 프로세서 및 컴

퓨터 시스템의 특정 동작 조건 및 환경 조건들에 대해 동적으로 제어되고 최적화될 수 있다.

[0010]

에러 검출 및 정정 회로가 제1 및 제2 SerDes 링크들 모두의 SerDes 수신기들에서 제공된다. 이러한 에러 검출 및 정정 회로는 SerDes 통신에서 하나 이상의 비트 에러들을 검출하고 단일 비트 에러를 정정할 수 있다. 이러한 에러 검출 및 정정 회로를 제공함으로써, SerDes 링크를 통해 성공적으로 데이터를 전달하기 위해 재전송할 필요성은, 수용가능한 비트 에러 레이트 범위들의 하한이 실질적으로 0보다 더 크도록 세팅된다는 사실에도 불구하고 감소한다. 더 강력한 에러 정정 회로가 제공되는 경우, 2개 링크들의 수용가능한 비트 에러 레이트 범위들의 하한은 링크들을 통한 재전송 레이트들에 실질적으로 영향을 주지 않고 증가할 수 있다. 링크의 SerDes 수신기의 전력 소모는, SerDes 링크가 활성화되고, 전력 소모가 SerDes 수신기를 디스에이블시키고 링크의 사용을 타협함으로써 감소하는 종래 기술의 예들에 비해 유용한 상황들에서 감소된다.

[0011]

전술내용은 요약이며, 따라서 필수적으로 상세항목들의 간략화, 일반화 및 생략을 포함하며, 결과적으로, 당업자는 요약이 단지 예시적이며, 어떤 방식으로든 제한하려는 취지가 아님을 이해할 것이다. 여기서 설명된 디바이스들 및/또는 프로세스들의 다른 양상들, 발명적 특징들, 및 장점들은, 오직 청구항들에 의해서만 정의되는 바와 같이, 여기서 설명된 비-제한적 상세한 설명에서 명백할 것이다.

### 도면의 간단한 설명

[0012]

도 1은 하나의 신규한 양상에 따른 배터리-구동식 모바일 통신 디바이스 내의 SerDes 시스템의 간략화된 다이어그램이다.

도 2는 도 1의 시스템에서 SerDes 신호가 어떻게 수신되는 지를 예시하는 파형도이다.

도 3은 도 1의 SerDes 시스템의 프로세서 집적 회로(3) 내의 SerDes 디바이스(2)의 더욱 상세한 다이어그램이다.

도 4는 제1 신규한 양상에 따른 도 1의 시스템(1)의 동작 방법의 다이어그램이다.

도 5는 도 1의 시스템에서 비트 에러가 유지되는 수용가능한 비트 에러 레이트 범위를 예시하는 다이어그램이다.

도 6은 제2 신규한 양상에 따른 도 1의 시스템(1)의 동작 방법의 다이어그램이다.

도 7은 도 1의 시스템의 프로세서 집적 회로(3) 내의 SerDes 디바이스(2)의 동작 방법의 흐름도이다.

도 8은 도 1의 시스템의 메모리 집적 회로(5) 내의 SerDes 디바이스(4)의 동작 방법의 흐름도이다.

도 9는 도 1의 시스템의 SerDes 수신기 RX(16)의 간략화된 회로도이다.

도 10은 도 1의 시스템의 등화기(17)의 간략화된 다이어그램이다.

도 11은 도 1의 시스템의 CDR 회로(18) 내의 4-상 샘플러(424)의 다이어그램이다.

도 12는 도 1의 시스템의 CDR 회로(18) 내의 이름-늦음 검출기(443)의 다이어그램이다.

도 13은 도 1의 시스템에서 역직렬화기(19)로부터 제어기(6) 내로 데이터가 어떻게 이동하는 지를 예시하는 다이어그램이다.

도 14는 도 1의 시스템의 CDR 회로(18) 내의 루프 필터(66)의 다이어그램이다.

도 15는 도 1의 시스템의 CDR 회로(18) 내의 4-상 클록 생성기(469)의 다이어그램이다.

도 16은 도 1의 시스템의 PLL(12)의 다이어그램이다.

도 17은 PLL(12)로부터 컨덕터들(487)로의 신호 출력들을 도시하는 표이다.

도 18은 도 1의 시스템의 전송 회로의 간략화된 다이어그램이다.

도 19는 SerDes 수신기의 입력 임피던스의 변경이 SerDes 링크의 다른 중단 상에서 SerDes 송신기의 전력 소모에 어떻게 영향을 주는지를 도시하는 다이어그램이다.

도 20은 도 1의 시스템의 프로세서 집적 회로(3)에서 SerDes 디바이스(2)의 전력 소모의 중단을 도시하는 파이 차트이다.

도 21은 더 높은 전력 모드 및 더 낮은 전력 모드에서 SerDes 디바이스(2)의 전체 전력 소모를 도시하는 표이다.

도 22는 SerDes 링크가 광대역 채널인 예를 도시한다.

도 23은 SerDes 링크가 약간 대역 제한된 채널인 예를 도시한다.

도 24는 SerDes 링크가 상당히 대역 제한된 채널인 예를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0013]

도 1은 프로세서 집적 회로(3) 내의 SerDes 디바이스(2) 및 메모리 집적 회로(5) 내의 SerDes 디바이스(4)를 포함하는 시스템(1)의 다이어그램이다. 일 예에서, 시스템(1)은 셀룰러 전화 핸드셋과 같은 배터리-구동식 무선 모바일 통신 디바이스이다. SerDes 디바이스(2)는 제어기 부분(6), SerDes 송신기 부분(7) 및 SerDes 수신기 부분(8)을 포함한다. SerDes 디바이스(4)는 제어기 부분(9), SerDes 송신기 부분(10) 및 SerDes 수신기 부분(11)을 포함한다. 프로세서 집적 회로(3)의 SerDes 디바이스(2) 내의 위상 고정 루프(PLL)(12)는 SerDes 송신기 부분(7)의 일부분 및 SerDes 수신기 부분(8)의 일부분 모두인 것으로 간주된다. 마찬가지로, 메모리 집적 회로(5)의 SerDes 디바이스(4) 내의 PLL(13)은 SerDes 송신기 부분(10)의 일부분 및 SerDes 수신기 부분(11)의 일부분 모두인 것으로 간주된다.

[0014]

프로세서 집적 회로(3)의 SerDes 송신기 부분(7)은 직렬화기로서 지칭되는 병렬-대-직렬 회로(14) 및 송신기 드라이버 TX(15)를 포함한다. 프로세서 집적 회로(3)의 SerDes 수신기 부분(8)은 수신기 증폭기 RX(16), 등화기(17), 클록 및 데이터 복원(CDR) 회로(18), 및 역직렬화기로서 지칭되는 직렬-대-병렬 회로(19)를 포함한다. 제어기 부분(6)은 링크 제어기(20)를 포함하고, 이는 차례로 에러 검출 회로(21), 에러 정정 회로(22), 및 한 쌍의 레지스터들(23 및 24)을 포함한다. 중앙 처리 장치(CPU)(25)는 병렬 로컬 버스 기능(27)을 통해 제어기(6)와 그리고 로컬 캐시 메모리(26)와 통신한다. 심볼들(28 및 29)은 2개의 집적 회로 단자들을 나타내며, 이를 통해 송신기 TX(15)가 차동 SerDes 신호들을 제1 SerDes 링크(31)의 2개의 대응하는 컨덕터들(30)로 전송한다. 심볼들(32 및 33)은 2개의 집적 회로 단자들을 나타내며, 이를 통해 수신기 RX(16)가 제2 SerDes 링크(35)의 2개의 대응하는 컨덕터들(34)로부터 차동 SerDes 신호들을 수신한다.

[0015]

메모리 집적 회로(5)의 SerDes 송신기 부분(10)은 병렬-대-직렬 회로(36) 및 송신기 TX(37)를 포함한다. 메모리 집적 회로(5)의 SerDes 수신기 부분(11)은 수신기 증폭기 RX(38), 등화기(39), 클록 및 데이터 복원(CDR) 회로(40), 및 직렬-대-병렬 회로(41)를 포함한다. 제어기 부분(9)은 링크 제어기(42)를 포함하고, 이는 차례로 에러 검출 회로(43), 에러 정정 회로(44), 및 한 쌍의 레지스터들(45 및 46)을 포함한다. 상당량의 메모리(47)가 버스 인터페이스(48)를 통해 제어기(9)에 커플링된다. 심볼들(49 및 50)은 2개의 집적 회로 단자들을 나타내며, 이를 통해 송신기 TX(37)가 제2 SerDes 링크(35)의 2개의 컨덕터들(34)로 차동 SerDes 신호들을 전송한다. 심볼들(51 및 52)은 2개의 집적 회로 단자들을 나타내며, 이를 통해 수신기 RX(38)가 제1 SerDes 링크(31)의 2개의 컨덕터들(30)로부터 차동 SerDes 신호들을 수신한다.

[0016]

도 2는 도 1의 SerDes 링크들을 통해 전달되는 SerDes 신호들의 파형도이다. 예를 들어, 제1 SerDes 링크(31)를 통해 전달된 SerDes 신호들을 취한다. 신호들(RX+ 및 RX-)은 메모리 집적 회로(5)의 입력 단자들(51 및 52)로 수신된 바와 같은 컨덕터(30) 상의 SerDes 신호들이다. 도 2에서 0°, 90°, 180° 및 270°로 라벨링된 파형들은 클록 및 데이터 복원(CDR)(40)에 의해 생성된 다중-위상 클록 신호들을 나타낸다. 이들 복원된 클록 신호들은 수신기 RX(38)의 차동 출력을 샘플링하기 위해 사용된다. 복원된 클록 신호들 중 하나는, 직렬 데이터 스트림의 값이 샘플링될 수 있도록, 표시된 바와 같이 인입 직렬 데이터 스트림의 비트 시간들 각각의 중간에서 하이(high)로 트랜지션한다. 도 2에서 "역직렬화기 입력"으로 라벨링된 파형들은 도 1의 등화기 및 CDR 블록(39, 40)에 의해 출력되는 신호들을 나타낸다. 도 2에서 "역직렬화기 출력"으로 라벨링된 파형은 도 1의 직렬-대-병렬 회로(41)의 8비트 병렬 출력을 나타낸다. 단자들(51 및 52)에서 차동 신호(RX+ 및 RX-)로서 직렬로 수신되는 비트 값들의 직렬 스트림(1, 0, 0, 1 및 1)이 파형 "역직렬화기 출력"에 의해 표시되는 바와 같은 역직렬화기 회로(41)의 8비트 출력에서 디지털 형태로 출력된다는 점에 유의한다. 본 예에서, 1비트는 매 1 나노초마다 전달된다. 이는 초당 1기가비트의 비트 레이트에 대응한다.

[0017]

도 3은 프로세서 집적 회로(3) 내의 SerDes 디바이스(2)의 더욱 상세한 다이어그램이다. 제어기(6)는 멀티-비트 디지털 전력 소모 세팅(53)을 출력한다. 전력 소모 세팅(53)은 SerDes 디바이스의 다양한 서브-블록들에 공급되는 다수의 디지털 세팅들(54, 55, 58, 61 및 64)의 복합물이다. 예를 들어, 제1 세팅(54)은 송신기 TX(15)에 공급되는 멀티-비트 디지털 값이다. 세팅(54)은 송신기 TX(15)의 출력 임피던스를 세팅한다. 송신기의



출력 임피던스는 SerDes 송신기(15)가 출력 신호를 구동할 송신기에서 에지 레이트 및 신호 반사를 결정한다. 더 낮은 전력 모드에서, 송신기 TX(15)의 출력 임피던스는 더 높은(더 느린 에지 레이트인) 반면, 더 높은 전력 모드에서, 송신기 TX(15)의 출력 임피던스는 더 낮다(더 빠른 에지 레이트이다). 출력 임피던스가 더 높은지 또는 더 낮은지의 여부는 세팅(54)의 값에 의해 결정된다. 추가로, 프로세서 내의 SerDes 디바이스의 송신기 TX가 자신의 출력을 구동하는 낮은 및 높은 신호 레벨들의 레벨들(전류 레벨들)을 세팅하는 VDIFF 세팅이 존재한다. 더 낮은 전력 세팅의 경우, 높은 신호 레벨과 낮은 신호 레벨 사이에 작은 차이(전류차)가 존재하는 반면, 더 높은 전력 세팅에서, 높은 신호 레벨과 낮은 전력 레벨 사이에 더 큰 차이(전류차)가 존재한다. 도 3의 표기에서, "LP"는 더 낮은 전력 모드 또는 세팅을 표시하는 반면, "HP"는 더 높은 전력 모드 또는 세팅을 표시한다. "-25%" 표기는 송신기 TX가 더 높은 전력 모드에서의 자신의 전력 소모에 비해 더 낮은 전력 모드에서 대략 25 퍼센트 더 적은 전력을 소모함을 표시한다.

[0018]

제2 세팅은 수신기 RX(16)에 공급되는 세팅(55)이다. 세팅(55)은 1-비트 종단 선택 값 부분(TERM\_SELECT)(56) 및 멀티-비트 종단 값 부분(TERM\_VALUE)(57)을 포함한다. 더 낮은 전력 모드에서, 낮은 임피던스 종단은, 단자들(32 및 33)로부터 수신기 RX(16) 내를 바라보는 입력 임피던스가 상대적으로 높도록, 디스에이블된다. 이러한 임피던스는 컨덕터들(34) 및 제2 SerDes 링크(35)의 다른 부분들의 라인 임피던스보다 더 클 수 있다. 이러한 더 높은 입력 임피던스를 사용하는 것은 일반적으로 열악한 수신기 신호 품질을 야기시키는 바람직하지 않은 신호 반사를 초래한다. 더 높은 전력 모드에서, 종단은 인에이블되고, 수신기 RX(16)의 입력 임피던스는 더 낮다. 일 예에서, 수신기 RX(16)를 바라보는 더 낮은 입력 임피던스는 컨덕터들(34) 및 제2 SerDes 링크(35)의 라인 임피던스를 매치시키도록 만들어지며, 더 높은 수신기 신호 품질을 초래한다. 입력 임피던스의 실제 값은 멀티-비트 종단 값 부분(TERM\_VALUE)(57)에 의해 결정된다. "-20%" 표기에 의해 표시된 바와 같이, 수신기 RX(16)는 더 높은 전력 모드에서의 자신의 전력 소모에 비해, 더 낮은 전력 모드에서 대략 20 퍼센트 더 적은 전력을 소모한다.

[0019]

제3 세팅은 등화기(17)에 공급되는 세팅(58)이다. 세팅(58)은 부분(EQ\_POWER\_ON)(59) 및 등화기 선택 부분(EQ\_SELECT)(60) 상의 등화기 전력을 포함한다. 더 낮은 전력 모드에서, 부분 상의 등화기는 등화기가 턴오프되어 파워링되지 않게 하는 값을 가진다. 더 높은 전력 모드에서, 부분 상의 등화기는 등화기가 턴온되어 파워링되게 하고, 또한 고주파수 부스트 기능이 완전히 인에이블되게 하는 값을 가진다. 높은 주파수 부스트는 등화기 선택 부분(60)의 값에 따라 인에이블되거나 디스에이블된다. "-50%" 표기에 의해 표시된 바와 같이, 수신기 등화기(17)는 더 높은 전력 모드에서의 자신의 전력 소모에 비해 더 낮은 전력 모드에서 대략 50 퍼센트 더 적은 전력을 소모한다.

[0020]

제4 세팅은 세팅(61)이다. 세팅(61)은 클록 및 데이터 복원(CDR) 회로(18)에 공급된다. 세팅(61)은 2차 선택 부분(SECOND\_ORDER\_SELECT)(62) 및 미세 선택 부분(FINE\_SELECT)(63)을 포함한다. 더 낮은 전력 모드에서, CDR 회로(18) 내의 루프 필터(66)는 1차 저대역 통과 필터로서 구성되는 반면, 더 높은 전력 모드에서, 루프 필터는 2차 저대역 통과 필터로서 구성된다. 루프 필터(66)가 1차 필터 또는 2차 필터로서 구성되는지의 여부는 2차 선택 부분(62)의 값에 의해 결정된다. 더 낮은 전력 모드에서, 클록 및 데이터 복원은 더 적은 다중-위상 클록 신호들(대략적)을 사용하여 이루어진다. 더 높은 전력 모드에서, 클록 및 데이터 복원은 더 많은 다중-위상 클록 신호들(미세)을 사용하여 이루어진다. 더 적은 또는 더 많은 다중-위상 클록 신호들이 사용될지의 여부는 미세 선택 부분(63)의 값에 의해 결정된다. "-25%" 표기에 의해 표시된 바와 같이, 클록 및 데이터 복원 회로(18)는 더 높은 전력 모드에서의 자신의 전력 소모에 비해 더 낮은 전력 모드에서 대략 25 퍼센트 더 적은 전력을 소모한다.

[0021]

제5 세팅은 PLL(12)에 공급되는 세팅(64)이다. 세팅(64)은 전력을 절감하기 위해 특정 조건들 하에서 PLL이 CDR에 대해 구동하는 다중 위상 클록 신호들의 수가 감소하도록 한다. 이러한 특정 예에서 PLL(12)에 공급되는 세팅(64)은 CDR 회로(18)에 공급되는 세팅(61)의 미세 선택 부분(FINE\_SELECT)(63)과 동일하지만, 다른 예들에서, 세팅(64)은 또한 PLL의 다른 부분들을 제어하기 위한 추가적인 디지털 제어 비트들을 포함할 수 있다. 더 낮은 전력 모드에서, PLL은 CDR에 대해 더 적은 다중-위상 클록 신호들을 구동하는 반면, 더 높은 전력 모드에서, PLL은 CDR에 대해 더 많은 다중-위상 클록 신호들을 구동한다. PLL이 CDR에 대해 더 적거나 더 많은 다중-위상 클록 신호들을 구동할지의 여부는 세팅(64)의 값에 의해 결정된다. "-25%" 표기에 의해 표시된 바와 같이, PLL(12)은 더 높은 전력 모드에서의 자신의 전력 소모에 비해 더 낮은 전력 모드에서 대략 25 퍼센트 더 적은 전력을 소모한다.

[0022]

모든 이들 세팅들(54, 55, 58, 61 및 64)은 도 3에 예시된 바와 같이, 제어기(6)로부터 회로들(15-18 및 12) 중 다양한 적절한 회로들로 컨덕터들(65)을 통해 복합 전력 소모 세팅(53)의 형태로 공급된다. 제어기(6)는

SerDes 송신기 부분(7)에 공급되는 세팅(54)의 값을 변경시킴으로써, 제1 SerDes 링크(31)의 전력 소모를 증가시키거나 감소시킬 수 있다. 제어기(6)는 SerDes 수신기 부분(8)에 공급되는 세팅들(55, 58, 61 및 64)의 값을 변경시킴으로써 제2 SerDes 링크(35)의 전력 소모를 증가시키거나 감소시킬 수 있다. SerDes 회로의 이들 다양한 부분들에서 소모되는 전력량과 연관된 SerDes 링크의 비트 에러 레이트 사이의 관계가 존재한다. 회로의 일부분에 대한 전력 소모가 더욱 많이 감소함에 따라, 일부 포인트에서 회로의 전력 소모에서의 추가적인 감소들이 성능을 저하시키기 시작하고, 그 자체로 비트 에러 레이트에서의 증가로서 나타난다. 하기에 추가로 설명되는 바와 같이, SerDes 회로의 전력 소모 세팅은 SerDes 회로에서의 과도한 전력 소모가 발생하지 않도록 조정된다. 이는 링크의 에러 레이트가 수용가능한 범위 내에서 유지되도록 SerDes 링크에 대한 회로의 전력 소모를 제어함으로써 달성되며, 여기서 에러 레이트 범위의 하한은 실질적으로 0을 초과한다. 제1 및 제2 SerDes 링크들(31 및 35) 각각에서의 전력 소모가 이러한 방식으로 제어된다.

[0023]

도 4는 제1 신규한 양상에 따른 도 1의 시스템(1)의 동작 방법의 다이어그램이다. 도 4에서 원문자 "1"은 제1 단계를 표시한다. 프로세서 집적 회로(3)의 SerDes 디바이스는 메모리 집적 회로(5)의 SerDes 디바이스로부터 제2 SerDes 링크를 통해 제1 SerDes 통신을 수신한다. 도 4에서 원문자 "2"는 제2 단계를 표시한다. 프로세서 집적 회로(3)의 제어기(6) 내의 에러 검출 회로(21)는 SerDes 통신의 CRC 값을 가지고 SerDes 통신의 데이터 페이로드를 검사하고, 이에 의해 하나 이상의 비트 에러들이 발생했는지의 여부를 결정한다. 도 4에서 원문자 "3"은 제3 단계를 표시한다. 비트 에러가 발생했는지의 여부에 대한 결정된 정보는 제2 SerDes 링크에 대한 비트 에러 레이트를 결정하고 업데이트하기 위해 사용된다. 이러한 비트 에러 레이트는 레지스터(23)에서 유지된다. 이후 제2 SerDes 링크에 대한 업데이트된 비트 에러 레이트가 제2 SerDes 링크에 대한 수용가능한 비트 에러 레이트 범위 내에 있는지의 여부가 결정된다. 업데이트된 비트 에러 레이트가 수용가능한 범위 내에 있는 경우, 전력 소모 세팅(53)이 조정되지 않는다. 그러나, 업데이트된 비트 에러 레이트가 너무 낮고 수용가능한 범위 미만인 경우, 전력 소모 세팅은, 비트 에러 레이트가 증가하고 수용가능한 범위로 되돌아가도록, 프로세서 집적 회로(3)의 SerDes 수신기 부분(8)에서의 전력 소모를 감소시키도록 조정된다(도 4의 원문자 "4"에 의해 표시된 바와 같은 제4 단계). 반면, 비트 에러 레이트가 너무 크고 수용가능한 범위를 초과하는 경우, 전력 소모 세팅은, 비트 에러 레이트가 감소하고 수용가능한 범위로 돌아가도록, 프로세서 집적 회로(3)의 SerDes 수신기 부분(8)에서의 전력 소모를 증가시키도록 조정된다(제4 단계).

[0024]

도 5는 수용가능한 비트 에러 레이트 범위(67)를 예시하는 다이어그램이다. 이 경우에서 범위(67)의 하한(68)은 전달된 10E12 비트 당 1비트 에러이다. 이 경우에서 범위(67)의 상한(69)은 전달된 10E9 비트 당 1비트 에러이다. 하한(68)이 실질적으로 0보다 더 크다는 점에 유의한다. 전력 소모는 가장 낮은 가능한 비트 에러 레이트를 가지고 제2 SerDes 링크를 최대한으로 신뢰가능하게 만들기 위해 증가하는 것이 아니라, 오히려 전력 소모는 수용가능한 범위에서 비트 에러 레이트를 유지하도록 제어된다.

[0025]

도 5의 상한 및 하한이 특정 실시예에 대한 예들이라는 점이 이해되어야 한다. 일 예에서, 하한은 재전송들을 야기하는 에러들의 타입(예를 들어, 특정 실시예에서, 더블 에러)이 초당 약 10번보다 덜 빈번하게 발생하도록 충분히 낮다는 의미에서 실질적으로 0보다 더 크다. 따라서, 이러한 경우 비트 에러 레이트의 실제 하한은 관심 대상인 SerDes 링크의 채널 특성들뿐만 아니라, 특정 구현예의 SerDes 수신 회로의 에러 검출 및 정정 능력들에 의존한다.

[0026]

도 6은 제2 신규한 양상에 따른 도 1의 시스템(1)의 동작 방법의 다이어그램이다. 도 6에서 원문자 "1"은 제1 단계를 표시한다. 프로세서 집적 회로(3)의 SerDes 디바이스(2)는 메모리 집적 회로(5)의 SerDes 디바이스(4)에 제1 SerDes 링크를 통해 제1 SerDes 통신을 전송한다. 도 6에서 원문자 "2"는 제2 단계를 표시한다. 메모리 집적 회로(5)의 제어기(9) 내의 에러 검출 회로(43)는 SerDes 통신의 CRC 값을 가지고 SerDes 통신의 데이터 페이로드를 검사하고, 이에 의해 하나 이상의 비트 에러들이 발생했는지의 여부를 결정한다. 도 6에서 원문자 "3"은 제3 단계를 표시한다. 메모리 집적 회로(5) 내의 SerDes 디바이스는 프로세서 집적 회로(3)의 SerDes 디바이스에 다시 제2 SerDes 통신을 전송하며, 여기서, 이러한 SerDes 통신은 얼마나 많은 에러 비트들이 제1 SerDes 통신에서 검출되었는지를 표시하는 에러 정보를 포함한다. 일 예에서, 이러한 제 2 SerDes 통신은 검출된 다수의 비트 에러들을 표시하는 헬스 상태 플래그를 포함하는 킵 얼라이브 동기 패킷이다. 도 6에서 원문자 "4"는 제4 단계를 표시한다. 프로세서 집적 회로(3)의 SerDes 디바이스 내의 제어기(6)는 제2 SerDes 통신을 수신하고, 제1 SerDes 링크에 대한 비트 에러 레이트를 결정하고 업데이트하기 위해 제2 SerDes 통신에 포함된 에러 정보를 사용한다. 일 예에서, 제어기(6)는 그것이 제1 SerDes 링크를 통해 메모리의 SerDes 디바이스에 송신하려고 시도하는 비트들의 수의 실행 카운트를 유지한다. 추가로, 이는 킵 얼라이브 동기 패킷들 내에서 SerDes 디바이스에 의해 보고된 비트 에러들을 합산함으로써 제1 SerDes 링크를 통해 발생한 비트 에러들의 수

의 실행 카운트를 유지한다. 송신되도록 시도된 비트들의 전체 수로 나누어진 비트 에러들의 전체 수가 비트 에러 레이트이다. 제1 SerDes 링크에 대한 업데이트된 비트 에러 레이트는 레지스터(24)에 저장된다. 이후, 제1 SerDes 링크에 대한 이러한 업데이트된 비트 에러 레이트가 제1 SerDes 링크에 대한 수용가능한 비트 에러 레이트 범위 내에 있는지의 여부가 결정된다. 업데이트된 비트 에러 레이트가 수용가능한 범위 내에 있는 경우, 제1 SerDes의 회로의 전력 소모 세팅들은 조정되지 않는다. 그러나, 비트 에러 레이트가 너무 낮고 수용가능한 범위 미만인 경우, 프로세서 집적 회로(3)의 SerDes 디바이스는 메모리 집적 회로(5)의 SerDes 디바이스에 제1 SerDes 링크를 통해 제3 SerDes 통신을 전송한다(제5 단계). 이러한 제3 SerDes 통신은 메모리 집적 회로(5)의 SerDes 디바이스 내의 수신기 회로로 하여금 자신의 전력 소모를 감소하게 하고, 이에 의해 제1 SerDes 링크의 비트 에러 레이트를 증가시키게 하는 제어 패킷 또는 다른 정보를 포함한다. 일 예에서, 제3 SerDes 통신은 메모리 집적 회로(5)의 SerDes 디바이스로 하여금 수신기 RX(38)의 입력 임피던스를 증가시키게 한다(제6 단계). 이는 전체 제1 SerDes 링크의 전력 소모를 감소시키며 영향을 미치며, 비트 에러 레이트를 증가시키며 영향을 미친다. 비트 에러 레이트는 그것이 제1 SerDes 링크에 대한 수용가능한 범위 내에 있을 때까지 이러한 방식으로 증가한다. 그러나, 제1 SerDes 링크의 업데이트된 비트 에러 레이트가 너무 큰 것으로(제1 SerDes 링크에 대한 수용가능한 범위를 초과하는 것으로) 결정되는 경우, 프로세서 집적 회로(3)의 SerDes 디바이스는 메모리 집적 회로(5)의 SerDes 디바이스에 제1 SerDes 링크를 통해 제3 SerDes 통신을 전송하지만, 이러한 제3 SerDes 통신은 메모리 집적 회로(5)의 SerDes 디바이스로 하여금 수신기 RX(38)의 입력 임피던스를 감소시키게 하는 제어 패킷 또는 다른 정보를 포함한다(제6 단계). 수신기 RX(38)의 입력 임피던스를 감소시키는 것은 제1 SerDes 링크의 전력 소모를 증가시키고, 이에 의해 비트 에러 레이트를 감소시키는데 영향을 미친다. 제1 SerDes 링크의 비트 에러 레이트는 비트 에러 레이트가 제1 SerDes 링크에 대해 수용가능한 범위 내에 있을 때까지 이러한 방식으로 감소한다. 따라서, 제1 및 제2 SerDes 링크들에 대한 비트 레이트들은 이들의 수용가능한 비트 레이트 범위들에서 이들을 유지하기 위해 제어 루프들에서 제어된다.

[0027]

도 7은 프로세서 집적 회로(3)에서 SerDes 디바이스(2)에 의해 수행되는 방법(200)의 흐름도이다. 방법은 제1 및 제2 SerDes 링크들(31 및 35)의 비트 에러 레이트들을 제어하는 것을 수반한다. 먼저, 패킷이 메모리 집적 회로(5)로부터 제2 SerDes 링크를 통해 프로세서 집적 회로(3) 상으로 수신된다(단계 201). 프로세서 집적 회로(3) 내의 에러 검출 회로는 수신된 패킷 내의 비트 에러들의 수를 검출하기 위해 사용된다(단계 202). 데이터 무결성을 유지하기 위해, 프로세서 집적 회로(3)에 대한 제어기(6)는 또한 패킷 내의 단일-비트 에러들을 결정하고, 패킷 내에 2개 이상의 에러들이 존재하는 경우 메모리로부터 데이터를 재요청한다. 수신된 비트들의 수 및 검출된 비트 에러들의 수에 기초하여, 제2 SerDes 링크(35)에 대한 비트 에러 레이트가 재계산되고(단계 203), 업데이트된다. 프로세서 집적 회로(3) 내의 제어기(6)는 이후 업데이트된 비트 레이트를 제2 SerDes 링크에 대한 수용가능한 비트 에러 레이트 범위의 상한 및 하한과 비교한다(단계 204). 업데이트된 비트 에러 레이트가 범위 내에 있는 경우(단계 205), 단계(206)가 스킵되고, 프로세서 집적 회로(3)의 SerDes 수신기 부분(8)에 대한 전력 소모 세팅은 변경되지 않는다. 그러나, 업데이트된 비트 에러 레이트가 범위 내에 있지 않은 경우(단계 205), 프로세서 집적 회로(3)의 SerDes 수신기 부분(8)에 대한 전력 소모 세팅은 범위 내로 비트 에러 레이트를 다시 가져오는 것과 같은 방식으로 조정된다(단계 206). 업데이트된 비트 에러 레이트가 너무 높은 경우, 이러한 조정은 비트 에러 레이트를 제한하는 SerDes 수신기의 일부분의 전력 소모를 증가시키는 것을 수반한다. 업데이트된 비트 에러 레이트가 너무 낮은 경우, SerDes 수신기에 대한 전력 소모는 비트 에러 레이트가 다시 수용가능한 범위 내에 있을 때까지 차단된다.

[0028]

단계(201)에서 수신된 패킷은 제1 SerDes 링크(31)를 통한 더 이른 SerDes 통신에 관련된 메모리 집적 회로(5) 내의 SerDes 디바이스에 의해 생성된 에러 정보를 포함한다. 에러 정보는, 예를 들어, 제1 SerDes 링크(31)를 통한 더 이른 SerDes 통신에서 메모리 집적 회로에 의해 검출된 비트 에러들의 수를 표시할 수 있다. 단계(207)에서, 이러한 에러 정보는 제1 SerDes 링크에 대한 에러 레이트를 재계산하기 위해 사용된다. 프로세서 집적 회로(3) 내의 제어기(6)는 제1 SerDes 링크(31)를 통해 메모리 집적 회로(5)에 전달되는 전체 비트들의 합산을 유지하고, 제어기(6)는 메모리 집적 회로(5)에 의해 검출되는 바와 같이 이들 통신들에서의 비트 에러들의 전체 수를 파악하기 위해 에러 정보를 사용한다. 제1 SerDes 링크(31)에 대한 결과적인 업데이트된 비트 에러 레이트는 이후 제1 SerDes 링크(31)에 대한 수용가능한 에러 레이트 범위의 상한 및 하한에 비교된다(단계 208). 업데이트된 비트 에러 레이트가 범위 내에 있는 경우(단계 209), 프로세서 집적 회로(3)가 메모리 집적 회로(5)로 하여금 SerDes 수신기(38)의 입력 임피던스를 변경하지 않게 하도록 단계(210)가 스킵된다. 그러나, 업데이트된 비트 에러 레이트가 범위 내에 있지 않은 경우(단계 209), 프로세서 집적 회로(3)의 SerDes 디바이스는 제1 SerDes 링크(31)를 통해 제어 패킷을 메모리 집적 회로(5)의 SerDes 디바이스에 송신하고(단계 210), 이러한 제어 패킷은 SerDes 수신기(38)의 입력 임피던스가 비트 에러 레이트가 범위 내로 다시 오도록 하는 방



식으로 조정되게 한다. 업데이트된 비트 에러 레이트가 너무 높은 경우, 제어 패킷은 입력 임피던스가 감소되게 하고, 이에 의해 제1 SerDes 링크(31)의 일부분의 전력 소모가 증가하고 비트 에러 레이트가 감소한다. 업데이트된 비트 에러 레이트가 너무 낮은 경우, 제어 패킷은 입력 임피던스가 증가되게 하고, 이에 의해, 제1 SerDes 링크(31)의 일부분의 전력 소모를 감소시키고, 비트 에러 레이트를 증가시킨다. 제어 패킷은, 예를 들어, SerDes 수신기(38)의 제어 레지스터(미도시)로의 기록을 야기할 수 있으며, 여기서, 제어 레지스터의 값은 SerDes 수신기(38)의 입력 임피던스를 결정한다.

[0029]

도 8은 메모리 집적 회로(5) 내의 SerDes 디바이스(4)에 의해 수행되는 방법(300)의 흐름도이다. 패킷은 프로세서 집적 회로(3)로부터 제1 SerDes 링크(31)를 통해 수신된다. 에러 검출 회로(43)는 패킷의 수신 시에 하나 이상의 비트 에러들이 존재했는지의 여부를 결정하기 위해 패킷에서 전달된 CRC를 가지고 패킷의 데이터 페이로드를 검사한다(단계 302). 단계(302)에서 에러가 검출되지 않은 경우, 프로세싱은 바로 단계(303)로 진행한다. 패킷이 SerDes 수신기(38)의 입력 임피던스를 조정하기 위한 제어 패킷인 경우, SerDes 수신기의 입력 임피던스가 상응하게 조정된다(단계 303). 그러나, 하나의 에러가 단계(302)에서 검출된 경우, 제어기(9)는 제1 SerDes 링크(31)에 대해 제어기(9) 상에서 유지되는 에러 카운트 합산을 증가시키고(단계 304)(선택적), 제2 SerDes 링크(35)를 통해 에러 정보를 프로세서 집적 회로(3) 내의 SerDes 디바이스(2)에 송신하고(단계 305), 여기서, 에러 정보는 검출된 비트 에러들의 수를 표시한다. 에러 검출 및 정정 방식이 사용되며, 여기서, 인입 패킷이 단일 비트 에러를 포함하는 경우, 검출 회로(43)는 단일 에러를 검출하고 에러 정정 회로(44)는 에러를 정정하는 반면, 인입 패킷이 2개의 비트 에러들을 포함하는 경우, 검출 회로(43)는 2개 에러들을 검출하지만 에러 정정 회로(44)는 두 에러들 모두를 정정할 수 없다. 따라서, 단계(306)에서, 에러 정정 회로(44)는 인입 패킷 내의 단일 비트 에러를 정정하고, 적절한 경우 데이터 페이로드를 사용한다. 다수의 에러들이 단계(302)에서 검출되는 경우, 프로세싱은 단계(307)로 진행한다. 제1 SerDes 링크(31)에 대한 에러 카운트 합산은 검출된 비트 에러들의 수만큼 증가되고(단계 302), 메모리 집적 회로(5) 내의 SerDes 디바이스는 제2 SerDes 링크(35)를 통해 에러 정보를 프로세서 집적 회로(3) 내의 SerDes 디바이스(2)에 송신하고(단계 308), 여기서, 에러 정보는 검출된 비트 에러들의 수를 표시한다. 메모리 집적 회로(5) 내의 SerDes 디바이스(4)는 또한 제2 SerDes 링크(35)를 통해 재전송 요청을 프로세서 집적 회로(3) 내의 SerDes 디바이스(2)에 송신하고(단계 309), 여기서, 재전송 요청은 다수의 에러들을 가지는 것으로 검출된 패킷을 재전송하기 위한 요청이다. 재전송 요청은 단계(308)의 에러 정보를 포함하는 동일한 패킷일 수 있거나, 또는 재전송 요청은 상이한 패킷일 수 있다.

[0030]

도 9는 SerDes 수신기(16)의 일 예의 더욱 상세한 다이어그램이다. 이 예에서의 SerDes 수신기(38)는 동일한 구성이다. 단자 RX+(32) 및 단자 RX-(33)은 컨덕터들(34)로부터 차동 인입 신호를 초당 1기가비트 비트레이트로 수신한다. 멀티-비트 디지털 종단 입력 임피던스 크기 제어 신호 TERM\_VALUE(57)와 같이, 종단 입력 임피던스 온/오프 신호 TERM\_SELECT(56)는 1비트 디지털 신호이고, 세팅(55)의 일부분이다. TERM\_SELECT(56)가 디지털 논리 로우인 경우, 스위치들(401 및 402)은 예시된 바와 같이 개방되는 반면, TERM\_SELECT(56)가 디지털 논리 하이인 경우, 스위치들(401 및 402)은 폐쇄된다. 스위치가 개방되면, 수신기 RX(16)를 바라보는 임피던스는 높고, 레지스터들(403 및 404)의 저항들에 의해 영향을 받지 않는다. 입력 임피던스는 증폭기들(405 및 406)의 입력 임피던스이다. 이는 상대적으로 높은 입력 임피던스이다. 스위치가 폐쇄되는 경우, 수신기 RX(16)를 바라보는 임피던스는 더 낮고, 저항기들(403 및 404)의 저항들에 의해 그리고 커패시터들(407 및 408)의 커패시턴스들에 의해 영향을 받는다.

[0031]

도 10은 등화기(17)의 일 예의 더욱 상세한 다이어그램이다. 등화기의 더 낮은 전력 모드 또는 세팅에서, 1비트 디지털 신호 EQ\_POWER\_ON(59)은 디지털 논리 로우이고, 스위치(409)는 활성 회로(410-413)가 전원차단(unpowered)되도록 개방된다. 1비트 디지털 신호 EQ\_SELECT(60)는 또한 디지털 논리 로우이고, 스위치들(414 및 416)은 입력 리드(418) 상의 신호가 컨덕터(419)를 통해 디스에이블되고 전원차단된 활성 회로(410 및 412)를 바이패스하고 출력 리드(420)에 전달하도록 세팅된다. 유사하게, 스위치들(415 및 417)은 입력 리드(421) 상의 신호가 컨덕터(422)를 통해 디스에이블되고 전원차단된 활성 회로(411 및 413)를 바이패스하고, 출력 리드(423)에 전달하도록 세팅된다. 더 높은 전력 모드 또는 세팅에서, EQ\_POWER\_ON(59)은 디지털 논리 하이이고, 스위치(409)는 활성 회로(410-413)가 파워링되도록 폐쇄된다. EQ\_SELECT(60)는 디지털 논리 하이이고, 스위치들(414 및 416)은 도 10에 표시된 위치들에 있다. 입력 리드(418) 상의 신호는 고주파수 부스트 회로(412)를 통해, 이후 증폭기(410)를 통해, 출력 리드(420)에 전달된다. 입력 리드(421) 상의 신호는 고주파수 부스트 회로(413)를 통해, 이후 증폭기(411)를 통해, 출력 리드(423)에 전달된다. 고주파수 부스트 회로들(412 및 413)은 신호의 더 높은 주파수 컴포넌트들이 증폭되는 양에 비해 더 작은 양의 증폭(2dB 미만의 이득)을 가지고 프로세싱되는 신호의 더 낮은 주파수 컴포넌트들을 전달하는 회로들이다. 이 예에서, 더 높은 주파수 컴포넌트들은 주파수 700MHz 및 그 초과인 컴포넌트들이다. 높은 주파수 부스트는 SerDes 링크(35)가 대역 제한 채널인

상황에서 수신기 성능을 개선시킨다. 제어 신호들(EQ\_POWER\_ON)(59) 및 EQ\_SELECT(60)는 등화기에 공급되는 세팅(58)을 함께 구성한다.

[0032]

도 11은 도 3의 CDR 회로(18)의 4-상 샘플러 부분(424)의 간략화된 도면이다. 도 11의 입력 리드(425)는 도 10의 출력 리드(420)에 커플링된다. 2개의 리드들은 동일한 컨덕터 및 노드의 일부분들이다. 유사하게, 도 11의 입력 리드(426)는 도 10의 출력 리드(423)에 커플링된다. 2개의 리드들은 동일한 컨덕터 및 노드의 일부분들이다. 신호들( $0^\circ$ ,  $90^\circ$ ,  $180^\circ$  및  $270^\circ$ )은 PLL(12)로부터 수신된 4상 클록 신호들이다. 이들 신호들은 초당 1기가비트 통신 레이트의 절반의 주파수를 갖는다. 스위치들(427-434)의 동작으로 인해, 비교기들(435-438)은 입력 리드들(425 및 426) 상의 차동 신호를 단일-종단 디지털 신호들로 양자화한다. 이러한 양자화는 4개의 샘플 시간들:  $0^\circ$ ,  $90^\circ$ ,  $180^\circ$  및  $270^\circ$ 에서 발생한다. 비교기들(435-438)은 단일 종단의 샘플링된 데이터 신호들  $0^\circ$  SD,  $90^\circ$  SD,  $180^\circ$  SD 및  $270^\circ$  SD를 출력 리드들(439-442)에 출력한다.

[0033]

도 12는 도 3의 CDR 회로(18)의 이름-늦음 검출기 부분(443)의 다이어그램이다. 이름-늦음 검출기 부분의 입력 리드들(444-447)은 도 11의 4상 샘플러 부분(424)의 출력 리드들(439-442)에 커플링된다. 인입 샘플링된 데이터 신호들  $0^\circ$  SD,  $90^\circ$  SD,  $180^\circ$  SD 및  $270^\circ$  SD는 컨덕터(452) 상의 신호  $0^\circ$ 의 상승 에지의 시간에서 플립 플롭들(448-451)에 의해 저장된다. 이러한 신호 " $0^\circ$ "는 도 15의 회로에 의해 출력되는 클록 복원 신호이다. 표(453)는 룩업 테이블(455)에 의한 출력으로서 컨덕터들(454) 상에서 2-비트 값 H/R/A(유지/지연/앞섬)의 의미를 표시한다. 2-비트 값 H/R/A는 데이터의 샘플링이 이상적하도록, 복원된 클록이 위상에서 앞서야 하는지 위상에서 조정되지 않아야 하는지, 또는 위상에서 지연되어야 하는지 여부를 표시한다.

[0034]

도 13은 역직렬화기(19)의 동작을 예시하는 다이어그램이다. 입력 리드들(456 및 457) 상의 신호들  $0^\circ$  SD 및  $180^\circ$  SD는 데이터의 짝수 및 홀수 샘플들을 나타낸다. 신호  $0^\circ$  SD는 도 11의 출력 리드(439) 상의 신호이다. 신호  $180^\circ$  SD는 도 11의 출력 리드(441) 상의 신호이다. 역직렬화기(19)는 시프트 레지스터, 제어 회로, 및 멀티플렉서를 포함한다.  $0^\circ$  SD 신호 및  $180^\circ$  SD 신호의 값들은 교번적인 방식으로, 번갈아, 앞뒤로(back and forth) 시프트 레지스터 내로 시프트된다. 이들 시프트-인 동작들에서 8의 단부에서 시프트 레지스터의 결과적인 8비트 병렬 출력은 컨덕터(459) 상의 신호(458)이다. 이들 8비트 값들 중 각각의 연속적인 하나가 시프트 레지스터의 출력 상에서 유효해짐에 따라, 이는 제어기(6) 내의 선입선출(FIFO) 탄생 버퍼(460) 내로 푸시된다. CPU는 또다른 포트를 통해 FIFO 탄생 버퍼(460)로부터 데이터를 판독한다. 역직렬화기(19)에 의한 FIFO(460)로의 기록 및 CPU에 의한 FIFO(460)로부터의 판독은 서로 비동기적이지만, 동일한 공칭 레이트를 가진다. (역직렬화기 밖으로 및 제어기 내로 전달되는 병렬 데이터, 및 제어기로부터 및 직렬화기 내로 전달되는 병렬 데이터가 8비트가 아닌 다른 비트 수일 수 있다는 점이 이해되어야 한다. 여기서 설명된 8비트 병렬 데이터는 단지 하나의 예이다.)

[0035]

도 14는 도 3의 CDR 회로(18) 내의 루프 필터(66)의 다이어그램이다. 루프 필터는 도 12의 이름-늦음 검출기(443)로부터 2비트 디지털 값들 H/R/A의 스트림을 필터링하는 디지털 필터이다. 점선(461) 내의 회로만이 사용되는 경우, 디지털 필터는 1차 저대역 통과 필터이도록 구성된다. 점선(462) 내의 모든 회로가 사용되는 경우, 디지털 필터는 2차 저대역 통과 필터이도록 구성된다. 루프 필터(66)가 1차 저대역 통과 필터 또는 2차 저대역 통과 필터이도록 구성되는지의 여부와는 무관하게, 필터의 출력은 컨덕터들(463) 상에 16비트 값들의 스트림으로서 나타난다. 입력 리드(464) 상의 SECOND\_ORDER\_SEL 신호(62)는 도 3의 CDR 회로(18)에 공급되는 세팅(61)의 일부분이다. 2차 필터가 디스에이블되는 경우 클록 신호 CLK는 누산기(466)를 클로킹하는 것이 (스위치(465)가 개방되는 것으로서 표현되는 바와 같이) 차단되는 반면 2차 필터가 인에이블되는 경우 클록 신호 CLK는 게이트 오프되지 않는다. 회로가 디지털이므로, 전력 소모가 감소하는데, 왜냐하면 디지털 회로의 정적 전력 소모가 낮기 때문이다. 2차 필터가 디스에이블되는 경우, 스위치들(467 및 468)은 예시된 위치들에 있는 반면, 2차 필터가 인에이블되는 경우, 스위치들(467 및 468)은 이들의 반대 위치들에 있다. 컨덕터들(463) 상의 16비트 신호는 루프 필터의 저대역 통과 필터링 효과로 인해 느리게 변경되는 신호이다.

[0036]

도 15는 도 3의 CDR(18)의 4-상 클록 생성기 부분(469)의 다이어그램이다. 루프 필터(66)로부터의 각각의 16비트 값의 5개의 최상위 비트들(470)은 PLL로부터 수신된 500 MHz 마스터 클록(472)의 다중-위상 신호들(471) 중 특정 신호들을 선택하기 위해 사용된다. 화살표(472)는 더 낮은 전력 모드에서 500 MHz 마스터 클록 신호의 4개의 위상들, 또는 더 높은 전력 모드에서 500 MHz 마스터 클록의 8개의 위상들을 나타낸다. 8개의 신호 컨덕터들이 존재하지만, 더 낮은 전력 모드에서, 컨덕터들 중 4개 내로 공급되는 신호가 존재하지 않는다. 더 낮은 전력 모드에서, 16개의 상이한 다중-위상 신호들(471)이 존재하는 반면(16개 컨덕터들의 각각의 쌍이 이러한 모드에서 상이한 위상 신호를 전달함), 더 높은 전력 모드에서, 32개의 상이한 다중-위상 신호들(471)이 존재한다.

(32개 컨덕터들 각각은 이러한 모드에서 상이한 위상 신호를 전달함).

[0037] 다중-위상 신호들(471) 중 적절한 신호들을 선택하기 위해, 루프 필터로부터 수신된 각각의 16비트 값 중 5개의 최상위 비트들(470)이 록업 테이블(473)에 공급된다. 록업 테이블(473)의 출력은 다중-위상 신호들(471) 중 어느 것이 컨덕터(475) 상의  $0^\circ$  신호로서 멀티플렉서(474)에 의해 공급될지, 다중-위상 신호들(471) 중 어느 것이 컨덕터(477) 상의  $90^\circ$  신호로서 멀티플렉서(476)에 의해 공급될지, 다중-위상 신호들(471) 중 어느 것이 컨덕터(479) 상의  $180^\circ$  신호로서 멀티플렉서(478)에 의해 공급될지, 그리고 다중-위상 신호들(471) 중 어느 것이 컨덕터(481) 상의  $270^\circ$  신호로서 멀티플렉서(480)에 의해 공급될지를 결정한다. 록업 테이블(473)은  $0^\circ$ ,  $90^\circ$ ,  $180^\circ$  및  $270^\circ$  각각에 대해 선택된 다중-위상 신호가 앞서거나, 고정되거나, 또는 지연될지의 여부를 표시하는 인입 5비트 값(470)으로부터의 매핑을 제공한다. 멀티플렉서들(474, 476, 478 및 480)을 제어하는 5비트 선택 신호들은 멀티플렉서들에 의해 선택된 다중-위상 신호들 중 복수가 함께 위상에서 앞서거나(forward) 또는 위상에서 유지되거나 또는 위상에서 역으로 시프트되도록, 그들의 개별 멀티플렉서들을 선택한다. 컨덕터들 상의 4개의 신호들(475, 477, 479 및 481)의 위상의 이러한 조정은 인입 데이터의 각각의 비트 시간 내에서 샘플링 시간의 위치의 앞섬, 유지 또는 지연을 초래한다.

[0038] 4상 클록 생성기 부분(469)의 2가지 모드들인 미세 모드 및 대략 모드가 존재한다. 미세 모드는 더 높은 전력 모드인 반면, 대략 모드는 더 낮은 전력 모드이다. 2개 모드들 중 어느 것이 사용중인지는 1비트의 FINE SELECT 입력 신호(63)에 의해 결정된다. 미세 모드가 선택되는 경우, 32개 위상 신호들이 요구되고, 멀티플렉서들(474, 476, 478 및 480)은 32개 위상들 중 하나를 선택하도록 만들어진다. 다중-위상 보간기(481)는 PLL로부터 8개 위상들(472)을 수신하고, 이로부터 더 미세한 위상 분해능을 위해 32개 위상들을 보간한다. 유사하게, 록업 테이블(473)은 32개 가능한 입력 신호들 중 하나를 선택하도록 멀티플렉서들 각각을 제어한다. 미세 모드에서, 다중-위상 보간기(481)로부터 오는 32개 컨덕터들 각각은 상이한 위상의 신호를 전달한다. 대략 모드가 선택되는 경우, 멀티플렉서들(474, 476, 478 및 480) 각각은 16개의 상이한 위상들 중 오직 하나를 선택한다. 다중-위상 보간기(481)는 PLL로부터 4개의 위상들을 수신하고, 이로부터 멀티플렉서들에 공급되는 16개 위상들을 보간한다. 대략 모드에서, 다중-위상 보간기(481)로부터 오는 32개 컨덕터들의 각각의 연속적인 쌍은 상이한 위상의 신호를 전달하고 따라서 다중-위상 보간기(481)에 의해 제공되는 오직 16개의 상이한 위상들만이 존재한다.

[0039] 도 16은 PLL(12)의 간략화된 다이어그램이다. PLL(12)은 위상 검출기(482), 루프 필터(483), 8-상 VCO(484), 및 루프 분할기(485)를 포함한다. 인입 기준 클록 REF\_FREQ는, 예를 들어, 크리스탈 발진기 또는 다른 높은 정확도의 기준으로부터 획득될 수 있다. VCO(484)는 단지 제어된 주파수를 갖는 하나의 신호를 출력한다기보다는, VCO(484)는 8개의 상이한 균일하게 이격된 위상들에서 신호의 8개 버전들을 출력한다. 이들 8개 신호들은 클록 차단 회로(486)에 공급된다. FINE SELECT 신호(63)가 미세 모드를 선택하는 경우, 클록 신호의 8개 버전들은 모두 클록 차단 회로(486)를 통과하여 8개 컨덕터들(487)로 전달된다. 이들 8개 컨덕터들(487)은 미세 모드에서 전송된 바와 같이 도 15의 4-상 클록 생성기(469)에 마스터 클록의 8개 버전들을 공급한다. 그러나, FINE SELECT 신호(63)가 대략 모드를 선택하는 경우, 클록 차단 회로(486)로부터 오는 8개 컨덕터들(487) 중 각각의 다른 하나는 구동되지 않는다. 오직 4개의 상이한 위상 신호들만이 클록 차단 회로(486)로부터 구동되고, 결과적으로, 모든 8개 컨덕터들이 구동되는 미세 동작 모드에 비해 전력이 절감된다.

[0040] 도 17은 PLL(12)로부터 컨덕터(487)로 출력되는 신호들을 예시하는 테이블이다. 차트의 중간 열은 미세 모드 동작을 나타낸다. 모든 8개 컨덕터들은 클록 신호들을 가지고 구동되고, 각각의 신호는 상이한 위상을 가진다. 차트의 가장 오른쪽 열은 대략 모드 동작을 나타낸다. 8개 컨덕터들 중 오직 절반만이 클록 신호들을 가지고 구동된다.

[0041] 도 18은 전송 회로의 간략화된 다이어그램이다. 제어기(6)는 전송을 위해 8-비트 병렬 데이터를 공급한다. 8비트 값들은 125 MHz의 레이트에서 공급된다. 직렬화기(14)는 역직렬화기(19)와 관련하여 전송된 역직렬화 동작의 역을 수행한다. 직렬화기(14)는 인입 데이터 스트림으로부터 짝수 신호 및 홀수 신호를 생성하고, 이들 짝수 및 홀수 신호들은 이후 단일 직렬 스트림으로 데이터를 업샘플링하기 위해 사용된다. 업샘플링된 데이터의 결과적인 직렬 스트림은 초당 1기가비트의 출력 데이터 레이트를 가진다. 사전-드라이버(488)는 디지털 비트들의 인입 단일-중단 스트림을 취하고, 이러한 스트림으로부터 2개의 차동 아날로그 출력 신호들을 생성하는 아날로그 증폭기이다. 하나의 신호가 컨덕터(491)를 통해 출력 드라이버에 공급된다. 다른 신호는 컨덕터(492)를 통해 출력 드라이버(490)에 공급된다. 출력 드라이버들(489 및 490)은 디지털로 제어되는 출력 임피던스들을 가진다. 출력 임피던스가 더 낮을수록, 구동되는 신호는 더 강해지지만 더 많은 전력이 소모된다. 멀

티-비트 디지털 신호 OUTPUT\_VALUE는 이러한 출력 임피던스를 결정하고, 도 3에 도시된 세팅(54)이다.

[0042] 전류원 심볼들(493 및 494) 각각은 제어된 전류원이다. 데이터 입력 신호가 디지털 논리 1 값을 가지는 경우 전류원은 온되며 전류 제한된 전류량을 소싱하지만, 데이터 입력 신호가 디지털 논리 0 값을 가지는 경우 전류원은 오프되며 어떠한 전류도 소싱하지 않는다. 온 시에 전류원이 소싱하는 최대 전류량은 OUTPUT\_VALUE 신호에 의해 결정된다. 단자들 TX+ 또는 TX- 중 하나 상의 신호가 하이로 트랜지션할 경우, 연관된 전류원은 자신의 전류-제한된 전류량을 소싱하려고 시도한다. 이는 출력 단자 상의 전압이 전력 공급 전압(SUPPLY POWER)에 도달할 때까지 상기 전압이 증가하게 하는데, 이 포인트에서 전류원은 전압 제한되고 전류를 거의 공급하지 않는다. 단자 상의 신호가 로우로 트랜지션하는 경우, 연관된 전류원은, 출력 단자 상의 전압이 SerDes 링크의 다른 종단 상에서 송신기 및 수신기에서의 풀다운 임피던스들에 의해 접지 전위로 풀다운되도록, 턴오프된다.

[0043] 도 19는 SerDes 수신기의 입력 임피던스의 감소가 송신기의 SerDes 드라이버의 전력 소모 감소를 어떻게 초래하는지를 예시하는 다이어그램이다. 도 1의 SerDes 송신기(15)의 버퍼(490)는 도 19에서 좌측에 도시된다. 도 1의 SerDes 수신기(38)의 절반(495)은 도 19에서 우측에 도시된다. 신호 DATAB가 디지털 논리 로우로 트랜지션하는 경우, 전류원(494)은 턴온된다. 단자 TX- 상의 전압은 하이로 트랜지션하기 위해 상승하게 된다. 전류원(494)에 의해 소싱되는 전류는 송신기에서 임피던스(496)를 통해 접지까지의 전류 경로(497)와 수신기(495)에서 저항(404)을 통해 접지까지의 전류 경로(498) 사이에서 분할된다. 전류원(494)은 공급 컨덕터(490A) 상에서 고정된 공급 전압으로부터 파워링되고, 전류원(494)은 상대적으로 많은 전류량을 소싱할 수 있고, 따라서, 도 19의 회로에서, 전류원(494)에 의해 소싱되는 전류량은 송신기의 저항(496)에 의해 그리고 수신기의 저항(404)에 의해 실제로 제한된다. 따라서, 감소하는 저항(404)은 더 많은 전류가 송신기의 전류원(494)으로부터 도출되도록 한다. 반면, 증가하는 저항(404)은 더 작은 전류가 송신기의 전류원(494)으로부터 도출되도록 한다. 수신기의 입력 임피던스의 증가는 송신기의 전력 소모를 감소시킨다고 한다. 컨덕터(30)는 라인 임피던스로서 종종 지칭되는 접지에 대한 임피던스(예를 들어, 접지에 대해 50 옴)를 가진다. 종래와 같이 송신기의 출력 임피던스 및 수신기의 입력 임피던스를 라인 임피던스에 매칭시킨다고 보다는, 수신기의 입력 임피던스는 전체 시스템에서 전력 소모를 감소시키기 위해 의도적으로 라인 임피던스보다 더 높게 된다. 비매칭의 정도는 수용가능한 범위 내에서 비트 에러 레이트를 유지하도록 제어되며, 여기서 수용가능한 범위의 하한은 실질적으로 0보다 더 크다. SerDes 링크는 비트 에러들을 최소화하도록 동작되지 않지만, 비트 에러 레이트는 수용가능하며, 전송라인이 통상적으로 중단되는 상황에 비해 전력 소모가 감소한다. 단일 비트 에러들을 검출하고 정정할 수 있는 SerDes 수신기 내에 에러 검출 및 정정 회로를 제공함으로써, SerDes 링크를 통해 데이터를 성공적으로 전달하기 위한 재전송할 필요성은, 수용가능한 비트 에러 레이트 범위의 하한이 실질적으로 0보다 더 크게 설정된 사실에도 불구하고, 감소하거나 제거된다.

[0044] 도 20은 프로세서 집적 회로(3) 내의 SerDes 디바이스(2)에서의 전력 소모의 내역을 도시하는 파이 차트이다. 차트의 각각의 섹션에 대해, 괄호 내에 있지 않은 퍼센트 수는 더 높은 전력 모드에서 동작할 시에 소모되는 전체 전력 소모의 백분율을 표시하는 반면, 괄호 안에 포함된 퍼센트 수는 저전력 모드에서 동작함으로써 절감되는 전체 전력 소모의 백분율을 표시한다. 예를 들어, "RX ANA 4% (2%)"는 더 낮은 전력 모드에서 SerDes 수신기 RX의 아날로그 부분이 (전체 SerDes 디바이스(2)의) 전체 전력 소모의 4 퍼센트를 소모함을 표시한다. "RX ANA 4% (2%)"의 2%는 더 낮은 전력 모드에서, 전체 총 전력 소모(전체 SerDes 디바이스(2)의 총 전력 소모)의 2%가 더 낮은 전력 모드에서 SerDes 수신기 RX를 동작시킴으로써 그것의 아날로그 부분에서 절감됨을 표시한다. 차트에서, "DIG"는 회로의 디지털 부분을 의미하고, "ANA"는 회로의 아날로그 부분을 의미한다. "RX"는 SerDes 수신기 RX를 의미하고, "CDR"는 클록 및 데이터 복원 회로를 의미하고, "PLL"은 위상 고정 루프를 의미하고, "CLK TREE"는 활성 클록 버퍼들의 개별 목적지들에 각각의 클록 위상을 분배하는 활성 클록 버퍼들 및 상호접속을 의미하고, "TX"는 SerDes 송신기 TX를 의미한다. 이 실시예에서, SerDes 링크의 SerDes 송신기 부분에서 가능한 것보다 SerDes 링크의 SerDes 수신기에서 더 많은 전력 소모 절감이 가능하다.

[0045] 도 21은 더 높은 전력 모드 및 더 낮은 전력 모드에서 SerDes 디바이스(2)의 총 전력 소모를 도시하는 테이블이다. 더 낮은 전력 모드 등화기에 대한 "-20.5%" 표기는 전력 소모가 더 높은 전력 모드에서보다 20.5% 더 작음을 의미한다.

[0046] 도 22-24는 프로세서 집적 회로(3)와 메모리 집적 회로(5) 사이의 SerDes 링크들이 상이한 양의 대역 제한을 가지는 예들을 예시한다. 도 22는 SerDes 링크가 광대역 채널인 예를 도시한다. 진한 양방향 화살표(507)는 광대역 채널을 나타낸다. 프로세서 집적 회로(3)는 제1 패키지(500) 내에 있고, 메모리 집적 회로(5)는 POP(패키지 온 패키지) 어셈블리(502)의 제2 패키지(501) 내에 있다. 채널은 하나의 집적 회로로부터, 그것의 패키지를 통해, POP의 결합 볼들을 통해 또다른 패키지 내로, 그리고 다른 집적 회로로 연장된다. 채널 내의 대역 제한



으로 인한 비트 에러 레이트는 존재하지 않는다. 따라서, 등화의 고주파수 부스트는 디스에이블되고, 전술된 모든 다른 전력 절감 특징들은 전력 소모를 감소시키기 위해 동적으로 사용된다.

[0047]

도 23은 SerDes 링크가 약간 대역 제한된 채널인 예를 도시한다. 집적 회로들(3 및 5)은 패키징되고, 패키지들(500 및 501)은 SerDes 링크가 하나의 집적 회로로부터 그것의 패키지를 통해, PCB(인쇄 회로 기판) 상의 트레이스 및 컨덕터들(503)을 통해, 또다른 패키지를 통해, 다른 집적 회로에 연장되도록 PCB 상에 장착된다. 따라서, 등화의 고주파수 부스트가 인에이블되어 동적으로 사용되고, 전술된 모든 다른 전력 절감 특징들은 전력 소모를 감소시키기 위해 동적으로 사용된다.

[0048]

도 24는 SerDes 링크가 상당히 대역 제한된 채널인 예를 도시한다. 메모리 집적 회로(5)는 메모리 스틱의 일부인 패키지(501) 내에 있다. 메모리 스틱은 마더보드 PCB 상의 커넥터로 플러그된다. 다이어그램 내의 커넥터 심볼(504)은 이러한 커넥터를 나타낸다. 프로세서 집적 회로(3)는 패키지(500) 내에 있고, 이러한 패키지(500)는 차례로 PCB에 장착되는 소켓 내에 있다. 소켓은 커넥터 심볼(505)에 의해 표현된다. SerDes 링크(506)는 프로세서 집적 회로(3)로부터, 그것의 패키지(500)를 통해, 소켓(505)을 통해, PCB를 통해, PCB 상의 메모리 스틱 커넥터(504)를 통해, 메모리 스틱 내로, 메모리 집적 회로의 패키지(501)를 통해, 메모리 집적 회로(5)로 연장한다. 따라서, 등화의 고주파수 부스트가 인에이블되어 동적으로 사용되고, 전술된 모든 다른 전력 절감 특징들은 전력 소모를 감소시키기 위해 동적으로 사용된다.

[0049]

제1 예에서, 파워 업 및 초기화 시의 프로세서 집적 회로(3)의 CPU(25)는 구성 정보(채널 타입 및/또는 특성들을 표시하는 정보)를 판독하고, 이 구성 정보로부터 자신의 채널 환경을 결정한다. 환경에 대한 결정된 자신의 지식에 기초하여, CPU(25)는 SerDes 제어기를 버스 메커니즘(27)을 통해 적절한 전력 소모 절감 모드에 있도록 구성한다. 심볼(27)은 단지 일부 특정 버스 폭의 단일 병렬 버스를 나타내는 것이 아니라, 오히려 더 일반적으로 하나 이상의 버스와 다른 회로를 수반할 수 있는 버스 메커니즘을 나타낸다. 제2 예에서, CPU 및 SerDes 제어기는 채널 타입을 검출하기 위해, 그리고 SerDes 저전력 회로를 검출된 채널 타입에 대한 적절한 전력 소모 모드에 있도록 자동으로 구성하기 위해 검출된 비트 에러 레이트를 사용한다. 이러한 자동 구성은 동일한 SerDes 인터페이스 설계가 특수한 구성 정보의 판독을 요구하지 않고 상이한 타입들의 제품들 및 시스템들에서 사용되도록 한다. 이러한 자동 구성은 또한 단일 제품의 제조 변경들에 대해, 유닛마다, 최적화된 성능(최적의 전력 소모 대 비트 에러 레이트 절충)을 허용한다. 단일 유닛의 SerDes 인터페이스는 시간 경과에 따라 변경하는 동작 파라미터들을 수용하기 위해 그리고 유닛의 동작 환경에서의 변경들을 수용하기 위해 유닛이 성능을 최적화하도록 동작함에 따라(최적의 전력 소모 대 비트 에러 레이트 절충) 시간 경과에 따라 그 자체를 자동으로 재구성할 수 있다.

[0050]

하나 이상의 예시적인 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합에서 구현될 수 있다. 소프트웨어에서 구현되는 경우, 기능들은 컴퓨터-판독가능한 매체 상에 하나 이상의 명령들 또는 코드로서 저장되거나 이들을 통해 전송될 수 있다. 컴퓨터-판독가능한 매체는 한 장소에서 또다른 장소로의 컴퓨터 프로그램의 이전을 용이하게 하는 임의의 매체를 포함하게 하는 통신 매체 및 컴퓨터 저장 매체 모두를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있다. 제한이 아닌 예시로서, 이러한 컴퓨터-판독가능한 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장소 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 전달하거나 저장하기 위해 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속이 적절하게 컴퓨터-판독가능한 매체로 명명된다. 예를 들어, 소프트웨어가 웹사이트, 서버, 또는 다른 원격 소스로부터 동축 케이블, 광섬유 케이블, 트위스티드 페어, 디지털 가입자 회선(DSL), 또는 적외선, 라디오 및 마이크로파와 같은 무선 기술들을 사용하여 전송되는 경우, 동축 케이블, 광섬유 케이블, 트위스티드 페어, DSL, 또는 적외선, 라디오 및 마이크로파와 같은 무선 기술들은 매체의 정의 내에 포함된다. disk 및 disc는, 여기서 사용되는 바와 같이, 콤팩트 disc(CD), 레이저 disc, 광학 disc, 디지털 다목적 disc(DVD), 플로피 disk 및 블루레이 disc를 포함하고, 여기서, disk들은 일반적으로 자기적으로 데이터를 재생하는 반면, disc들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 위 항목들의 조합들이 또한 컴퓨터-판독가능한 매체의 범위 내에 포함되어야 한다. 일 예에서, 프로세서 실행가능한 명령들의 세트는 도 1의 메모리(26) 내에 있다. 명령들의 상기 세트의 실행은 제어기(6)로 하여금 전술된 바와 같이 비트 에러 레이트 및 전력 소모의 균형을 맞추도록 SerDes 수신기(8)를 구성하게 한다. 또다른 예에서, 제어기(6)는 명령들을 저장하는 메모리를 포함한다. 제어기(6) 내의 프로세서는 이들 명령들을 실행하며, SerDes 수신기의 구성을 야기한다.

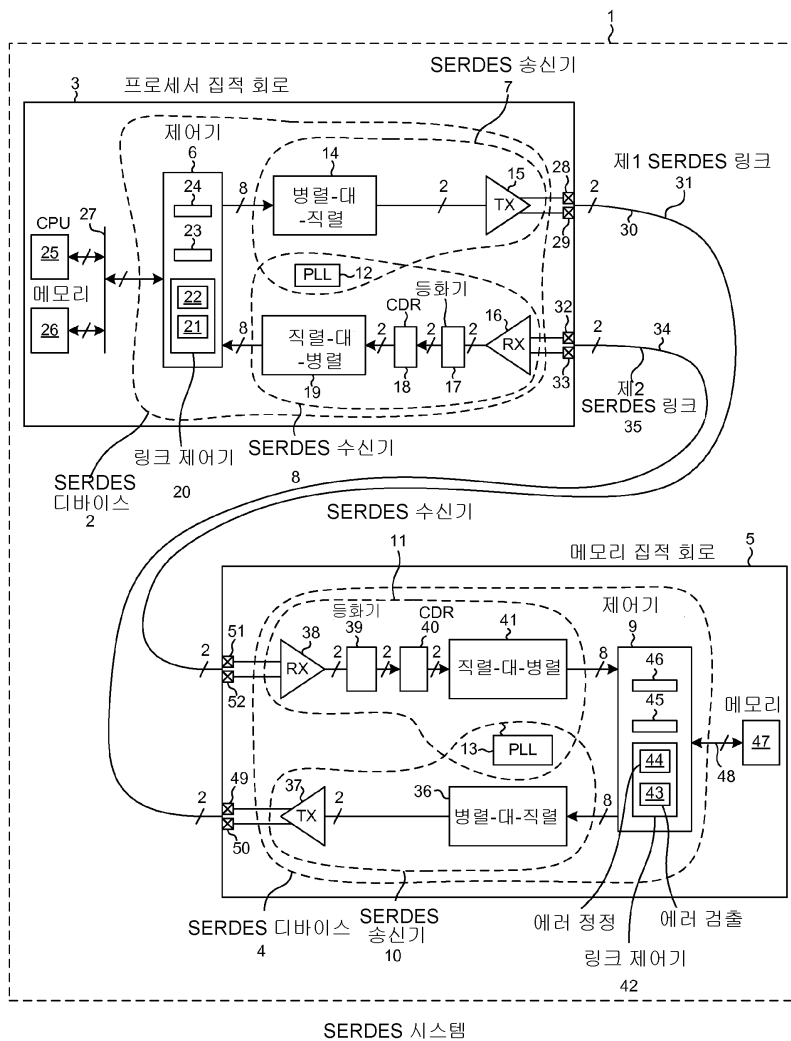
[0051]

일부 특정 실시예들이 교수의 목적으로 전술되었지만, 이 특허 문서의 교시들은 일반적인 응용성을 가지며, 전

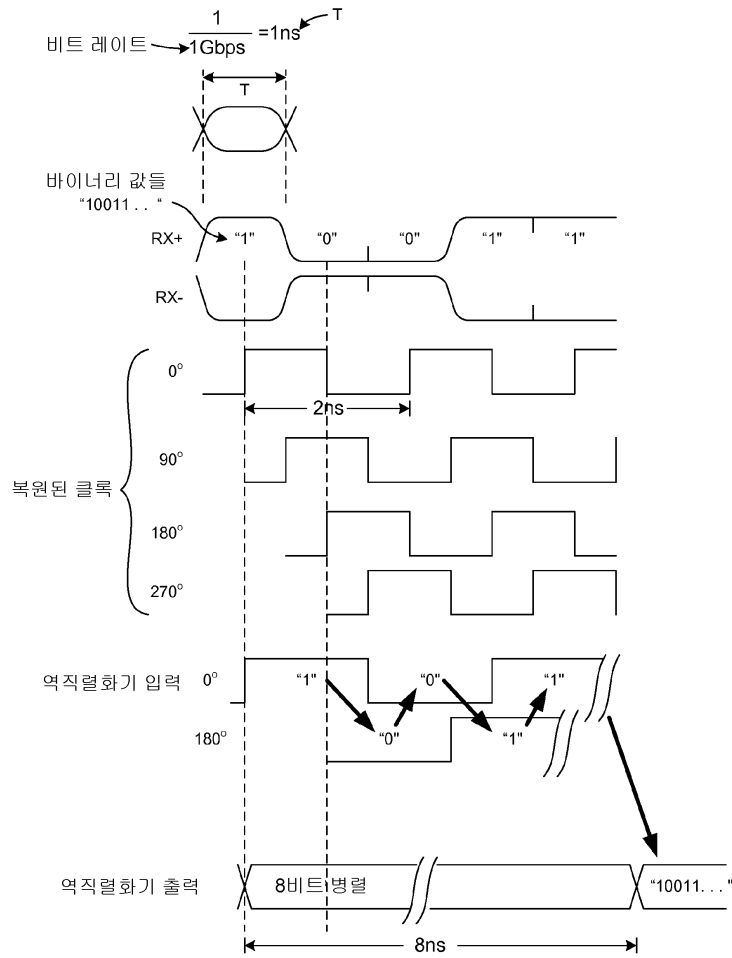
술된 특정 실시예들에 제한되지 않는다. 용어 더 낮은 전력 모드 및 용어 더 높은 전력 모드가 2개의 가능한 전력 모드들의 예들로서 위에서 사용되지만, 더 낮은 전력 모드 및 더 높은 전력 모드를 가지는 것으로서 전술된 SerDes 수신기 및 SerDes 송신기의 각각의 부분이 실제로 많은 상이한 전력 모드들을 가질 수 있으며, 더 낮은 전력 모드 및 더 높은 전력 모드가 이들 중 단지 2개임이 이해되어야 한다. 전체 SerDes 수신기 또는 전체 SerDes 송신기는 마찬가지로 더 낮은 전력 모드 및 더 높은 전력 모드를 가진다고 할 수 있지만, 이들 각각이 실제로 다수의 상이한 전력 모드들을 가질 수 있다는 점이 이해되어야 한다. 예를 들어, SerDes 수신기(8)에서, 전력 소모 세팅(53)은 SerDes 수신기의 전력 모드를 결정한다. 따라서, 설명된 특정 실시예들의 다양한 특징들의 다양한 수정들, 적응들 및 조합들은 하기에 설명되는 청구항들의 범위로부터의 이탈 없이 구현될 수 있다.

## 도면

### 도면1

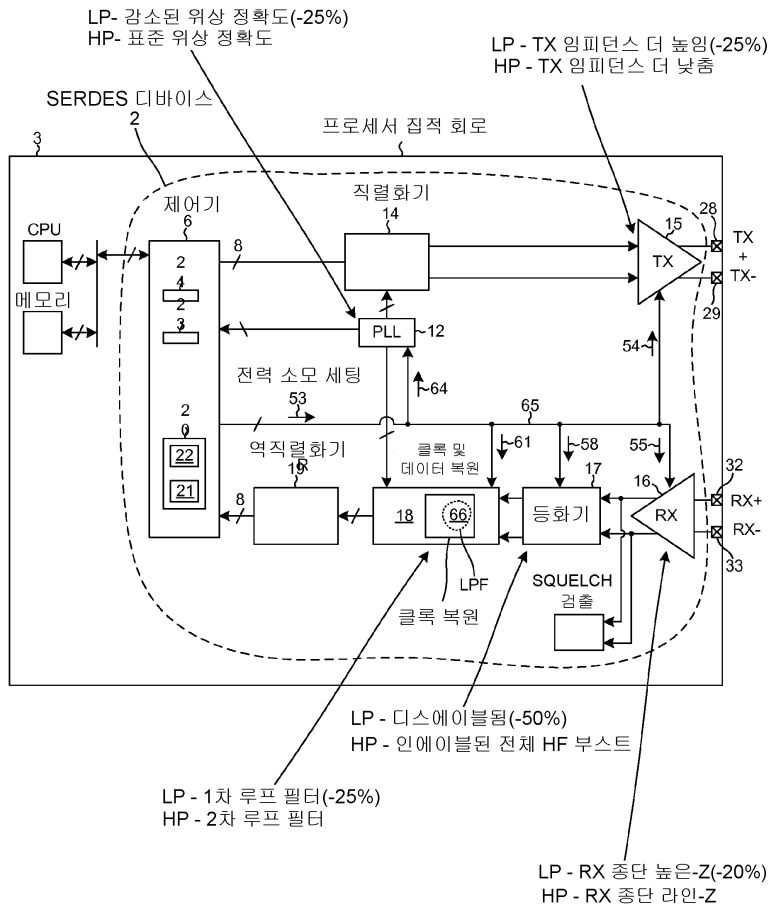


도면2



SERDES 수신기 신호들

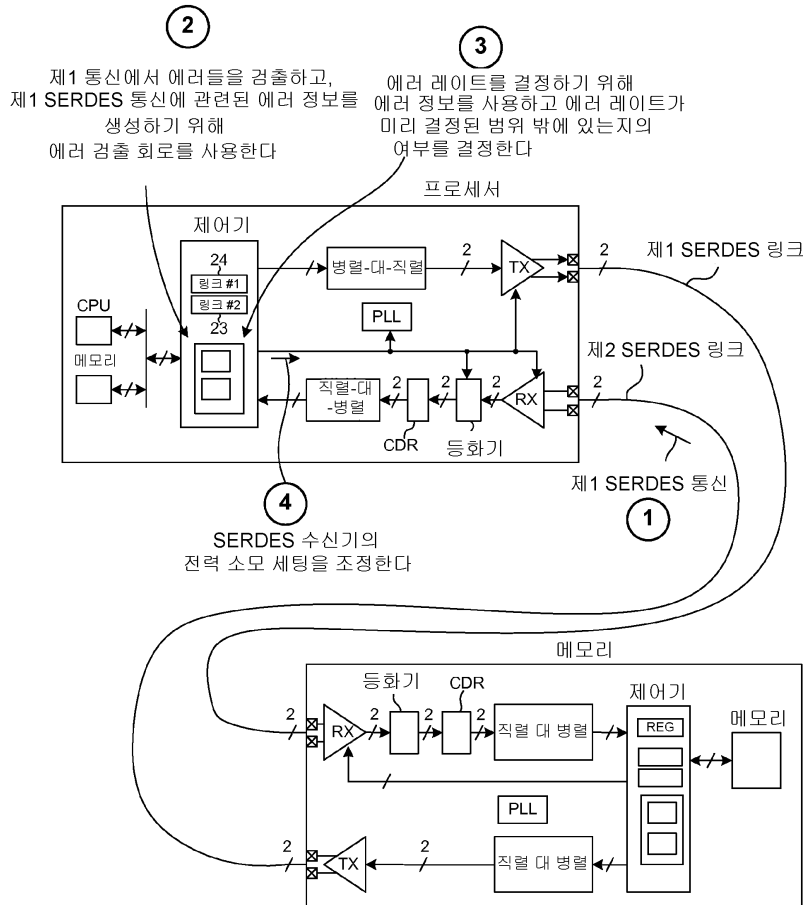
도면3



더 상세한 프로세서

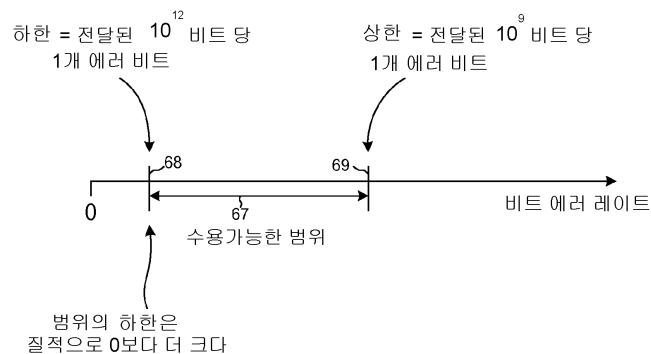


도면4



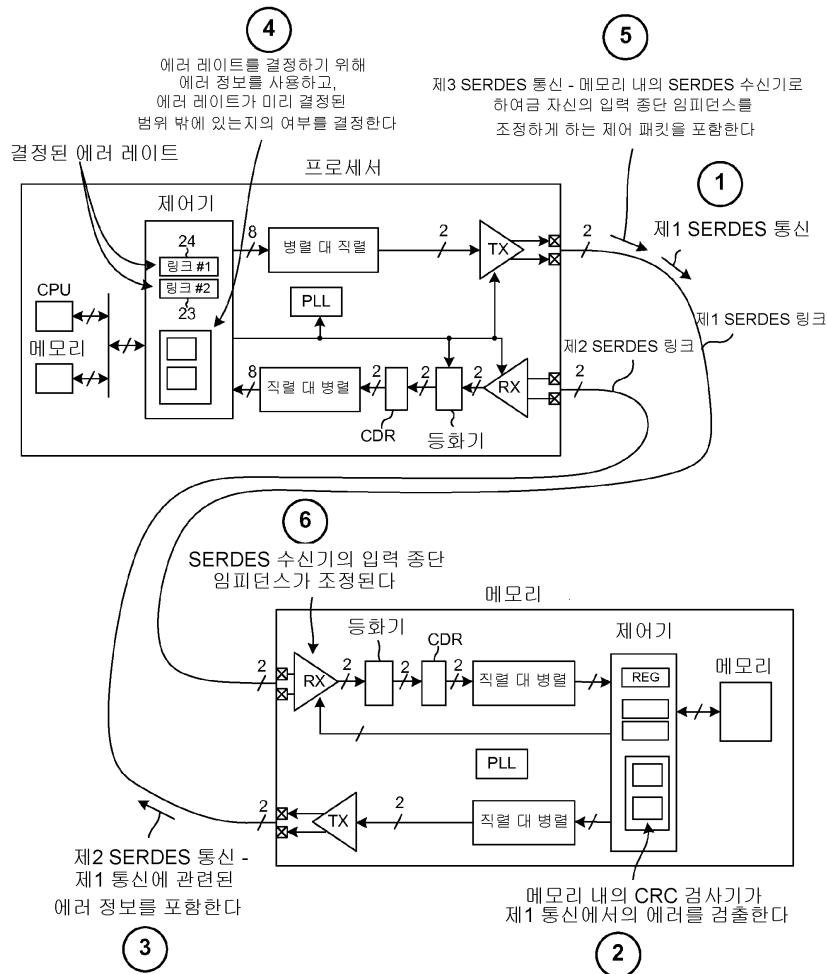
프로세서는 자신의 SERDES 수신기의 전력 소모 세팅을 조정한다

도면5



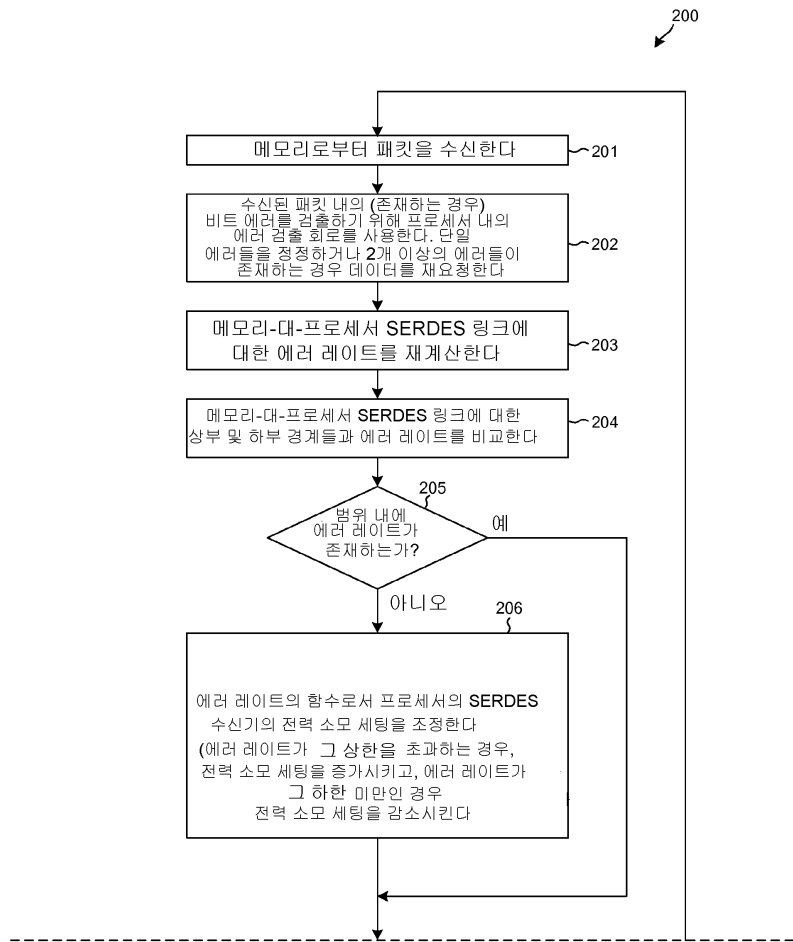
비트 에러 레이트 범위

도면6



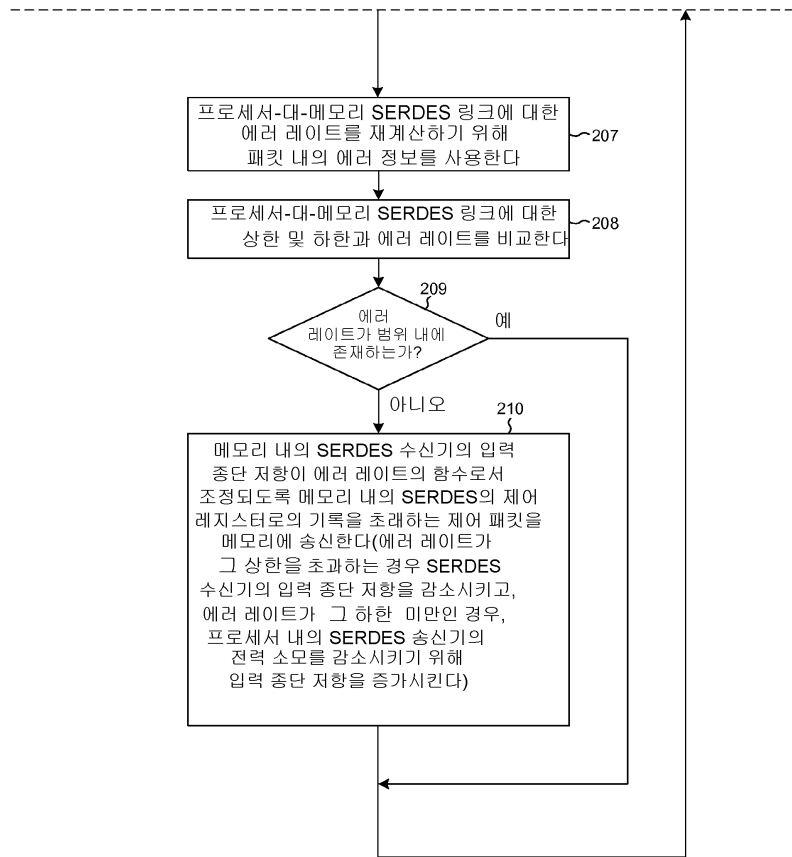
프로세서는 메모리 내의 SERDES 수신기의  
입력 종단 임피던스 세팅을 조정한다

도면7a



프로세서 내의 SERDES 디바이스의 동작

도면7b



프로세서 내의 SERDES 디바이스의 동작

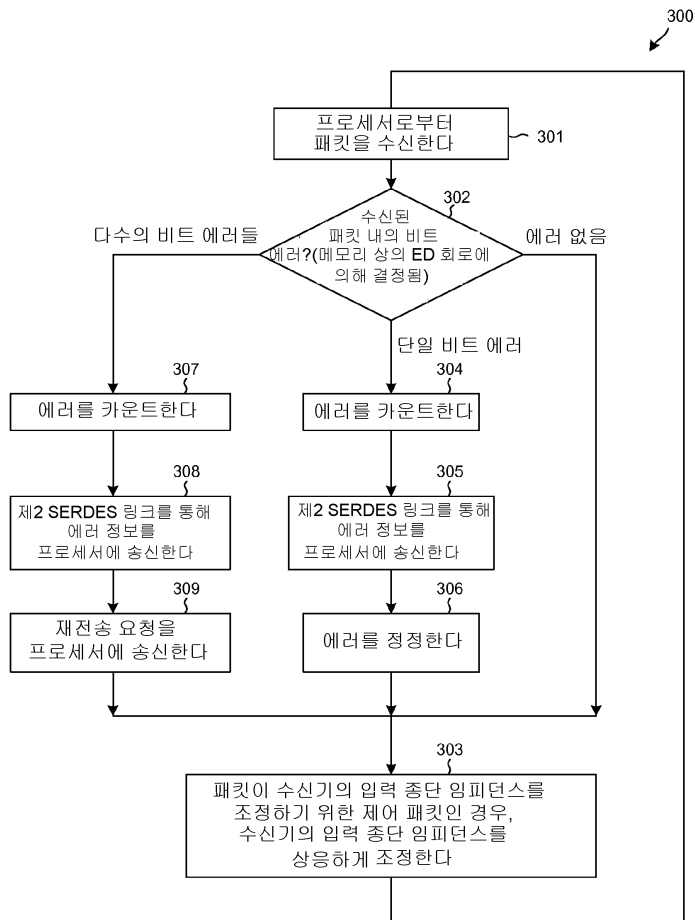
도  
7A

---

도  
7B

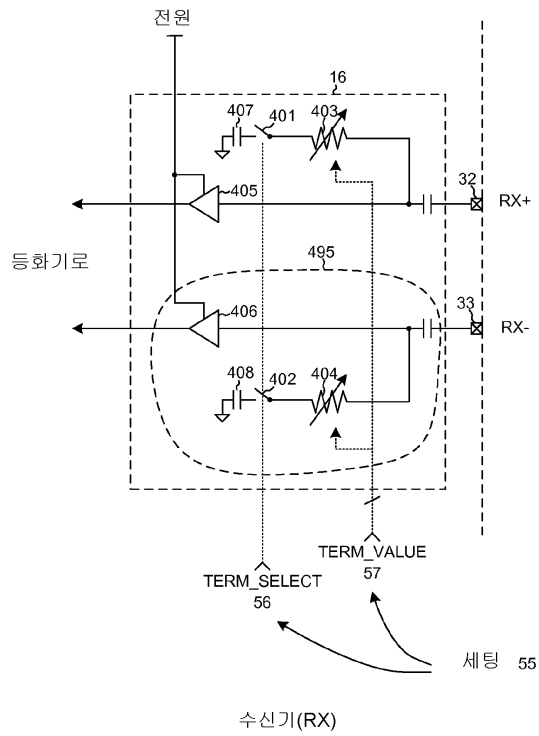
도 7에  
대한 키

도면8

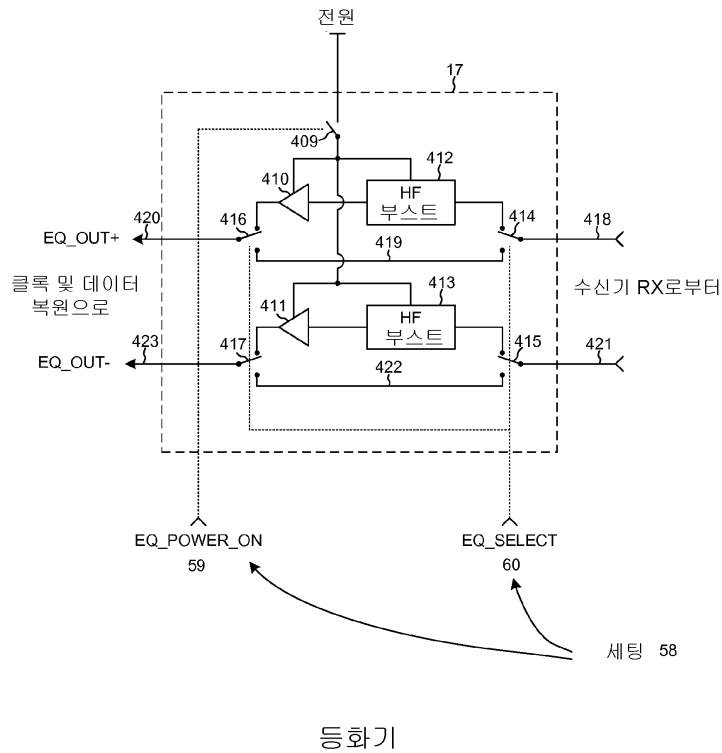


메모리 내의 SERDES 디바이스의 동작

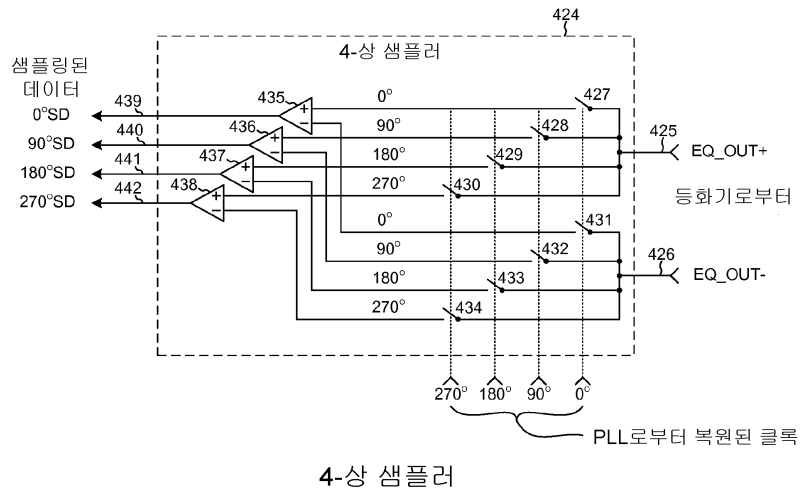
도면9



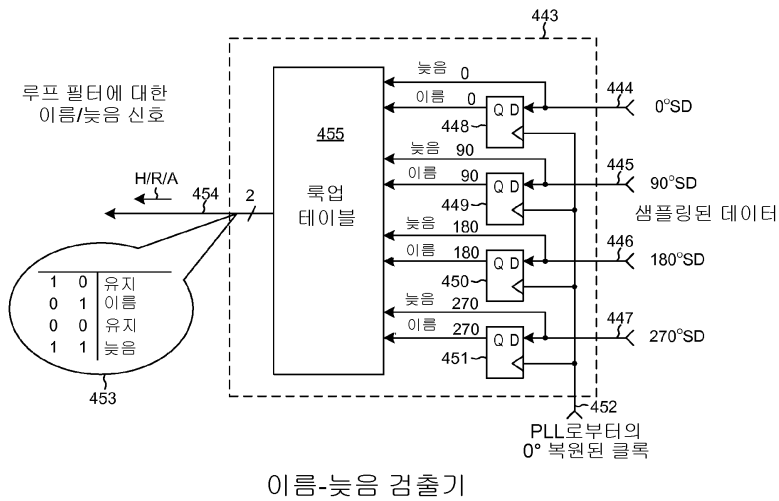
도면10



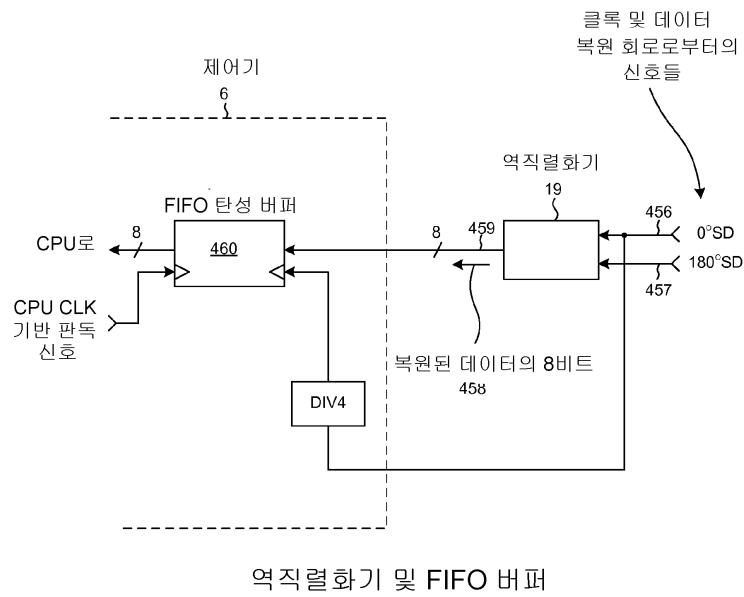
도면11



도면12

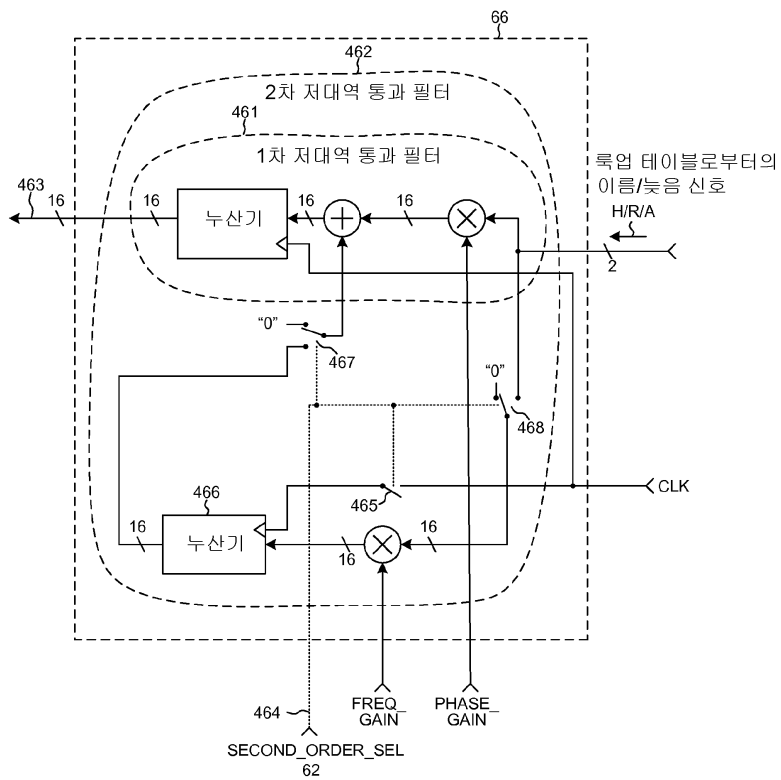


도면13



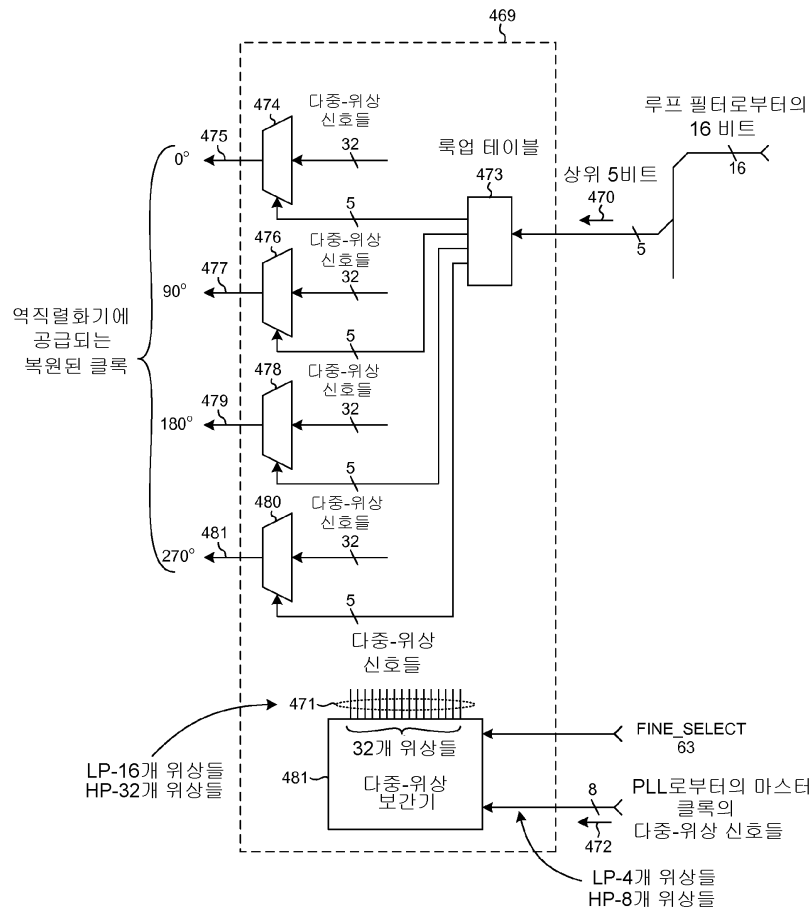


도면14



루프 필터(클록 및 데이터 복원 회로의  
디지털 저대역 통과 필터)

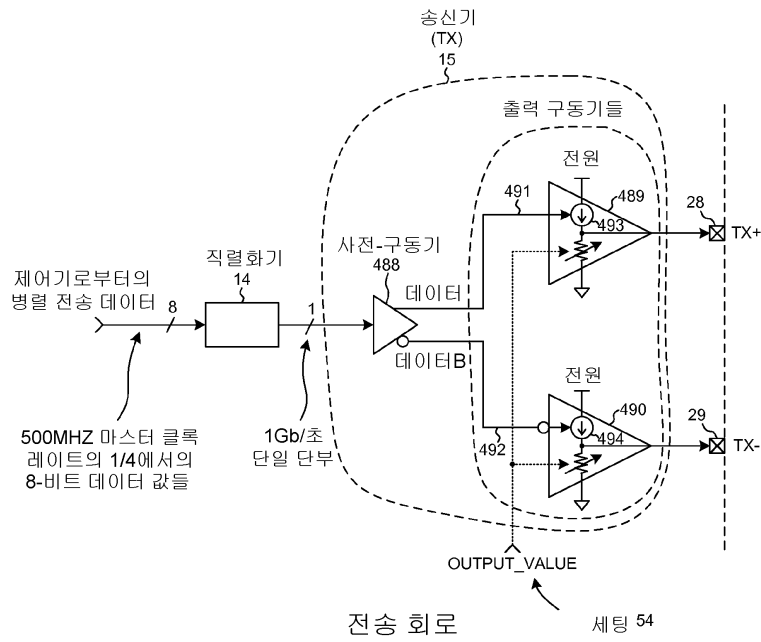
도면15



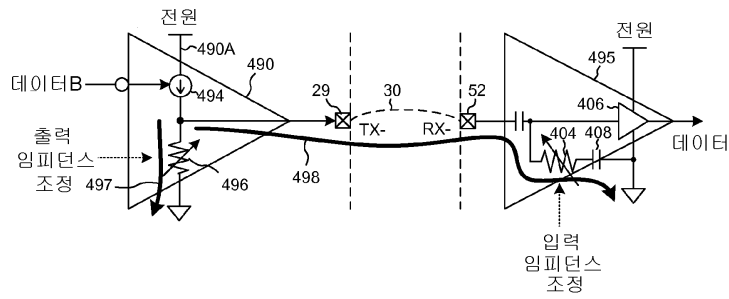
4-상 클럭 생성기



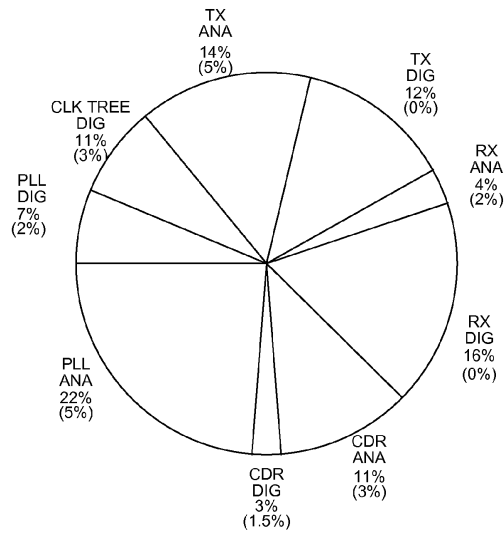
도면18



도면19



도면20



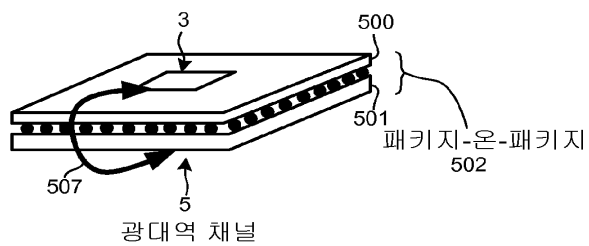
프로세서 SERDES 전력 소모  
(다이어그램이 축척에 맞지 않음)

도면21

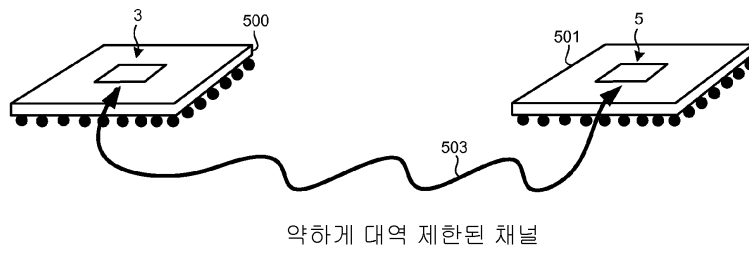
더 높은 전력 모드	100%
더 낮은 전력 모드 (등화기 온)	-20.5%
더 낮은 전력 모드 (등화기 오프)	-22.5%

프로세서 SERDES 전력 소모

도면22



도면23



도면24

