



(12) 发明专利

(10) 授权公告号 CN 102576708 B

(45) 授权公告日 2015. 09. 23

(21) 申请号 201080041924. 6

H01L 29/786(2006. 01)

(22) 申请日 2010. 10. 15

(56) 对比文件

(30) 优先权数据

2009-251261 2009. 10. 30 JP

JP 2007042172 A, 2007. 02. 15,

CN 101258607 A, 2008. 09. 03,

CN 1389927 A, 2003. 01. 08,

JP 2007250044 A, 2007. 09. 27,

(85) PCT国际申请进入国家阶段日

2012. 03. 14

审查员 赵龙凤

(86) PCT国际申请的申请数据

PCT/JP2010/068647 2010. 10. 15

(87) PCT国际申请的公布数据

W02011/052488 EN 2011. 05. 05

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 小山润 加藤清

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 侯颖嫒

(51) Int. Cl.

H01L 27/105(2006. 01)

H01L 21/8242(2006. 01)

H01L 27/108(2006. 01)

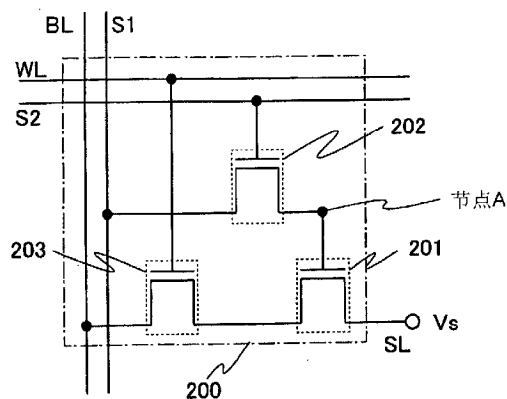
权利要求书2页 说明书31页 附图25页

(54) 发明名称

半导体装置

(57) 摘要

目的是提供一种具有新颖结构的半导体装置。该半导体装置包括：第一布线；第二布线；第三布线；第四布线；具有第一栅电极、第一源电极以及第一漏电极的第一晶体管；以及具有第二栅电极、第二源电极以及第二漏电极的第二晶体管。所述第一晶体管设置在包括半导体材料的衬底中。所述第二晶体管包括氧化物半导体层。



1. 一种半导体装置,包括:

第一布线、第二布线、第三布线、第四布线、第五布线以及在所述第一布线和所述第二布线之间并联连接的多个存储元件,

其中,所述多个存储元件之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及具有第三栅电极、第三源电极以及第三漏电极的第三晶体管,

其中,所述第一晶体管及所述第三晶体管都包括设置在包括氧化物半导体以外的半导体材料的衬底中的沟道形成区域,

其中,所述第二晶体管包括设置在氧化物半导体层中的沟道形成区域,

其中,所述第一栅电极与所述第二源电极和所述第二漏电极中的一方相互电连接,

其中,所述第一布线与所述第一源电极相互电连接,

其中,所述第一漏电极与所述第三源电极相互电连接,

其中,所述第二布线与所述第三漏电极相互电连接,

其中,所述第三布线与所述第二源电极和所述第二漏电极中的另一方相互电连接,

其中,所述第四布线与所述第二栅电极相互电连接,并且,

其中,所述第五布线与所述第三栅电极相互电连接。

2. 根据权利要求1所述的半导体装置,其特征在于,所述第一晶体管包括以夹着所述沟道形成区域的方式设置的杂质区域、所述沟道形成区域上的第一栅极绝缘层、所述第一栅极绝缘层上的所述第一栅电极以及电连接于所述杂质区域的所述第一源电极和所述第一漏电极。

3. 根据权利要求1所述的半导体装置,其特征在于,所述第二晶体管包括在所述包括氧化物半导体以外的半导体材料的衬底上的所述第二栅电极、所述第二栅电极上的第二栅极绝缘层、所述第二栅极绝缘层上的所述氧化物半导体层以及电连接于所述氧化物半导体层的所述第二源电极和所述第二漏电极。

4. 根据权利要求1所述的半导体装置,其特征在于,所述第三晶体管包括以夹着所述沟道形成区域的方式设置的杂质区域、所述沟道形成区域上的第三栅极绝缘层、所述第三栅极绝缘层上的所述第三栅电极以及电连接于所述杂质区域的所述第三源电极和所述第三漏电极。

5. 根据权利要求1所述的半导体装置,其特征在于,所述包括氧化物半导体以外的半导体材料的衬底为单晶半导体衬底和SOI衬底中的一种。

6. 根据权利要求1所述的半导体装置,其特征在于,所述氧化物半导体以外的半导体材料为硅。

7. 根据权利要求1所述的半导体装置,其特征在于,所述氧化物半导体层包括In-Ga-Zn-O基的氧化物半导体材料。

8. 根据权利要求1所述的半导体装置,其特征在于,所述氧化物半导体层包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的结晶。

9. 根据权利要求1所述的半导体装置,其特征在于,所述氧化物半导体层中氢的浓度为 $5 \times 10^{19}/\text{cm}^3$ 以下。

10. 根据权利要求1所述的半导体装置,其特征在于,所述第二晶体管的截止态电流为

$1 \times 10^{-13} \text{A}$ 以下。

11. 一种半导体装置, 包括:

第一布线、第二布线、第三布线、第四布线、第五布线以及在所述第一布线和所述第二布线之间并联连接的多个存储元件,

其中, 所述多个存储元件之一包括: 具有第一栅电极、第一源电极以及第一漏电极的第一晶体管; 具有第二栅电极、第二源电极以及第二漏电极的第二晶体管; 以及电容器,

其中, 所述第一晶体管包括设置在包括氧化物半导体以外的半导体材料的衬底中的沟道形成区域,

其中, 所述第二晶体管包括设置在氧化物半导体层中的沟道形成区域,

其中, 所述第一栅电极、所述第二源电极和所述第二漏电极中的一方以及所述电容器的电极中的一方相互电连接,

其中, 所述第一布线与所述第一源电极相互电连接,

其中, 所述第二布线与所述第一漏电极相互电连接,

其中, 所述第三布线与所述第二源电极和所述第二漏电极中的另一方相互电连接,

其中, 所述第四布线与所述第二栅电极相互电连接, 且

其中, 所述第五布线与所述电容器的电极中的另一方相互电连接。

12. 根据权利要求 11 所述的半导体装置, 其特征在于, 所述第一晶体管包括以夹着所述沟道形成区域的方式设置的杂质区域、所述沟道形成区域上的第一栅极绝缘层、所述第一栅极绝缘层上的所述第一栅电极以及电连接于所述杂质区域的所述第一源电极及所述第一漏电极。

13. 根据权利要求 11 所述的半导体装置, 其特征在于, 所述第二晶体管包括在所述包括氧化物半导体以外的半导体材料的衬底上的所述第二栅电极、所述第二栅电极上的第二栅极绝缘层、所述第二栅极绝缘层上的所述氧化物半导体层以及电连接于所述氧化物半导体层的所述第二源电极和所述第二漏电极。

14. 根据权利要求 11 所述的半导体装置, 其特征在于, 所述包括氧化物半导体以外的半导体材料的衬底为单晶半导体衬底和 SOI 衬底中的一种。

15. 根据权利要求 11 所述的半导体装置, 其特征在于, 所述氧化物半导体以外的半导体材料为硅。

16. 根据权利要求 11 所述的半导体装置, 其特征在于, 所述氧化物半导体层包括 In-Ga-Zn-O 基的氧化物半导体材料。

17. 根据权利要求 11 所述的半导体装置, 其特征在于, 所述氧化物半导体层包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的结晶。

18. 根据权利要求 11 所述的半导体装置, 其特征在于, 所述氧化物半导体层中氢的浓度为 $5 \times 10^{19} / \text{cm}^3$ 以下。

19. 根据权利要求 11 所述的半导体装置, 其特征在于, 所述第二晶体管的截止态电流为 $1 \times 10^{-13} \text{A}$ 以下。

半导体装置

技术领域

[0001] 所公开的发明涉及一种利用半导体元件的半导体装置及制造该半导体装置的方法。

背景技术

[0002] 利用半导体元件的存储装置可以粗分为两类：当电力供给停止时存储数据丢失的易失性装置，和即使当没有电力供给时也保持存储数据的非易失性装置。

[0003] 易失性存储装置的典型例子为 DRAM（动态随机存取存储器）。DRAM 以选择包括在存储元件中的晶体管并将电荷存储在电容器中的方式来存储信息。

[0004] 根据上述原理，当从 DRAM 读出数据时，电容器中的电荷丢失；由此，每次读出数据，就需要再次进行写入操作。另外，因为包括在存储元件中的晶体管具有漏电流，且即使当未选择晶体管时电荷也流入或流出电容器，所以数据的保持时间短。为此，需要按预定的间隔再次进行写入操作（刷新操作），且难以充分降低功耗。另外，因为当停止电力供给时存储的数据就丢失，所以需要利用磁性材料或光学材料的另一存储装置以长时间地保持数据。

[0005] 易失性存储装置的另一例子为 SRAM（静态随机存取存储器）。SRAM 通过使用触发器等电路来保持存储的数据，且由此不需要进行刷新操作。这意味着：SRAM 比 DRAM 具有优势。但是，因为使用触发器等电路，所以存储容量的单价变高了。另外，与在 DRAM 中相同，当电力供给停止时在 SRAM 中的存储数据就丢失了。

[0006] 非易失性存储装置的典型例子为快闪存储器。快闪存储器包括在晶体管中的栅电极和沟道形成区域之间的浮动栅极，并通过使电荷保持在该浮动栅极中而存储数据。因此，快闪存储器具有这样的优势，即，其数据保持时间极长（几乎永久），且不需要进行在易失性存储装置中需要的刷新操作（例如，参照专利文献 1）。

[0007] 但是，由在进行写入时产生的隧道电流而引起包括在存储元件内的栅极绝缘层的退化，因此在预定次数的写入操作之后，所述存储元件停止其功能。为了减小该问题的不利影响，例如，使用使各存储元件的写入操作的次数均匀的方法。但是，为了实现该方法，需要复杂的外围电路。另外，使用上述方法也不能解决使用寿命的根本问题。也就是说，快闪存储器不适合数据被频繁重写的场合。

[0008] 另外，为了使电荷保持在浮动栅极或者去除该电荷，需要高电压。再者，电荷的保持或去除需要相对较长的时间，且要实现以更高的速度写入和擦除是不容易的。

[0009] 专利文献 1：日本公开的专利申请第 S57-105889 号

发明内容

[0010] 鉴于上述问题，本文所公开的发明的一个实施方式的目的就是提供一种具有新颖结构的半导体装置，在该结构中，即使当没有电力供给时也能够保持存储的数据，并且对写入次数也没有限制。

[0011] 本发明的一个实施方式是具有使用氧化物半导体而形成的晶体管和使用除该氧化物半导体以外的材料而形成的晶体管的叠层结构的半导体装置。例如,可以采用如下结构。

[0012] 根据本发明的一个实施方式,一种半导体装置包括:第一布线;第二布线;第三布线;第四布线;第五布线;以及在第一布线和第二布线之间并联连接的多个存储元件。多个存储元件之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及具有第三栅电极、第三源电极以及第三漏电极的第三晶体管。第一晶体管设置在包括半导体材料的衬底中。第二晶体管包括氧化物半导体层。第一栅电极与第二源电极和第二漏电极中的一方互相电连接。第一布线与第一源电极互相电连接。第一漏电极与第三源电极互相电连接。第二布线与第三漏电极互相电连接。第三布线与第二源电极和第二漏电极中的另一方互相电连接。第四布线与第二栅电极互相电连接。第五布线与第三栅电极互相电连接。

[0013] 根据本发明的一个实施方式,一种半导体装置包括:第一布线;第二布线;第三布线;第四布线;第五布线;和在第一布线和第二布线之间并联连接的多个存储元件。多个存储元件之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及电容器。第一晶体管设置在包括半导体材料的衬底中。第二晶体管包括氧化物半导体层。第一栅电极、第二源电极和第二漏电极中的一方以及电容器的电极中的一方互相电连接。第一布线与第一源电极互相电连接。第二布线与第一漏电极互相电连接。第三布线与第二源电极和第二漏电极中的另一方互相电连接。第四布线与第二栅电极互相电连接。第五布线与电容器的电极中的另一方互相电连接。

[0014] 在上述任何结构中,第一晶体管可包括:设置在包括半导体材料的衬底中的沟道形成区域;以夹着沟道形成区域的方式设置的杂质区域;沟道形成区域上的第一栅极绝缘层;第一栅极绝缘层上的第一栅电极;以及电连接于杂质区域的第一源电极及第一漏电极。

[0015] 在上述任何结构中,第二晶体管可包括:包括半导体材料的衬底上的第二栅电极;第二栅电极上的第二栅极绝缘层;第二栅极绝缘层上的氧化物半导体层;以及电连接于氧化物半导体层的第二源电极及第二漏电极。

[0016] 在上述任何结构中,第三晶体管可包括:设置在包括半导体材料的衬底中的沟道形成区域;以夹着沟道形成区域的方式设置的杂质区域;沟道形成区域上的第三栅极绝缘层;第三栅极绝缘层上的第三栅电极;以及电连接于杂质区域的第三源电极和第三漏电极。

[0017] 在上述任何结构中,优选使用单晶半导体衬底或 SOI 衬底作为包括半导体材料的衬底。尤其是,将硅优选用作半导体材料。

[0018] 在上述任何结构中,氧化物半导体层优选使用 In-Ga-Zn-O 基的氧化物半导体材料形成。更优选地,氧化物半导体层包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的结晶。再者,氧化物半导体层中的氢浓度优选为 $5 \times 10^{19}/\text{cm}^3$ 以下。第二晶体管的截止态电流优选为 $1 \times 10^{-13}\text{A}$ 以下。

[0019] 在上述任何结构中,第二晶体管可以设置在与第一晶体管重叠的区域中。

[0020] 注意,在本说明书等中,诸如“上”或“下”之类的术语并不一定意味着一构成要素

设置在另一构成要素的“正上”或“正下”。例如,表述“栅极绝缘层上的第一栅电极”并未排除在栅极绝缘层和栅电极之间设置一构成要素的情况。另外,诸如“上”或“下”之类的术语只是为了便于说明而使用的,在没有特别的说明时,“上”或“下”之类的术语还可包括构成要素的关系倒转的情况。

[0021] 另外,在本说明书等中,诸如“电极”或“布线”之类的术语并不限制构成要素的功能。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,术语“电极”或“布线”可包括多个“电极”或“布线”形成为一体的情况。

[0022] 例如,在使用极性相反的晶体管时或电路操作中的电流方向变化时,“源极”和“漏极”的功能有时互相替换。因此,在本说明书等中,术语“源极”和“漏极”可以互相替换。

[0023] 注意,在本说明书等中,术语“电连接”包括通过具有任何电作用的目标来连接元件的情况。对该具有任何电作用的目标没有特别的限制,只要可以在通过该目标进行连接的元件之间发送和接收电信号就行。

[0024] 具有任何电作用的目标的例子不仅包括电极和布线,而且还包括晶体管等的开关元件、电阻器、电感器、电容器、具有各种功能的元件。

[0025] 一般来说,术语“SOI 衬底”是指在绝缘表面上设置有硅半导体层的衬底。在本说明书等中,术语“SOI 衬底”还包括在其类别中的绝缘表面上设置有使用硅以外的材料而形成的半导体层的衬底。换言之,“SOI 衬底”中包括的半导体层不局限于硅半导体层。“SOI 衬底”中的衬底不局限于硅晶片等的半导体衬底,而还可以为玻璃衬底、石英衬底、蓝宝石衬底或金属衬底等的非半导体衬底。就是说,“SOI 衬底”还包括设置有用其类别中的半导体材料形成的层的导体衬底或绝缘衬底。再者,在本说明书等中,术语“半导体衬底”不但是指仅使用半导体材料形成的衬底,而且还意味着包括半导体材料的所有的衬底。就是说,在本说明书等中,“SOI 衬底”也包括在“半导体衬底”的类别中。

[0026] 本发明的一个实施方式提供一种半导体装置,在其下部设置有包括氧化物半导体以外的材料的晶体管,并在其上部设置有包括氧化物半导体的晶体管。

[0027] 因为包括氧化物半导体的晶体管的截止态电流极小,所以通过使用该晶体管可以在极长时间内保持存储的数据。就是说,因为刷新操作变得不需要,或者可以使刷新操作的频率变得极低,所以可以充分降低功耗。另外,即使当没有电力供给时,也可以在长时间内保持存储的数据。

[0028] 另外,写入数据不需要高电压,而且也没有元件退化的问题。再者,根据晶体管的导通状态或截止状态而写入数据,从而可以容易地实现高速操作。另外,不需要用来擦除数据的操作。

[0029] 由于包括氧化物半导体以外的材料的晶体管可以以充分高的速度工作,因此,通过使用该晶体管可以以高速读出存储的数据。

[0030] 通过同时包括包含氧化物半导体以外的材料的晶体管和包含氧化物半导体的晶体管,可以实现具有新颖特征的半导体装置。

[0031] 附图简述

[0032] 在附图中:

[0033] 图 1 是半导体装置的电路图;

[0034] 图 2A 和 2B 是用来说明半导体装置的截面图及平面图;

- [0035] 图 3A 至 3H 是用来说明半导体装置的制造工序的截面图；
- [0036] 图 4A 至 4G 是用来说明半导体装置的制造工序的截面图；
- [0037] 图 5A 至 5D 是用来说明半导体装置的制造工序的截面图；
- [0038] 图 6 是半导体装置的截面图；
- [0039] 图 7A 和 7B 是分别用来说明半导体装置的截面图；
- [0040] 图 8A 和 8B 是分别用来说明半导体装置的截面图；
- [0041] 图 9A 和 9B 是分别用来说明半导体装置的截面图；
- [0042] 图 10 是存储元件的电路图；
- [0043] 图 11 是用来说明存储元件的操作的时序图；
- [0044] 图 12 是半导体装置的电路图；
- [0045] 图 13 是存储元件的电路图；
- [0046] 图 14 是半导体装置的电路图；
- [0047] 图 15 是存储元件的电路图；
- [0048] 图 16 示出节点 A 和第五布线的电位的关系；
- [0049] 图 17 是半导体装置的电路图；
- [0050] 图 18 是存储元件的电路图；
- [0051] 图 19 是半导体装置的电路图；
- [0052] 图 20A 和 20B 是分别用来说明存储元件的电路图；
- [0053] 图 21 是存储元件的电路图；
- [0054] 图 22 是读取电路的电路图；
- [0055] 图 23A 至 23F 分别用来说明电子设备；
- [0056] 图 24 是包括氧化物半导体的反交错型晶体管的截面图；
- [0057] 图 25A 和 25B 是沿图 24 中的 A-A' 截面的能带图（示意图）；
- [0058] 图 26A 示出将正的电位 ($+V_G$) 施加到栅极 (G1) 的状态, 而图 26B 示出将负的电位 ($-V_G$) 施加到栅极 (G1) 的状态；
- [0059] 图 27 示出真空能级、金属的功函数 (ϕ_M) 和氧化物半导体的电子亲和势 (χ) 之间的关系。

[0060] 实施本发明的最佳方式

[0061] 下面, 关于本发明的实施方式的例子将参照附图给予说明。注意, 本发明并不局限于下面的描述, 所属领域的普通技术人员可以容易地理解, 本文公开的方式和详细内容可以被变换为各种各样的形式, 而不脱离本发明的宗旨及其范围。因此, 本发明不应该解释为局限于以下所包括的实施方式的记载内容。

[0062] 注意, 为了容易理解, 附图等所示出的各结构的位置、大小和范围等有时不表示实际上的位置、大小和范围等。因此, 本发明的实施方式不必局限于附图等所示出的位置、大小和范围等。

[0063] 本说明书等中使用的“第一”、“第二”、“第三”等序数词是为了避免结构要素的混淆, 该术语并不意味着要限定结构要素的数目。

[0064] (实施方式 1)

[0065] 在本实施方式中, 参照图 1、图 2A 和 2B、图 3A 至 3H、图 4A 至 4G、图 5A 至 5D、图 6、

图 7A 和 7B、图 8A 和 8B 以及图 9A 和 9B 来说明根据本文所公开的发明的一个实施方式的半导体装置的结构及其制造方法。

[0066] < 半导体装置的电路结构 >

[0067] 图 1 示出半导体装置的电路结构的一个例子。该半导体装置包括使用氧化物半导体以外的材料形成的晶体管 160 和使用氧化物半导体形成的晶体管 162。

[0068] 这里,晶体管 160 的栅电极与晶体管 162 的源电极和漏电极中的一方电连接。第一布线(第一线,也称为源极线)和晶体管 160 的源电极电连接。第二布线(第二线,也称为位线)和晶体管 160 的漏电极电连接。第三布线(第三线,也称为第一信号线)与晶体管 162 的源电极和漏电极中的另一方电连接。第四布线(第四线,也称为第二信号线)和晶体管 162 的栅电极电连接。

[0069] 由于包括氧化物半导体以外的材料的晶体管 160 可以以充分高的速度工作,因此通过使用该晶体管 160 可以高速地读出存储的数据。另外,包括氧化物半导体的晶体管 162 具有极低的截止态电流。因此,通过使晶体管 162 处于截止状态,可以在极长时间内保持晶体管 160 的栅电极的电位。

[0070] 通过利用可以保持栅电极的电位的优势,可以以如下的方式进行数据写入、保持和读取。

[0071] 首先,说明数据的写入及保持。首先,将第四布线的电位设定为使晶体管 162 处于导通状态的电位,且使晶体管 162 处于导通状态。由此,将第三布线的电位提供到晶体管 160 的栅电极(写入)。然后,将第四布线的电位设定为使晶体管 162 处于截止状态的电位,且使晶体管 162 处于截止状态,由此保持晶体管 160 的栅电极的电位(保持)。

[0072] 因为晶体管 162 的截止态电流极小,所以在长时间内保持晶体管 160 的栅电极的电位。例如,当晶体管 160 的栅电极的电位为使晶体管 160 处于导通状态的电位时,在长时间内保持晶体管 160 的导通状态。另外,当晶体管 160 的栅电极的电位为使晶体管 160 处于截止状态的电位时,在长时间内保持晶体管 160 的截止状态。

[0073] 第二,说明数据的读取。如上所述,当在保持晶体管 160 的导通状态或截止状态的状态下将预定的电位(低电位)提供到第一布线时,第二布线的电位根据晶体管 160 的导通状态或截止状态而不同。例如,当晶体管 160 处于导通状态时,相对于第一布线的电位,第二布线的电位变低了。与此相反,当晶体管 160 处于截止状态时,第二布线的电位不变化。

[0074] 以这样的方式,在保持数据的状态下将第二布线的电位和预定的电位进行互相比,由此可以读出数据。

[0075] 第三,说明数据的重写。以与数据的写入及保持相同的方式,进行数据的重写。就是说,将第四布线的电位设定为使晶体管 162 处于导通状态的电位,且使晶体管 162 处于导通状态。由此,将第三布线的电位(新数据的电位)提供到晶体管 160 的栅电极。然后,将第四布线的电位设定为使晶体管 162 处于截止状态的电位,且使晶体管 162 处于截止状态,由此保存新的数据。

[0076] 如上所述,在根据本文所公开的发明的半导体装置中,可以通过再次进行数据的写入而直接重写数据。因此,不需要快闪存储器等所需要的擦除操作,由此可以防止由擦除操作引起的操作速度的降低。就是说,可以实现半导体装置的高速工作。

[0077] 注意,上述说明中使用以电子为多数载流子的 n 沟道型晶体管;但是,当然可以使用以空穴为多数载流子的 p 沟道型晶体管来代替 n 沟道型晶体管。

[0078] < 半导体装置的平面结构及截面结构 >

[0079] 图 2A 和 2B 示出上述半导体装置的结构的一个例子。图 2A 示出半导体装置的截面,图 2B 示出半导体装置的平面。这里,图 2A 对应于沿图 2B 中的线 A1-A2 及线 B1-B2 的截面。图 2A 和图 2B 中所示的半导体装置在其下部具有包括氧化物半导体以外的材料的晶体管 160 并在其上部具有包括氧化物半导体的晶体管 162。注意,此处晶体管 160 及 162 都是 n 沟道型晶体管;但是可选择地,也可以采用 p 沟道型晶体管。尤其是,容易将 p 沟道型晶体管用作所述晶体管 160。

[0080] 晶体管 160 包括设置在包含半导体材料的衬底 100 中的沟道形成区域 116、以夹着沟道形成区域 116 的方式设置的杂质区域 114 及高浓度杂质区域 120 (可将这些区域简单地总称为杂质区域)、设置在沟道形成区域 116 上的栅极绝缘层 108a、设置在栅极绝缘层 108a 上的栅电极 110a、电连接于杂质区域 114 的源电极或漏电极 (下文中被称为源 / 漏电极) 130a 以及源 / 漏电极 130b。

[0081] 在栅电极 110a 的侧面设置有侧壁绝缘层 118。在衬底 100 的以截面图观察时不与侧壁绝缘层 118 重叠的区域中设置高浓度杂质区域 120。在高浓度杂质区域 120 上设置金属化合物区域 124。在衬底 100 上围绕晶体管 160 地设置有元件分离绝缘层 106。覆盖晶体管 160 地设置有层间绝缘层 126 及层间绝缘层 128。源 / 漏电极 130a 和源 / 漏电极 130b 中的每个通过形成在层间绝缘层 126 及 128 中的开口电连接于金属化合物区域 124。就是说,源 / 漏电极 130a 和源 / 漏电极 130b 中的每个通过金属化合物区域 124 电连接于高浓度杂质区域 120 及杂质区域 114。以与源 / 漏电极 130a 和 130b 相似的方式形成的电极 130c 电连接于栅电极 110a。

[0082] 晶体管 162 包括设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅极绝缘层 138、设置在栅极绝缘层 138 上的氧化物半导体层 140 和设置在氧化物半导体层 140 上且电连接于氧化物半导体层 140 的源 / 漏电极 142a 以及源 / 漏电极 142b。

[0083] 这里,栅电极 136d 设置为嵌入形成在层间绝缘层 128 上的绝缘层 132。像栅电极 136d 那样,电极 136a、电极 136b 以及电极 136c 分别形成接触于源 / 漏电极 130a、源 / 漏电极 130b 以及电极 130c。

[0084] 在晶体管 162 上设置有保护绝缘层 144 以与氧化物半导体层 140 的一部分相接触。在保护绝缘层 144 上设置有层间绝缘层 146。在保护绝缘层 144 和层间绝缘层 146 中形成有到达源 / 漏电极 142a 和源 / 漏电极 142b 的开口。电极 150d 及电极 150e 形成为分别通过各自的开口与源 / 漏电极 142a 和源 / 漏电极 142b 相接触。与电极 150d 及 150e 相同,电极 150a、电极 150b 以及电极 150c 形成为分别通过设置在栅极绝缘层 138、保护绝缘层 144 和层间绝缘层 146 中的开口与电极 136a、电极 136b 以及电极 136c 相接触。

[0085] 这里,氧化物半导体层 140 优选为高度纯化的氧化物半导体层,其中如氢等的杂质被充分去除。具体地说,氧化物半导体层 140 的氢浓度为 $5 \times 10^{19}/\text{cm}^3$ 以下,优选为 $5 \times 10^{18}/\text{cm}^3$ 以下,更优选为 $5 \times 10^{17}/\text{cm}^3$ 以下。另外,氢浓度充分得到降低而被高度纯化的氧化物半导体层 140 的载流子浓度为 $5 \times 10^{14}/\text{cm}^3$ 以下,优选为 $5 \times 10^{12}/\text{cm}^3$ 以下。通过使用这种氢浓度充分得到降低而被高度纯化且变为本征或基本本征的氧化物半导体,可以获得

截止态电流特性极为优良的晶体管 162。例如,在漏极电压 V_d 为 +1V 或 +10V 且栅极电压 V_g 为 -5V 至 -20V 的时候,截止态电流为 1×10^{-13} A 以下。使用氢浓度充分得到降低而被高度纯化的氧化物半导体层 140,从而降低晶体管 162 的截止态电流,由此可以实现具有新颖结构的半导体装置。注意,通过二次离子质谱 (SIMS) 来测量上述氧化物半导体层 140 中的氢浓度。

[0086] 在层间绝缘层 146 上设置有绝缘层 152。将电极 154a、电极 154b、电极 154c 以及电极 154d 设置为嵌入该绝缘层 152。电极 154a 接触于电极 150a。电极 154b 接触于电极 150b。电极 154c 接触于电极 150c 及电极 150d。电极 154d 接触于电极 150e。

[0087] 就是说,在图 2A 和 2B 所示的半导体装置中,晶体管 160 的栅电极 110a 通过电极 130c、136c、150c、154c 以及 150d 电连接于晶体管 162 的源 / 漏电极 142a。

[0088] < 半导体装置的制造方法 >

[0089] 接下来,将说明上述半导体装置的制造方法的一个例子。首先,以下将参照图 3A 至 3H 说明下部中的晶体管 160 的制造方法,然后,将参照图 4A 至 4G 和图 5A 至 5D 说明上部中的晶体管 162 的制造方法。

[0090] < 下部晶体管的制造方法 >

[0091] 首先,准备包括半导体材料的衬底 100 (参照图 3A)。作为包括半导体材料的衬底 100,可以使用由硅、碳化硅等制成的单晶半导体衬底或多晶半导体衬底;由硅锗等制成的化合物半导体衬底;SOI 衬底等。这里,描述了一个将单晶硅衬底用作包括半导体材料的衬底 100 的例子。注意,一般来说,术语“SOI 衬底”是指在绝缘表面上设置有硅半导体层的衬底。在本说明书等中,术语“SOI 衬底”还包括在其类别中的绝缘表面上设置有使用硅以外的材料而形成的半导体层的衬底。换言之,“SOI 衬底”中所包括的半导体层不局限于硅半导体层。另外,SOI 衬底可以为具有在玻璃衬底等绝缘衬底上隔着绝缘层设置有半导体层的结构的衬底。

[0092] 在衬底 100 上形成用作用来形成元件分离绝缘层的掩模的保护层 102 (参照图 3A)。作为保护层 102,例如可以使用用氧化硅、氮化硅、氮氧化硅等形成的绝缘层。注意,在该工序之前或之后,可以将赋予 n 型导电性的杂质元素或赋予 p 型导电性的杂质元素添加到衬底 100,以控制晶体管的阈值电压。当包括在衬底 100 中的半导体材料为硅时,作为赋予 n 型导电性的杂质,可以使用磷、砷等。作为赋予 p 型导电性的杂质,可以使用硼、铝、镓等。

[0093] 接着,通过使用上述保护层 102 作为掩模进行蚀刻,去除不由保护层 102 覆盖的区域 (露出的区域) 中的衬底 100 的一部分。由此,形成分离的半导体区域 104 (参照图 3B)。关于该蚀刻,优选进行干蚀刻,但是也可以进行湿蚀刻。可以根据要被蚀刻层的材料适当地选择蚀刻气体和蚀刻液。

[0094] 随后,覆盖半导体区域 104 地形成绝缘层,并且选择性地去除与半导体区域 104 重叠的区域中的绝缘层,从而形成元件分离绝缘层 106 (参照图 3B)。该绝缘层使用氧化硅、氮化硅、氮氧化硅等而形成。作为绝缘层的去除方法,可以采用蚀刻处理和诸如 CMP 等抛光处理中的任一种。注意,在形成半导体区域 104 之后,或者在形成元件分离绝缘层 106 之后,去除上述保护层 102。

[0095] 接着,在半导体区域 104 上形成绝缘层,并在该绝缘层上形成包括导电材料的层。

[0096] 因为绝缘层是之后用作栅极绝缘层的绝缘层,所以该绝缘层优选采用通过 CVD 法、溅射法等来形成的包含氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、氧化钽等的膜的单层结构或分层结构。另外,也可以以这样的方式形成上述绝缘层,即,通过高密度等离子体处理或热氧化处理使半导体区域 104 的表面氧化或氮化。例如,可以使用 He、Ar、Kr 或 Xe 等稀有气体和氧、氧化氮、氨、氮或氢等气体的混合气体来进行高密度等离子体处理。对绝缘层的厚度没有特别的限制;例如绝缘层可具有 1nm 以上且 100nm 以下的厚度。

[0097] 包括导电材料的层可以使用铝、铜、钛、钽或钨等的金属材料而形成。可以通过使用包含导电材料的多晶硅等的半导体材料形成包括导电材料的层。对形成包含导电材料的层的方法没有特别的限制,可以使用蒸镀法、CVD 法、溅射法或旋涂法等各种膜形成方法。注意,本实施方式示出了在使用金属材料形成包含导电材料的层的情况下的一个例子。

[0098] 然后,选择性地蚀刻绝缘层和包括导电材料的层,由此形成栅极绝缘层 108a 和栅电极 110a(参照图 3C)。

[0099] 接着,形成覆盖栅电极 110a 的绝缘层 112(参照图 3C)。然后,通过将磷(P)、砷(As)等添加到半导体区域 104,形成结深度浅的杂质区域 114(参照图 3C)。注意,此处添加磷或砷以形成 n 沟道型晶体管;但是也可以在形成 p 沟道型晶体管的情况下添加硼(B)或铝(Al)等的杂质元素。通过形成杂质区域 114,在半导体区域 104 中栅极绝缘层 108a 以下形成沟道形成区域 116(参照图 3C)。在此,可以适当地设定所添加的杂质的浓度;优选当半导体元件的尺寸被极度减小时提高其浓度。这里,采用在形成绝缘层 112 之后形成杂质区域 114 的工序;可选择地,也可以在形成杂质区域 114 之后形成绝缘层 112。

[0100] 接着,形成侧壁绝缘层 118(参照图 3D)。覆盖绝缘层 112 地形成绝缘层,且随后对该绝缘层进行高度各向异性的蚀刻处理,由此以自对准的方式形成侧壁绝缘层 118。此时,优选对绝缘层 112 进行部分蚀刻,从而使栅电极 110a 的顶表面和杂质区域 114 的顶表面露出。

[0101] 然后,覆盖栅电极 110a、杂质区域 114 和侧壁绝缘层 118 等地形成绝缘层。接着,将磷(P)、砷(As)等添加到接触杂质区域 114 的区域,从而形成高浓度杂质区域 120(参照图 3E)。然后,去除上述绝缘层,覆盖栅电极 110a、侧壁绝缘层 118 和高浓度杂质区域 120 等地形成金属层 122(参照图 3E)。该金属层 122 可以使用真空蒸镀法、溅射法或旋涂法等各种膜形成方法来形成。优选使用与包括在半导体区域 104 中的半导体材料起反应而成为低电阻金属化合物的金属材料形成金属层 122。这种金属材料的例子有钛、钽、钨、镍、钴和铂。

[0102] 接着,进行热处理,以使上述金属层 122 与半导体材料起反应。由此,形成接触高浓度杂质区域 120 的金属化合物区域 124(参照图 3F)。注意,当使用多晶硅等形成栅电极 110a 时,还在栅电极 110a 与金属层 122 接触的区域中形成金属化合物区域。

[0103] 作为上述热处理,例如可以使用用闪光灯的照射。当然,也可以使用另一热处理方法,但是优选使用可以在极短的时间内实现热处理的方法,以提高在形成金属化合物中对化学反应的控制性。注意,上述金属化合物区域由金属材料与半导体材料的反应而形成,该金属化合物区域具有充分高的导电性。该金属化合物区域的形成可以充分降低电阻,并可以提高元件特性。注意,在形成金属化合物区域 124 之后,去除金属层 122。

[0104] 接着,形成层间绝缘层 126 和层间绝缘层 128 以覆盖在上述工序中形成的各结构

元件（参照图 3G）。层间绝缘层 126 和层间绝缘层 128 可以使用氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、氧化钽等无机绝缘材料形成。此外，也可以使用聚酰亚胺或丙烯酸等有机绝缘材料形成层间绝缘层 126 和层间绝缘层 128。注意，虽然此处应用层间绝缘层 126 和层间绝缘层 128 的两层结构；但是层间绝缘层的结构不局限于该结构。在形成层间绝缘层 128 之后，优选通过 CMP、蚀刻等而使层间绝缘层 128 的表面平坦化。

[0105] 然后，在上述层间绝缘层中形成到达金属化合物区域 124 的开口，且在该开口中形成源 / 漏电极 130a 和源 / 漏电极 130b（参照图 3H）。可以以例如这样的方式来形成源 / 漏电极 130a 和 130b，即，在包括开口的区域中通过使用 PVD 法、CVD 法等形成导电层，然后通过蚀刻、CMP 等方法去除上述导电层的一部分。

[0106] 注意，在通过去除上述导电层的一部分形成源 / 漏电极 130a 和 130b 的情况下，优选进行加工以使其表面平坦。例如，当在包括开口的区域中形成薄的钛膜或薄的氮化钛膜，然后将钨膜形成成为嵌入开口中时，通过进行之后的 CMP，去除多余的钨、钛、氮化钛等，同时提高其表面的平坦性。以如下的方式对包括源 / 漏电极 130a 和 130b 的表面进行平坦化，从而可在之后的工序中良好地形成电极、布线、绝缘层、半导体层等。

[0107] 注意，虽然这里仅示出接触金属化合物区域 124 的源 / 漏电极 130a 和 130b；但是也可以在该工序中形成接触栅电极 110a 的电极（例如，图 2A 中的电极 130c）等。对于源 / 漏电极 130a 和 130b 的材料没有特别的限制，而可以使用各种导电材料。例如，可以使用钼、钛、铬、钽、钨、铝、铜、钽或铌等导电材料。

[0108] 通过上述工序，形成使用包括半导体材料的衬底 100 的晶体管 160。注意，在进行上述工序之后，还可以形成电极、布线、绝缘层等。当布线具有包括层间绝缘层和导电层的分层结构的多层结构时，可以提供高度集成化的半导体装置。

[0109] < 上部晶体管的制造方法 >

[0110] 接着，将参照图 4A 至 4G 及图 5A 至 5D 说明在层间绝缘层 128 上制造晶体管 162 的工序。注意，图 4A 至 4G 及图 5A 至 5D 示出层间绝缘层 128 上的电极、晶体管 162 等的制造工序；因此省略位于晶体管 162 的下部的晶体管 160 等。

[0111] 首先，在层间绝缘层 128、源 / 漏电极 130a 和 130b 以及电极 130c 上形成绝缘层 132（参照图 4A）。绝缘层 132 可以通过 PVD 法、CVD 法等而形成。可以使用氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝或氧化钽等无机绝缘材料形成绝缘层 132。

[0112] 接着，在绝缘层 132 中形成到达源 / 漏电极 130a 和 130b 以及电极 130c 的开口。此时，还在之后要形成栅电极 136d 的区域中形成开口。然后，将导电层 134 形成成为嵌入上述开口中（参照图 4B）。上述开口可以使用掩模通过蚀刻等方法而形成。上述掩模通过使用光掩模的曝光等方法而形成。作为蚀刻，可使用湿蚀刻或干蚀刻；从微细加工的观点来看，优选使用干蚀刻。导电层 134 可以通过 PVD 法或 CVD 法等膜形成法而形成。导电层 134 可通过使用钼、钛、铬、钽、钨、铝、铜、钽或铌等导电材料、这些材料中任意种的合金或化合物（例如，氮化物）来形成。

[0113] 具体地说，可以使用一种方法，例如，在包括开口的区域中通过 PVD 法形成薄的钛膜，并且通过 CVD 法形成薄的氮化钛膜，且然后将钨膜形成成为嵌入开口中。这里，通过 PVD 法形成的钛膜具有使界面的氧化膜还原而降低与下部电极（这里，源 / 漏电极 130a 和 130b 以及电极 130c 等）的接触电阻的功能。在钛膜形成之后形成的氮化钛膜具有抑制导电材

料的扩散的阻挡功能。可以在形成由钛、氮化钛等构成的阻挡膜之后,通过镀法形成铜膜。

[0114] 在形成导电层 134 之后,通过蚀刻、CMP 等去除导电层 134 的一部分,从而暴露绝缘层 132,且形成电极 136a、136b 和 136c 以及栅电极 136d(参照图 4C)。注意,在通过去除上述导电层 134 的一部分以形成电极 136a、136b 和 136c 以及栅电极 136d 时,优选进行加工以将所述表面加工为平坦。将绝缘层 132、电极 136a、136b 和 136c 以及栅电极 136d 的表面以这样的方式加工为平坦,由此可以在之后的工序中良好地形成电极、布线、绝缘层、半导体层等。

[0115] 接着,覆盖绝缘层 132、电极 136a、136b 和 136c 以及栅电极 136d 地形成栅极绝缘层 138(参照图 4D)。栅极绝缘层 138 可以通过 CVD 法、溅射法等形成。栅极绝缘层 138 优选使用氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铅、氧化钽等形成。注意,栅极绝缘层 138 可以具有单层结构或者分层结构。例如,通过作为原料气体使用硅烷(SiH_4)、氧和氮的等离子体 CVD 法,可形成由氧氮化硅制成的栅极绝缘层 138。对栅极绝缘层 138 的厚度没有特别的限制;例如,栅极绝缘层 138 可具有 10nm 以上且 500nm 以下的厚度。在使用分层结构的情况下,例如,栅极绝缘层 138 优选为由厚度为 50nm 以上且 200nm 以下的第一栅极绝缘层和第一栅极绝缘层上的厚度为 5nm 以上且 300nm 以下的第二栅极绝缘层构成的叠层。

[0116] 注意,通过去除杂质而变得本征或者基本本征的氧化物半导体(高度纯化的氧化物半导体)极易受到界面能级或界面电荷的影响;所以在作为氧化物半导体层使用这种氧化物半导体的时候,与栅极绝缘层的界面是重要的。就是说,要接触高度纯化的氧化物半导体层的栅极绝缘层 138 需要高的质量。

[0117] 例如,栅极绝缘层 138 优选通过使用微波(2.45GHz)的高密度等离子体 CVD 法而形成,因为该栅极绝缘层 138 可为致密的,且具有高耐压和高质量。当高度纯化的氧化物半导体层与高质量栅极绝缘层互相紧密接触时,界面能级得到降低,且界面特性可以是优良的。

[0118] 不用说,只要能够作为栅极绝缘层形成高质量的绝缘层,即使当使用高度纯化的氧化物半导体层时也可以使用溅射法或等离子体 CVD 法等的方法。另外,可以使用通过在形成之后进行的热处理而使质量和界面特性得到改善的绝缘层。无论在何种情况下,将作为栅极绝缘层 138 而具有优良膜质量且可以降低与氧化物半导体层的界面能级密度而形成优良的界面的栅极绝缘层形成为所述栅极绝缘层 138。

[0119] 在 85°C 、 $2 \times 10^6 \text{V/cm}$ 且时间为 12 小时的栅极偏压-热应力测试(BT 测试)中,如果在氧化物半导体中添加有杂质,杂质和氧化物半导体的主要成分之间的键被强电场(B:偏压)和高温(T:温度)切断,且生成的悬空键导致阈值电压(V_{th})的漂移。

[0120] 与此相反,将氧化物半导体的杂质,尤其是氢和水减少到最小,且如上所述使氧化物半导体与栅极绝缘层之间的界面特性变得优良,由此可以得到通过 BT 测试也稳定的晶体管。

[0121] 接着,在栅极绝缘层 138 上形成氧化物半导体层,且通过使用掩模的蚀刻等方法而加工该氧化物半导体层,以形成岛状的氧化物半导体层 140(参照图 4E)。

[0122] 作为氧化物半导体层,优选采用 In-Ga-Zn-O 基氧化物半导体层、In-Sn-Zn-O 基氧化物半导体层、In-Al-Zn-O 基氧化物半导体层、Sn-Ga-Zn-O 基氧化物半导体层、

Al-Ga-Zn-O 基氧化物半导体层、Sn-Al-Zn-O 基氧化物半导体层、In-Zn-O 基氧化物半导体层、Sn-Zn-O 基氧化物半导体层、Al-Zn-O 基氧化物半导体层、In-O 基氧化物半导体层、Sn-O 基氧化物半导体层或 Zn-O 基氧化物半导体层,非晶的特别优选。在本实施方式中,作为氧化物半导体层,使用 In-Ga-Zn-O 基氧化物半导体沉积用靶材通过溅射法形成非晶氧化物半导体层。注意,因为可以通过将硅添加到非晶氧化物半导体层中而抑制该非晶氧化物半导体层的结晶化,所以,例如,也可以使用包含 2 重量%以上且 10 重量%以下的 SiO_2 的靶材形成氧化物半导体层。

[0123] 作为用来通过溅射法形成氧化物半导体层的靶材,例如,可以使用包含氧化锌作为其主要成分的金属氧化物的靶材。另外,例如,可以使用包含 In、Ga 和 Zn 的氧化物半导体沉积用靶材(组成比为 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 、(摩尔%)和 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [原子%])。另外,可以使用包含 In、Ga 和 Zn 的氧化物半导体沉积用靶材($\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子%]的组成比或 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [原子%]的组成比)。氧化物半导体沉积用靶材的填充率为 90%以上且 100%以下,优选为大于或等于 95%(例如,99.9%)。通过使用填充率高的氧化物半导体沉积用靶材,形成致密的氧化物半导体层。

[0124] 氧化物半导体层的形成气氛优选为稀有气体(典型为氩)气氛、氧气氛或包含稀有气体(典型为氩)和氧的混合气氛。具体地说,例如,优选使用将氢、水、羟基或氢化物等的杂质去除到浓度在 ppm 范围(优选为 ppb 范围)的高纯度气体。

[0125] 在形成氧化物半导体层的过程中,在保持为减压状态的处理室内固定衬底,并且将衬底温度设定为 100°C 以上且 600°C 以下,优选为 200°C 以上且 400°C 以下。在加热衬底的同时形成氧化物半导体层,从而可降低氧化物半导体层的杂质浓度。另外,减小由溅射导致的损伤。然后,在去除残留水分的处理室内引入氢和水得到去除的溅射气体,并且将金属氧化物用作靶材以形成氧化物半导体层。优选使用捕集真空泵,以去除处理室内的残留水分。例如,可以使用低温泵、离子泵或钛升华泵。排气单元可以为提供有冷阱的涡轮泵。在使用低温泵进行排气的沉积室中,例如,对氢原子和水(H_2O)等包含氢原子的化合物(同样优选地还有包含碳原子的化合物)进行去除,由此可以降低在该沉积室中形成的氧化物半导体层的杂质浓度。

[0126] 可在以下的形成条件下形成氧化物半导体层,例如:衬底和靶材之间的距离为 100mm;压力为 0.6Pa;直流(DC)电源为 0.5kW;并且气氛为氧(氧流量比率为 100%)气。注意,优选使用脉冲直流(DC)电源,因为可以减少在膜沉积时产生的粉状物质(也称为微粒或尘埃),并且厚度分布也变得均匀。氧化物半导体层的厚度为 2nm 以上且 200nm 以下,优选为 5nm 以上且 30nm 以下。注意,适当的厚度根据氧化物半导体材料而不同,且根据要使用的材料适当地选择厚度。

[0127] 注意,在通过溅射法形成氧化物半导体层之前,优选通过进行引入氩气体并产生等离子体的反溅射以去除在栅极绝缘层 138 的表面上的尘埃。这里,反溅射是指将离子与要处理的表面碰撞以改变该表面的方法,其与将离子与溅射靶材碰撞的通常的溅射相反。将离子与要处理的表面碰撞的方法的例子为在氩气氛中将高频电压施加到表面从而在衬底附近生成等离子体的方法。注意,可以使用氮、氦或氧等的气氛代替氩气氛。

[0128] 作为上述氧化物半导体层的蚀刻方法,可以使用干蚀刻或湿蚀刻。不用说,可以组

合干蚀刻和湿蚀刻而使用。根据材料适当地设定蚀刻条件（例如，蚀刻气体或蚀刻液、蚀刻时间和温度），从而可以将所述氧化物半导体层蚀刻成所希望的形状。

[0129] 干蚀刻所使用的蚀刻气体的例子为含有氯的气体（氯基气体，例如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化硅（ SiCl_4 ）或四氯化碳（ CCl_4 ）等）。另外，可以使用含有氟的气体（氟基气体，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氢（ HBr ）、氧（ O_2 ）、这些添加了氦（ He ）或氩（ Ar ）等的稀有气体的气体中的任意种等。

[0130] 作为干蚀刻法，可以使用平行平板型 RIE（反应性离子蚀刻）法或 ICP（感应耦合等离子体）蚀刻法。适当地设定蚀刻条件（例如，施加到线圈形电极的电功率量、施加到衬底一侧上的电极的电功率量和衬底一侧上的电极温度），以将氧化物半导体层蚀刻成所希望的形状。

[0131] 作为用于湿蚀刻的蚀刻液，可以使用磷酸、醋酸以及硝酸的混合溶液、过氧化氢氨水混合物（31 重量%的过氧化氢溶液：28 重量%的氨水溶液：水=5：2：2）等。还可以使用 IT007N（由 KANTO CHEMICAL CO., INC（KANTO 化学有限公司）制造）等的蚀刻液。

[0132] 接着，优选对氧化物半导体层进行第一热处理。通过进行该第一热处理，可以进行氧化物半导体层的脱水化或脱氢化。第一热处理的温度为 300°C 以上且 750°C 以下，优选为 400°C 以上且低于衬底的应变点。例如，将衬底引入到使用电阻加热元件等的电炉中，并在氮气氛中在 450°C 的温度下对氧化物半导体层 140 进行热处理 1 小时。在该热处理期间，不使氧化物半导体层 140 暴露于大气，从而可以避免水和氢的进入。

[0133] 热处理装置不局限于电炉，而可以为通过来自被加热气体等介质的热传导或热辐射来对物体进行加热的装置。例如，可以使用气体快速热退火（GRTA）装置或灯快速热退火（LRTA）装置等快速热退火（RTA）装置。LRTA 装置是通过从灯如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光（电磁波）的辐射来加热要被处理的物体的装置。GRTA 装置是利用高温气体进行热处理的装置。作为气体，使用氩等稀有气体或氮等即使通过加热处理也不与物体起反应的惰性气体。

[0134] 例如，作为第一热处理，可以进行如下 GRTA 处理。将衬底放入到已被加热到 650°C 至 700°C 的高温的惰性气体中，加热几分钟，然后从该惰性气体中取出衬底。GRTA 处理可以在短时间内进行高温热处理。另外，因为 GRTA 处理是在短时间内进行的热处理，所以即使在温度超过衬底的应变点时也可以使用 GRTA 处理。

[0135] 注意，优选在包含氮或稀有气体（例如，氮、氦或氩）为其主要成分且不包含水、氢等的气氛中进行第一热处理。例如，引入加热处理装置中的氮或氮、氦、氩等的稀有气体的纯度为大于或等于 6N（99.9999%），优选为大于或等于 7N（99.99999%）（即，杂质浓度为小于或等于 1ppm，优选为小于或等于 0.1ppm）。

[0136] 根据第一热处理的条件或氧化物半导体层的材料，有时氧化物半导体层晶化而成为微晶或多晶。例如，氧化物半导体层有时成为结晶化率为 90% 以上或 80% 以上的微晶氧化物半导体层。另外，根据第一热处理的条件或氧化物半导体层的材料，氧化物半导体层可以为不包含结晶成分的非晶氧化物半导体层。

[0137] 另外，在氧化物半导体层中，微晶（粒径为 1nm 以上且 20nm 以下，典型为 2nm 以上且 4nm 以下）有时混合在非晶氧化物半导体（例如，氧化物半导体层的表面）中。

[0138] 通过非晶半导体层中排列微晶，可以改变氧化物半导体层的电特性。例如，在使

用 In-Ga-Zn-O 基氧化物半导体沉积用靶材来形成氧化物半导体层时,通过形成具有电各向异性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒被对准的微晶部,可以改变氧化物半导体层的电特性。

[0139] 更具体地说,例如,当排列晶粒以使 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 轴垂直于氧化物半导体层的表面时,可以提高平行于氧化物半导体层表面的方向上的导电性,并可提高垂直于氧化物半导体层表面的方向上的绝缘特性。另外,这种微晶部具有抑制水或氢等杂质进入到氧化物半导体层中的功能。

[0140] 注意,包括上述微晶部的氧化物半导体层可以通过 GRTA 处理对氧化物半导体层的表面进行加热而形成。另外,可以更优选的方式,通过使用 Zn 含量小于 In 或 Ga 含量的溅射靶材来形成氧化物半导体层。

[0141] 可以对还没有被加工为岛状氧化物半导体层 140 的氧化物半导体层进行对氧化物半导体层 140 的第一热处理。在此情况下,在进行第一热处理之后,从加热装置取出衬底,并进行光刻工序。

[0142] 注意,上述热处理可以被称为脱水化处理、脱氢化处理等,因为其具有对氧化物半导体层 140 进行脱水化或脱氢化的效果。可以在比如形成氧化物半导体层之后,在将源电极和漏电极层叠在氧化物半导体层 140 上之后,或者,在将保护绝缘层形成在源和漏电极上之后,进行脱水化处理或脱氢化处理。可以进行这种脱水化处理或脱氢化处理一次或多次。

[0143] 接着,接触氧化物半导体层 140 地形成源 / 漏电极 142a 和源 / 漏电极 142b (参照图 4F)。以覆盖氧化物半导体层 140 地形成导电层且随后对该导电层选择性地蚀刻的方式,可以形成源 / 漏电极 142a 和 142b。

[0144] 导电层可以通过溅射法等的 PVD 法或等离子体 CVD 法等 CVD 法而形成。作为导电层的材料,可以使用选自铝、铬、铜、钽、钛、钼或钨的元素;包含这些元素中任意成分的合金等。另外,可以使用选自锰、镁、铅、铍或钪的一种或多种材料。可以使用组合铝与选自钛、钽、钨、钼、铬、钽或钪的一种元素或多种元素而成的材料。导电层既可为单层结构,又可为包括两层或多于两层的分层结构。例如,导电层可具有包含硅的铝膜的单层结构、在铝膜上层叠有钛膜的两层结构、或依次层叠有钛膜、铝膜和钛膜的三层结构。

[0145] 这里,优选使用紫外线、KrF 激光或 ArF 激光,用于在形成用于蚀刻的掩模过程中曝光。

[0146] 由源 / 漏电极 142a 的下边缘部和源 / 漏电极 142b 的下边缘部之间的间隔决定晶体管的沟道长度 (L)。注意,对于在沟道长度 (L) 短于 25nm 的条件下进行的曝光,使用波长极短,即几纳米至几百纳米的超紫外线进行用来形成掩模的曝光。利用超紫外线的曝光的分辨率高,并且聚焦深度也大。因此,可以使之后形成的晶体管的沟道长度 (L) 处于 10nm 至 1000nm 的范围内,且电路可以以更高的速度进行工作。再者,截止态电流极小,这抑制了功耗的增大。

[0147] 在对导电层进行蚀刻的过程中,适当地调节导电层和氧化物半导体层 140 的材料和蚀刻条件,以避免去除氧化物半导体层 140。注意,根据材料和蚀刻条件,在有些情况下,在该工序中氧化物半导体层 140 被部分蚀刻而具有槽部 (凹部)。

[0148] 可以在氧化物半导体层 140 和源 / 漏电极 142a 之间以及在氧化物半导体层 140 和源 / 漏电极 142b 之间形成氧化物导电层。可以连续形成氧化物导电层和用来形成源 / 漏

电极 142a 和 142b 的金属层。氧化物导电层可以用作源区和漏区。设置这种氧化物导电层可以降低源区和漏区的电阻,从而晶体管可以高速工作。

[0149] 为了减少要使用的掩模的个数和减少工序数,可以使用通过用多级灰度掩模形成的抗蚀剂掩模来进行蚀刻工序,该多级灰度掩模为光透过其具有多种强度的曝光掩模。使用多级灰度掩模形成的抗蚀剂掩模具有多个厚度(具有阶梯状),并通过进行灰化可以进一步改变形状;所以该抗蚀剂掩模可以用于加工为不同图案的多个蚀刻工序。就是说,利用一个多级灰度掩模,可以形成对应于至少两种不同图案的抗蚀剂掩模。因此,可以削减曝光掩模的个数,并且也可以削减所对应的光刻工序的个数,由此可以简化工序。

[0150] 注意,在上述工序之后,优选进行使用 N_2O 、 N_2 或 Ar 等的气体的等离子体处理。该等离子体处理去除附着于露出的氧化物半导体层表面上的水等。可以使用氧和氩的混合气体进行等离子体处理。

[0151] 接着,不暴露于大气地形成接触氧化物半导体层 140 的一部分的保护绝缘层 144(参照图 4G)。

[0152] 保护绝缘层 144 可以通过适当地使用溅射法等的不使水和氢等的杂质混入到保护绝缘层 144 的方法而形成。保护绝缘层 144 具有的厚度至少为 1nm。保护绝缘层 144 可使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等来形成。保护绝缘层 144 可具有单层结构或者分层结构。在形成保护绝缘层 144 过程中的衬底温度优选为高于或等于室温且低于或等于 300°C 。用于形成保护绝缘层 144 的气氛优选为稀有气体(典型为氩)气氛、氧气氛或包含稀有气体(典型为氩)和氧的混合气氛。

[0153] 如果保护绝缘层 144 包含氢,氢可进入到氧化物半导体层或者由氢从氧化物半导体层中提取氧,由此氧化物半导体层的背沟道一侧上的电阻可能被减小,且可能形成寄生沟道。因此,重要的是,在形成保护绝缘层 144 的过程中不使用氢,以尽量使保护绝缘层 144 不包含氢。

[0154] 另外,优选在去除处理室内的残留水分的同时形成保护绝缘层 144,这是为了不使氧化物半导体层 140 和保护绝缘层 144 包含氢、羟基或水分。

[0155] 优选使用捕集真空泵,以去除处理室内的残留水分。例如,优选使用低温泵、离子泵或钛升华泵。排气单元可以为提供有冷阱的涡轮泵。在使用低温泵进行排气的沉积室中,例如,氢原子和水(H_2O)等包含氢原子的化合物得到去除;因此可以降低在该沉积室中形成的保护绝缘层 144 的杂质的浓度。

[0156] 作为形成保护绝缘层 144 的溅射气体,优选使用将氢、水、羟基或氢化物等杂质去除到浓度在 ppm 范围(优选为 ppb 范围)的高纯度气体。

[0157] 接着,优选在惰性气体气氛中或在氧气体气氛中进行第二热处理(200°C 以上且 400°C 以下,例如 250°C 以上且 350°C 以下)。例如,在氮气氛下在 250°C 的温度下进行一个小时的第二热处理。第二热处理可以降低晶体管的电特性上的变化。

[0158] 另外,可以在大气中在 100°C 到 200°C 的温度下热处理 1 小时到 30 小时。该热处理可在保持一定的加热温度下进行;可选择地,也可反复多次进行以下加热温度上的变化:加热温度从室温升高到 100°C 到 200°C 的温度并随后下降到室温。可以在形成保护绝缘层之前在减压状态下进行该热处理。在减压状态下可以缩短热处理时间。例如,可进行该热处理以代替上述第二热处理,或者可在进行第二热处理之前或之后进行该热处理。

[0159] 接着,在保护绝缘层 144 上形成层间绝缘层 146(参照图 5A)。层间绝缘层 146 可以使用 PVD 法、CVD 法等而形成。可以使用氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝或氧化钽等无机绝缘材料来形成层间绝缘层 146。在形成层间绝缘层 146 之后,层间绝缘层 146 的表面优选通过进行 CMP、蚀刻等而使其平坦化。

[0160] 接着,在层间绝缘层 146、保护绝缘层 144 以及栅极绝缘层 138 中形成到达电极 136a、136b 和 136c 以及源 / 漏电极 142a 和 142b 的开口。然后,将导电层 148 形成为嵌入该开口中(参照图 5B)。上述开口可以使用掩模通过蚀刻等的方法而形成。上述掩模通过使用光掩模的曝光等的方法而形成。作为蚀刻,可使用湿蚀刻或干蚀刻;从微细加工的观点来看,优选使用干蚀刻。导电层 148 可以通过 PVD 法或 CVD 法等的膜形成法而形成。可以通过使用钼、钛、铬、钽、钨、铝、铜、钕或铈等导电材料或这些材料中任意种的合金或化合物(例如,氮化物)来形成导电层 148。

[0161] 具体地说,可以使用这样一种方法,例如,在包括开口的区域中使用 PVD 法形成薄的钛膜,并且使用 CVD 法形成薄的氮化钛膜,且然后将钨膜形成为嵌入开口中。这里,通过 PVD 法形成的钛膜具有使与层间绝缘层 146 的界面处的氧化膜还原而降低与下部电极(这里,电极 136a、136b 和 136c 以及源 / 漏电极 142a 和 142b)的接触电阻的功能。在形成钛膜之后形成的氮化钛膜具有抑制导电材料扩散的阻挡功能。可以在形成由钛、氮化钛等构成的阻挡膜之后,使用镀法形成铜膜。

[0162] 在形成导电层 148 之后,通过蚀刻、CMP 等的方法去除导电层 148 的一部分,从而暴露层间绝缘层 146,且形成电极 150a、150b、150c、150d 以及 150e(参照图 5C)。注意,在去除上述导电层 148 的一部分以形成电极 150a、150b、150c、150d 以及 150e 时,优选使其表面为平坦的加工处理。以这样的方式将层间绝缘层 146 和电极 150a、150b、150c、150d 以及 150e 的表面加工为平坦,由此可以在之后的工序中良好地形成电极、布线、绝缘层、半导体层等。

[0163] 然后,形成绝缘层 152,并在绝缘层 152 中形成到达电极 150a、150b、150c、150d 以及 150e 的开口。在将导电层形成为嵌入该开口之后,通过蚀刻、CMP 等去除导电层的一部分。由此,暴露绝缘层 152,且形成电极 154a、154b、154c 以及 154d(参照图 5D)。该工序与形成电极 150a 等的工序类似;因此,不再重复其详细说明。

[0164] 在通过上述方法形成晶体管 162 的情况下,氧化物半导体层 140 的氢浓度为 $5 \times 10^{19}/\text{cm}^3$ 以下,且晶体管 162 的截止态电流为 $1 \times 10^{-13}\text{A}$ 以下。如上所述,通过使用氢浓度得到充分降低而高度纯化的氧化物半导体层 140,可以得到优良特性的晶体管 162。另外,可以制造具有优良特性的、且在下部包括使用氧化物半导体以外的材料形成的晶体管 160、并在上部包括使用氧化物半导体形成的晶体管 162 的半导体装置。

[0165] 注意,碳化硅(例如,4H-SiC)是可与氧化物半导体比较的半导体材料。氧化物半导体与 4H-SiC 具有几个共同点。一个例子是载流子密度。通过在室温下利用费米-狄拉克分布,氧化物半导体中的少数载流子的密度被估计为大约 $1 \times 10^{-7}/\text{cm}^3$,这与 4H-SiC 的 $6.7 \times 10^{-11}/\text{cm}^3$ 同样,极为低。当将氧化物半导体的少数载流子密度与硅的本征载流子密度(大约为 $1.4 \times 10^{10}/\text{cm}^3$)进行比较时,容易理解,氧化物半导体的少数载流子密度极为低。

[0166] 另外,氧化物半导体的能带隙为 3.0eV 至 3.5eV,4H-SiC 的能带隙为 3.26eV,这意味着氧化物半导体和碳化硅都是宽带隙半导体。

[0167] 与之相反,在氧化物半导体和碳化硅之间存在着较大的差异,这就是加工温度。使用碳化硅的半导体加工中通常需要 1500℃至 2000℃的用于激活的热处理,所以难以形成通过使用碳化硅以外的半导体材料形成的碳化硅和半导体元件的叠层。这是因为,半导体衬底、半导体元件等这样的高温下被损坏。另一方面,通过在 300℃至 500℃(在等于或低于玻璃转变温度的温度,最高大约为 700℃)的温度下进行热处理,可以形成氧化物半导体;因此,可以在使用另一种半导体材料形成集成电路之后使用氧化物半导体形成半导体元件。

[0168] 相对于碳化硅,氧化物半导体具有可以使用玻璃衬底等低耐热性衬底的优点。再者,因为不需要在高温下进行热处理,与碳化硅相比,氧化物半导体还具有可以充分降低能量消耗的的优点。

[0169] 注意,对氧化物半导体的态密度(DOS)等的特性已进行了相当多的研究;但是这些研究不包括充分降低 DOS 本身的技术思想。根据本文所公开的发明的一个实施方式,通过从氧化物半导体中去除可能影响 DOS 的水和氢,制造高度纯化的氧化物半导体。这是基于充分降低 DOS 本身的技术思想。由此,可以制造优良的工业产品。

[0170] 再者,通过将氧供给给由氧缺乏而产生的金属的悬空键以减少由氧缺陷引起的 DOS 这样的方式,也可以实现更高度纯化(i型)的氧化物半导体。例如,紧密接触沟道形成区域地形成包含过量氧的氧化膜并从该氧化膜供给氧,由此可以减少由氧缺陷引起的 DOS。

[0171] 氧化物半导体的缺陷被认为起因于由过量氢导致的传导带下 0.1eV 至 0.2eV 的浅能级、由氧不足导致的深能级等。尽量减少氢并且充分供给氧以消除这种缺陷的技术思想是对的。

[0172] 一般来说,氧化物半导体被认为是 n 型;但是根据本文所公开的发明的一个实施方式,通过去除杂质,尤其是水和氢,实现 i 型化的半导体。在这一点上,可以说本文所公开的发明的一个实施方式包括新颖的技术思想,因为其与如添加了杂质的硅等 i 型化的半导体不同。

[0173] 注意,本实施方式示出底栅型结构作为晶体管 162 的结构;但是,本发明的一个实施方式不局限于此。例如,晶体管 162 可以具有顶栅型结构。可选择地,晶体管 162 也可以具有双栅型结构,在该结构中,在沟道形成区域之上和之下隔着栅极绝缘层设置有两个栅电极层。

[0174] <包括氧化物半导体的晶体管的导电机理>

[0175] 将参照图 24、图 25A 和 25B、图 26A 和 26B 以及图 27 说明包括氧化物半导体的晶体管的导电机理。注意,以下说明只是一种考虑而已,发明的有效性不会被该说明否定。

[0176] 图 24 是包括氧化物半导体的双栅型晶体管(薄膜晶体管)的截面图。在栅电极层(GE1)上隔着栅极绝缘层(GI1)设置有氧化物半导体层(OS),并在其上设置有源电极(S)和漏电极(D)。另外,覆盖氧化物半导体层(OS)、源电极(S)及漏电极(D)地设置有栅极绝缘层(GI2)。在氧化物半导体层(OS)上隔着栅极绝缘层(GI2)设置有栅电极(GE2)。

[0177] 图 25A 和 25B 是沿图 24 中的 A-A' 的截面的能带图(示意图)。图 25A 示出源极和漏极之间的电位差为 0(源极和漏极具有相同的电位, $V_D = 0V$)的情况。图 25B 示出漏极的电位高于源极的电位的情况($V_D > 0$)。

[0178] 图 26A 和 26B 为沿图 24 中的 B-B' 的截面的能带图(示意图)。图 26A 示出将正

的电位 ($+V_g$) 施加到栅极 (G1) 的状态, 即, 在源极和漏极之间流过载流子 (电子) 的导通状态。图 26B 示出将负的电位 ($-V_g$) 施加到栅极 (G1) 的状态, 即, 截止状态 (少数载流子不流过的状态)。

[0179] 图 27 示出真空能级、金属的功函数 (ϕ_m) 和氧化物半导体的电子亲和势 (χ) 之间的关系。

[0180] 现有的氧化物半导体为 n 型半导体。费米能级 (E_f) 离位于带隙中央的本征费米能级 (E_i) 远, 而位于传导带附近。注意, 氧化物半导体中的氢的一部分用作施主, 这被认为是将氧化物半导体变成 n 型半导体的因素之一。

[0181] 与此相反, 根据本文所公开的发明的一个实施方式的氧化物半导体是通过以下方式获得的本征 (i 型) 或基本本征的氧化物半导体: 从氧化物半导体去除成为 n 型半导体的因素的氢, 用于进行高纯度化, 从而尽量使该氧化物半导体不包含其主要元素以外的元素 (即, 杂质元素)。就是说, 根据本文所公开的发明的一个实施方式的氧化物半导体是通过尽量去除氢和水等的杂质、而不是通过添加杂质元素而得到的高度纯化的 i 型 (本征) 半导体或基本本征的半导体。由此, 可以使费米能级 (E_f) 与本征费米能级 (E_i) 同等。

[0182] 在带隙 (E_g) 是 3.15eV 的情况下, 氧化物半导体的电子亲和势 (χ) 被认为是 4.3eV。包括在源电极和漏电极中的钛 (Ti) 的功函数与氧化物半导体的电子亲和势 (χ) 大致相等。在此情况下, 在金属和氧化物半导体之间的界面未形成对电子的肖特基势垒。

[0183] 就是说, 在金属的功函数 (ϕ_m) 和氧化物半导体的电子亲和势 (χ) 相等且金属和氧化物半导体互相接触的情况下, 获得如图 25A 所示的能带图 (示意图)。

[0184] 在图 25B 中, 黑色圆点 ($\bullet$) 表示电子。在将正的电位施加到漏极时, 电子越过势垒 (h) 而注入到氧化物半导体, 然后向漏极流动。势垒 (h) 的高度随栅极电压和漏极电压而变化。在施加正的漏极电压时, 势垒的高度小于未施加电压情况下的图 25A 中的势垒的高度, 即, 小于带隙 (E_g) 的 1/2。

[0185] 此时, 如图 26A 所示, 电子在栅极绝缘层和高度纯化的氧化物半导体之间的界面附近 (氧化物半导体的能量稳定的最低部) 迁移。

[0186] 如图 26B 所示, 在将负的电位施加到栅电极 (G1) 时, 基本上没有作为少数载流子的空穴, 所以电流值基本上接近 0。

[0187] 以这样的方式, 通过对氧化物半导体层进行高度纯化以尽量使其不包含其主要元素以外的元素 (杂质元素), 该氧化物半导体层成为本征 (i 型半导体) 或基本本征。由此, 氧化物半导体与栅极绝缘层之间的界面的特性变得明显。因此, 栅极绝缘层需要与氧化物半导体形成良好的界面。具体地说, 例如, 优选使用以下的绝缘层: 通过使用利用 VHF 带至微波带范围内的电源频率而产生的高密度等离子体的 CVD 法形成的绝缘层, 或通过溅射法形成的绝缘层。

[0188] 当在对氧化物半导体进行高度纯化的同时将氧化物半导体和栅极绝缘层之间的界面变得良好, 例如, 在晶体管的沟道宽度 W 为 $1 \times 10^4 \mu m$ 且沟道长度 L 为 $3 \mu m$ 的情况下, 可以在室温下实现 $1 \times 10^{-13} A$ 以下的截止态电流和 0.1V/dec 的亚阈值摆幅值 (S 值) (100nm 厚的栅极绝缘层)。

[0189] 如上所述, 对氧化物半导体进行高度纯化以尽量使其不包含其主要元素以外的元素 (即, 杂质元素), 由此薄膜晶体管可以良好的方式工作。

[0190] < 变形例 >

[0191] 图 6、图 7A 和 7B、图 8A 和 8B 以及图 9A 和 9B 示出半导体装置的结构变形例子。以下,作为变形例,将说明其中每一个中的晶体管 162 的结构与上述不同的半导体装置。就是说,晶体管 160 的结构与上述相同。

[0192] 图 6 示出包括如下晶体管 162 的半导体装置的例子,在该晶体管 162 中,在氧化物半导体层 140 下设置栅电极 136d,并且源 / 漏电极 142a 和 142b 与氧化物半导体层 140 的底部表面接触。注意,该平面的结构可以对应于截面而适当地改变;因此,这里只示出截面。

[0193] 图 6 中的结构和图 2A 中的结构之间的重大不同之处在于:氧化物半导体层 140 与源 / 漏电极 142a 和 142b 连接的位置。就是说,在图 2A 中的结构中,氧化物半导体层 140 的顶部表面与源 / 漏电极 142a 和 142b 接触,而在图 6 中的结构中,氧化物半导体层 140 的底部表面与源 / 漏电极 142a 和 142b 接触。另外,接触位置的不同导致其他电极、绝缘层等的不同配置。各构成要素的细节与图 2A 和 2B 中的相同。

[0194] 具体地说,图 6 所示的半导体装置包括设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅极绝缘层 138、设置在栅极绝缘层 138 上的源 / 漏电极 142a 和 142b 以及接触源 / 漏电极 142a 和 142b 的顶部表面的氧化物半导体层 140。

[0195] 这里,栅电极 136d 设置为嵌入形成在层间绝缘层 128 上的绝缘层 132。与栅电极 136d 相同,分别形成接触于源 / 漏电极 130a 的电极 136a、接触于源 / 漏电极 130b 的电极 136b 以及接触于电极 130c 的电极 136c。

[0196] 在晶体管 162 上接触于氧化物半导体层 140 的一部分地设置保护绝缘层 144。在保护绝缘层 144 上设置层间绝缘层 146。在保护绝缘层 144 和层间绝缘层 146 中形成有到达源 / 漏电极 142a 和源 / 漏电极 142b 的开口。电极 150d 及电极 150e 形成为通过该各个开口分别接触于源 / 漏电极 142a 和源 / 漏电极 142b。与电极 150d 及 150e 同样,电极 150a、150b 以及 150c 形成为通过设置在栅极绝缘层 138、保护绝缘层 144 和层间绝缘层 146 中的开口分别接触于电极 136a、136b 以及 136c。

[0197] 在层间绝缘层 146 上设置绝缘层 152。将电极 154a、154b、154c 以及 154d 设置为嵌入该绝缘层 152。电极 154a 接触于电极 150a。电极 154b 接触于电极 150b。电极 154c 接触于电极 150c 及电极 150d。电极 154d 接触于电极 150e。

[0198] 图 7A 和 7B 分别示出在氧化物半导体层 140 上设置栅电极 136d 的半导体装置的结构例子。图 7A 示出源 / 漏电极 142a 和 142b 接触氧化物半导体层 140 的底部表面的结构的例子。图 7B 示出源 / 漏电极 142a 和 142b 接触氧化物半导体层 140 的顶部表面的结构的例子。

[0199] 图 2A 和图 6 中的结构与图 7A 和 7B 中的结构之间的重大不同之处在于:在氧化物半导体层 140 上设置栅电极 136d。另外,图 7A 中的结构与图 7B 中的结构之间的重大不同之处在于:源 / 漏电极 142a 和 142b 接触氧化物半导体层 140 的底部表面或顶部表面。另外,这些不同导致其他电极、绝缘层等的不同配置。各构成要素的细节与图 2A 和 2B 等相司。

[0200] 具体地说,图 7A 中所示的半导体装置包括设置在层间绝缘层 128 上的源 / 漏电极 142a 和 142b、接触源 / 漏电极 142a 和 142b 的顶部表面的氧化物半导体层 140、设置在氧化物半导体层 140 上的栅极绝缘层 138 以及栅极绝缘层 138 上的在与氧化物半导体层 140 重叠的区域中的栅电极 136d。

[0201] 图 7B 中所示的半导体装置包括设置在层间绝缘层 128 上的氧化物半导体层 140、设置为接触氧化物半导体层 140 的顶部表面的源 / 漏电极 142a 和 142b、设置在氧化物半导体层 140 和源 / 漏电极 142a 及 142b 上的栅极绝缘层 138 以及栅极绝缘层 138 上的在与氧化物半导体层 140 重叠的区域中的栅电极 136d。

[0202] 注意,在图 7A 和 7B 中的结构中,有时从图 2A 和 2B 等中的结构省略构成要素(例如,电极 150a 或电极 154a)。在此情况下,可以得到制造工序得到简化等的间接效果。不用说,在图 2A 和 2B 等中的结构中可以省略不必要的构成要素。

[0203] 图 8A 和 8B 分别示出在元件的尺寸比较大且在氧化物半导体层 140 下设置栅电极 136d 的情况下的例子。在此情况下,对表面的平坦性和覆盖度的要求相对适中,所以不需要将布线、电极等形成为嵌入绝缘层中。例如,通过在形成导电层之后形成图案,可以形成栅电极 136d 等。注意,虽然这里未图示,但是也可以类似的方式形成晶体管 160。

[0204] 图 8A 中的结构和图 8B 中的结构之间的重大不同之处在于:源 / 漏电极 142a 和 142b 接触氧化物半导体层 140 的底部表面或顶部表面。另外,该不同导致其他电极、绝缘层等以不同的方式进行配置。各构成要素的细节与图 2A 和 2B 等相同。

[0205] 具体地说,图 8A 中的半导体装置包括设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅极绝缘层 138、设置在栅极绝缘层 138 上的源 / 漏电极 142a 和 142b 以及接触源 / 漏电极 142a 和 142b 的顶部表面的氧化物半导体层 140。

[0206] 图 8B 中的半导体装置包括设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅极绝缘层 138、设置在栅极绝缘层 138 上的与栅电极 136d 重叠的氧化物半导体层 140 以及设置为接触氧化物半导体层 140 的顶部表面的源 / 漏电极 142a 和 142b。

[0207] 注意,同样在图 8A 和 8B 中的结构中,有时从图 2A 和 2B 中的结构省略构成要素。同样在此情况下,可以得到制造工序得到简化等的间接效果。

[0208] 图 9A 和 9B 分别示出在元件的尺寸比较大且在氧化物半导体层 140 上设置栅电极 136d 的情况下的例子。同样在此情况下,对表面的平坦性和覆盖度的要求相对适中,所以不需要将布线、电极等形成为嵌入绝缘层中。例如,通过在形成导电层之后形成图案,可以形成栅电极 136d 等。注意,虽然这里未图示,但是也可以类似的方式形成晶体管 160。

[0209] 图 9A 中的结构和图 9B 中的结构之间的重大不同之处在于:源 / 漏电极 142a 和 142b 接触氧化物半导体层 140 的底部表面或顶部表面。另外,该不同导致其他电极、绝缘层等以不同方式被配置。各构成要素的细节与图 2A 和 2B 等中的相同。

[0210] 具体地说,图 9A 中的半导体装置包括设置在层间绝缘层 128 上的源 / 漏电极 142a 和 142b、接触源 / 漏电极 142a 和 142b 的顶部表面的氧化物半导体层 140、设置在源 / 漏电极 142a 和 142b 以及氧化物半导体层 140 上的栅极绝缘层 138 以及设置在栅极绝缘层 138 上的在与氧化物半导体层 140 重叠的区域中的栅电极 136d。

[0211] 图 9B 中的半导体装置包括设置在层间绝缘层 128 上的氧化物半导体层 140、设置为接触氧化物半导体层 140 的顶部表面的源 / 漏电极 142a 和 142b、设置在源 / 漏电极 142a 和 142b 以及氧化物半导体层 140 上的栅极绝缘层 138 以及设置在栅极绝缘层 138 上的在与氧化物半导体层 140 重叠的区域中的栅电极 136d。

[0212] 注意,同样在图 9A 和 9B 中的结构中,有时从图 2A 和 2B 等中的结构省略构成要素。同样在此情况下,可以得到制造工序得到简化等的间接效果。

[0213] 如上所述,根据本文所公开的发明的一个实施方式,可实现具有新颖结构的半导体装置。在本实施方式中,说明了其中每个中的半导体装置通过层叠晶体管 160 和晶体管 162 而形成的例子;但是,半导体装置的结构不局限于该结构。另外,本实施方式示出了其中每个中的晶体管 160 的沟道长度方向垂直于晶体管 162 的沟道长度方向的例子;但是,晶体管 160 和 162 之间的位置关系不局限于该例子。再者,可以将晶体管 160 和晶体管 162 设置为彼此重叠。

[0214] 在本实施方式中,为了简化而用最小存储单位(1 位)描述半导体装置;但是,半导体装置的结构不局限于此。可以通过适当地连接多个半导体装置而形成更高级的半导体装置。例如,可以使用多个上述半导体装置而形成 NAND 型或 NOR 型的半导体装置。布线的结构不局限于图 1,而可以适当地改变布线的结构。

[0215] 根据本实施方式的半导体装置因晶体管 162 具有低截止态电流而可以在极长时间内保存数据。就是说,不需要进行 DRAM 等中所必需的刷新工作,由此可以抑制功耗。另外,可以根据本实施方式的半导体装置基本上用作非易失性半导体装置。

[0216] 因为通过晶体管 162 的开关操作而进行数据写入等,所以不需要高电压,也没有元件退化的问题。再者,根据晶体管的导通或截止而进行数据写入和擦除,由此可以容易地实现高速操作。另外,还有不需要快闪存储器等中所必需的用来擦除数据的操作的优点。

[0217] 因为包括氧化物半导体以外的材料的晶体管可以在充分高的速度下工作,因此,通过使用该晶体管可以在高速下读出存储的数据。

[0218] 本实施方式中所述的结构和方法可以与其他实施方式中所述的结构和方法适当地组合。

[0219] (实施方式 2)

[0220] 在本实施方式中,将描述根据本发明一个实施方式的半导体装置中的存储元件的电路结构及操作。

[0221] 图 10 示出半导体装置中所包括的存储元件(以下也称为存储单元)的电路图的一个例子。图 10 中所示的存储单元 200 包括第一布线 SL(源极线)、第二布线 BL(位线)、第三布线 S1(第一信号线)、第四布线 S2(第二信号线)、第五布线 WL(字线)、晶体管 201(第一晶体管)、晶体管 202(第二晶体管)以及晶体管 203(第三晶体管)。晶体管 201 及 203 使用氧化物半导体以外的材料而形成。晶体管 202 使用氧化物半导体而形成。

[0222] 晶体管 201 的栅电极与晶体管 202 的源电极和漏电极中的一方互相电连接。第一布线与晶体管 201 的源电极互相电连接。晶体管 201 的漏电极与晶体管 203 的源电极互相电连接。第二布线与晶体管 203 的漏电极互相电连接。第三布线与晶体管 202 的源电极和漏电极中的另一方互相电连接。第四布线与晶体管 202 的栅电极互相电连接。第五布线与晶体管 203 的栅电极互相电连接。

[0223] 以下,具体说明电路的操作。

[0224] 在将数据写入到存储单元 200 时,将第一布线、第五布和第二布线设定为 0V,并且将第四布线设定为 2V。为了写入数据“1”,将第三布线设定为 2V,而为了写入数据“0”,将第三布线设定为 0V。此时,晶体管 203 处于截止状态,而晶体管 202 处于导通状态。注意,在写入结束时,在第三布线的电位变化之前,将第四布线设定为 0V,从而使晶体管 202 处于截止状态。

[0225] 结果,在写入数据“1”之后,连接到晶体管 201 的栅电极的节点(以下,称为节点 A)的电位被设定为大约 2V,而在写入数据“0”之后,节点 A 的电位被设定为大约 0V。对应于第三布线的电位的电荷被存储到节点 A;因为晶体管 202 的截止态电流极小或者基本为 0,所以可以在长时间内保持晶体管 201 的栅电极的电位。图 11 示出写入操作的时序图的一个例子。

[0226] 接着,在从存储单元读取数据时,将第一布线、第四布线和第三布线设定为 0V;将第五布线设定为 2V;并且将连接于第二布线的读取电路设定为工作状态。此时,晶体管 203 处于导通状态,而晶体管 202 处于截止状态。

[0227] 在数据“0”已被写入,即节点 A 被设定为大约 0V 时,晶体管 201 处于截止状态,因此第二布线与第一布线间的电阻为高。另一方面,在数据“1”已被写入,即节点 A 被设定为大约 2V 时,晶体管 201 处于导通状态,因此第二布线与第一布线间的电阻为低。读取电路可以从存储单元的电阻状态的不同而读取数据“0”或数据“1”。注意,在写入时将第二布线设定为 0V;可选择地,也可以使第二布线处于浮动状态或可以将其充电到具有高于 0V 的电位。在读取时将第三布线设定为 0V;可选择地,也可以使第三布线处于浮动状态或可以将其充电到具有高于 0V 的电位。

[0228] 注意,数据“1”和数据“0”是为了方便起见被定义的,它们也可以彼此对调。另外,上述工作电压只是一个例子。设定工作电压使得:在数据为“0”的情况下使晶体管 201 处于截止状态,而在数据为“1”的情况下使晶体管 201 处于导通状态,在写入时使晶体管 202 处于导通状态,而在写入时以外的期间使晶体管 202 处于截止状态,以及在读取时晶体管 203 处于导通状态。尤其是,可以使用外围逻辑电路的电源电位 VDD 来代替 2V。

[0229] 图 12 是具有 $(m \times n)$ 位的存储容量的根据本发明一个实施方式的半导体装置的方框电路图。

[0230] 根据本发明一个实施方式的半导体装置包括 m 个第五布线及第四布线、 n 个第二布线及第三布线、将多个存储单元 200(1,1)至 200(m , n)配置为 m 行 $\times$ n 列(m 和 n 分别为自然数)的矩阵的存储单元阵列 210 以及外围电路,如用于驱动第二布线及第三布线的电路 211、用于驱动第四布线及第五布线的电路 213 以及读取电路 212 等。作为另一种外围电路,可以设置有刷新电路等。

[0231] 作为各存储单元,以存储单元 200(i , j)为典型例进行考虑。这里,存储单元 200(i , j)(i 为 1 到 m 的整数, j 为 1 到 n 的整数)连接于第二布线 BL(j)、第三布线 S1(j)、第五布线 WL(i)、第四布线 S2(i)以及第一布线。将第一布线电位 V_s 提供到第一布线。第二布线 BL(1)至 BL(n)及第三布线 S1(1)至 S1(n)连接于用于驱动第二布线及第三布线的电路 211 及读取电路 212。第五布线 WL(1)至 WL(m)及第四布线 S2(1)至 S2(m)连接于用于驱动第四布线及第五布线的电路 213。

[0232] 将说明图 12 中所示的半导体装置的操作。在本结构中,按每个行进行数据的写入及读取。

[0233] 在对第 i 行的存储单元 200(i ,1)至 200(i , n)写入数据时,将第一布线电位 V_s 设定为 0V;将第五布线 WL(i)和第二布线 BL(1)至 BL(n)设定为 0V;并且将第四布线 S2(i)设定为 2V。此时,晶体管 202 处于导通状态。在第三布线 S1(1)至 S1(n)当中,将要写入数据“1”的列设定为 2V,而将要写入数据“0”的列设定为 0V。注意,在写入结束时,在第三布

线 S1(1) 至 S1(n) 的电位变化之前,将第四布线 S2(i) 设定为 0V,从而使晶体管 202 处于截止状态。另外,将未选择的第五布线和未选择的第四布线设定为 0V。

[0234] 结果,在已写入数据“1”的存储单元中,与晶体管 201 的栅电极连接的节点(以下称为节点 A)的电位被设定为大约 2V,而在已写入数据“0”的存储单元中,节点 A 的电位被设定为大约 0V。未选择的存储单元中的节点 A 的电位不变。

[0235] 在从第 i 行的存储单元 200(i,1) 至 200(i,n) 读取数据时,将第一布线电位 V_s 设定为 0V;将第五布线 WL(i) 设定为 2V;将第四布线 S2(i) 和第三布线 S1(1) 至 S1(n) 设定为 0V;并将连接于第二布线 BL(1) 至 BL(n) 的读取电路设定为工作状态。例如,读取电路可以从存储单元的电阻状态的不同读取数据“0”或数据“1”。注意,将未选择的第五布线和未选择的第四布线设定为 0V。注意,在写入时将第二布线设定为 0V;可选择地,也可以使第二布线处于浮动状态或可以将其充电到具有高于 0V 的电位。在读取时将第三布线设定为 0V;可选择地,也可以使第三布线处于浮动状态或可以将其充电到具有高于 0V 的电位。

[0236] 注意,数据“1”和数据“0”是为了方便起见被定义的,它们也可以彼此对调。另外,上述工作电压只是一个例子。设定工作电压使得:在数据为“0”的情况下使晶体管 201 处于截止状态,而在数据为“1”的情况下使晶体管 201 处于导通状态,在写入时使晶体管 202 处于导通状态,而在写入时以外的期间使晶体管 202 处于截止状态,以及在读取时晶体管 203 处于导通状态。尤其是,可以使用外围逻辑电路的电源电位 VDD 来代替 2V。

[0237] 以下,将说明根据本发明一个实施方式的存储元件的电路结构及工作的另一例子。

[0238] 图 13 示出包括在半导体装置中的存储单元电路的一个例子。图 13 中所示的存储单元 220 包括第一布线 SL、第二布线 BL、第三布线 S1、第四布线 S2、第五布线 WL、晶体管 201(第一晶体管)、晶体管 202(第二晶体管)以及晶体管 203(第三晶体管)。晶体管 201 及 203 使用氧化物半导体以外的材料形成。晶体管 202 使用氧化物半导体形成。

[0239] 在图 13 中的存储单元 220 的电路中,第三布线和第四布线的方向与图 10 中的存储单元 200 的电路中的不同。就是说,在图 13 中的存储单元 220 的电路中,在第五布线的方向(行方向)上配置第三布线,并且在第二布线的方向(列方向)上配置第四布线。

[0240] 晶体管 201 的栅电极与晶体管 202 的源电极和漏电极中的一方互相电连接。第一布线与晶体管 201 的源电极互相电连接。晶体管 201 的漏电极与晶体管 203 的源电极互相电连接。第二布线与晶体管 203 的漏电极互相电连接。第三布线与晶体管 202 的源电极和漏电极中的另一方互相电连接。第四布线与晶体管 202 的栅电极互相电连接。第五布线与晶体管 203 的栅电极互相电连接。

[0241] 图 13 中的存储单元 220 的电路的操作与图 10 中的存储单元 200 的电路的操作类似;因此,不再重复详细的说明。

[0242] 图 14 是具有 $(m \times n)$ 位的存储容量的根据本发明一个实施方式的半导体装置的方框电路图。

[0243] 根据本发明一个实施方式的半导体装置包括 m 个第三布线及第五布线、n 个第二布线及第四布线、将多个存储单元 220(1,1) 至 220(m,n) 配置为 m 行 $\times$ n 列(m 和 n 分别为自然数)的矩阵的存储单元阵列 230 以及外围电路,如用于驱动第二布线及第四布线的电路 231、用于驱动第三布线及第五布线的电路 233 以及读取电路 232。作为另一种外围电

路,可以设置有刷新电路等。

[0244] 在图 14 中的半导体装置中,第三布线和第四布线的方向与图 12 中的半导体装置中的,不同。就是说,在图 14 中的半导体装置中,在第五布线的方向(行方向)上配置第三布线,并且在第二布线的方向(列方向)上配置第四布线。

[0245] 作为各存储单元,以存储单元 220(i, j) 为典型例进行考虑。这里,存储单元 220(i, j) (i 为 1 到 m 的整数, j 为 1 到 n 的整数) 连接于第二布线 BL(j)、第四布线 S2(j)、第五布线 WL(i)、第三布线 S1(i) 以及第一布线。将第一布线电位 V_s 提供到第一布线。第二布线 BL(1) 至 BL(n) 及第四布线 S2(1) 至 S2(n) 连接于用于驱动第二布线及第四布线的驱动电路 231 及读取电路 232。第五布线 WL(1) 至 WL(m) 及第三布线 S1(1) 至 S1(m) 连接于用于驱动第三布线及第五布线的电路 233。

[0246] 将说明图 14 中所示的半导体装置的操作。在本结构中,按每个列进行数据的写入,并且按每个行进行数据的读取。

[0247] 在对第 j 列的存储单元 220(1, j) 至 220(m, j) 进行数据写入时,将第一布线电位 V_s 设定为 0V;将第五布线 WL(1) 至 WL(m) 和第二布线 BL(j) 设定为 0V;并且将第四布线 S2(j) 设定为 2V。在第三布线 S1(1) 至 S1(m) 当中,将要写入数据“1”的行设定为 2V,而将要写入数据“0”的行设定为 0V。注意,在写入结束时,在第三布线 S1(1) 至 S1(m) 的电位变化之前,将第四布线 S2(j) 设定为 0V,从而使晶体管 202 处于截止状态。另外,将未选择的第二布线和未选择的第四布线设定为 0V。

[0248] 结果,在已写入数据“1”的存储单元中,与晶体管 201 的栅电极连接的节点(以下称为节点 A) 的电位被设定为大约 2V,而在已写入数据“0”的存储单元中,节点 A 的电位被设定为大约 0V。未选择的存储单元的节点 A 的电位不变。

[0249] 在从第 i 行的存储单元 200(i, 1) 至 200(i, n) 读取数据时,将第一布线设定为 0V;将第五布线 WL(i) 设定为 2V;将第四布线 S2(1) 至 S2(n) 和第三布线 S1(i) 设定为 0V;并将连接于第二布线 BL(1) 至 BL(n) 的读取电路设定为工作状态。例如,读取电路可以从存储单元的电阻状态的不同读取数据“0”或数据“1”。注意,将未选择的第五布线和未选择的第三布线设定为 0V。注意,在写入时将第二布线设定为 0V;可选择地,也可以使第二布线处于浮动状态或可以将其充电到具有高于 0V 的电位。在读出时将第三布线设定为 0V;可选择地,也可以使第三布线处于浮动状态或可以将其充电到具有高于 0V 的电位。

[0250] 注意,数据“1”和数据“0”是为了方便起见被定义的,它们也可以彼此对调。另外,上述工作电压只是一个例子。设定工作电压使得:在数据为“0”的情况下使晶体管 201 处于截止状态,而在数据为“1”的情况下使晶体管 201 处于导通状态,在写入时使晶体管 202 处于导通状态,而在写入时以外的期间使晶体管 202 处于截止状态,以及在读取时晶体管 203 处于导通状态。尤其是,可以使用外围逻辑电路的电源电位 VDD 来代替 2V。

[0251] 因为包括氧化物半导体的晶体管的截止态电流极小,所以通过使用该晶体管可以在极长时间内保持存储的数据。就是说,因为不需要进行刷新工作,或者,可以使刷新工作的频度极低,所以可以充分降低功耗。另外,即使当没有电力供给时,也可以在长时间内保持存储的数据。

[0252] 另外,写入数据不需要高电压,而且也没有元件退化的问题。再者,根据晶体管的导通状态和截止状态而写入数据,从而可以容易地实现高速操作。另外,不需要快闪存储器

等所必需的用来擦除数据的操作。

[0253] 由于包括氧化物半导体以外的材料的晶体管可以以充分高的速度工作,因此,通过利用该晶体管,可以高速地读出存储的数据。

[0254] (实施方式 3)

[0255] 在本实施方式中,将说明与实施方式 2 中不同的存储元件的电路结构及操作的一个例子。

[0256] 图 15 示出包括在半导体装置内的存储单元的电路图的一个例子。图 15 中所示的存储单元 240 包括第一布线 SL、第二布线 BL、第三布线 S1、第四布线 S2、第五布线 WL、晶体管 201(第一晶体管)、晶体管 202(第二晶体管)以及电容器 204。晶体管 201 使用氧化物半导体以外的材料形成。晶体管 202 使用氧化物半导体形成。

[0257] 晶体管 201 的栅电极、晶体管 202 的源电极和漏电极中的一方以及电容器 204 的电极中的一方互相电连接。第一布线和晶体管 201 的源电极互相电连接。第二布线与晶体管 201 的漏电极互相电连接。第三布线与晶体管 202 的源电极和漏电极中的另一方互相电连接。第四布线与晶体管 202 的栅电极互相电连接。第五布线与电容器 204 的电极中的另一方互相电连接。

[0258] 以下,将具体说明电路的工作。

[0259] 在将数据写入到存储单元 240 时,将第一布线、第五布线和第二布线设定为 0V,并且将第四布线设定为 2V。为了写入数据“1”,将第三布线设定为 2V,为了写入数据“0”,将第三布线设定为 0V。此时,晶体管 202 处于导通状态。注意,在写入结束时,在第三布线的电位变化之前,将第四布线设定为 0V,从而使晶体管 202 处于截止状态。

[0260] 结果,在写入数据“1”之后,连接到晶体管 201 的栅电极的节点(以下,称为节点 A)的电位被设定为大约 2V,而在写入数据“0”之后,节点 A 的电位被设定为大约 0V。

[0261] 在从存储单元 240 读取数据时,将第一布线、第四布线和第三布线设定为 0V;将第五布线设定为 2V;并且将连接于第二布线的读取电路设定为工作状态。此时,晶体管 202 处于截止状态。

[0262] 将说明将第五布线设定为 2V 情况下的晶体管 201 的状态。用来确定晶体管 201 的状态的节点 A 的电位取决于第五布线和节点 A 间的电容 C1 和晶体管 201 的栅极和源极及漏极间的电容 C2。

[0263] 图 16 示出第五布线的电位和节点 A 的电位之间的关系。这里,作为一个例子,当晶体管 201 截止时满足 $C1/C2 \gg 1$,当晶体管 201 导通时满足 $C1/C2 = 1$ 。晶体管 201 的阈值电压为 2.5V。如在图 16 中所示的图表那样,在第五布线被设定为 2V 的条件下,在数据“0”已被写入的情况下,节点 A 被设定为大约 2V,且晶体管 201 处于截止状态。另一方面,在数据“1”已被写入的情况下,节点 A 被设定为大约 3.25V,且晶体管 201 处于导通状态。当晶体管 201 处于导通状态时,存储单元具有低的电阻,而当晶体管 201 处于截止状态时,存储单元具有高的电阻。因此,读取电路可以从存储单元的电阻状态的不同读出数据“0”或数据“1”。注意,在不读出数据时,即第五布线的电位为 0V 时,在数据“0”已被写入的情况下,节点 A 被设定为大约 0V,在数据“1”已被写入的情况下,节点 A 被设定为大约 2V,且无论在上述哪一种情况下,晶体管 201 都处于截止状态。

[0264] 注意,在读取时将第三布线设定为 0V;可选择地,也可以使第三布线处于浮动状

态或将其充电到具有高于 0V 的电位。数据“1”和数据“0”是为了方便起见被定义的,它们也可以彼此对调。

[0265] 上述工作电压只是一个例子。只要在写入后晶体管 202 处于截止状态且在第五布线的电位被设定为 0V 的情况下晶体管 201 处于截止状态,写入时的第三布线的电位可从数据“1”和数据“0”的电位选择。可选择读出时的第五布线的电位,以使在数据“0”已被写入的情况下晶体管 201 处于截止状态,而在数据“1”已被写入的情况下晶体管 201 处于导通状态。另外,上述晶体管 201 的阈值电压只是一个例子。只要在不改变上述晶体管 201 的状态的范围,晶体管 201 可以具有任何阈值电压。

[0266] 图 17 中所示的根据本发明的一个实施方式的半导体装置包括 m 个第五布线及第四布线、n 个第二布线以及第三布线、将多个存储单元 240(1,1) 至 240(m,n) 配置为 m 行 × n 列 (m 和 n 分别为自然数) 的矩阵的存储单元阵列 250 以及外围电路,如用于驱动第二布线及第三布线的电路 211、用于驱动第四布线及第五布线的电路 213 以及读取电路 212。作为另一种外围电路,可以设置刷新电路等。

[0267] 作为各存储单元,以存储单元 240(i,j) 为典型例进行考虑。这里,存储单元 240(i,j) (i 为 1 到 m 的整数,j 为 1 到 n 的整数) 连接于第二布线 BL(i)、第三布线 S1(j)、第五布线 WL(i)、第四布线 S2(i) 以及第一布线。将第一布线电位 V_s 提供到第一布线。第二布线 BL(1) 至 BL(n) 及第三布线 S1(1) 至 S1(n) 连接于用于驱动第二布线及第三布线的电路 211 及读取电路 212。第五布线 WL(1) 至 WL(m) 及第四布线 S2(1) 至 S2(m) 连接于用于驱动第四布线及第五布线的电路 213。

[0268] 将说明图 17 中所示的半导体装置的操作。在本结构中,按每个行进行数据的写入及读取。

[0269] 在对第 i 行的存储单元 240(i,1) 至 240(i,n) 写入数据时,将第一布线电位 V_s 设定为 0V;第五布线 WL(i) 和第二布线 BL(1) 至 BL(n) 设定为 0V;并且将第四布线 S2(i) 设定为 2V。此时,晶体管 202 处于导通状态。在第三布线 S1(1) 至 S1(n) 中,将要写入数据“1”的列设定为 2V,而将要写入数据“0”的列设定为 0V。注意,在写入结束时,在第三布线 S1(1) 至 S1(n) 的电位变化之前,将第四布线 S2(i) 设定为 0V,从而使晶体管 202 处于截止状态。另外,将未选择的第五布线和未选择的第四布线设定为 0V。

[0270] 结果,在已写入数据“1”的存储单元中,与晶体管 201 的栅电极连接的节点 (以下称为节点 A) 的电位被设定为大约 2V,而在写入数据“0”之后的节点 A 的电位被设定为大约 0V。未选择的存储单元的节点 A 的电位不变。

[0271] 在从第 i 行的存储单元 240(i,1) 至 240(i,n) 读取数据时,将第一布线电位 V_s 设定为 0V;将第五布线 WL(i) 设定为 2V;将第四布线 S2(i) 和第三布线 S1(1) 至 S1(n) 设定为 0V;并且将连接于第二布线 BL(1) 至 BL(n) 的读取电路设定为处于工作状态。此时,晶体管 202 处于截止状态。注意,将未选择的第五布线和未选择的第四布线设定为 0V。

[0272] 将说明读取时的晶体管 201 的状态。如上已说明地,假设在晶体管 201 截止时满足 $C1/C2 \gg 1$,而在晶体管 201 导通时满足 $C1/C2 = 1$,则第五布线的电位和节点 A 的电位之间的关系由图 16 所表示。晶体管 201 的阈值电压为 2.5V。在未选择的存储单元中,第五布线的电位被设定为 0V。所以,具有数据“0”的存储单元中的节点 A 被设定为大约 0V,而具有数据“1”的存储单元中的节点 A 被设定为大约 2V,且无论在上述哪一种状态下,晶体

管 201 都处于截止状态。在第 i 行的存储单元中,第五布线的电位被设定为 $2V$ 。所以,具有数据“0”的存储单元中的节点 A 被设定为大约 $2V$,而使晶体管 201 处于截止状态,而具有数据“1”的存储单元中的节点 A 被设定为大约 $3.25V$,而使晶体管 201 处于导通状态。在晶体管 201 处于导通状态时,存储单元具有低的电阻,而在晶体管 201 处于截止状态时,存储单元具有高的电阻。结果,在第 i 行的存储单元中,只有具有数据“0”的存储单元具有低的电阻。读取电路可以根据连接于第二布线的负荷电阻的不同而读出数据“0”或数据“1”。

[0273] 注意,在读取时将第三布线设定为 $0V$;可选择地,也可以使第三布线处于浮动状态或可以将其充电到具有高于 $0V$ 的电位。数据“1”和数据“0”是为了方便起见被定义的,它们也可以彼此对调。

[0274] 上述工作电压只是一个例子。只要在写入后晶体管 202 处于截止状态且在第五布线的电位被设定为 $0V$ 的情况下晶体管 201 处于截止状态,可从数据“1”和数据“0”的电位选择写入时的第三布线的电位。可选择读出时的第五布线的电位,以使在数据“0”已被写入的情况下晶体管 201 处于截止状态,而在数据“1”已被写入的情况下晶体管 201 处于导通状态。另外,上述晶体管 201 的阈值电压只是一个例子。只要在不改变上述晶体管 201 的状态的范围,晶体管 201 可以具有任何阈值电压。

[0275] 因为包括氧化物半导体的晶体管的截止态电流极小,所以通过使用该晶体管可以在极长时间内保持存储的数据。就是说,因为不需要进行刷新工作,或者,可以使刷新工作的频率极低,所以可以充分降低功耗。另外,即使当没有电力供给时,也可以在长时间内保持存储的数据。

[0276] 另外,写入数据不需要高电压,而且也没有元件退化的问题。再者,根据晶体管的导通状态和截止状态而进行数据写入,从而可以容易地实现高速操作。另外,不需要快闪存储器等中所必需的用来擦除数据的操作。

[0277] 由于包括氧化物半导体以外的材料的晶体管可以以充分高的速度工作,因此,通过利用该晶体管,可以高速读出所存储的数据。

[0278] 接着,将说明根据本发明一个实施方式的存储元件的电路结构及操作的另一例子。

[0279] 图 18 示出半导体装置所包括的存储单元电路的一个例子。图 18 中所示的存储单元 260 包括第一布线 SL、第二布线 BL、第三布线 S1、第四布线 S2、第五布线 WL、晶体管 201、晶体管 202 以及电容器 204。晶体管 201 使用氧化物半导体以外的材料形成。晶体管 202 使用氧化物半导体形成。

[0280] 在图 18 中的存储单元 260 的电路中,第三布线和第四布线的方向与图 15 中的存储单元 240 的电路中的第三布线和第四布线不同。就是说,在图 18 中的存储单元 260 中,在第五布线的方向(行方向)上配置第三布线,并且在第二布线的方向(列方向)上配置第四布线。

[0281] 晶体管 201 的栅电极、晶体管 202 的源电极和漏电极中的一方以及电容器 204 的电极中的一方互相电连接。第一布线与晶体管 201 的源电极互相电连接。第二布线与晶体管 201 的漏电极互相电连接。第三布线与晶体管 202 的源电极和漏电极中的另一方互相电连接。第四布线与晶体管 202 的栅电极互相电连接。第五布线与电容器 204 的另一电极互相电连接。

[0282] 图 18 中的存储单元 260 的电路操作与图 15 中的存储单元 240 的电路操作类似；因此不再重复详细的说明。

[0283] 图 19 是具有 $(m \times n)$ 位的存储容量的根据本发明一个实施方式的半导体装置的方框电路图。

[0284] 根据本发明一个实施方式的半导体装置包括 m 个第三布线及第五布线、 n 个第二布线及第四布线、将多个存储单元 260(1,1) 至 260(m , n) 配置为 m 行 $\times$ n 列 (m 和 n 分别为自然数) 的矩阵的存储单元阵列 270 以及外围电路, 如用于驱动第二布线及第四布线的电路 231、用于驱动第三布线及第五布线的电路 233 以及读取电路 232。作为另一种外围电路, 可以设置刷新电路等。

[0285] 在图 19 中的半导体装置中, 第三布线和第四布线的方向与图 17 中的半导体装置中的第三布线和第四布线不同。就是说, 在图 19 中的半导体装置中, 在第五布线的方向 (行方向) 上配置第三布线, 并且在第二布线的方向 (列方向) 上配置第四布线。

[0286] 作为各存储单元, 以存储单元 260(i , j) 为典型例进行考虑。这里, 存储单元 260(i , j) (i 为 1 到 m 的整数, j 为 1 到 n 的整数) 连接于第二布线 BL(j)、第四布线 S2(j)、第五布线 WL(i)、第三布线 S1(i) 以及第一布线。将第一布线电位 V_s 提供到第一布线。第二布线 BL(1) 至 BL(n) 及第四布线 S2(1) 至 S2(n) 连接于用于驱动第二布线及第四布线的电路 231 及读取电路 232。第五布线 WL(1) 至 WL(m) 及第三布线 S1(1) 至 S1(m) 连接于用于驱动第三布线及第五布线的电路 233。

[0287] 图 19 中的半导体装置的操作与图 17 中的半导体装置的操作类似；因此不再重复详细的说明。

[0288] 因为包括氧化物半导体的晶体管的截止态电流极小, 所以通过使用该晶体管可以在极长时间内保持存储的数据。就是说, 因为不需要进行刷新工作, 或者, 可以使刷新工作的频率极低, 所以可以充分降低功耗。另外, 即使当没有电力供给时, 也可以在长时间内保持存储的数据。

[0289] 写入数据不需要高电压, 而且也没有元件退化的问题。再者, 根据晶体管的导通状态和截止状态而写入数据, 从而可以容易地实现高速操作。另外, 不需要快闪存储器等中所必需的用来擦除数据的操作。

[0290] 由于包括氧化物半导体以外的材料的晶体管可以以充分高的速度工作, 因此, 通过利用该晶体管, 可以高速地读出存储的数据。

[0291] (实施方式 4)

[0292] 在本实施方式中, 将说明与实施方式 2 及 3 不同的存储元件的电路结构及操作的一个例子。

[0293] 图 20A 和 20B 分别示出半导体装置中所包括的存储单元的电路图的一个例子。分别与图 10 中的存储单元 200 及图 13 中的存储单元 220 相比, 在图 20A 中所示的存储单元 280a 及图 20B 中所示的存储单元 280b 中, 串联连接的第一晶体管与第三晶体管彼此替换。

[0294] 在图 20A 中的存储单元 280a 中, 晶体管 201 的栅电极与晶体管 202 的源电极和漏电极中的一方互相电连接。第一布线与晶体管 203 的源电极互相电连接。晶体管 203 的漏电极与晶体管 201 的源电极互相电连接。第二布线与晶体管 201 的漏电极互相电连接。第三布线与晶体管 202 的源电极和漏电极中的另一方互相电连接。第四布线与晶体管 202 的

栅电极互相电连接。第五布线与晶体管 203 的栅电极互相电连接。

[0295] 在图 20B 中的存储单元 280b 中,第三布线和第四布线的方向与图 20A 中的存储单元电路中的不同。就是说,在图 20B 中的存储单元电路中,在第二布线的方向(列方向)上配置第四布线,并且在第五布线的方向(行方向)上配置第三布线。

[0296] 图 20A 中的存储单元 280a 及图 20B 中的存储单元 280b 的电路操作与图 10 中的存储单元 200 及图 13 中的存储单元 220 的电路操作类似;因此不再重复详细的说明。

[0297] (实施方式 5)

[0298] 在本实施方式中,将说明与实施方式 2 至 4 中不同的存储元件的电路结构及操作的一个例子。

[0299] 图 21 示出半导体装置中所包括的存储单元的电路图的一个例子。与图 10 中的存储单元 200 相比,图 21 中的存储单元 290 的电路额外包括在节点 A 与第一布线之间的电容器。

[0300] 图 21 中所示的存储单元 290 包括第一布线 SL、第二布线 BL、第三布线 S1、第四布线 S2、第五布线 WL、晶体管 201、晶体管 202、晶体管 203 以及电容器 205。晶体管 201 及 203 使用氧化物半导体以外的材料形成。晶体管 202 使用氧化物半导体形成。

[0301] 晶体管 201 的栅电极、晶体管 202 的源电极和漏电极中的一方以及电容器 205 的电极中的一方互相电连接。第一布线、晶体管 201 的源电极以及电容器 205 的另一电极互相电连接。晶体管 201 的漏电极与晶体管 203 的源电极互相电连接。第二布线与晶体管 203 的漏电极互相电连接。第三布线与晶体管 202 的源电极和漏电极中的另一方互相电连接。第四布线与晶体管 202 的栅电极互相电连接。第五布线与晶体管 203 的栅电极互相电连接。

[0302] 图 21 中的存储单元电路的操作与图 10 中的存储单元电路的操作类似;因此不再重复详细的说明。当存储单元包括电容器 205 时,改善了数据保持的特性。

[0303] (实施方式 6)

[0304] 将参照图 22 说明根据本发明一个实施方式的半导体装置中所包括的读取电路的一个例子。

[0305] 图 22 中所示的读取电路包括晶体管 206 和差分放大器 207。

[0306] 在读取时,将端子 A 连接于连接有被进行数据读取的存储单元的第二布线。另外,将偏置电压 V_{bias} 施加到晶体管 206 的栅电极,而预定的电流流过晶体管 206。

[0307] 存储单元对应于存储在其中的数据“1”或数据“0”而具有不同的电阻。具体地说,在所选择的存储单元中的晶体管 201 处于导通状态时,存储单元具有低的电阻;而在所选择的存储单元中的晶体管 201 处于截止状态时,存储单元具有高的电阻。

[0308] 在存储单元具有高电阻时,端子 A 的电位高于参考电位 V_{ref} ,而从差分放大器的输出输出数据“1”。另一方面,在存储单元具有低电阻时,端子 A 的电位低于参考电位 V_{ref} ,而从差分放大器的输出输出数据“0”。

[0309] 以这样的方式,读取电路可以从存储单元读取数据。注意,本实施方式中的读取电路只是一个例子,也可以使用已知的电路。例如,所述读取电路可以包括预充电电路。可以连接有参考用的第二布线以代替参考电位 V_{ref} 。可以使用锁存型感测放大器代替差分放大器。

[0310] (实施方式 7)

[0311] 在本实施方式中,将参照图 23A 至 23F 说明分别包括根据上述任何实施方式的半导体装置的电子设备的例子。根据上述实施方式的半导体装置即使没有电力供给时也可以保持数据。另外,不发生由写入或擦除导致的退化。再者,该半导体装置可以以高速工作。为此,可以使用该半导体装置提供具有新颖结构的电子设备。注意,根据上述实施方式的半导体装置被集成化而安装到电路板等上,并将其安放在电子设备的内部。

[0312] 图 23A 示出包括根据上述实施方式的半导体装置的笔记本型个人计算机。该笔记本型个人计算机包括主体 301、壳体 302、显示部 303、键盘 304 等。将根据本发明一个实施方式的半导体装置应用于笔记本型个人计算机,由此即使没有电力供给时,该笔记本型个人计算机也可以保持数据。另外,不发生由写入或擦除导致的退化。再者,该笔记本型个人计算机可以高速工作。为此,优选将根据本发明的一个实施方式的半导体装置应用于笔记本型个人计算机。

[0313] 图 23B 示出包括根据上述实施方式的半导体装置的个人数字助理 (PDA)。主体 311 设置有显示部 313、外部接口 315 和操作按钮 314 等。作为附件,使用手写笔 312 用于操作 PDA。将根据本发明的一个实施方式的半导体装置应用于 PDA,由此即使没有电力供给时,该 PDA 也可以保持数据。另外,不发生由写入或擦除导致的退化。再者,该 PDA 可以高速工作。为此,优选将根据本发明的一个实施方式的半导体装置应用于 PDA。

[0314] 图 23C 示出作为包括根据上述实施方式的半导体装置的电子纸的一个例子的电子书阅读器 320。电子书阅读器 320 包括两个壳体:壳体 321 及壳体 323。壳体 321 及壳体 323 与铰链 337 组合,从而电子书阅读器 320 可以以该铰链 337 为轴进行打和闭合。通过这种结构,电子书阅读器 320 可以像纸质图书一样使用。将根据本发明的一个实施方式的半导体装置应用于电子纸,由此即使没有电力供给时所述电子纸也可以保持数据。另外,不发生由写入或擦除导致的退化。再者,该电子纸可以高速工作。为此,优选将根据本发明的一个实施方式的半导体装置应用于电子纸。

[0315] 壳体 321 中结合有显示部 325,而壳体 323 中结合有显示部 327。显示部 325 和显示部 327 可显示一个画面或不同画面。当显示部 325 和显示部 327 显示不同画面时,例如,右侧的显示部(图 23C 中的显示部 325)显示文本,左侧的显示部(图 23C 中的显示部 327)显示图像。

[0316] 图 23C 示出壳体 321 设置有操作部等的例子。例如,壳体 321 设置有电源开关 331、操作键 333、扬声器 335 等。利用操作键 333 可以翻页。注意,在与壳体的、设置所述显示部的表面上可以设置键盘、指示装置等。另外,可以在壳体的背面或侧面设置外部连接端子(例如,耳机端子、USB 端子或可与 AC 适配器及 USB 电缆等的各种电缆连接的端子)、记录介质插入部等。再者,电子书阅读器 320 可以具有电子词典的功能。

[0317] 电子书阅读器 320 可以以无线的方式发送和接收数据。通过无线通讯,可以从电子书籍服务器购买并下载所希望的书籍数据等。

[0318] 注意,电子纸可以应用于多种领域的设备,只要它们显示信息。例如,除了电子书阅读器以外,还可以将电子纸用于招贴、列车等交通工具中的广告、信用卡等各种卡片中的显示等。

[0319] 图 23D 示出包括根据上述实施方式的半导体装置的移动电话。该移动电话包括两

个壳体：壳体 340 及壳体 341。壳体 341 设置有显示面板 342、扬声器 343、麦克风 344、指示装置 346、照相机透镜 347、外部连接端子 348 等。壳体 340 设置有用对该移动电话进行充电的太阳能电池 349、外部存储插槽 350 等。此外，天线被内置在壳体 341 中。将根据本发明的一个实施方式的半导体装置应用于移动电话，由此即使没有电力供给时该移动电话也可以保持数据。另外，不发生由写入或擦除导致的退化。再者，该移动电话可以以高速工作。为此，优选将根据本发明的一个实施方式的半导体装置应用于移动电话。

[0320] 显示面板 342 具有触摸面板功能。图 23D 中使用虚线示出被显示为图像的多个操作键 345。注意，该移动电话包括用来将太阳能电池 349 所输出的电压升压到各电路所需要的电压的升压电路。另外，除了上述结构以外，所述移动电话还可包括非接触 IC 芯片、小型记录装置等。

[0321] 显示面板 342 上的显示的方向根据应用情况适当地被改变。另外，在与显示面板 342 同一个表面上设置照相机透镜 347，由此可以将移动电话用作电视电话。扬声器 343 及麦克风 344 除了语音通话，还可以用于电视电话通话、录音、播放声音等。再者，处于如图 23D 中那样的展开状态的壳体 340 和 341 可被滑动，从而一个重叠于另一个。因此，可以减小移动电话的尺寸，这可使该移动电话适于被携带。

[0322] 外部连接端子 348 可以连接到各种缆线，比如 AC 适配器或 USB 缆线，由此移动电话可以被充电，或者可以进行数据通信。另外，通过将记录媒体插入到外部存储插槽 350 中，移动电话可以存储并移动更大容量的数据。另外，移动电话除了上述功能以外，还可以具有红外线通讯功能、电视接收功能等。

[0323] 图 23E 示出包括根据上述实施方式的半导体装置的数码相机。该数码相机包括主体 361、显示部 (A) 367、目镜部分 363、操作开关 364、显示部 (B) 365、电池 366 等。将根据本发明的一个实施方式的半导体装置应用于数码相机，由此即使没有电力供给时所述数码相机也可以保持数据。另外，不发生由写入或擦除导致的退化。再者，数码相机可以高速工作。为此，优选将根据本发明的一个实施方式的半导体装置应用于数码相机。

[0324] 图 23F 示出包括根据上述实施方式的半导体装置的电视机。在电视机 370 中，在壳体 371 中结合有显示部 373。在显示部 373 上可以显示图像。这里，利用支架 375 支撑壳体 371。

[0325] 可以通过利用壳体 371 的操作开关或单独的遥控器 380 来操作电视机 370。可利用遥控器 380 的操作键 379 来控制频道和音量，并可控制在显示部 373 上显示的图像。此外，遥控器 380 可包括用于显示从该遥控器 380 输出的数据的显示部 377。将根据本发明的一个实施方式的半导体装置应用于电视机，由此即使没有电力供给时该电视机也可以保持数据。另外，不发生由写入或擦除导致的退化。再者，该电视机可在高速下工作。为此，优选将根据本发明的一个实施方式的半导体装置应用于电视机。

[0326] 注意，电视机 370 优选设置有接收器、调制解调器等。通过接收器，可接收一般电视广播。此外，当电视机通过有线或无线经由调制解调器连接到通信网络时，可执行单向（从发送器到接收器）或双向（在发送器与接收器之间或者在接收器之间）的数据通信。

[0327] 本实施方式中所示的结构和方法可以与其他实施方式中所述的任何结构和方法进行适当的组合。

[0328] 本申请基于 2009 年 10 月 30 日向日本专利局提交的日本专利申请第 2009-251261

号,所述申请的整个内容通过引用结合于此。

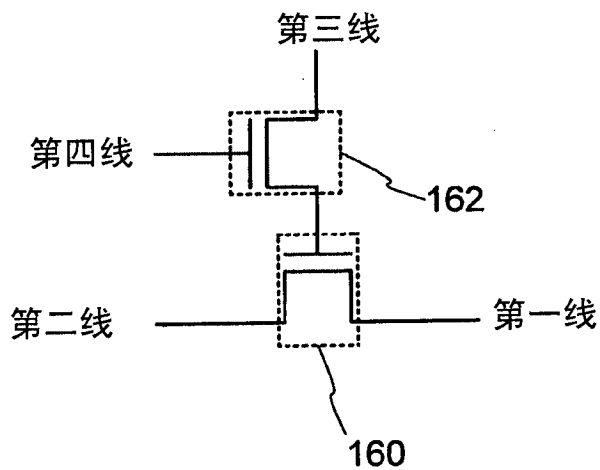


图 1

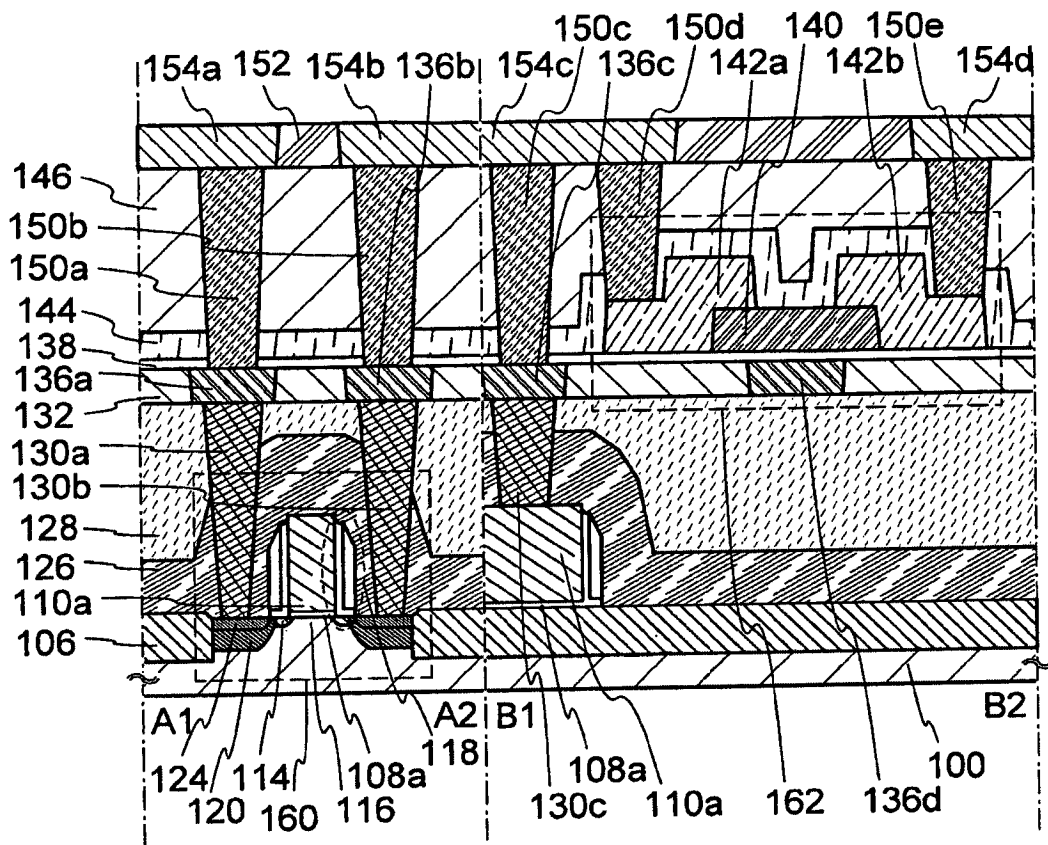


图 2A

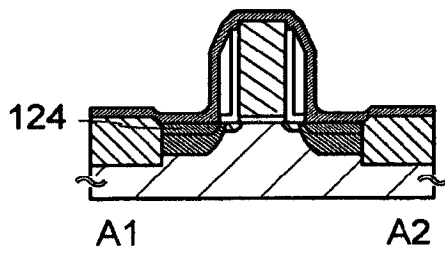


图 3F

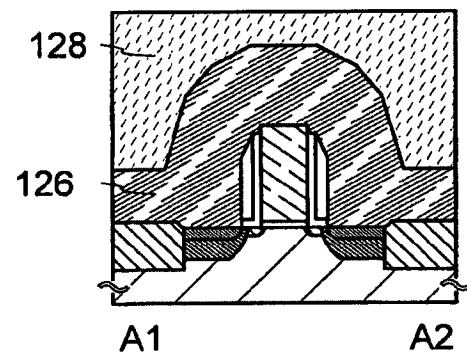


图 3G

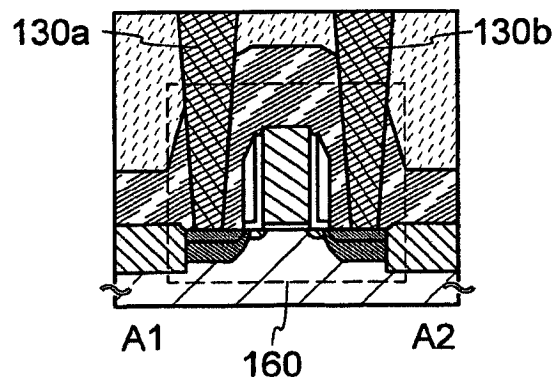


图 3H

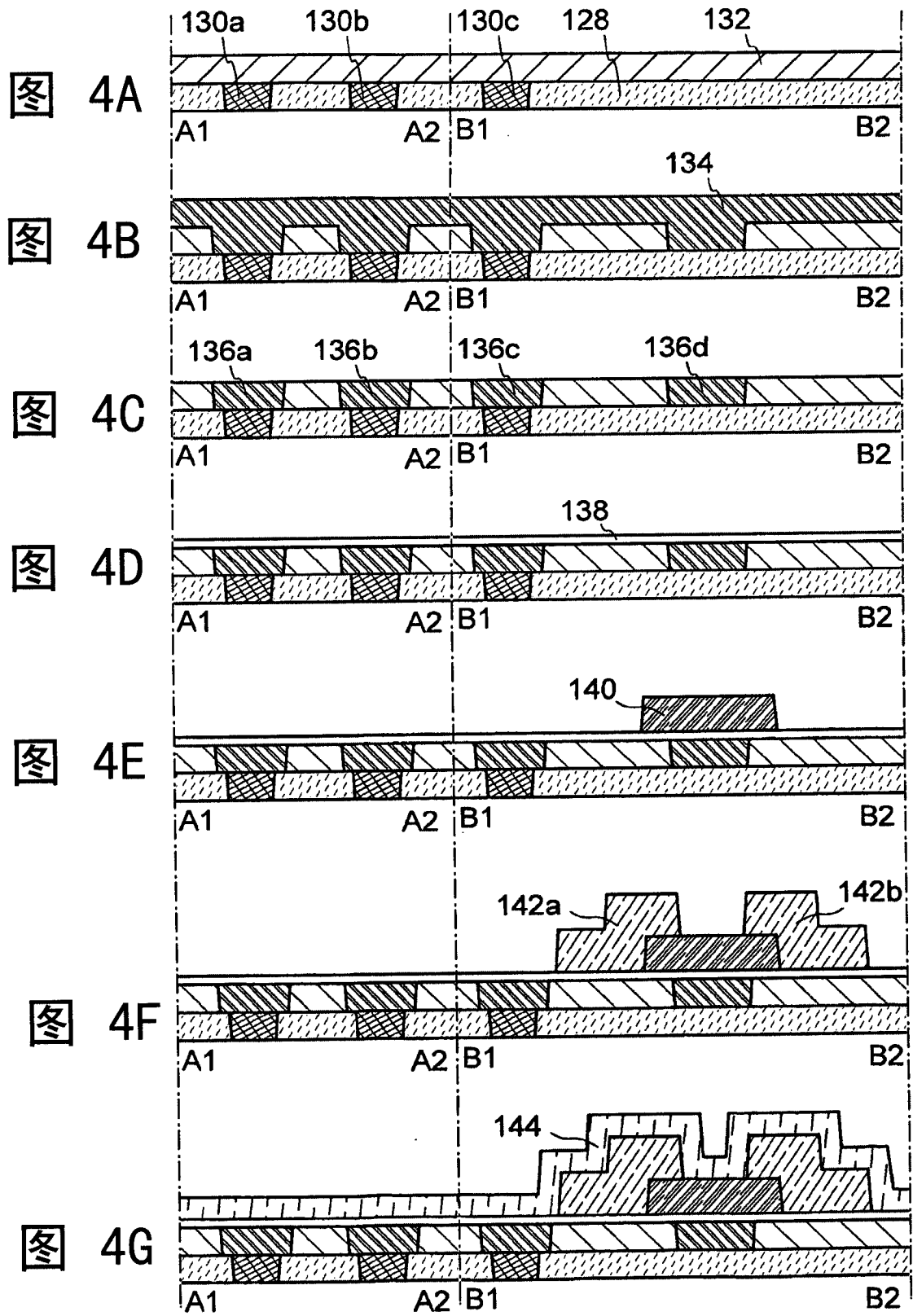


图 5A

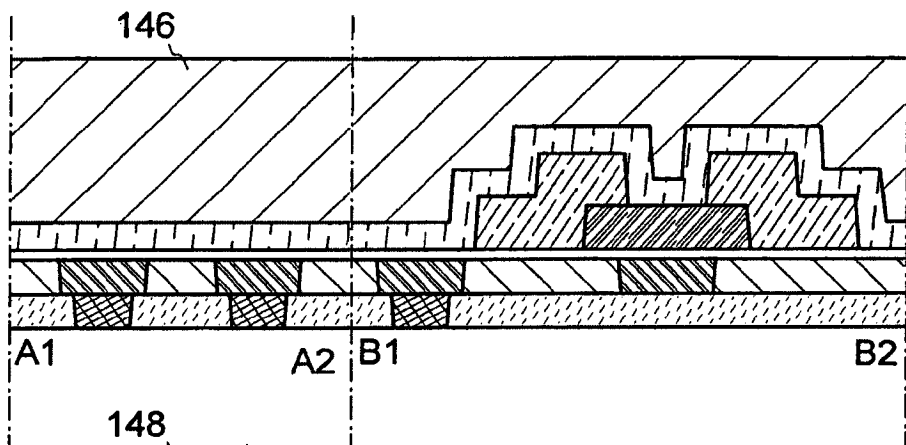


图 5B

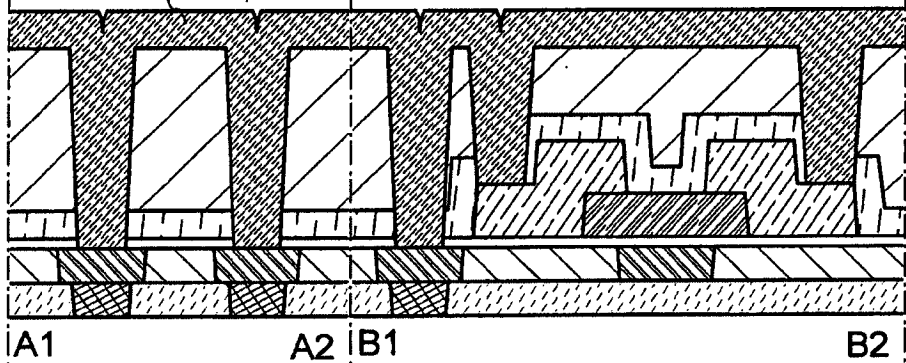


图 5C

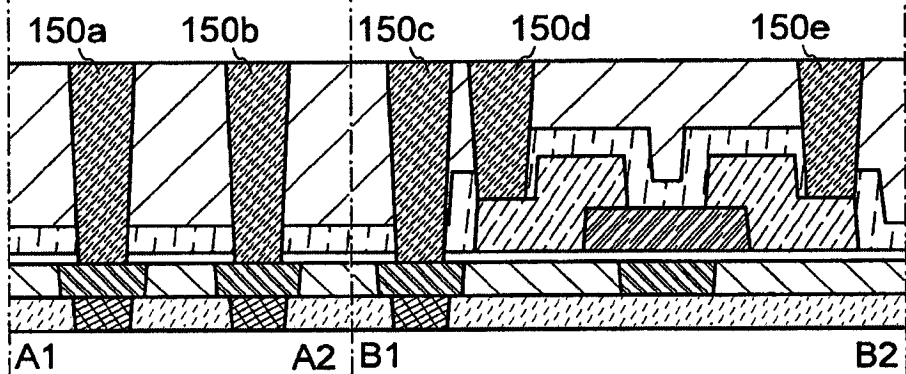
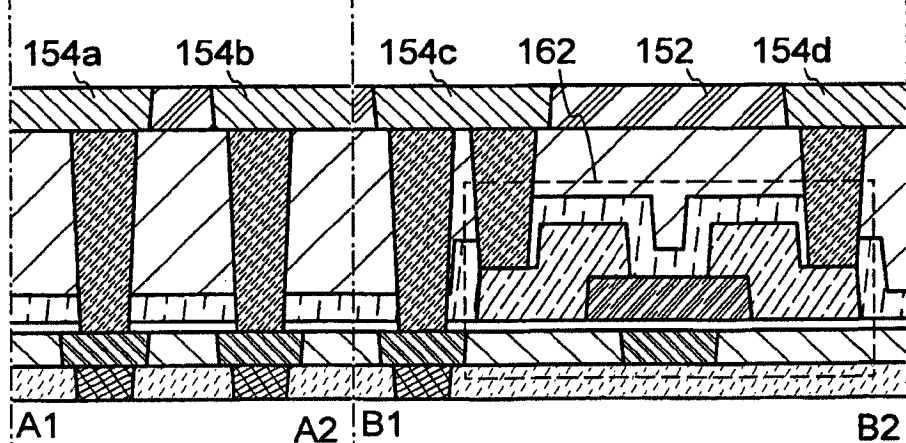


图 5D



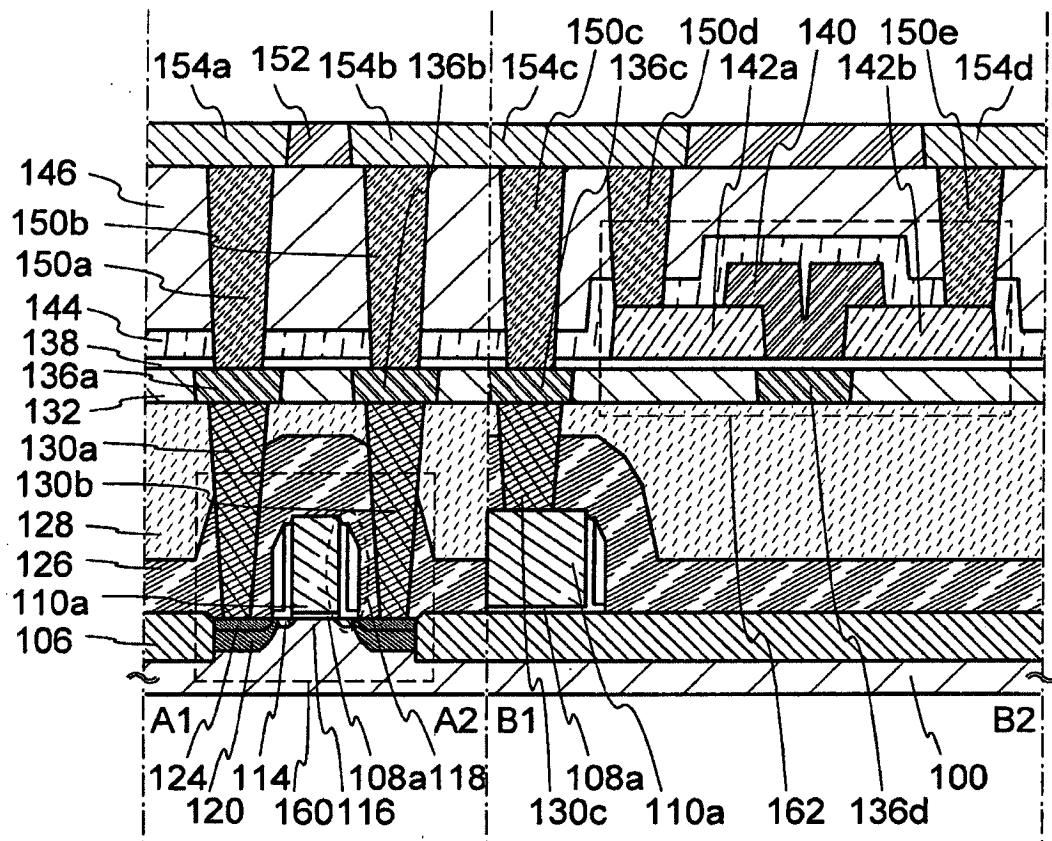


图 6

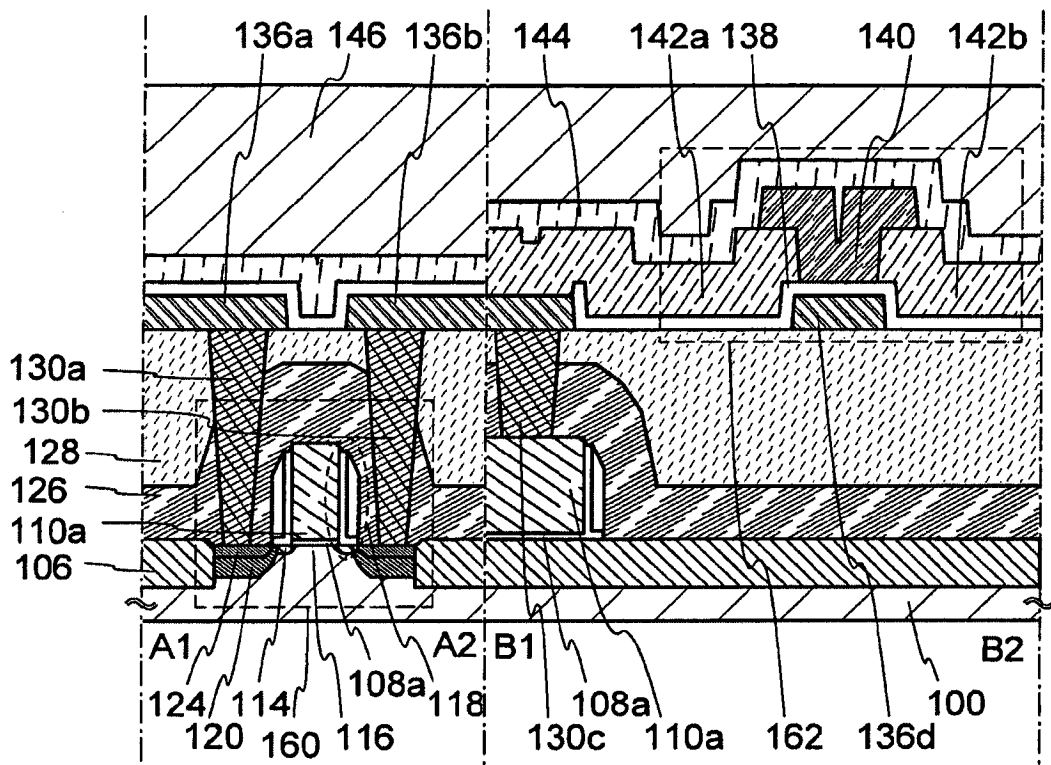


图 8A

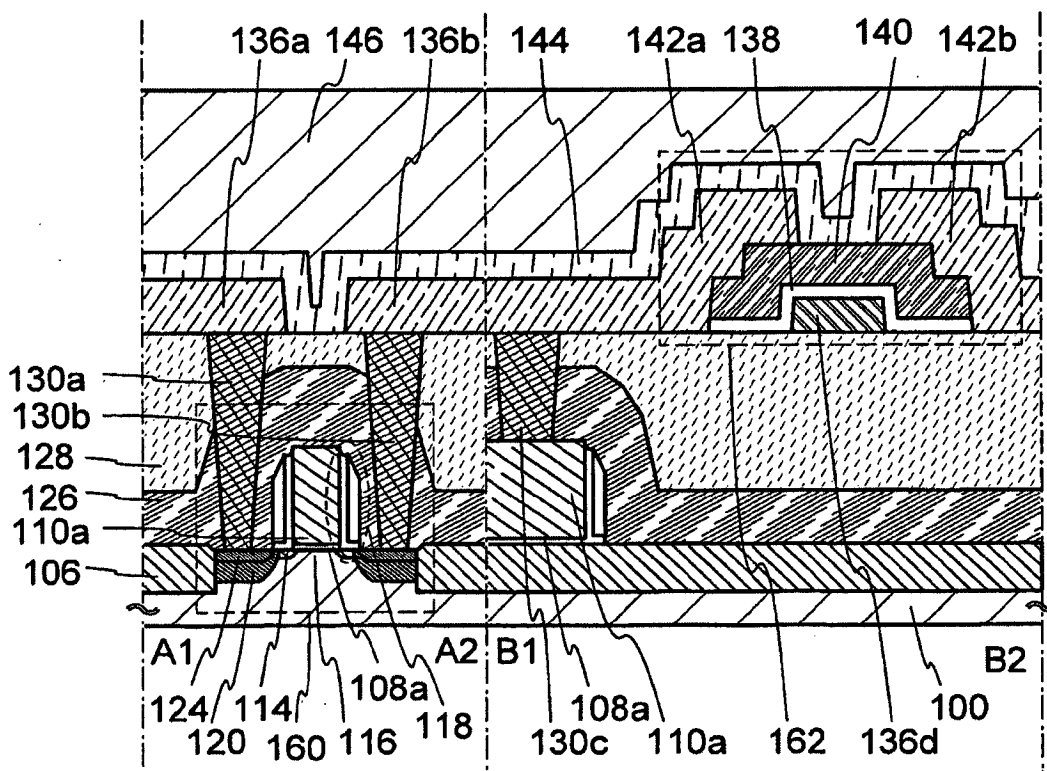


图 8B

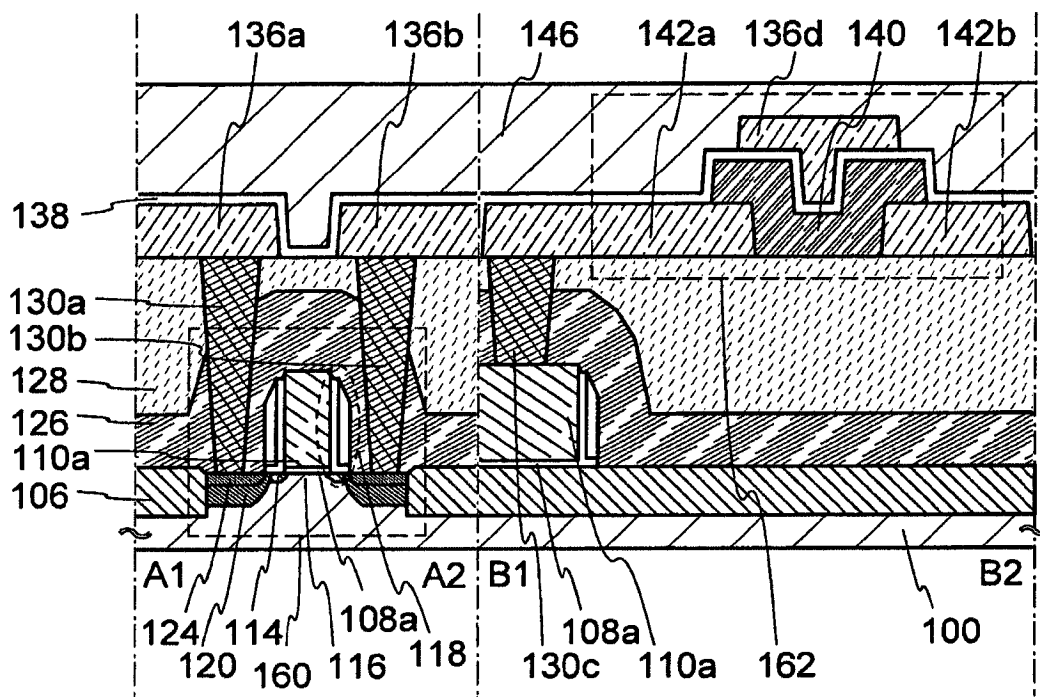


图 9A

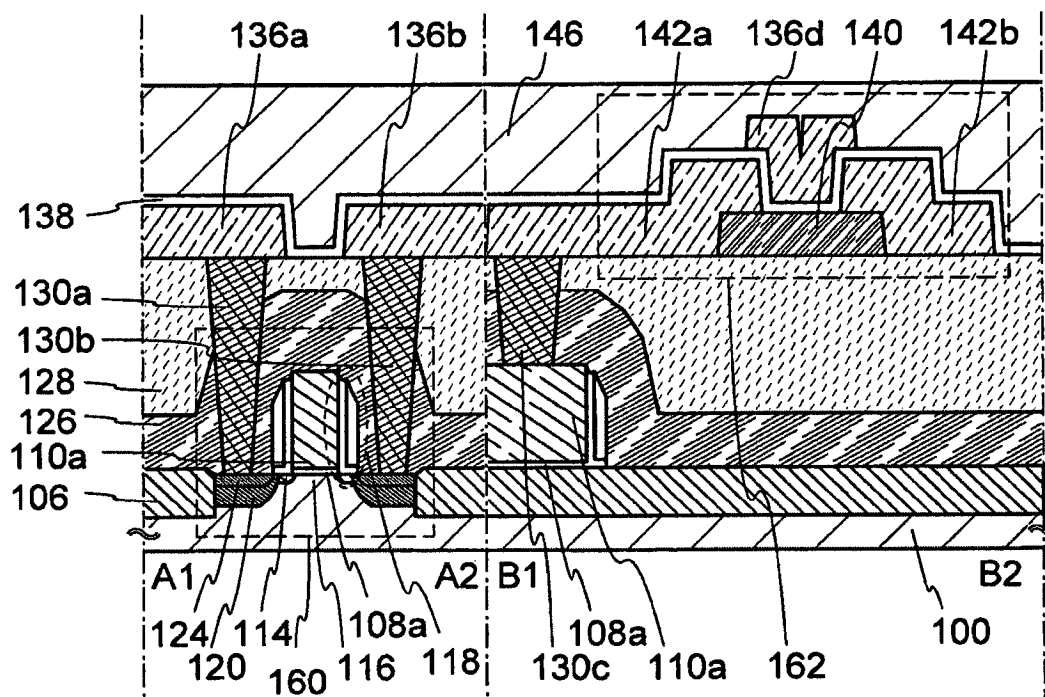


图 9B

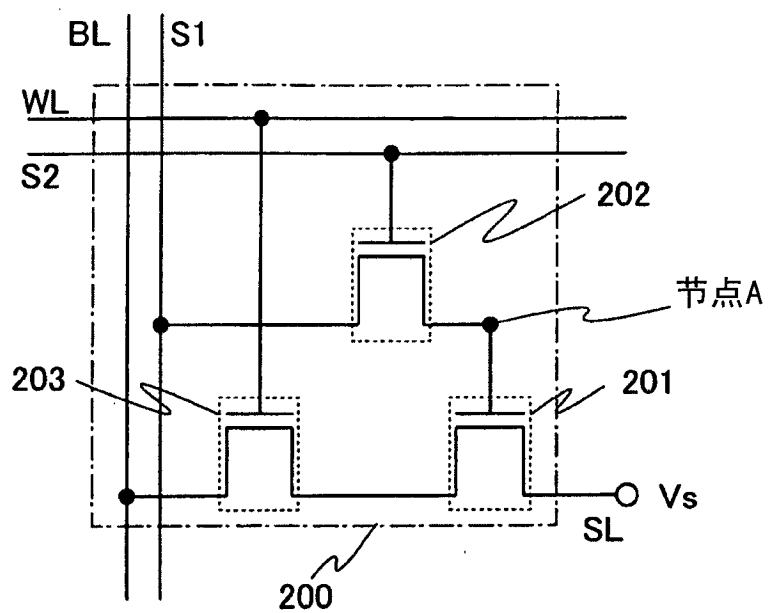


图 10

	写入数据“0”	写入数据“1”
位线		
字线		
第一信号线		
第二信号线		
源极线		

图 11

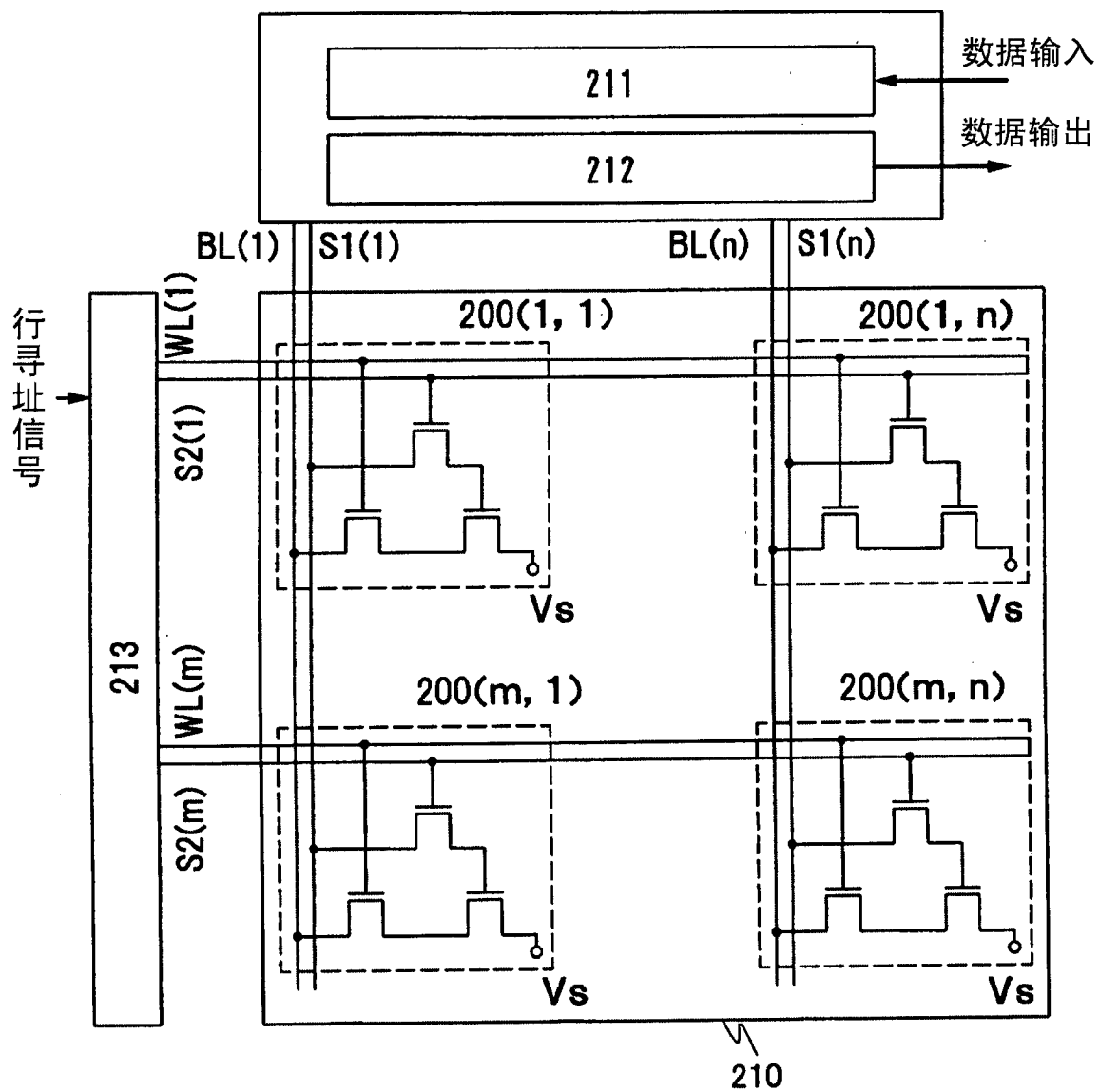


图 12

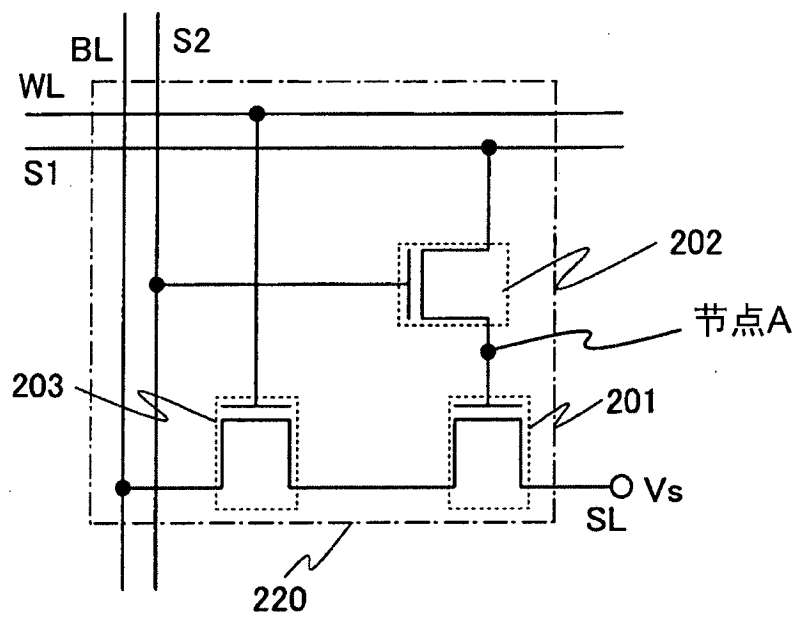


图 13

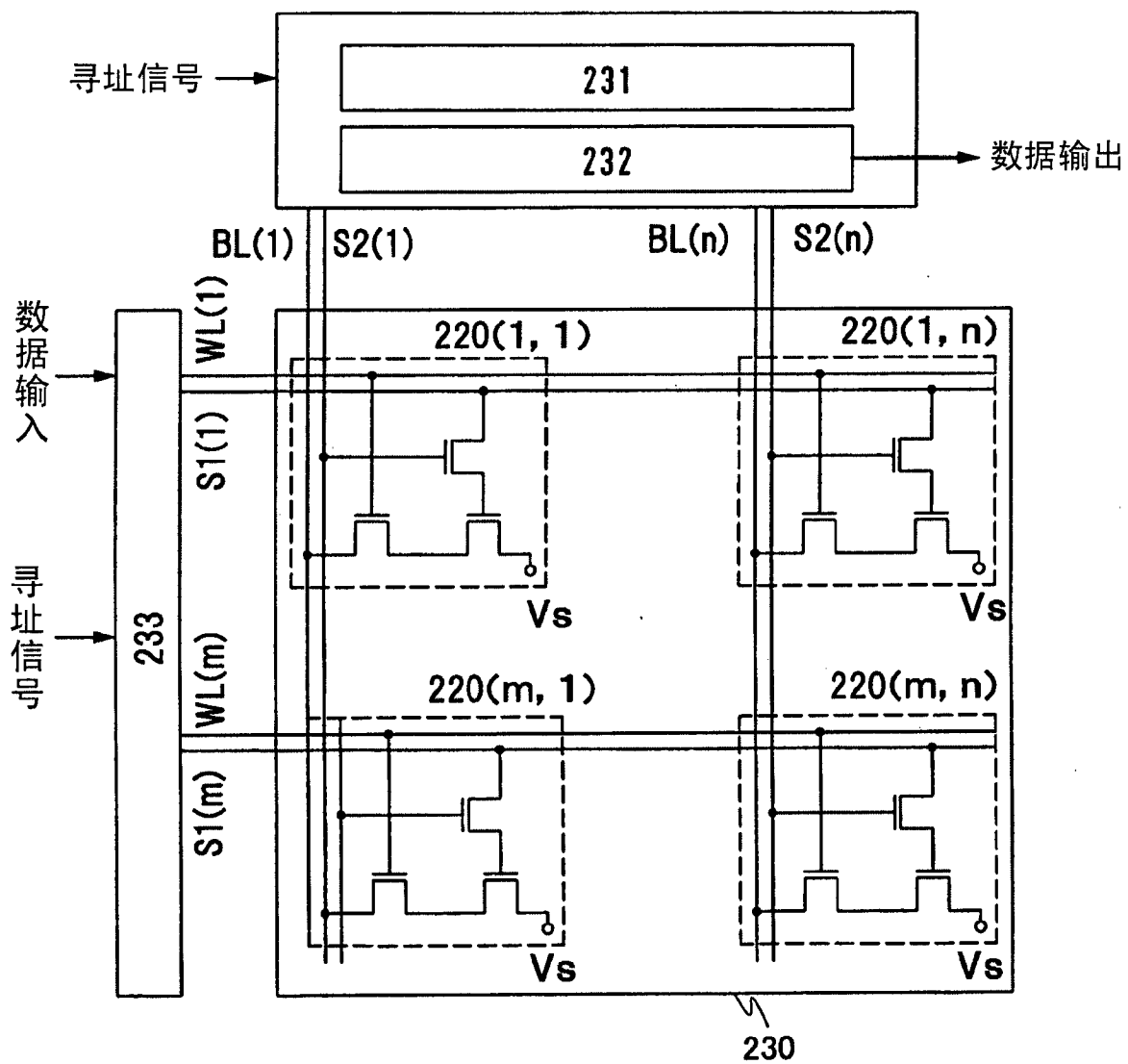


图 14

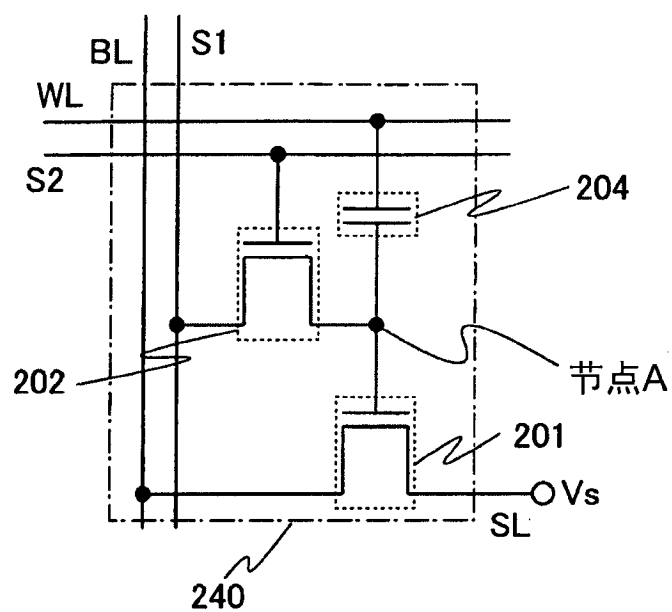


图 15

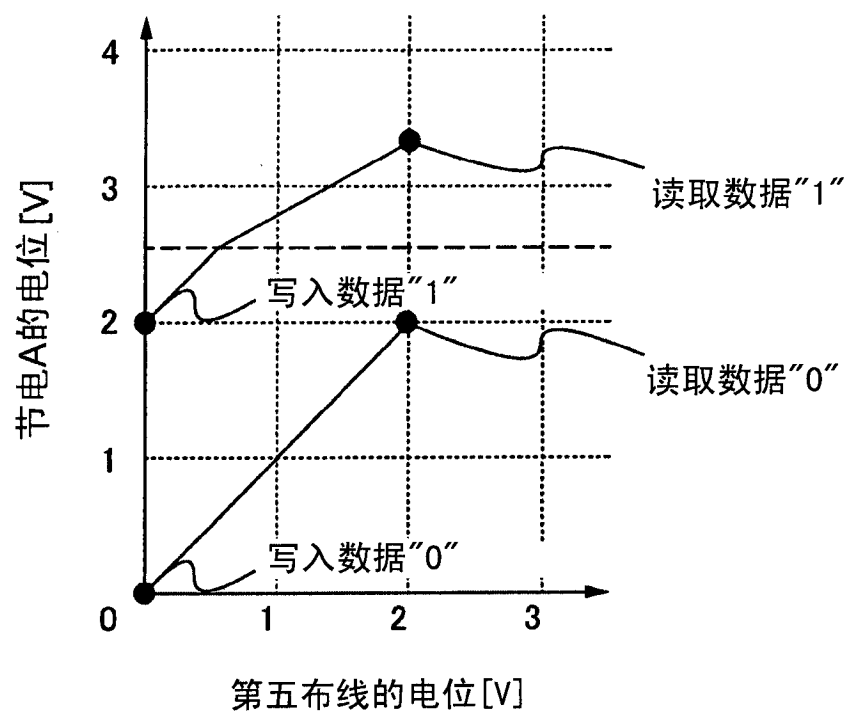


图 16

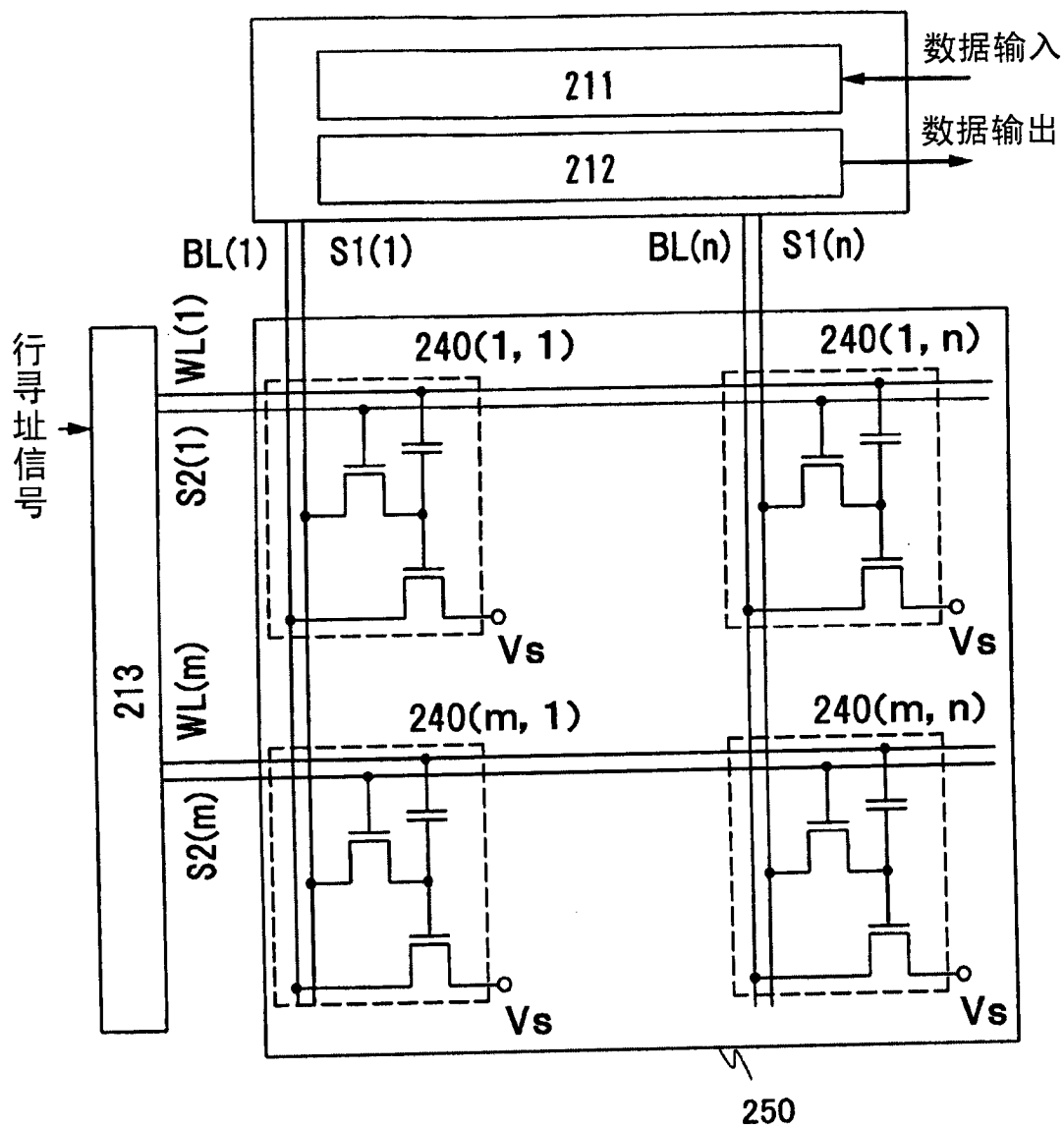


图 17

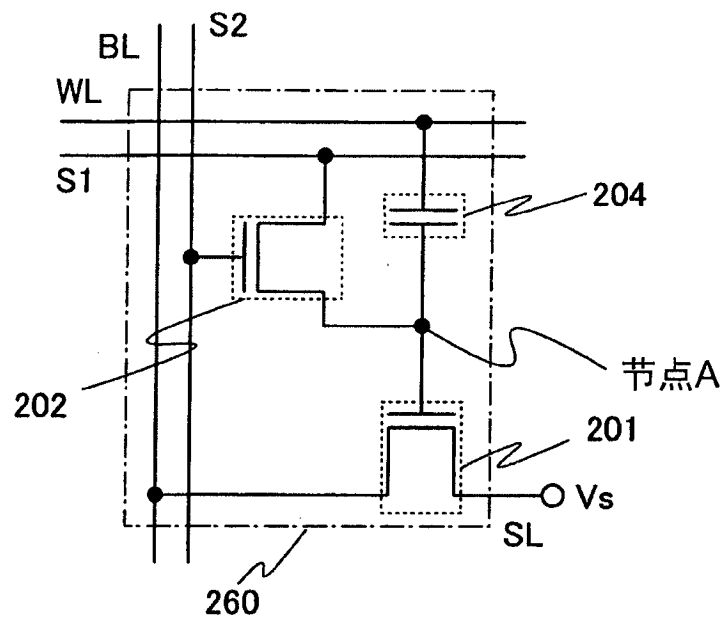


图 18

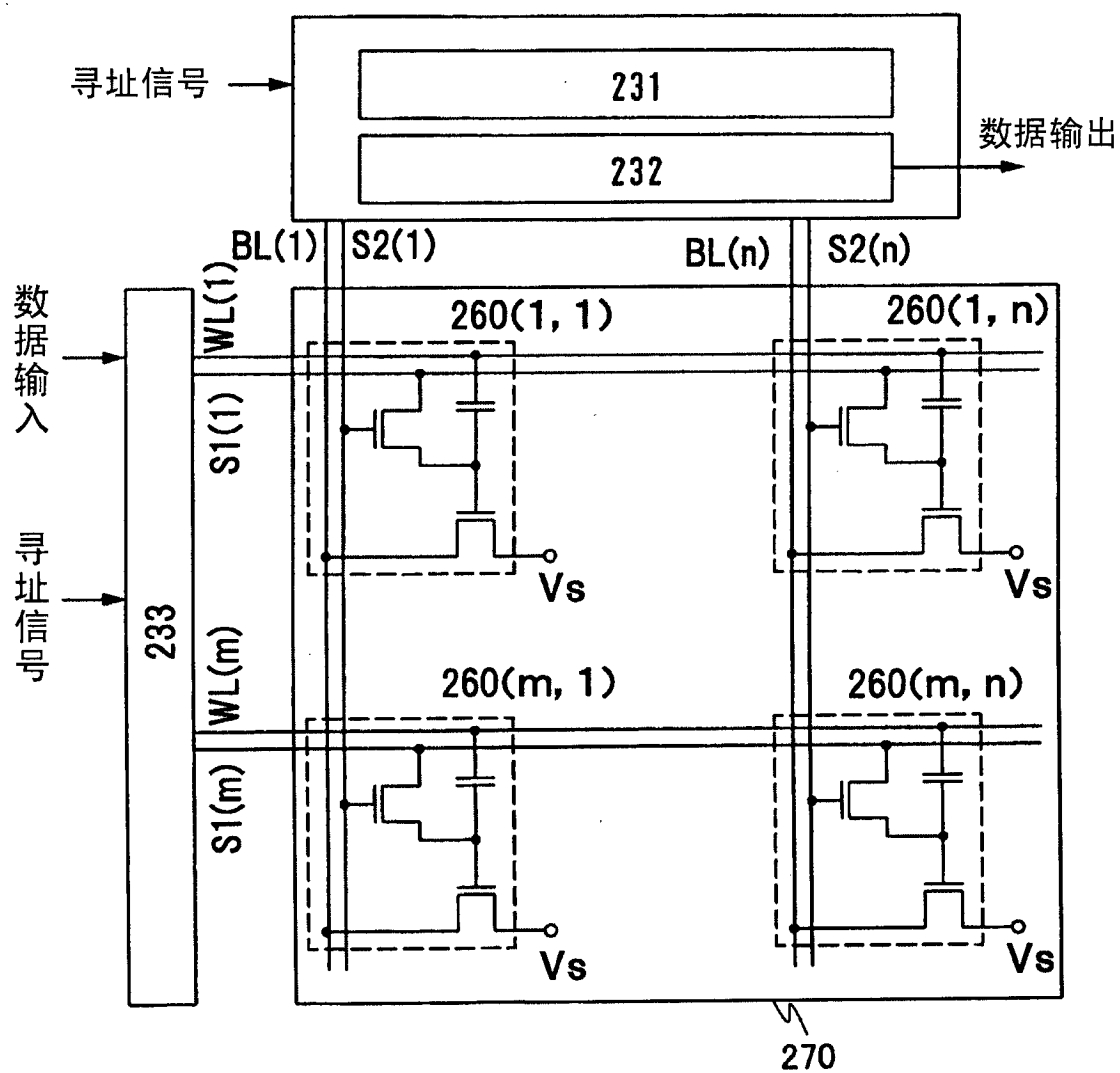


图 19

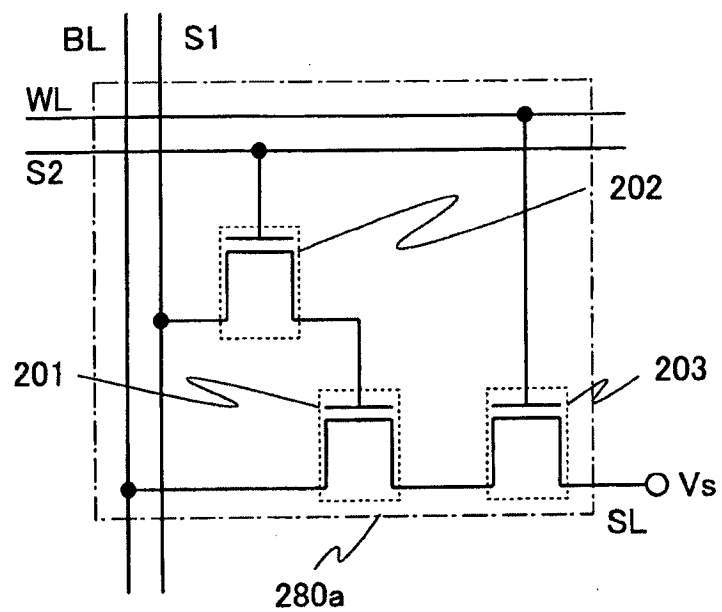


图 20A

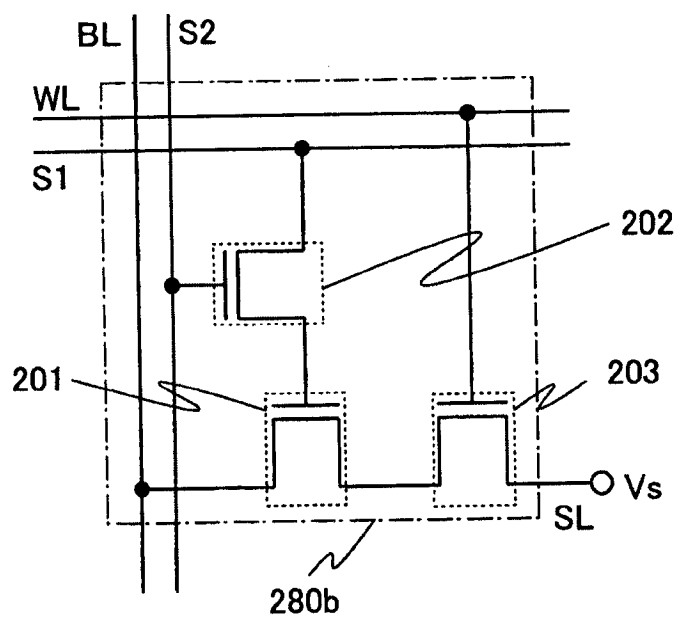


图 20B

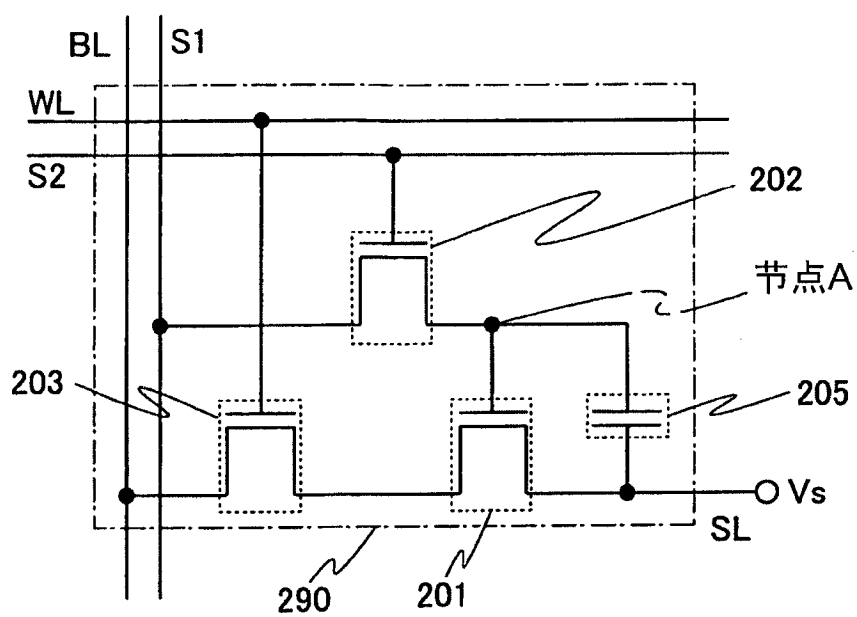


图 21

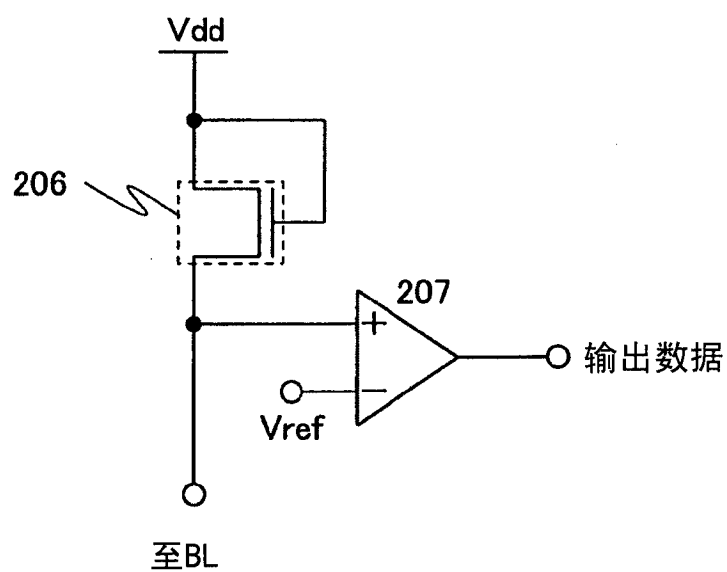


图 22

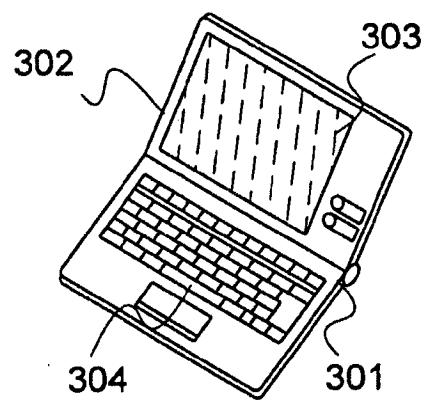


图 23A

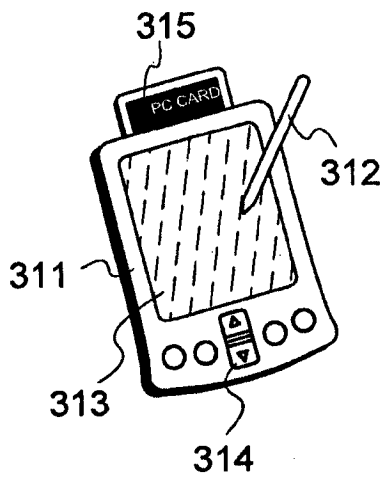


图 23B

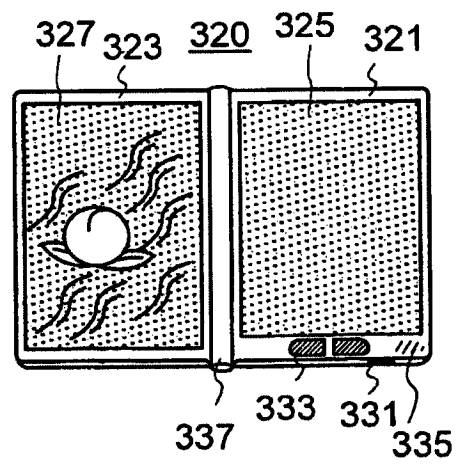


图 23C

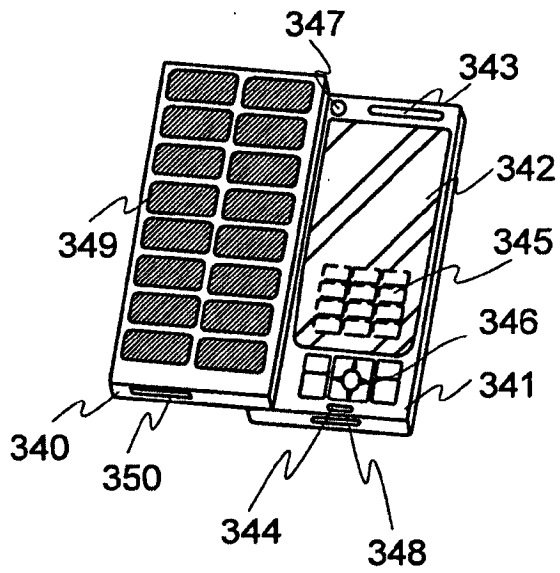


图 23D

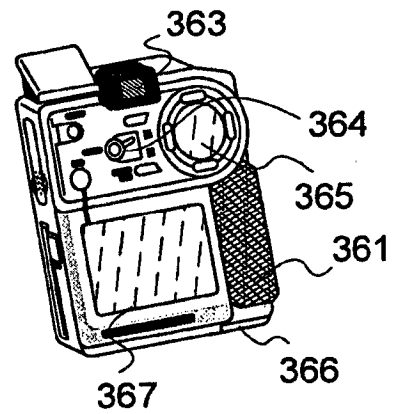


图 23E

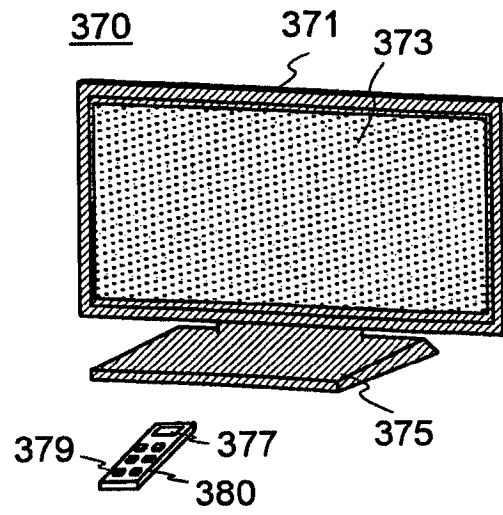


图 23F

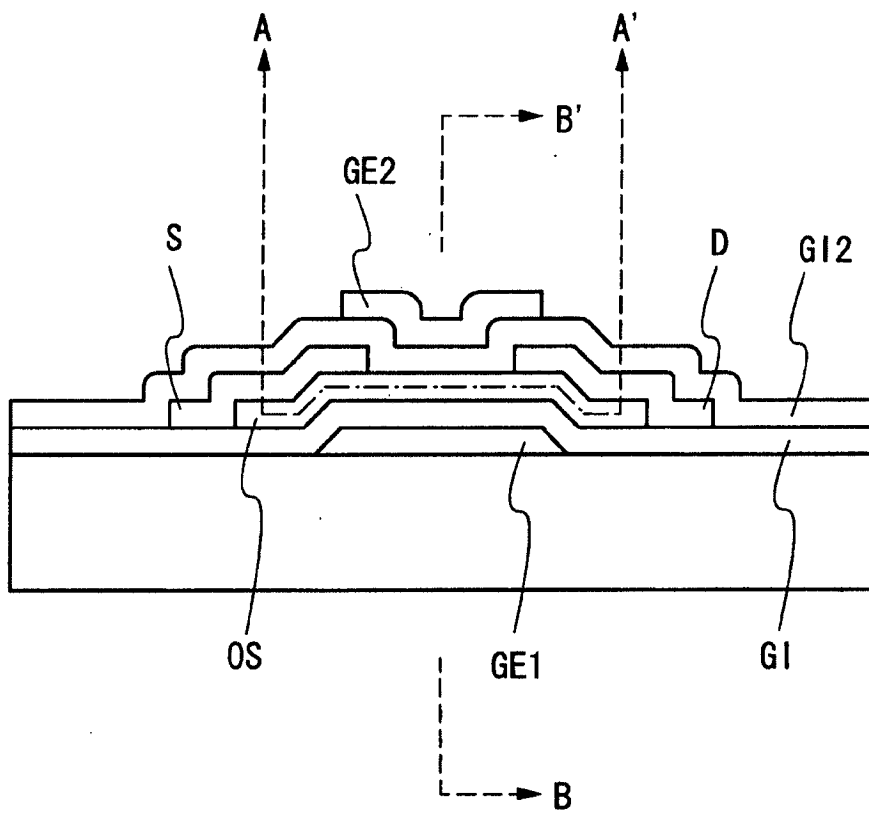


图 24

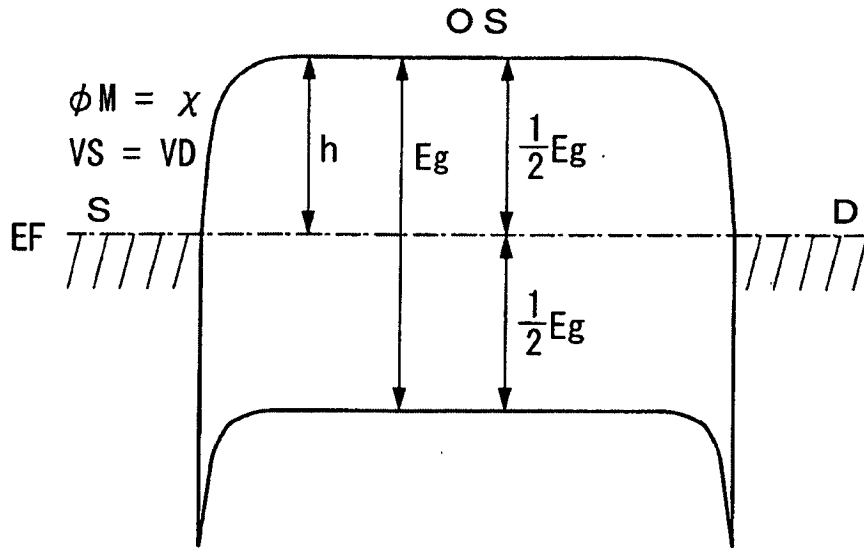


图 25A

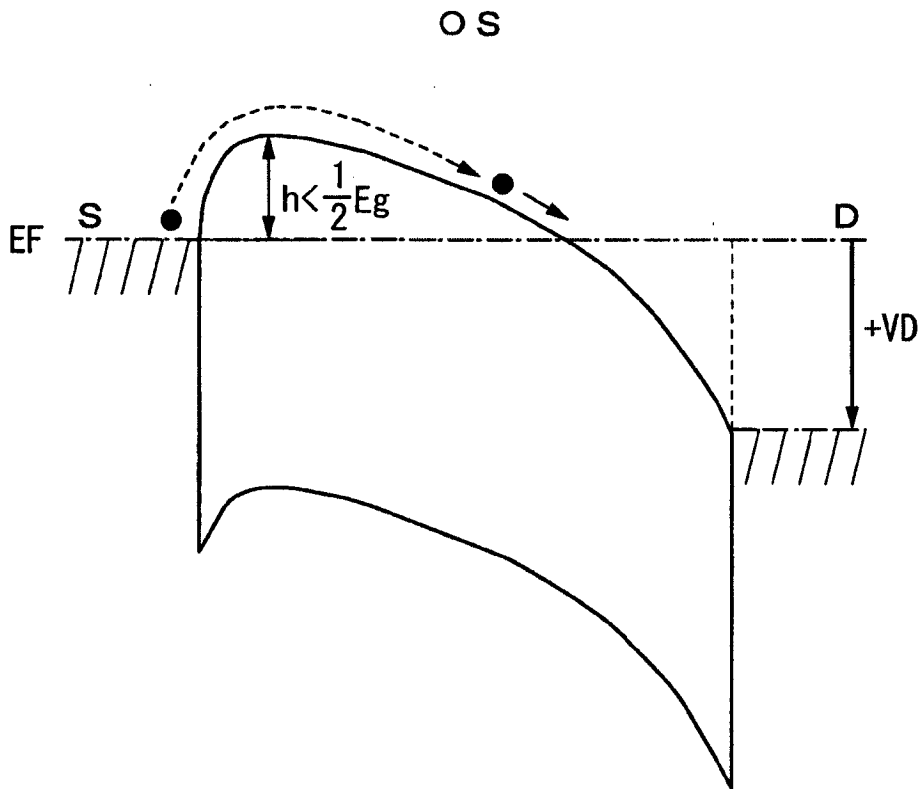


图 25B

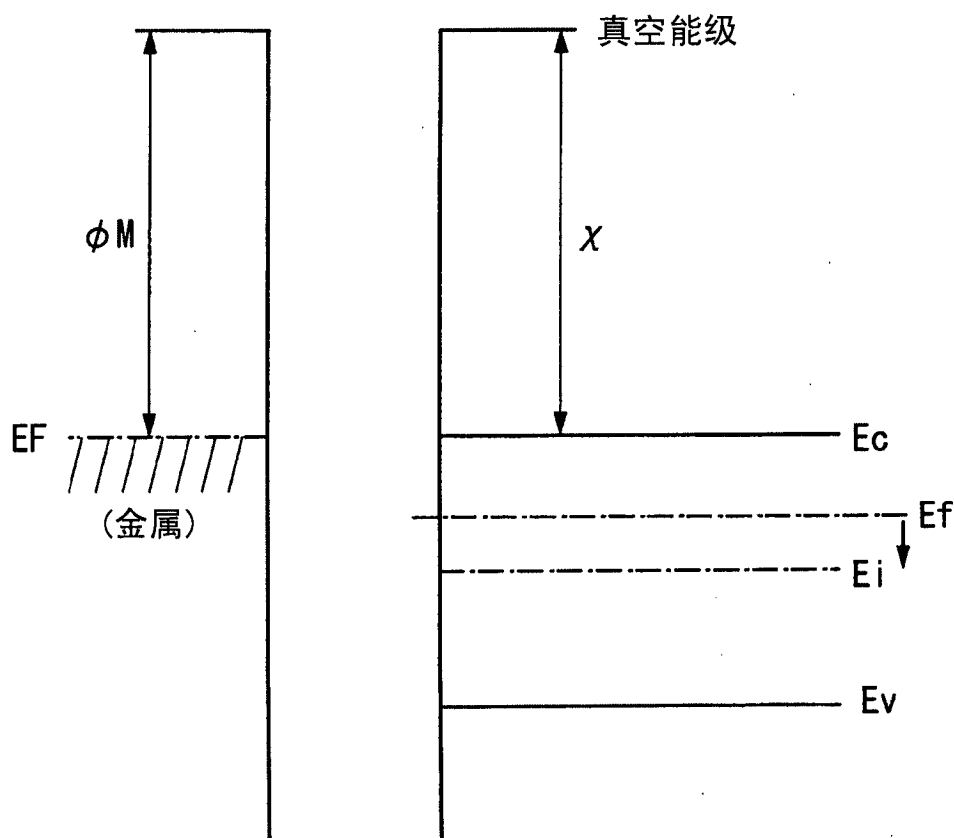


图 27

符号说明

100 : 衬底, 102 : 保护层, 104 : 半导体区域, 106 : 元件分离绝缘层, 108a : 栅极绝缘层, 110a : 栅电极, 112 : 绝缘层, 114 : 杂质区域, 116 : 沟道形成区域, 118 : 侧壁绝缘层, 120 : 高浓度杂质区域, 122 : 金属层, 124 : 金属化合物区域, 126 : 层间绝缘层, 128 : 层间绝缘层, 130a : 源 / 漏电极, 130b : 源 / 漏电极, 130c : 电极, 130d : 电极, 132 : 绝缘层, 134 : 导电层, 136a : 电极, 136b : 电极, 136c : 电极, 136d : 栅电极, 138 : 栅极绝缘层, 140 : 氧化物半导体层, 142a : 源 / 漏电极, 142b : 源 / 漏电极, 144 : 保护绝缘层, 146 : 层间绝缘层, 148 : 导电层, 150a : 电极, 150b : 电极, 150c : 电极, 150d : 电极, 150e : 电极, 152 : 绝缘层, 154a : 电极, 154b : 电极, 154c : 电极, 154d : 电极, 154e : 电极, 160 : 晶体管, 162 : 晶体管, 200 : 存储单元, 201 : 晶体管, 202 : 晶体管, 203 : 晶体管, 204 : 电容器, 205 : 电容器, 206 : 晶体管, 210 : 存储单元阵列, 211 : 用于驱动第二布线及第三布线的电路, 212 : 读取电路, 213 : 用于驱动第四布线及第五布线的电路, 220 : 存储单元, 230 : 存储单元阵列, 231 : 用于驱动第二布线及第四布线的电路, 232 : 读取电路, 233 : 用于驱动第三布线及第五布线的电路, 240 : 存储单元, 250 : 存储单元阵列, 260 : 存储单元, 270 : 存储单元阵列, 280a : 存储单元, 280b : 存储单元, 290 : 存储单元, 301 : 主体, 302 : 壳体, 303 : 显示部, 304 : 键盘, 311 : 主体, 312 : 手写笔, 313 : 显示部, 314 : 操作按钮, 315 : 外部接口, 320 : 电子书阅读器, 321 : 壳体, 323 : 壳体, 325 : 显示部, 327 : 显示部, 331 : 电源开关, 333 : 操作键, 335 : 扬声器, 337 : 铰链, 340 : 壳体, 341 : 壳体, 342 : 显示面板, 343 : 扬声器, 344 : 麦克风, 345 : 操作键, 346 : 指示装置, 347 : 照相机透

镜,348:外部连接端子,349:太阳能电池,350:外部存储插槽,361:主体,363:目镜部,364:操作开关,365:显示部(B),366:电池,367:显示部(A),370:电视机,371:壳体,373:显示部,375:支架,377:显示部,379:操作键,380:遥控器