(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H02M 3/155 (2006.01)

(11) 공개번호 10-2007-0071143
(43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0134339
(22) 출원일자 2005년12월29일
심사청구일자 2007년01월23일

(71) 출원인 고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 김철우
서울특별시 노원구 공릉2동 81번지 태강아파트 1021-1103
송장훈
경기도 의정부시 의정부2동 480-2호
윤길원
서울특별시 양천구 목6동 609동 801호
박승엽
서울특별시 강남구 대치1동 동부센트레빌 106동 302호

(74) 대리인 현종철

전체 청구항 수 : 총 10 항

(54) 적응 ＤＣ-ＤＣ 변환기

(57) 요약

본 발명은 적응 DC-DC 변환기에 관한 것이다. 본 발명은 외부로부터 입력되는 직류 전압을 다른 크기의 직류 전압으로 변환하는 적응 DC-DC 변환기에 있어서, 외부 클럭 신호와 상기 DC-DC 변환기의 출력 전압을 입력하고 상기 DC-DC 변환기의 출력 전압의 크기에 따라 상기 외부 클럭 신호를 지연시켜서 출력하는 지연 리플리커, 상기 지연 리플리커의 출력을 디지털 신호로 변환하는 디지털 변환부, 상기 디지털 변환부로부터 출력되는 디지털 신호를 외부에서 입력되는 기준 디지털 신호와 비교하고 그 차이를 출력하는 비교부, 상기 비교부의 출력을 입력하고 펄스 신호를 출력하며 상기 비교부의 출력에 따라 상기 펄스 신호의 듀티 사이클을 조정하여 출력하는 펄스신호 발생부, 상기 기준 디지털 신호와 상기 펄스 신호를 입력하고 상기 기준 디지털 신호 또는 상기 펄스 신호에 응답하여 출력 신호를 출력하는 트랜지스터 제어부, 및 상기 트랜지스터 제어부에 연결되며, 상기 트랜지스터 제어부의 출력신호에 응답하여 온 또는 오프되는 다수개의 MOS 트랜지스터들을 구비하는 MOS 트랜지스터 어레이를 구비함으로써, 전압 변환 속도가 향상된다.

대표도

도 3

특허청구의 범위

청구항 1.

외부로부터 입력되는 직류 전압을 다른 크기의 직류 전압으로 변환하는 적응 DC-DC 변환기에 있어서,

외부 클럭 신호와 상기 DC-DC 변환기의 출력 전압을 입력하고, 상기 DC-DC 변환기의 출력 전압의 크기에 따라 상기 외부 클럭 신호를 지연시켜서 출력하는 지연 리플리커;

상기 지연 리플리커의 출력을 디지털 신호로 변환하는 디지털 변환부;

상기 디지털 변환부로부터 출력되는 디지털 신호를 외부에서 입력되는 기준 디지털 신호와 비교하고 그 차이를 출력하는 비교부;

상기 비교부의 출력을 입력하고 펄스 신호를 출력하며, 상기 비교부의 출력에 따라 상기 펄스 신호의 듀티 사이클을 조정하여 출력하는 펄스신호 발생부;

상기 기준 디지털 신호와 상기 펄스 신호를 입력하고, 상기 기준 디지털 신호 또는 상기 펄스 신호에 응답하여 출력 신호를 출력하는 트랜지스터 제어부; 및

상기 트랜지스터 제어부에 연결되며, 상기 트랜지스터 제어부의 출력신호에 응답하여 온 또는 오프되는 다수개의 MOS 트랜지스터들을 구비하는 MOS 트랜지스터 어레이를 구비하는 것을 특징으로 하는 적응 DC-DC 변환기.

청구항 2.

제1항에 있어서, 상기 디지털 변환부는

상기 지연 리플리커의 출력 신호를 양자화하는 지연 양자화부; 및

상기 지연 양자화부의 출력 신호를 부호화하여 상기 디지털 신호로써 출력하는 엔코더를 구비하는 것을 특징으로 하는 적응 DC-DC 변환기.

청구항 3.

제2항에 있어서, 상기 지연 양자화부의 출력 신호는 32비트로 구성되는 것을 특징으로 하는 적응 DC-DC 변환기.

청구항 4.

제2항에 있어서, 상기 엔코더로부터 출력되는 디지털 신호는 5비트로 구성되는 것을 특징으로 하는 적응 DC-DC 변환기.

청구항 5.

제1항에 있어서, 상기 기준 디지털 신호는 5비트로 구성되는 것을 특징으로 하는 적응 DC-DC 변환기.

청구항 6.

제1항에 있어서, 상기 비교부는 상기 디지털 신호가 상기 기준 디지털 신호보다 작으면 업 신호를 출력하고, 상기 디지털 신호가 상기 기준 디지털 신호보다 크면 다운 신호를 출력하며, 상기 디지털 신호가 상기 기준 디지털 신호와 동일하면 홀드 신호를 출력하는 것을 특징으로 하는 적응 DC-DC 변환기.

청구항 7.

제1항 또는 제6항에 있어서, 상기 펄스신호 발생부는 상기 업 신호가 입력되면 상기 펄스 신호의 듀티 사이클을 증가시키고, 상기 다운 신호가 입력되면 상기 펄스 신호의 듀티 사이클을 감소시키며, 상기 홀드 신호가 입력되면 상기 펄스 신호를 그대로 유지시키는 것을 특징으로 하는 적응 DC-DC 변환기.

청구항 8.

제1항에 있어서, 상기 MOS 트랜지스터 어레이는

PMOS 트랜지스터들을 구비하는 PMOS 트랜지스터 어레이; 및

NMOS 트랜지스터들을 구비하는 NMOS 트랜지스터 어레이를 구비하는 것을 특징으로 하는 적응 DC-DC 변환기.

청구항 9.

제8항에 있어서, 상기 PMOS 트랜지스터 어레이와 NMOS 트랜지스터 어레이에 구비되는 트랜지스터들은 각각 32개인 것을 특징으로 하는 적응 DC-DC 변환기.

청구항 10.

제1항 또는 제8항에 있어서, 상기 트랜지스터 제어부는

상기 PMOS 트랜지스터 어레이에 구비되는 PMOS 트랜지스터들의 온 또는 오프를 제어하는 PMOS 트랜지스터 제어부; 및

상기 NMOS 트랜지스터 어레이에 구비되는 NMOS 트랜지스터들의 온 또는 오프를 제어하는 NMOS 트랜지스터 제어부를 구비하는 것을 특징으로 하는 적응 DC-DC 변환기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 DC-DC 변환기에 관한 것으로서, 특히 전압 변환 속도가 빠른 적응 DC-DC 변환기에 관한 것이다.

전압을 변환하는 변환기는 크게 2가지로 구분된다. 첫째는 교류 전압을 직류 전압으로 변환하는 AC-DC 변환기이고, 둘째는 직류 전압을 직류 전압으로 변환하는 DC-DC 변환기이다. 초기에는 AC-DC 변환기가 많이 사용되었으나, 전자기기의 종류가 많아지고, 그 기능이 다양해지면서 DC-DC 변환기의 용도가 점차 넓어지고 있다.

일반적으로, DC-DC 변환기는 일정한 DC 전압을 입력하고, 상기 입력 전압과 크기가 다른 일정한 DC 전압을 출력한다. 이 때, 출력 전압이 입력 전압보다 높으면 부스팅(boosting) 변환기라 하고, 출력 전압이 입력 전압보다 낮으면 벅(buck) 변환기라 한다.

도 1은 부하에 연결된 일반적인 DC-DC 변환기의 블록도이다. 도 1을 참조하면, DC-DC 변환기(101)는 전원 공급부(111), DC-DC 제어부(121), 인덕터(Inductor)(131), 캐패시터(Capacitor)(141) 및 출력단(P1,P2)를 구비한다. 출력단(P1,P2)에 부하(load)(105)가 연결된다.

DC-DC 제어부(121)는 전원 공급부(111)로부터 출력되는 직류 전압(VB)을 받아서 그 크기를 변환하여 출력한다.

인덕터(131)와 캐패시터(141)는 병렬로 연결되어 루프 필터(Loop Filter) 또는 로우 패스 필터(Low Pass Filter)를 구성한다. 상기 루프 필터 또는 로우 패스 필터는 DC-DC 제어부(121)에서 출력되는 직류 전압에 포함된 노이즈, 예컨대 교류 성분을 제거한다.

상기 로프 필터 또는 로우 패스 필터에서 출력되는 직류 전압은 부하(105)로 전달된다.

도 1에 도시된 DC-DC 변환기(101)는 오직 하나의 전압 레벨을 갖는 출력 전압만 만들어 낸다. 때문에 요즘에 많이 사용되는 마이크로프로세서(Micro-processor)에서 널리 쓰이는 동적인 전압 및 주파수 제어 방식에는 사용되지 못한다. 이러한 단점을 해결하기 위하여 도 2에 도시된 다이나믹(dynamic) DC-DC 변환기가 사용된다.

도 2는 부하에 연결된 다이나믹 DC-DC 변환기의 블록도이다. 도 2를 참조하면, 다이나믹 DC-DC 변환기(201)는 전원 공급부(211), 다이나믹 DC-DC 제어부(221), 인덕터(231), 캐패시터(241) 및 출력단(P3,P4)을 구비한다. 출력단(P3,P4)에 부하(205)가 연결된다.

인덕터(231)와 캐패시터(241)는 루프 필터 또는 로우 패스 필터를 구성하여 입력되는 직류 전압에 포함된 노이즈를 제거하여 출력한다.

도 2에 도시된 바와 같이, 다이나믹 DC-DC 변환기(201)는 일반적인 DC-DC 변환기(도 1의 101)와 비슷한 구성을 가지고 있으나, 한가지 차이점은 부하가 필요로 하는 전압(Vr)을 실시간으로 휘드백(feedback) 받아 관찰해 출력 전압으로 만들어 내보낸다는 것이다. 즉, 다이나믹 DC-DC 변환기(201)는 출력 전압을 하나의 값으로 고정적으로 출력하는 것이 아니라, 그때그때 필요한 값을 동적으로 만들어서 출력한다.

그런데, 도 2에 도시된 다이나믹 DC-DC 변환기(201)는 필요로 하는 출력 전압을 얻기 위하여 출력 전압을 여러 번에 걸쳐 휘드백 시켜야 하는 경우가 발생할 수가 있다. 이와 같이, 다이나믹 DC-DC 변환기(201)는 전압 변환 및 조절을 휘드백 신호에만 의존하기 때문에 전압 변환 속도가 느리다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 전압 변환 속도가 빠른 적응 DC-DC 변환기를 제공하는 것이다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명은

외부로부터 입력되는 직류 전압을 다른 크기의 직류 전압으로 변환하는 적응 DC-DC 변환기에 있어서, 외부 클럭 신호와 상기 DC-DC 변환기의 출력 전압을 입력하고, 상기 DC-DC 변환기의 출력 전압의 크기에 따라 상기 외부 클럭 신호를 지연시켜서 출력하는 지연 리플리커; 상기 지연 리플리커의 출력을 디지털 신호로 변환하는 디지털 변환부; 상기 디지털 변환부로부터 출력되는 디지털 신호를 외부에서 입력되는 기준 디지털 신호와 비교하고 그 차이를 출력하는 비교부; 상기 비교부의 출력을 입력하고 펄스 신호를 출력하며, 상기 비교부의 출력에 따라 상기 펄스 신호의 듀티 사이클을 조정하여 출력하는 펄스신호 발생부; 상기 기준 디지털 신호와 상기 펄스 신호를 입력하고, 상기 기준 디지털 신호 또는 상기 펄스 신호에 응답하여 출력 신호를 출력하는 트랜지스터 제어부; 및 상기 트랜지스터 제어부에 연결되며, 상기 트랜지스터 제어부의 출력신호에 응답하여 온 또는 오프되는 다수개의 MOS 트랜지스터들을 구비하는 MOS 트랜지스터 어레이를 구비하는 적응 DC-DC 변환기를 제공한다.

바람직하기는, 상기 디지털 변환부는 상기 지연 리플리커의 출력 신호를 양자화하는 지연 양자화부, 및 상기 지연 양자화부의 출력 신호를 부호화하여 상기 디지털 신호로써 출력하는 엔코더를 구비한다. 이 때, 상기 지연 양자화부의 출력 신호는 32비트로 구성되고, 상기 엔코더로부터 출력되는 디지털 신호는 5비트로 구성되며, 상기 기준 디지털 신호는 5비트로 구성되는 것이 바람직하다.

상기 비교부는 상기 디지털 신호가 상기 기준 디지털 신호보다 작으면 업 신호를 출력하고, 상기 디지털 신호가 상기 기준 디지털 신호보다 크면 다운 신호를 출력하며, 상기 디지털 신호가 상기 기준 디지털 신호와 동일하면 홀드 신호를 출력한다.

상기 펄스신호 발생부는 상기 업 신호가 입력되면 상기 펄스 신호의 듀티 사이클을 증가시키고, 상기 다운 신호가 입력되면 상기 펄스 신호의 듀티 사이클을 감소시키며, 상기 홀드 신호가 입력되면 상기 펄스 신호를 그대로 유지시킨다.

상기 MOS 트랜지스터 어레이는 PMOS 트랜지스터들을 구비하는 PMOS 트랜지스터 어레이, 및 NMOS 트랜지스터들을 구비하는 NMOS 트랜지스터 어레이를 구비하고, 상기 PMOS 트랜지스터 어레이와 NMOS 트랜지스터 어레이에 구비되는 트랜지스터들은 각각 32개인 것이 바람직하다.

상기 트랜지스터 제어부는 상기 PMOS 트랜지스터 어레이에 구비되는 PMOS 트랜지스터들의 온 또는 오프를 제어하는 PMOS 트랜지스터 제어부, 및 상기 NMOS 트랜지스터 어레이에 구비되는 NMOS 트랜지스터들의 온 또는 오프를 제어하는 NMOS 트랜지스터 제어부를 구비한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 3은 본 발명에 따른 적응 DC-DC 변환기의 블록도이다. 도 3을 참조하면, 적응 DC-DC 변환기(301)는 지연 리플리커(311), 디지털 변환부(321), 비교부(331), 펄스신호 발생부(341), 트랜지스터 제어부(351), MOS(Metal Oxide Semiconductor) 트랜지스터 어레이(361) 및 로우 패스 필터(371)를 구비한다.

지연 리플리커(311)는 기준 클럭 신호(RCLK)와 적응 DC-DC 변환기(301)의 출력 전압(Vdc)을 입력하고, 적응 DC-DC 변환기(301)의 출력 전압(Vdc)의 크기에 따라 기준 클럭 신호(RCLK)를 지연시켜서 출력한다. 지연 리플리커(311)는 마이크로프로세서 회로 중에서 속도에 가장 민감한 크리티컬 패쓰(critical path)를 똑같이 만들어 놓은 것이다. 지연 리플리커(311)의 출력신호의 지연 정도는 아래 수학식 1과 같다.

$$\text{지연} \propto \frac{C \cdot V_{DD}}{(V_{DD} - V_{TH})^{1.3}}$$

여기서, 상기 C는 지연 리플리커(311) 내부의 캐패시턴스이고, VDD는 지연 리플리커(311) 내부에 인가되는 전원전압이며, Vth는 지연 리플리커(311) 내부에 구비되는 전계효과트랜지스터의 문턱전압이다. 상기 수학식 1과 같이, 지연 리플리커(311)의 출력신호의 지연 정도는 전원전압(VDD)에 반비례한다. 즉, 전원전압(VDD)이 낮을수록 지연 리플리커(311)의 출력신호의 지연은 길어진다.

디지털 변환부(321)는 지연 리플리커(311)의 출력을 디지털 신호로 변환하여 출력한다. 디지털 변환부(321)는 지연 양자화부(323)와 엔코더(Encoder)(325)를 구비한다. 지연 양자화부(323)는 지연 리플리커(311)의 출력 신호를 소정의 비트 수, 예컨대 32비트로 양자화하여 출력한다. 엔코더(325)는 지연 양자화부(323)의 출력 신호를 받아서 이를 소정의 비트, 예컨대 5비트로 부호화하여 디지털 신호(DIT)로써 출력한다. 기준 디지털 신호(RDIT)는 5비트로 구성되는 것이 바람직하다. 따라서, 기준 디지털 신호(RDIT)와 엔코더(325)에서 출력되는 디지털 신호(DIT)는 각각 5비트로 동일하게 구성된다.

비교부(331)는 디지털 변환부(321)로부터 출력되는 디지털 신호(DIT)를 외부에서 입력되는 기준 디지털 신호(RDIT)와 비교하고 그 차이를 출력한다. 즉, 비교부(331)는 디지털 신호(DIT)가 기준 디지털 신호(RDIT)보다 작으면 업 신호(up)를 출력하고, 디지털 신호(DIT)가 기준 디지털 신호(RDIT)보다 크면 다운 신호(dn)를 출력하며, 디지털 신호(DIT)가 기준 디지털 신호(RDIT)와 동일하면 홀드 신호(hld)를 출력한다. 기준 디지털 신호(RDIT)는 마이크로프로세서에서 현재 필요한 클럭 주파수 정보로, 마이크로프로세서의 다른 부분이나 운영체제 프로그램(Operating Program)으로부터 미리 주어지게 된다.

펄스신호 발생부(341)는 비교부(331)의 출력을 입력하고 펄스 신호(PL)를 출력하며, 비교부(331)의 출력에 따라 펄스 신호(PL)의 듀티 사이클을 조정하여 출력한다. 즉, 펄스신호 발생부(341)는 업 신호(up)가 입력되면 펄스 신호(PL)의 듀티

사이클을 증가시키고, 다운 신호(dn)가 입력되면 펄스 신호(PL)의 듀티 사이클을 감소시키며, 홀드 신호(hld)가 입력되면 펄스 신호(PL)를 그대로 유지시킨다. 펄스신호 발생부(341)는 PWM(Pulse Width Modulation) 신호를 발생하는 PWM 발생기로 구성되는 것이 바람직하다.

트랜지스터 제어부(351)는 기준 디지털 신호(RDIT)와 펄스 신호(PL)를 입력하고, 기준 디지털 신호(RDIT) 또는 펄스 신호(PL)에 응답하여 MOS 트랜지스터 어레이(361)를 제어하는 신호를 출력한다. 트랜지스터 제어부(351)는 PMOS 트랜지스터 제어부(353)와 NMOS 트랜지스터 제어부(355)를 구비한다. PMOS 트랜지스터 제어부(353)는 PMOS 트랜지스터 어레이(363)에 구비되는 PMOS 트랜지스터들의 온 또는 오프를 제어한다. NMOS 트랜지스터 제어부(355)는 NMOS 트랜지스터 어레이(365)에 구비되는 NMOS 트랜지스터들의 온 또는 오프를 제어한다.

MOS 트랜지스터 어레이(361)는 트랜지스터 제어부(351)에 연결되며, 트랜지스터 제어부(351)의 출력신호에 응답하여 직류 전압(Vdc1)을 출력한다. MOS 트랜지스터 어레이(361)는 PMOS 트랜지스터 어레이(363)와 NMOS 트랜지스터 어레이(365)를 구비한다. PMOS 트랜지스터 어레이(363)는 PMOS 트랜지스터 제어부(353)의 출력신호에 응답하여 동작하고, NMOS 트랜지스터 어레이(365)는 NMOS 트랜지스터 제어부(355)의 출력신호에 응답하여 동작한다. PMOS 트랜지스터 어레이(363)와 NMOS 트랜지스터 어레이(365)에 대해서는 도 4를 통해서 상세히 설명하기로 한다.

로우 패스 필터(371)는 MOS 트랜지스터 어레이(361)로부터 출력되는 신호에 포함된 노이즈를 제거하여 적응 DC-DC 변환기(301)의 출력 전압(Vdc)을 출력한다.

도 4는 도 3에 도시된 PMOS 트랜지스터 제어부(353)와 NMOS 트랜지스터 제어부(355)에 각각 연결된 PMOS 트랜지스터 어레이(363)와 NMOS 트랜지스터 어레이(365)의 구성도이다.

도 4를 참조하면, PMOS 트랜지스터 어레이(363)는 다수개, 예컨대 32개의 PMOS 트랜지스터들(411)을 구비한다. PMOS 트랜지스터들(411)의 소오스들은 전원전압(VDD)에 연결되고, PMOS 트랜지스터들(411)의 게이트들은 PMOS 트랜지스터 제어부(353)에 연결되며, PMOS 트랜지스터들(411)의 드레인들은 노드(N1)에 연결된다.

이와 같이, PMOS 트랜지스터들(411)의 게이트들이 모두 PMOS 트랜지스터 제어부(353)에 연결됨에 따라 PMOS 트랜지스터 제어부(353)의 출력신호에 의해 PMOS 트랜지스터들(411)의 온(on)/오프(off) 동작이 제어된다. 즉, PMOS 트랜지스터 제어부(353)의 출력신호들이 논리 로우(logic low)이면 PMOS 트랜지스터들(411)은 온되고, PMOS 트랜지스터 제어부(353)의 출력신호들이 논리 하이(logic high)이면 PMOS 트랜지스터들(411)은 오프된다. PMOS 트랜지스터들(411)이 온되면 전원전압(VDD)이 노드(N1)에 인가되고, PMOS 트랜지스터들(411)이 오프되면 전원전압(VDD)은 노드(N1)로 인가되지 않는다.

PMOS 트랜지스터 제어부(353)로부터 32비트의 출력신호들이 출력되고, 이들 신호들은 각각 32개의 PMOS 트랜지스터들(411)의 게이트들로 인가되기 때문에, PMOS 트랜지스터들(411)은 PMOS 트랜지스터 제어부(353)의 출력신호들에 의해 그 동작이 개별적으로 제어된다. 따라서, 온되는 PMOS 트랜지스터들의 수가 많으면 PMOS 트랜지스터 어레이(363)로부터 출력되는 전압(Vdc1)은 높아지고, 온되는 PMOS 트랜지스터들의 수가 적으면 PMOS 트랜지스터 어레이(363)로부터 출력되는 전압(Vdc1)은 낮아진다. 즉, 온되는 PMOS 트랜지스터들의 수를 조절함으로써 적응 DC-DC 변환기(301)의 출력전압(Vdc)의 크기가 조절된다. PMOS 트랜지스터들(411)의 수가 많을수록 적응 DC-DC 변환기(301)의 출력전압(Vdc)의 조정이 정밀하게 이루어진다.

도 4를 참조하면, NMOS 트랜지스터 어레이(365)는 다수개, 예컨대 32개의 NMOS 트랜지스터들(421)을 구비한다. NMOS 트랜지스터들(421)의 드레인들은 노드(N1)에 연결되고, NMOS 트랜지스터들(421)의 게이트들은 NMOS 트랜지스터 제어부(355)에 연결되며, NMOS 트랜지스터들(421)의 소오스들은 접지단(GND)에 연결된다.

이와 같이, NMOS 트랜지스터들(421)의 게이트들이 모두 NMOS 트랜지스터 제어부(355)에 연결됨에 따라 NMOS 트랜지스터 제어부(355)의 출력신호에 의해 NMOS 트랜지스터들(421)의 온/오프 동작이 제어된다. 즉, NMOS 트랜지스터 제어부(355)의 출력신호들이 논리 로우이면 NMOS 트랜지스터들(411)은 오프되고, NMOS 트랜지스터 제어부(355)의 출력신호들이 논리 하이이면 NMOS 트랜지스터들(421)은 온된다. NMOS 트랜지스터들(421)이 온되면 노드(N1)의 전압은 접지전압(GND) 레벨로 낮아지고, NMOS 트랜지스터들(421)이 오프되면 노드(N1)의 전압은 현재대로 유지된다.

NMOS 트랜지스터 제어부(355)로부터 32비트의 출력신호들이 출력되고, 이들 신호들은 각각 32개의 NMOS 트랜지스터들(421)의 게이트들로 인가되기 때문에, NMOS 트랜지스터들(421)은 NMOS 트랜지스터 제어부(355)의 출력신호들에 의해 그 동작이 개별적으로 제어된다. 따라서, 온되는 NMOS 트랜지스터들의 수가 많으면 NMOS 트랜지스터 어레이(365)

로부터 출력되는 전압(Vdc1)은 낮아지고, 온되는 NMOS 트랜지스터들의 수가 적으면 NMOS 트랜지스터 어레이(365)로부터 출력되는 전압(Vdc1)은 높아진다. 즉, 온되는 NMOS 트랜지스터의 수를 조절함으로써 적응 DC-DC 변환기(301)의 출력전압(Vdc)의 크기가 조절된다. NMOS 트랜지스터들(421)의 수가 많을수록 적응 DC-DC 변환기(301)의 출력전압(Vdc)의 조정이 정밀하게 이루어진다.

도 5는 도 3의 적응 DC-DC 변환기(301)의 출력 전압 조절 방법을 설명하기 위한 도면이다. 도 5를 참조하면, 적응 DC-DC 변환기(301)의 출력 전압 조절 방법은 2단계에 걸쳐 이루어진다. 도 3 및 도 4를 참조하여 적응 DC-DC 변환기(301)의 출력 전압 조절 방법을 설명하기로 한다.

첫째 단계(511)로써, PMOS 트랜지스터 제어부(353)와 NMOS 트랜지스터 제어부(355)는 외부로부터 기준 디지털 신호(RDIT)를 입력하고, 기준 디지털 신호(RDIT)를 해석하여 PMOS 트랜지스터 어레이(363)와 NMOS 트랜지스터 어레이(365)로 전달한다. PMOS 트랜지스터 어레이(363)와 NMOS 트랜지스터 어레이(365)는 입력되는 신호에 따라 소정 개수의 PMOS 트랜지스터들(411)과 NMOS 트랜지스터들(421)을 온시킨다. 온되는 PMOS 트랜지스터(411)와 NMOS 트랜지스터(421)의 수에 따라 PMOS 트랜지스터 어레이(363)와 NMOS 트랜지스터 어레이(365)의 출력 전압(Vdc1)이 결정된다. PMOS 트랜지스터 어레이(363)와 NMOS 트랜지스터 어레이(365)의 출력 전압(Vdc1)은 로우 패스 필터(371)를 거치면서 노이즈가 제거된 상태에서 적응 DC-DC 변환기(301)의 출력 전압(Vdc)으로써 출력된다.

둘째 단계(521)로써, 적응 DC-DC 변환기(301)의 출력 전압(Vdc)은 지연 리플리커(311)로 휘드백된다. 지연 리플리커(311)는 적응 DC-DC 변환기(301)의 출력전압(Vdc)의 크기에 따라 기준 클럭 신호(RCLK)를 지연시켜서 출력한다. 디지털 변환부(321)는 지연 리플리커(311)로부터 출력되는 클럭 신호를 5비트의 디지털 신호(DIT)로 변환하여 출력한다. 비교부(331)는 디지털 변환부(321)로부터 출력되는 디지털 신호(DIT)가 외부에서 입력되는 기준 디지털 신호(RDIT)보다 크면 다운 신호(dn)를 출력하고, 디지털 신호(DIT)가 기준 디지털 신호(RDIT)보다 작으면 업 신호(up)를 출력하며, 디지털 신호(DIT)가 기준 디지털 신호(RDIT)와 동일하면 홀드 신호(hld)를 출력한다. 펄스신호 발생부(341)는 업 신호(up)가 입력되면 펄스 신호(PL)의 듀티 사이클을 증가시키고, 다운 신호(dn)가 입력되면 펄스 신호(PL)의 듀티 사이클을 감소시키며, 홀드 신호(hld)가 입력되면 펄스 신호(PL)의 듀티 사이클을 현재대로 유지시킨다. PMOS 트랜지스터 제어부(353)는 입력되는 펄스 신호(PL)의 듀티 사이클이 길면 PMOS 트랜지스터 어레이(363)에 구비되는 PMOS 트랜지스터들(411)의 온되는 수를 증가시키고, 입력되는 펄스 신호(PL)의 듀티 사이클이 짧으면 PMOS 트랜지스터들(411)의 온되는 수를 감소시킨다. 온되는 PMOS 트랜지스터들의 수가 증가되면 적응 DC-DC 변환기(301)의 출력 전압(Vdc)은 증가하고, 온되는 PMOS 트랜지스터들의 수가 감소되면 적응 DC-DC 변환기(301)의 출력 전압(Vdc)은 감소한다. 또한, NMOS 트랜지스터 제어부(355)는 입력되는 펄스 신호(PL)의 듀티 사이클이 길면 NMOS 트랜지스터 어레이(365)에 구비되는 NMOS 트랜지스터들(421)의 온되는 수를 감소시키고, 입력되는 펄스 신호(PL)의 듀티 사이클이 짧으면 NMOS 트랜지스터들(421)의 온되는 수를 증가시킨다. 온되는 NMOS 트랜지스터들의 수가 증가되면 적응 DC-DC 변환기(301)의 출력 전압(Vdc)은 감소하고, 온되는 PMOS 트랜지스터들의 수가 감소되면 적응 DC-DC 변환기(301)의 출력 전압(Vdc)은 증가한다.

상기와 같이, 1차적으로 적응 DC-DC 변환기(301)의 출력 전압(Vdc)을 출력하고, 이 전압이 원하는 수준이 아닐 경우에는, 이 전압을 지연 리플리커(311)로 휘드백시켜서 적응 DC-DC 변환기(301)의 출력 전압(Vdc)을 2차로 조정함으로써, 적응 DC-DC 변환기(301)의 출력 전압(Vdc)은 원하는 전압값으로 조정될 수가 있다. 또한, 적응 DC-DC 변환기(301)의 출력 전압(Vdc)이 크게 변경될 필요가 있을 때에도 1단계에 의해 출력 전압(Vdc)이 빠른 속도로 변환이 가능하고, 필요한 트랜지스터들만 선택적으로 사용할 수 있으므로 전력 변환 효율이 높아진다.

도면과 명세서에서 최적 실시예가 개시되었으며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 기재된 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명의 적응 DC-DC 변환기(301)는 다수개의 PMOS 트랜지스터들(411)과 다수개의 NMOS 트랜지스터들(421)을 구비하고, 이들의 온/오프되는 개수를 조절함으로써 적응 DC-DC 변환기(301)의 출력 전압(Vdc)은 정밀하게 조정된다. 따라서, 적응 DC-DC 변환기(301)의 전압 변환 효율성이 향상된다.

또, 1차적으로 기준 디지털 신호(RDIT)에 의해 적응 DC-DC 변환기(301)의 출력 전압(Vdc)을 개략적으로 출력하고, 이때 출력되는 전압이 원하는 전압값이 아닐 경우에, 이를 휘드백시켜서 2차적으로 조절함으로써, 적응 DC-DC 변환기

(301)의 전압 변환 속도가 향상된다. 또한, 기준 디지털 신호(RDIT)에 따라 적응 DC-DC 변환기(301)의 출력 전압(Vdc)을 얼마든지 변경할 수 있으므로 출력 전압(Vdc)의 가변 범위가 넓으며, 로우 패스 필터(371)를 구비하여 출력 전압(Vdc)에 포함된 노이즈가 제거되므로 노이즈가 적다.

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 부하에 연결된 일반적인 DC-DC 변환기의 블록도이다.

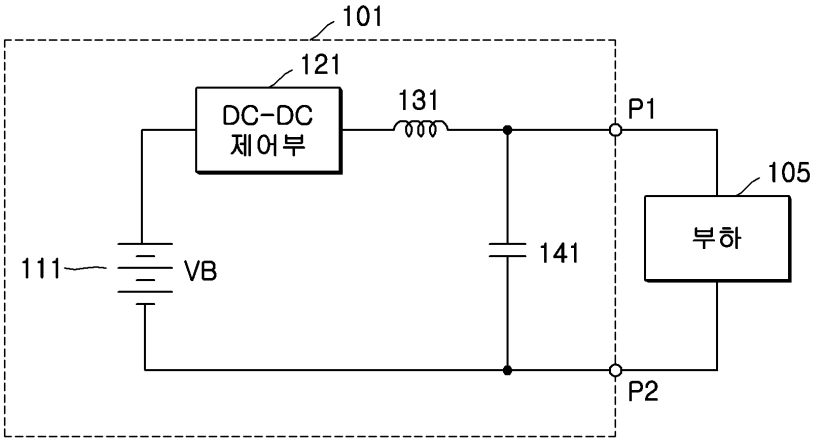
도 2는 부하에 연결된 다이나믹 DC-DC 변환기의 블록도이다.

도 3은 본 발명에 따른 적응 DC-DC 변환기의 블록도이다.

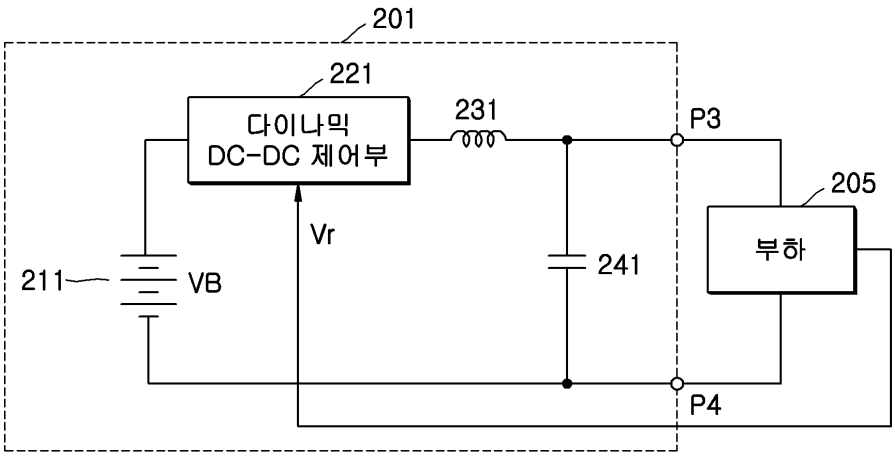
도 4는 도 3에 도시된 PMOS 트랜지스터 제어부와 NMOS 트랜지스터 제어부에 각각 연결된 PMOS 트랜지스터 어레이와 NMOS 트랜지스터 어레이의 구성도이다.

도면

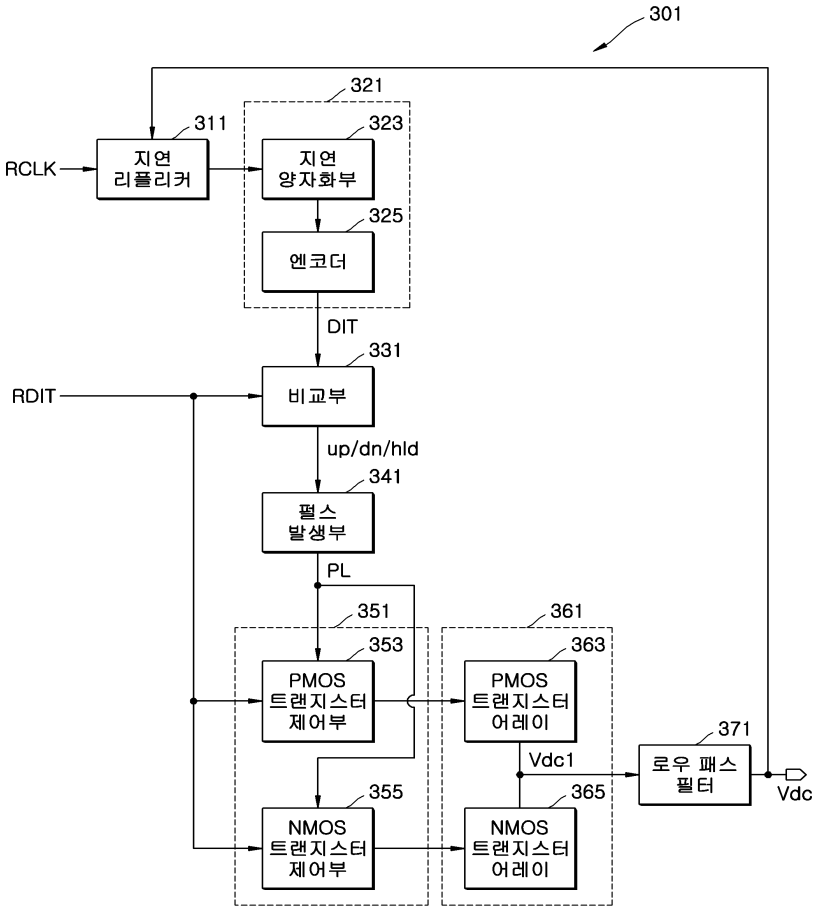
도면1



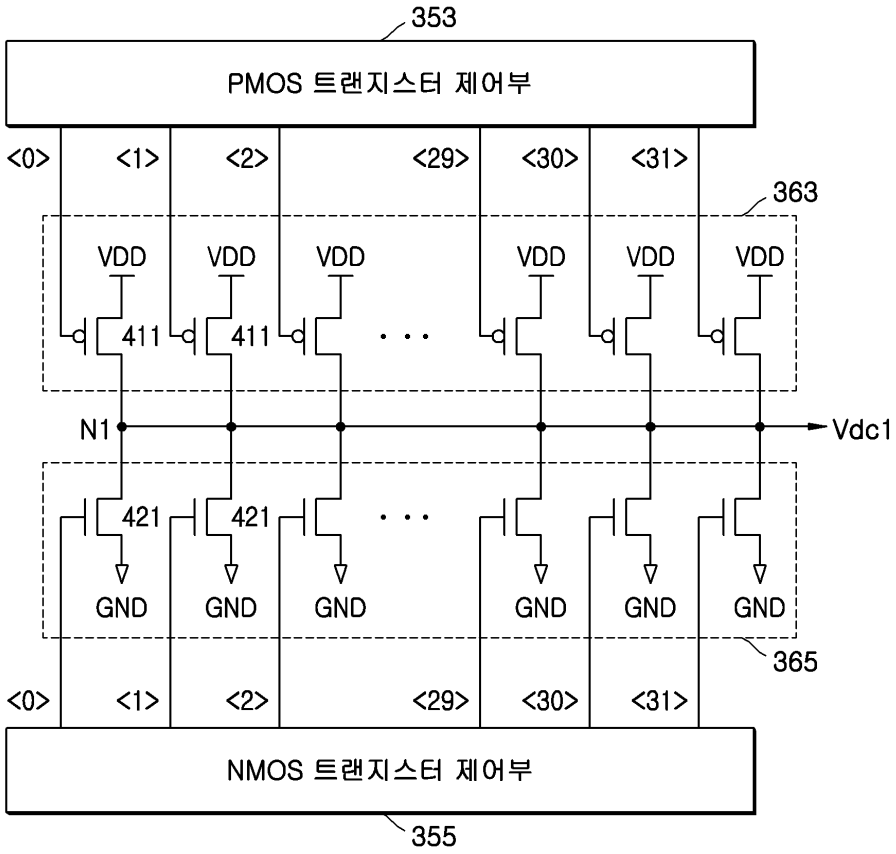
도면2



도면3


301
321
311
323
RCLK
지연
리플리커
지연
양자화부
325
엔코더
DIT
331
RDIT
비교부
up/dn/hld
341
펄스
발생부
PL
351
361
353
363
PMOS
트랜지스터
제어부
PMOS
트랜지스터
어레이
371
Vdc1
로우 패스
필터
Vdc
355
365
NMOS
트랜지스터
제어부
NMOS
트랜지스터
어레이

도면4


353
PMOS 트랜지스터 제어부
<0>
<1>
<2>
<29>
<30>
<31>
363
VDD
411
N1
Vdc1
421
GND
365
NMOS 트랜지스터 제어부
355

도면5

