

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第3区分
【発行日】平成16年12月24日(2004.12.24)

【公表番号】特表2004-500727(P2004-500727A)
【公表日】平成16年1月8日(2004.1.8)
【年通号数】公開・登録公報2004-001
【出願番号】特願2000-550212(P2000-550212)
【国際特許分類第7版】
H 0 3 M 3/04
【F I】
H 0 3 M 3/04

【手続補正書】

【提出日】平成13年4月25日(2001.4.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

アナログシステム入力信号(Vin)をデジタルシステム出力信号(OUT)に変換するためのアナログ-デジタル変換器であって、
高速の内部アナログ-デジタル変換器(ADC 104)と、
利得Aを有する増幅器(102)と、
逆向きの帰還経路に結合され、その入力信号としてデジタル化された誤差信号を有するデジタル信号予測回路(108)と、
前記帰還経路に含まれるデジタル-アナログ変換器(DAC 114)と、
入力差分回路(100)と、を備え、
前記DAC(114)の出力および前記アナログシステム入力信号(Vin)が、前記差分回路(100)への入力として接続され、
前記差分回路(100)の出力が、前記増幅器(102)への入力として接続されるアナログ誤差信号であり、
前記増幅器(102)の出力が、前記高速ADC(104)への入力として接続され、
前記高速ADC(104)のスケーリングされた出力が、前記デジタル信号予測回路(108)の入力信号として直接接続される前記デジタル化された誤差信号であり、
前記デジタル信号予測回路(108)の出力が、前記DAC(114)の入力として接続され、
前記デジタルシステム出力信号(OUT)が、前記信号予測回路(108)の出力および前記高速ADC(104)のスケーリングされた出力のフィルタリングされた和として形成され、それによって、
前記信号予測回路(108)の出力が、前記アナログ入力信号(Vin)のフルスケール領域に1/Aの因子を乗じた中に連続的に存在することを特徴とするアナログ-デジタル変換器。

【請求項2】

前記ADC(104)の直後に接続され、前記増幅器の利得Aの因子によって前記高速ADC(104)の出力を低減するスケーリング回路(110)をさらに備える請求項1に記載のアナログ-デジタル変換器。

【請求項3】

前記増幅器(102)が、連続時間アナログ増幅器である請求項1に記載のアナログ-デジタル変換器。

【請求項4】

前記増幅器(102)が、高域伝送特性を有する請求項1に記載のアナログ-デジタル変換器。

【請求項5】

前記信号予測回路(108)が、低域伝送特性を有する請求項1に記載のアナログ-デジタル変換器。

【請求項6】

前記アナログシステム入力信号(V_{in})が、標本化および保持されていない入力信号として、前記差分回路(100)に接続される請求項1に記載のアナログ-デジタル変換器。

【請求項7】

前記信号予測回路(108)と前記DAC(114)との間の前記帰還経路に接続されるデジタルラッチ回路(112)をさらに備える請求項1に記載のアナログ-デジタル変換器。

【請求項8】

前記信号予測回路(108)の出力および前記高速ADC(104)のスケーリングされた出力の和をその入力信号として有し、前記デジタルシステム出力信号(OUT)をその出力信号として有する、デジタル低域フィルタ(116)をさらに備える請求項1に記載のアナログ-デジタル変換器。

【請求項9】

前記ADC(104)の直後に接続され、前記高速ADC(104)の出力を、前記増幅器(102)の利得Aに等しい因子によって低減するスケーリング回路(110)と、前記信号予測回路(108)と前記DAC(114)との間の前記帰還経路に接続されるデジタルラッチ回路(112)と、

前記信号予測回路(108)の出力および前記高速ADC(104)のスケーリングされた出力の和をその入力信号として有し、前記デジタルシステム出力信号(OUT)をその出力信号として有する、デジタル低域フィルタ(116)と、をさらに備え、

前記増幅器(102)が、高域伝送特性を有する利得Aの連続時間増幅器であり、

前記アナログシステム入力信号(V_{in})が、保持されていない入力信号として差分回路(100)に接続され、

前記信号予測回路(108)の出力が、前記デジタルラッチ回路(112)を経て前記DACに接続され、

前記信号予測回路(108)が、低域伝送特性を有する、請求項1に記載のアナログ-デジタル変換器。

【請求項10】

アナログシステム入力信号(V_{in})をデジタルシステム出力信号(OUT)に変換するためのアナログ-デジタル変換のための方法であって、以下のステップ、すなわち前記アナログシステム入力信号と帰還信号の差分によって、誤差信号を生成するステップと、

因子Aによって前記誤差信号を増幅するステップと、

高速アナログ-デジタル変換器ADC(104)において、デジタル化された誤差信号を形成することによって、前記増幅された誤差信号をデジタル形式に変換するステップと、

逆向きの信号経路において、前記変換および増幅された誤差信号の所定の関数として、次の入力信号値を予測し、前記予測された次の入力信号値が再び前記帰還信号を生成するステップと、

前記帰還信号と、前記変換および増幅された誤差信号と、の和として、因子Aによって縮小された前記デジタルシステム出力信号を生成するステップと、によって特徴づけられ

るアナログ - デジタル変換のための方法。

【請求項 1 1】

前記誤差信号を増幅する前記ステップが、時間連続な前記誤差信号を増幅するステップを備える請求項 1 0 に記載の方法。

【請求項 1 2】

前記誤差信号を増幅する前記ステップが、高域通過特性を備えた前記誤差信号を増幅するステップをさらに備える請求項 1 0 に記載の方法。

【請求項 1 3】

前記次の入力信号値を予測する前記ステップが、同時に前記増幅および変換された誤差信号を低域フィルタリングするステップを備える請求項 1 0 に記載の方法。

【請求項 1 4】

誤差信号を生成する前記ステップが、標本および保持の行われぬ形式の前記アナログシステム入力信号を差分するステップをさらに備える請求項 1 0 に記載の方法。