

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6517478号
(P6517478)

(45) 発行日 令和1年5月22日 (2019.5.22)

(24) 登録日 平成31年4月26日 (2019.4.26)

(51) Int. Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 7 T			
HO 1 L 27/088 (2006.01)	HO 1 L 29/78	6 1 7 U			
HO 1 L 21/8238 (2006.01)	HO 1 L 29/78	6 1 7 K			
HO 1 L 27/092 (2006.01)	HO 1 L 29/78	6 1 8 B			
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78	6 1 8 C			
請求項の数 2 (全 51 頁) 最終頁に続く					

(21) 出願番号	特願2014-161493 (P2014-161493)	(73) 特許権者	000153878
(22) 出願日	平成26年8月7日 (2014.8.7)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2015-57819 (P2015-57819A)		神奈川県厚木市長谷398番地
(43) 公開日	平成27年3月26日 (2015.3.26)	(72) 発明者	山崎 舜平
審査請求日	平成29年8月2日 (2017.8.2)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2013-165829 (P2013-165829)		半導体エネルギー研究所内
(32) 優先日	平成25年8月9日 (2013.8.9)	(72) 発明者	廣橋 拓也
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
前置審査			半導体エネルギー研究所内
		(72) 発明者	高橋 正弘
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	中島 基
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

トランジスタを有する半導体装置であって、
 凸部を有する絶縁層と、
 前記凸部上の半導体層と、
 前記半導体層上に設けられ、且つ前記半導体層と重なる領域を有するゲート電極と、
 前記半導体層と前記ゲート電極との間の第1のゲート絶縁層と、
 前記第1のゲート絶縁層と前記ゲート電極との間の第2のゲート絶縁層と、
 前記半導体層と電気的に接続された導電層と、を有し、
 前記導電層は、ソース電極層又はドレイン電極層としての機能を有し、
 前記半導体層は、酸化物半導体を含み、
 前記第1のゲート絶縁層は、窒素の含有量が5原子%以下の酸化物を含み、
 前記第2のゲート絶縁層は、電荷捕獲準位を有し、
 前記トランジスタのチャネル幅方向において、前記第1のゲート絶縁層は、前記半導体層の側面と接する領域と、前記凸部の側面と接する領域と、を有し、
 前記トランジスタのチャネル長方向において、前記導電層は、前記半導体層の側面と接する領域と、前記凸部の側面と接する領域と、を有する、半導体装置。

【請求項 2】

トランジスタを有する半導体装置であって、
 半導体層と、

前記半導体層上に設けられ、且つ前記半導体層と重なる領域を有するゲート電極と、
前記半導体層と前記ゲート電極との間の第1のゲート絶縁層と、
前記第1のゲート絶縁層と前記ゲート電極との間の第2のゲート絶縁層と、
前記半導体層と電氣的に接続された導電層と、を有し、
前記半導体層は、酸化物半導体を含み、
前記半導体層中の水素濃度は $2 \times 10^{20} \text{ atoms/cm}^3$ 以下であり、且つ窒素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下であり、
前記第1のゲート絶縁層は、窒素の含有量が5原子%以下の酸化シリコンを含み、
前記第2のゲート絶縁層は、酸化ハフニウムを含み、且つ負に荷電しており、
前記導電層は、ソース電極層又はドレイン電極層としての機能を有し、
前記半導体層は、第1の層と、前記第1の層上の第2の層と、前記第2の層上の第3の層と、を有し、
前記導電層は、前記第2の層の上面と接する領域を有し、
前記第3の層は、前記第2の層の上面と接する領域と、前記導電層の上面と接する領域と、を有し、
前記トランジスタのチャネル幅方向において、前記第3の層は、前記第2の層の側面と接する領域と、前記第1の層の側面と接する領域と、を有する、半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、物、方法、又は製造方法に関する。又は、本発明は、プロセス、マシン、マニュファクチャ、又は組成物（コンポジション・オブ・マター）に関する。また、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、それらの駆動方法又はそれらの製造方法に関する。特に、本発明の一態様は、酸化物半導体を含む半導体装置、表示装置、又は発光装置に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

30

半導体層を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、In-Ga-Zn酸化物で構成される酸化物半導体を薄膜トランジスタのチャネル形成領域として適用可能であることが確認されている（非特許文献1）。非特許文献1では、In-Ga-Zn酸化物で構成される酸化物半導体層上に接してゲート絶縁層として用いる酸化ハフニウム層と、酸化ハフニウム層上に接してゲート電極層として用いるインジウムスズ酸化物層と、を有するトップゲート構造のトランジスタが開示されている。

40

【0005】

シリコン半導体を用いたトランジスタでは、しきい値電圧を制御する手段として、チャネルが形成される領域に導電性を付与する不純物元素を添加する方法（チャネルドーピング）が知られている。

【0006】

一方、酸化物半導体を用いたトランジスタでは、酸化物半導体中に酸素欠損が存在する場合、その一部がドナーとなり、キャリアである電子を放出することが知られている。キャリアである電子が放出されると、ゲートに電圧を印加しなくてもトランジスタにチャネルが形成され、しきい値電圧がマイナス方向に変動する。酸化物半導体に含まれる酸素欠

50

損を完全に取り除くことは困難であるため、酸化物半導体を用いたトランジスタのしきい値電圧の制御も困難であり、ノーマリーオン型の電気特性となりやすい。

【0007】

酸化物半導体を用いたトランジスタのしきい値電圧のマイナス方向への変動を抑制するための方法が研究されているが、しきい値電圧をプラス方向へ変動させるための方法が確立されているとは言い難い。

【0008】

ところで、シリコン半導体を有するMIS構造において、半導体層上に形成された絶縁層内に存在するトラップセンターが負の電荷を捕獲することで、フラットバンド電圧がプラス方向にシフト(変動)することが知られており、トラップセンターとして金属のクラスタが報告されている(非特許文献2参照)。

10

【先行技術文献】

【非特許文献】

【0009】

【非特許文献1】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, p. 1269-1272

【非特許文献2】山崎舜平, 絶縁膜中のクラスタに関する一考察, 1971年(昭和46年)春季第18回応用物理学関係連合学術講演予稿集, 日本, 第2分冊, p124

20

【発明の概要】

【発明が解決しようとする課題】

【0010】

トランジスタのチャネル形成領域に酸化物半導体を適用する場合、酸化物半導体に接して設けられる絶縁層がトラップセンターとなる金属のクラスタを含むと、該トラップセンターに電荷が捕獲されることによりしきい値電圧をプラス方向に変動させることができる。しかしながら、金属のクラスタによって捕獲された電荷は再結合が容易に起こり、安定な固定電荷とはなりえない。

【0011】

30

そこで、本発明の一態様では、トランジスタに安定した電気特性を付与することを課題の一とする。または、酸化物半導体にチャネルが形成されるトランジスタに安定した電気特性を付与することを課題の一とする。または、酸化物半導体にチャネルが形成されるトランジスタのしきい値電圧の変動を抑制することを課題の一とする。または、酸化物半導体にチャネルが形成されるnチャネル型のトランジスタにおいて正のしきい値電圧を有する、ノーマリーオフ型のスイッチング素子を適用することを課題の一とする。

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、これらの課題の全てを解決する必要はないものとする。また、上記以外の課題は、明細書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

40

【課題を解決するための手段】

【0013】

本発明の一態様は、半導体層と、半導体層と重なるゲート電極と、半導体層及びゲート電極の間に位置する第1のゲート絶縁層と、第1のゲート絶縁層及びゲート電極との間に位置する第2のゲート絶縁層と、を有し、第1のゲート絶縁層は、窒素の含有量が5原子%以下の酸化物を含み、第2のゲート絶縁層は、電荷捕獲準位を有する、半導体装置である。

【0014】

また、上記第2のゲート絶縁層は、電荷捕獲準位に電子が捕獲され、負に荷電した状態

50

であることが好ましい。

【0015】

また、上記第2のゲート絶縁層は、酸化ハフニウムを含むことが好ましい。

【0016】

また、上記第1のゲート絶縁層は、酸化シリコンを含むことが好ましい。

【0017】

また、本発明の他の一態様は、半導体層と、半導体層と重なるゲート電極と、半導体層及びゲート電極の間に位置する第1のゲート絶縁層と、第1のゲート絶縁層とゲート電極との間に位置する第2のゲート絶縁層と、を有し、第1のゲート絶縁層は、窒素の含有量が5原子%以下の酸化シリコンを含んで構成され、第2のゲート絶縁層は、酸化ハフニウムを含んで構成され、且つ負に荷電した、半導体装置である。

10

【0018】

また、本発明の他の一態様は、半導体層と、半導体層と重なるゲート電極と、半導体層及びゲート電極との間に位置する第1のゲート絶縁層と、第1のゲート絶縁層とゲート電極との間に位置する第2のゲート絶縁層と、を有し、第1のゲート絶縁層は、窒素の含有量が5原子%以下の酸化シリコンを含んで構成され、第2のゲート絶縁層は、酸化ハフニウムを含んで構成され、しきい値電圧が0V以上である、半導体装置である。

【0019】

また、上記いずれかの態様において、半導体層は、酸化物半導体を含んで構成されることが好ましい。またこのとき特に、半導体層は、第1の酸化物層と、半導体層とゲート絶縁層との間に位置する第2の酸化物層と、に挟持される構成とすることが好ましく、第1の酸化物層及び第2の酸化物層は、半導体層に含まれる金属元素を一種以上含むことが好ましい。

20

【発明の効果】

【0020】

本発明の一態様によって、酸化物半導体にチャネルが形成されるトランジスタに安定した電気特性を付与することができる。又は、本発明の一態様によって、酸化物半導体にチャネルが形成されるトランジスタのしきい値電圧の変動を抑制することができる。又は、本発明の一態様によって、酸化物半導体にチャネルが形成されるnチャネル型のトランジスタにおいて正のしきい値電圧を有する、ノーマリーオフ型のスイッチング素子を提供することができる。

30

【図面の簡単な説明】

【0021】

【図1】実施の形態に係る、半導体装置に含まれる積層構造の概略図。

【図2】実施の形態に係る、半導体装置の構成例。

【図3】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図4】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図5】実施の形態に係る、半導体装置の構成例。

【図6】実施の形態に係る、半導体装置の構成例。

【図7】実施の形態に係る、半導体装置の構成例。

40

【図8】実施の形態に係る、成膜装置の構成例。

【図9】実施の形態に係る、半導体装置の構成例。

【図10】実施の形態に係る、トランジスタ特性、TDS分析結果及びESRシグナル。

【図11】実施の形態に係る、 $c-SiO_2$ の結晶モデル。

【図12】実施の形態に係る、最適化後の原子配置および構造パラメータ。

【図13】実施の形態に係る、最適化後の原子配置および構造パラメータ。

【図14】実施の形態に係る、最適化後の原子配置および構造パラメータ。

【図15】実施の形態に係る、最適化後の原子配置。

【図16】実施の形態に係る、バンドダイアグラム。

【図17】実施の形態に係る、ESRシグナル。

50

- 【図 18】実施の形態に係る、クラスタモデル。
【図 19】実施の形態に係る、メカニズムを説明する図。
【図 20】実施の形態に係る、C P M 測定結果。
【図 21】実施の形態に係る、半導体装置の断面図及び回路図。
【図 22】実施の形態に係る、記憶装置の構成例。
【図 23】実施の形態に係る、R F I D タグの構成例。
【図 24】実施の形態に係る、C P U の構成例。
【図 25】実施の形態に係る、記憶素子の回路図。
【図 26】実施の形態に係る、電子機器。
【図 27】実施の形態に係る、R F I D の使用例。

10

【発明を実施するための形態】
【0022】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0023】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

20

【0024】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0025】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0026】

(実施の形態 1)

本実施の形態では、本発明の一態様の半導体装置に含まれる積層構造について図 1 を参照して説明する。

30

【0027】

本発明の一態様は、酸化物半導体にチャネルが形成されるトランジスタにおいて、酸化物半導体層と重なるゲート絶縁層が、所定量の負の固定電荷、及び / 又は負の電荷を捕獲する電荷捕獲準位 (トラップセンター) を含んでなることを技術思想とする。トランジスタのゲート絶縁層として、所定量の負の固定電荷を有する絶縁層を適用することで、ゲート電極層に電圧を印加しない状態においても、チャネルが形成される領域には負の電界が常に重畳していることとなる。すなわち、チャネルを形成するためにはゲート電極層に印加する電圧を高める必要があり、結果としてトランジスタのしきい値電圧をプラス方向に変動 (シフト) させることが可能となる。さらに、本発明の一態様に係るトランジスタは、ゲート絶縁層に含まれる負の固定電荷、及び / 又は負の電荷を捕獲する電荷捕獲準位が、酸化物半導体層と離間して存在する構成を有する。これによって、電荷捕獲準位に捕獲された負の電荷が酸化物半導体層へと放出 (注入) されることを抑制することができる。

40

【0028】

[半導体装置に含まれる積層構造]

図 1 (A 1) 及び (A 2) に、本発明の一態様の半導体装置に含まれる積層構造の概念図を示す。

【0029】

図 1 (A 1) は、酸化物半導体層 104 と、酸化物半導体層 104 上に設けられ、電荷捕獲準位 107 を含むゲート絶縁層 108 と、ゲート絶縁層 108 を介して酸化物半導体

50

層 104 と重なるゲート電極層 110 を有する積層構造である。ゲート絶縁層 108 に含まれる電荷捕獲準位 107 は、酸化物半導体層 104 とは離間して存在している。また、図 1 (A1) に示す積層構造を形成後、半導体装置の使用温度若しくは保管温度よりも高い温度、又は、125 以上 450 以下、代表的には 150 以上 300 以下の下で、ゲート電極層 110 の電位をソースやドレイン (図示せず) の電位より高い状態を 1 秒以上、代表的には 1 分以上維持することで、ゲート絶縁層 108 に含まれる電荷捕獲準位 107 に電荷が捕獲される。

【0030】

図 1 (A2) は、図 1 (A1) に示す半導体装置において、上述した電荷捕獲準位 107 に電荷を捕獲させる処理 (以下、電荷捕獲処理とも表記する) を施した後の半導体装置が有する積層構造の構成を示す概念図である。図 1 (A2) ではゲート絶縁層 108 に含まれる電荷捕獲準位 107 の一部又は全てに電子が捕獲された、負の電荷 109 を有する積層構造を示している。ゲート絶縁層 108 に含まれる負の電荷 109 の電荷量は、電荷捕獲処理におけるゲート電極層 110 の電位により制御することができる。より具体的には、電荷捕獲準位 107 に捕獲される電子の総量 (すなわち、図 1 (A2) における負の電荷 109 の総量) は、電荷捕獲処理の当初は線形に増加するが、徐々に増加率が低下し、やがて一定の値に収斂する。収斂する値はゲート電極層 110 の電位に依存し、電位が高いほど多くの電子が捕獲される傾向にある。ただし、電荷捕獲準位 107 の総数を上回

10

【0031】

ゲート絶縁層 108 が負の電荷を含むと、半導体装置のしきい値電圧がプラス方向に変動する。また、ゲート絶縁層 108 に含まれる負の電荷が固定電荷であると、しきい値電圧のさらなる変動が抑制され、安定した電気特性を有する半導体装置とすることが可能である。よって、図 1 (A2) に示す積層構造を有する半導体装置において、電荷捕獲準位に捕獲された負の電荷 109 は、ゲート絶縁層 108 中で安定した負の固定電荷となり、ゲート絶縁層 108 から放出されないことが求められる。

20

【0032】

図 1 (A2) に示す構成においては、ゲート絶縁層 108 に含まれる負の電荷 109 が、酸化物半導体層 104 の界面から離間して存在することで、該負の電荷 109 の酸化物半導体層 104 への放出を抑制することができる。したがって、電荷の放出が抑制された安定した負の固定電荷を有するゲート絶縁層 108 を形成することが可能となる。また、このような安定した負の固定電荷を含むゲート絶縁層 108 を設けることで、電荷捕獲処理後、すなわちゲート絶縁層 108 が所定量の電荷を保持した後のしきい値電圧の変動が抑制された安定した電気特性を有する半導体装置とすることができる。

30

【0033】

また、酸化物半導体は、ホールの有効質量が極めて大きく、負の電荷を安定して固定するために有効である。すなわち、酸化物半導体層 104 からゲート絶縁層 108 へのホールの注入がなく、負の電荷 109 がホールと結合して消滅することが実質的に起こりえないため、ゲート絶縁層 108 に含まれる負の電荷 109 を安定化できる。

【0034】

なお、しきい値電圧の変動量は、ゲート絶縁層 108 に含まれる負の電荷 109 の総量によって制御することが可能である。好ましくは、酸化物半導体層 104 を用いた n チャネル型のトランジスタにおいて、正のしきい値電圧を付与する程度にゲート絶縁層 108 が負の電荷 109 を含み、ノーマリーオフ型に制御することが好適である。

40

【0035】

[ゲート絶縁層の構成例]

図 1 (B) に、図 1 (A2) の構成を有する積層構造のより具体的な構成例を示す。図 1 (B) に示す積層構造は、酸化物半導体層 104 上に、ゲート絶縁層 108a 及びゲート絶縁層 108b を含むゲート絶縁層 108 と、ゲート絶縁層 108 上のゲート電極層 110 と、を含む。ゲート絶縁層 108 のうち、ゲート絶縁層 108b は負の電荷 109 を

50

含む絶縁層である。換言すると、ゲート絶縁層 108b は負に荷電した絶縁層である。また、ゲート絶縁層 108a は、ゲート絶縁層 108b に含まれる負の電荷 109 と酸化物半導体層 104 とを離間するために酸化物半導体層 104 とゲート絶縁層 108b の間に設けられた絶縁層である。

【0036】

ゲート絶縁層 108b は、電荷捕獲準位を有するように材料及び/成膜方法を選択して形成する。例えば、ゲート絶縁層 108b として、ハフニウム、アルミニウム、タンタル等から選択された一種以上の元素を含む酸化物(複合酸化物も含む)を含んで構成される絶縁層を適用することができる。好ましくは、酸化ハフニウムを含んで構成される絶縁層、酸化アルミニウムを含んで構成される絶縁層、ハフニウムシリケートを含んで構成される絶縁層、又はアルミニウムシリケートを含んで構成される絶縁層を適用することができる。なお、酸化ハフニウム等の高誘電率(high-k)材料をゲート絶縁層に用いると、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能である点も好適である。本実施の形態では、ゲート絶縁層 108b として、酸化ハフニウムを含んで構成される絶縁層を形成する。また、ゲート絶縁層 108b の成膜方法としては、スパッタリング法又は原子層堆積(ALD: Atomic Layer Deposition)法を適用することができる。

10

【0037】

積層構造を有するゲート絶縁層 108 のうち、酸化物半導体層 104 と接するゲート絶縁層 108a としては、ゲート絶縁層 108b とは構成元素の異なる絶縁層を適用することが好ましく、例えば、酸化シリコンを含んで構成される絶縁層を適用することができる。酸化シリコンを含んで構成される絶縁層は、上述のハフニウム、アルミニウム、タンタル等から選択された一種以上の元素を含む酸化物(複合酸化物も含む)を含んで構成される絶縁層と比較して電荷捕獲準位が形成されにくい。よって、酸化物半導体層 104 とゲート絶縁層 108b との間にゲート絶縁層 108a を設けることで、ゲート絶縁層 108 に含まれる負の電荷 109 を酸化物半導体層 104 から確実に分離することが可能となる。すなわち、ゲート絶縁層 108 に含まれる負の電荷 109 を安定した負の固定電荷とすることができる。

20

【0038】

また、酸化物半導体層 104 と接するゲート絶縁層 108b は、窒素の含有量が極めて低い酸化物を含むことが好ましい。特に酸化物半導体層 104 と接する領域にこのような窒素の含有量が極めて低い酸化物を設けることが好ましい。当該酸化物中の窒素の含有量は、低いほど好ましいが、例えば 5 原子% 以下、好ましくは 1 原子% 以下、より好ましくは 0.5 原子% 以下、さらに好ましくは 0.1 原子% 以下とする。

30

【0039】

窒素の含有量が極めて低い酸化物は、その内部に電荷捕獲準位が形成されにくい。そのため、酸化物膜の電荷捕獲準位に意図しない電荷が捕獲され、その結果、ゲート絶縁層 108 が荷電することで、半導体装置のしきい値電圧が変化してしまうことを抑制できる。またこのように、電荷捕獲準位が生成されにくい酸化物を含むゲート絶縁層 108a を、電荷捕獲準位を有するゲート絶縁層 108b と酸化物半導体層 104 の間に設けることで、ゲート絶縁層 108b 中の負の電荷 109 がゲート絶縁層 108a を介して酸化物半導体層 104 に放出(注入)されることを抑制できる。

40

【0040】

さらに、このような酸化物膜を酸化物半導体層 104 に接して設けることで、酸化物半導体層 104 とゲート絶縁層 108a の界面に界面準位が生成されることが抑制される。そのため当該界面準位の影響により、半導体装置の電界効果移動度の低下や、しきい値電圧の変動などが生じてしまうことを抑制できる。

【0041】

なお、ゲート絶縁層 108a は、化学気相成長(CVD: Chemical Vapor Deposition)法によって形成することが好ましい。CVD 法としては、P

50

ECVD法、熱CVD法等がある。CVD法は、スパッタリング法と比較して膜質が良好な膜を形成することが容易であり、CVD法によって成膜された絶縁層では電荷捕獲準位が形成されにくい。したがって、ゲート絶縁層108aをCVD法によって形成することで、トランジスタにおいてゲートとドレイン間、又はゲートとソース間のリーク電流を低減することができる。

【0042】

本実施の形態の半導体装置は、ゲート絶縁層108に所定量の負の固定電荷を有し、且つ該負の固定電荷が酸化物半導体層104から離間して存在することで、しきい値電圧をプラス方向に変動させ、且つその後の変動を抑制することができる。すなわち、本実施の形態で示す構成を有することで、正に固定されたしきい値電圧を有する半導体装置を形成

10

【0043】

なお、電荷捕獲処理は、半導体装置の作製過程又は半導体装置の作製後であって市場への出荷前に行えばよい。例えば、半導体装置のソース電極若しくはドレイン電極に接続する配線メタルの形成後、又は、前工程（ウェハー処理）の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階で行うとよい。いずれの場合にも、その後に125以上の環境に1時間以上さらされないことが好ましい。

【0044】

なお、酸化物半導体層104に換えて、シリコン、ゲルマニウムなどの半導体のほか、シリコンゲルマニウム、炭化シリコン、窒化ガリウムなどの化合物半導体、有機半導体などの酸化物半導体以外の半導体をチャネル形成領域に含んで構成される半導体層を用いてもよい。酸化物半導体を用いない場合であっても、上述したゲート絶縁層108a、ゲート絶縁層108bを備える半導体装置は、しきい値電圧をプラス側にシフトさせ、且つその後の変動を抑制することができる。

20

【0045】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0046】

（実施の形態2）

本実施の形態では、本発明の一態様の半導体装置について説明する。以下では、半導体装置の一例として、トランジスタを例に挙げて説明する。

30

【0047】

〔トランジスタ構造1〕

図2（A）および図2（B）は、本発明の一態様のトランジスタの上面図および断面図である。図2（A）は上面図であり、図2（B）は、図2（A）に示す一点鎖線A1-A2、および一点鎖線A3-A4に対応する断面図である。なお、図2（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0048】

図2（A）および図2（B）に示すトランジスタは、基板400上の凸部を有する下地絶縁層402と、下地絶縁層402の凸部上の酸化物半導体層404と、酸化物半導体層404の上面および側面と接するソース電極層406aおよびドレイン電極層406bと、酸化物半導体層404上、ソース電極層406a上およびドレイン電極層406b上のゲート絶縁層408aと、ゲート絶縁層408a上のゲート絶縁層408bと、ゲート絶縁層408bの上面に接し、酸化物半導体層404の上面および側面に面するゲート電極層410と、ソース電極層406a上、ドレイン電極層406b上およびゲート電極層410上の絶縁層412と、を有する。なお、下地絶縁層402が凸部を有さなくても構わない。

40

【0049】

図2（B）に示すように、ソース電極層406aおよびドレイン電極層406bの側面が酸化物半導体層404の側面と接する。また、ゲート電極層410の電界によって、酸

50

化物半導体層 404 を電氣的に取り囲むことができる（ゲート電極層の電界によって、酸化半導体層を電氣的に取り囲むトランジスタの構造を、*surrounded channel (s-channel)* 構造とよぶ。）。そのため、酸化半導体層 404 の全体（バルク）にチャンネルが形成される。*s-channel* 構造では、トランジスタのソース・ドレイン間に大電流を流すことができ、高いオン電流を得ることができる。

【0050】

高いオン電流が得られるため、*s-channel* 構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタのチャンネル長を、好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下とし、かつ、トランジスタのチャンネル幅を、好ましくは 40 nm 以下、さらに好ましくは 30 nm 以下、より好ましくは 20 nm 以下とすることができる。

10

【0051】

なお、チャンネル長とは、上面図において、半導体層とゲート電極層とが重なる領域における、ソース（ソース領域またはソース電極層）とドレイン（ドレイン領域またはドレイン電極層）との距離をいう。すなわち、図 2（A）では、チャンネル長は、酸化半導体層 404 とゲート電極層 410 とが重なる領域における、ソース電極層 406 a とドレイン電極層 406 b との距離となる。チャンネル幅とは、半導体層とゲート電極層とが重なる領域における、ソースまたはドレインの幅をいう。すなわち、図 2（A）では、チャンネル幅は、酸化半導体層 404 とゲート電極層 410 とが重なる領域における、ソース電極層 406 a またはドレイン電極層 406 b の幅をいう。

20

【0052】

ゲート絶縁層 408 a は、上記実施の形態におけるゲート絶縁層 108 a に相当し、詳細な説明はこれを援用できる。なお、ゲート絶縁層 408 a は、単層であっても積層構造を有していても構わない。

【0053】

ゲート絶縁層 408 b は、上記実施の形態におけるゲート絶縁層 108 b に相当し、詳細な説明はこれを援用できる。なお、ゲート絶縁層 408 b は単層であっても積層構造を有していても構わない。

30

【0054】

基板 400 は、単なる支持体に限らず、他のトランジスタやキャパシタなどの素子が形成された基板であってもよい。この場合、トランジスタのゲート電極層 410、ソース電極層 406 a、ドレイン電極層 406 b の少なくとも一つが、上記の他の素子と電氣的に接続されていてもよい。

【0055】

下地絶縁層 402 は、基板 400 からの不純物の拡散を防止する役割を有するほか、酸化半導体層 404 に酸素を供給する役割を担うことができる。したがって、下地絶縁層 402 は酸素を含む絶縁層であることが好ましい。例えば、化学量論的組成よりも多い酸素を含む絶縁層であることがより好ましい。また、上述のように基板 400 が他の素子が形成された基板である場合、下地絶縁層 402 は、層間絶縁層としての機能も有する。その場合、下地絶縁層 402 の表面が平坦化されていてもよい。例えば、下地絶縁層 402 に CMP（Chemical Mechanical Polishing）法等で平坦化処理を行えばよい。

40

【0056】

以下では、酸化半導体層 404 について詳細に説明する。

【0057】

酸化半導体層 404 は、インジウムを含む酸化物である。酸化物は、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、酸化半導体層 404 は、元素 M を含むと好ましい。元素 M として、例えば、アルミニウム、ガリウム、イット

50

リウムまたはスズなどがある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。元素Mは、例えば、酸化物のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体層404は、亜鉛を含むと好ましい。酸化物が亜鉛を含むと、例えば、酸化物を結晶化しやすくなる。酸化物の価電子帯上端のエネルギーは、例えば、亜鉛の原子数比によって制御できる。

【0058】

ただし、酸化物半導体層404は、インジウムを含む酸化物に限定されない。酸化物半導体層404は、例えば、Zn-Sn酸化物、Ga-Sn酸化物であっても構わない。

【0059】

また酸化物半導体層404は、エネルギーギャップが大きい酸化物を用いる。酸化物半導体層404のエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

10

【0060】

なお、酸化物半導体層404をスパッタリング法で成膜する場合、パーティクル数低減のため、インジウムを含むターゲットを用いると好ましい。また、元素Mの原子数比が高い酸化物ターゲットを用いた場合、ターゲットの導電性が低くなる場合がある。インジウムを含むターゲットを用いる場合、ターゲットの導電率を高めることができ、DC放電、AC放電が容易となるため、大面積の基板へ対応しやすくなる。したがって、半導体装置の生産性を高めることができる。

20

【0061】

酸化物半導体層404をスパッタリング法で成膜する場合、ターゲットの原子数比は、In:M:Znが3:1:1、3:1:2、3:1:4、1:1:0.5、1:1:1、1:1:2、などとすればよい。

【0062】

酸化物半導体層404をスパッタリング法で成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される場合がある。特に、亜鉛は、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40 atomic %以上90 atomic %程度以下となる場合がある。

【0063】

以下では、酸化物半導体層404中における不純物の影響について説明する。なお、トランジスタの電気特性を安定にするためには、酸化物半導体層404中の不純物濃度を低減し、低キャリア密度化および高純度化することが有効である。なお、酸化物半導体層404のキャリア密度は、 1×10^{17} 個/cm³未満、 1×10^{15} 個/cm³未満、または 1×10^{13} 個/cm³未満とする。酸化物半導体層404中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。

30

【0064】

例えば、酸化物半導体層404中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。そのため、酸化物半導体層404と下地絶縁層402との間におけるシリコン濃度を、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)において、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満とする。また、酸化物半導体層404とゲート絶縁層408aとの間におけるシリコン濃度を、SIMSにおいて、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満とする。

40

【0065】

また、酸化物半導体層404中に水素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物半導体層404の水素濃度はSIMSにおいて、 2×10^{20} atoms/cm³以下、好ましくは 5×10^{19} atoms/cm³以下、より好ましくは1

50

$\times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体層 404 中に窒素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物半導体層 404 の窒素濃度は、SIMS において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0066】

また、酸化物半導体層 404 の水素濃度を低減するために、下地絶縁層 402 の水素濃度を低減すると好ましい。下地絶縁層 402 の水素濃度は SIMS において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体層 404 の窒素濃度を低減するために、下地絶縁層 402 の窒素濃度を低減すると好ましい。下地絶縁層 402 の窒素濃度は、SIMS において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0067】

また、酸化物半導体層 404 の水素濃度を低減するために、ゲート絶縁層 408a の水素濃度を低減すると好ましい。ゲート絶縁層 408a の水素濃度は SIMS において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体層 404 の窒素濃度を低減するために、ゲート絶縁層 408a の窒素濃度を低減すると好ましい。ゲート絶縁層 408a の窒素濃度は、SIMS において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0068】

続いて、以下では、酸化物半導体層 404 に適用可能な酸化物半導体層の構造について説明する。

【0069】

酸化物半導体層は、非単結晶酸化物半導体層と単結晶酸化物半導体層とに大別される。非単結晶酸化物半導体層とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 層、多結晶酸化物半導体層、微結晶酸化物半導体層、非晶質酸化物半導体層などをいう。

【0070】

まずは、CAAC-OS 層について説明する。

【0071】

CAAC-OS 層は、c 軸配向した複数の結晶部を有する酸化物半導体層の一つである。

【0072】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS 層の明視野像及び回折パターンの複合解析像 (高分解能 TEM 像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能 TEM 像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS 層は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0073】

試料面と略平行な方向から、CAAC-OS 層の断面の高分解能 TEM 像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS 層の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映し

10

20

30

40

50

た形状であり、CAAC-OS層の被形成面または上面と平行に配列する。

【0074】

一方、試料面と略垂直な方向から、CAAC-OS層の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0075】

CAAC-OS層に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS層のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS層の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【0076】

本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。したがって、-5°以上5°以下の場合も含まれる。また、「略平行」とは、二つの直線が-30°以上30°以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。したがって、85°以上95°以下の場合も含まれる。また、「略垂直」とは、二つの直線が60°以上120°以下の角度で配置されている状態をいう。

【0077】

20

なお、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0078】

なお、InGaZnO₄の結晶を有するCAAC-OS層のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS層中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS層は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0079】

CAAC-OS層は、不純物濃度の低い酸化物半導体層である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体層の主成分以外の元素である。特に、シリコンなどの、酸化物半導体層を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体層から酸素を奪うことで酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体層内部に含まれると、酸化物半導体層の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体層に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

30

【0080】

また、CAAC-OS層は、欠陥準位密度の低い酸化物半導体層である。例えば、酸化物半導体層中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

40

【0081】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損の少ない)ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体層は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体層を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体層は、キャリアトラップが少ない。そのため、当該酸化物半導体層を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体層のキャリアトラップに捕獲された電荷は、放出するまでに要

50

する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体層を用いたトランジスタは、電気特性が不安定となる場合がある。

【0082】

また、CAAC-OS層を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0083】

次に、微結晶酸化物半導体層について説明する。

【0084】

微結晶酸化物半導体層は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体層に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体層を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0085】

nc-OS層は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OS層は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS層は、分析方法によっては、非晶質酸化物半導体層と区別が付かない場合がある。例えば、nc-OS層に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS層は、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子線回折(制限視野電子線回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS層に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS層に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS層に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0086】

nc-OS層は、非晶質酸化物半導体層よりも規則性の高い酸化物半導体層である。そのため、nc-OS層は、非晶質酸化物半導体層よりも欠陥準位密度が低くなる。ただし、nc-OS層は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS層は、CAAC-OS層と比べて欠陥準位密度が高くなる。

【0087】

なお、酸化物半導体層は、例えば、非晶質酸化物半導体層、微結晶酸化物半導体層、CAAC-OS層のうち、二種以上を有してもよい。

【0088】

酸化物半導体層404は、酸化物半導体層の積層膜であってもよい。例えば、酸化物半導体層404は、2層構造、3層構造であってもよい。

【0089】

例えば、酸化物半導体層404が3層構造の場合について説明する。図2(C)に、酸化物半導体層404が、酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cが順に設けられた積層膜である場合を示す。

【0090】

酸化物半導体層404b(中層)は、ここまでの酸化物半導体層404についての記載を参照する。酸化物半導体層404a(下層)および酸化物半導体層404c(上層)は

10

20

30

40

50

、酸化物半導体層404bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体層である。酸化物半導体層404bを構成する酸素以外の元素一種以上、または二種以上から酸化物半導体層404aおよび酸化物半導体層404cが構成されるため、酸化物半導体層404aと酸化物半導体層404bとの界面、および酸化物半導体層404bと酸化物半導体層404cとの界面において、界面準位が形成されにくい。

【0091】

なお、酸化物半導体層404aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、InとMの原子数比率は好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、酸化物半導体層404bがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、InとMの原子数比率は好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。また、酸化物半導体層404cがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、InとMの原子数比率は好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。なお、酸化物半導体層404cは、酸化物半導体層404aと同種の酸化物を用いても構わない。

【0092】

ここで、酸化物半導体層404aと酸化物半導体層404bとの間には、酸化物半導体層404aと酸化物半導体層404bとの混合領域を有する場合がある。また、酸化物半導体層404bと酸化物半導体層404cとの間には、酸化物半導体層404bと酸化物半導体層404cとの混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、酸化物半導体層404a、酸化物半導体層404bおよび酸化物半導体層404cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

【0093】

酸化物半導体層404bは、酸化物半導体層404aおよび酸化物半導体層404cよりも電子親和力の大きい酸化物を用いる。例えば、酸化物半導体層404bとして、酸化物半導体層404aおよび酸化物半導体層404cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0094】

このとき、ゲート電極層410に電界を印加すると、酸化物半導体層404a、酸化物半導体層404b、酸化物半導体層404cのうち、電子親和力の大きい酸化物半導体層404bにチャネルが形成される。

【0095】

また、トランジスタのオン電流を増大させるためには、酸化物半導体層404cの厚さは小さいほど好ましい。例えば、酸化物半導体層404cは、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下とする。一方、酸化物半導体層404cは、チャネルの形成される酸化物半導体層404bへ、ゲート絶縁層408aを構成する酸素以外の元素（シリコンなど）が入り込まないようにブロックする機能を有する。そのため、酸化物半導体層404cは、ある程度の厚さを有することが好ましい。例えば、酸化物半導体層404cの厚さは、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上とする。

【0096】

また、信頼性を高めるためには、酸化物半導体層404aは厚く、酸化物半導体層404cは薄いことが好ましい。具体的には、酸化物半導体層404aの厚さは、20nm以

上、好ましくは30 nm以上、さらに好ましくは40 nm以上、より好ましくは60 nm以上とする。酸化物半導体層404aの厚さを、このような厚さとすることで、下地絶縁層402と酸化物半導体層404aとの界面からチャネルの形成される酸化物半導体層404bまでを20 nm以上、好ましくは30 nm以上、さらに好ましくは40 nm以上、より好ましくは60 nm以上離すことができる。ただし、半導体装置の生産性が低下する場合があるため、酸化物半導体層404aの厚さは、200 nm以下、好ましくは120 nm以下、さらに好ましくは80 nm以下とする。

【0097】

例えば、酸化物半導体層404bと酸化物半導体層404aとの間におけるシリコン濃度を、SIMSにおいて、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。また、酸化物半導体層404bと酸化物半導体層404cとの間におけるシリコン濃度を、SIMSにおいて、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

10

【0098】

また、酸化物半導体層404bの水素濃度を低減するために、酸化物半導体層404aおよび酸化物半導体層404cの水素濃度を低減すると好ましい。酸化物半導体層404aおよび酸化物半導体層404cの水素濃度はSIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体層404bの窒素濃度を低減するために、酸化物半導体層404aおよび酸化物半導体層404cの窒素濃度を低減すると好ましい。酸化物半導体層404aおよび酸化物半導体層404cの窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

20

【0099】

上述の3層構造は酸化物半導体層404の一例である。例えば、酸化物半導体層404aまたは酸化物半導体層404cのない2層構造としても構わない。

30

【0100】

図2(A)および図2(B)に示すソース電極層406aおよびドレイン電極層406bには、酸化物半導体層から酸素を引き抜く性質を有する導電層を用いると好ましい。例えば、酸化物半導体層から酸素を引き抜く性質を有する導電層として、アルミニウム、チタン、クロム、ニッケル、モリブデン、タンタル、タングステンなどを含む導電層が挙げられる。

【0101】

酸化物半導体層から酸素を引き抜く性質を有する導電層の作用により、酸化物半導体層中の酸素が脱離し、酸化物半導体層中に酸素欠損を形成する場合がある。酸素の引き抜きは、高い温度で加熱するほど起こりやすい。トランジスタの作製工程には、いくつかの加熱工程があることから、上記現象により、酸化物半導体層のソース電極層またはドレイン電極層と接触した近傍の領域には酸素欠損が形成される可能性が高い。また、加熱により該酸素欠損のサイトに水素が入りこみ、酸化物半導体層がn型化する場合がある。したがって、ソース電極層およびドレイン電極層の作用により、酸化物半導体層と、ソース電極層またはドレイン電極層と、が接する領域を低抵抗化させ、トランジスタのオン抵抗を低減することができる。

40

【0102】

なお、チャネル長が小さい(例えば200 nm以下、または100 nm以下)トランジスタを作製する場合、n型化領域の形成によってソースドレイン間が短絡してしまうことがある。そのため、チャネル長が小さいトランジスタを形成する場合は、ソース電極層

50

およびドレイン電極層に酸化物半導体層から適度に酸素を引き抜く性質を有する導電層を用いればよい。適度に酸素を引き抜く性質を有する導電層としては、例えば、ニッケル、モリブデンまたはタングステンを含む導電層などがある。

【0103】

また、チャネル長がごく小さい（40 nm以下、または30 nm以下）トランジスタを作製する場合、ソース電極層406aおよびドレイン電極層406bとして、酸化物半導体層からほとんど酸素を引き抜くことのない導電層を用いればよい。酸化物半導体層からほとんど酸素を引き抜くことのない導電層としては、例えば、窒化タンタル、窒化チタン、またはルテニウムを含む導電層などがある。なお、複数種の導電層を積層しても構わない。

10

【0104】

ゲート電極層410は、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル、タングステンなどから選ばれた一種以上を含む導電層を用いればよい。

【0105】

絶縁層412は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上含む絶縁層を用いることができる。

【0106】

20

図2に示したトランジスタは、ゲート絶縁層408aおよびゲート絶縁層408bの作用により、しきい値電圧が調整され、信頼性が向上したトランジスタである。

【0107】

[作製方法例]

次に、トランジスタの作製方法例について、図3および図4を用いて説明する。

【0108】

まず、基板400上に下地絶縁層402を形成する（図3（A）参照）。

【0109】

下地絶縁層402は、スパッタリング法、CVD法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、ALD法またはパルスレーザ堆積（PLD：Pulsed Laser Deposition）法を用いて成膜すればよい。

30

【0110】

次に、下地絶縁層402の表面を平坦化するために、CMP処理を行ってもよい。CMP処理を行うことで、下地絶縁層402の平均面粗さ（Ra）を1 nm以下、好ましくは0.3 nm以下、さらに好ましくは0.1 nm以下とする。上述の数値以下のRaとすることで、酸化物半導体層404の結晶性が高くなる場合がある。Raは原子間力顕微鏡（AFM：Atomic Force Microscope）にて測定可能である。

【0111】

次に、下地絶縁層402に酸素を添加することにより、過剰酸素を含む絶縁層を形成しても構わない。酸素の添加は、プラズマ処理またはイオン注入法などにより行えばよい。酸素の添加をイオン注入法で行う場合、例えば、加速電圧を2 kV以上100 kV以下とし、ドーズ量を 5×10^{14} ions/cm²以上 5×10^{16} ions/cm²以下とすればよい。

40

【0112】

次に、下地絶縁層402上に酸化物半導体層404をスパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて形成する（図3（B）参照）。このとき、下地絶縁層402を適度にエッチングしてもよい。下地絶縁層402を適度にエッチングすることで、後に形成するゲート電極層410で酸化物半導体層404を覆いやすくすることができる。なお、トランジスタを微細化するために、酸化物半導体層404の加工時にハ

50

ードマスクを用いてもよい。

【0113】

また、酸化物半導体層404として、酸化物半導体層404a、酸化物半導体層404b、および酸化物半導体層404cを含めた積層膜を形成する場合、各層を大気に触れさせることなく連続して成膜すると好ましい。

【0114】

不純物の混入を低減し、結晶性の高い酸化物半導体層を形成するために、酸化物半導体層404は、基板温度を100 以上、好ましくは150 以上、さらに好ましくは200 以上として成膜する。また、成膜ガスとして用いる酸素ガスやアルゴンガスは、露点が-40 以下、好ましくは-80 以下、より好ましくは-100 以下にまで高純度 10
化したガスを用いる。なお、不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性と呼ぶ。

【0115】

酸化物半導体層404の形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250 以上650 以下、好ましくは300 以上500 以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によっ 20
て、酸化物半導体層404の結晶性を高め、さらに下地絶縁層402から水素や水などの不純物を除去することができる。

【0116】

次に、酸化物半導体層404上にソース電極層406aおよびドレイン電極層406bとなる導電膜405を形成する（図3（C）参照）。導電膜405は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0117】

次に、導電膜405を分断するようにエッチングし、ソース電極層406aおよびドレイン電極層406bを形成する（図4（A）参照）。なお、導電膜405をエッチングする際、ソース電極層406aおよびドレイン電極層406bの端部が丸みを帯びる（曲面を有する）場合がある。また、導電膜405をエッチングする際、下地絶縁層402が適 30
度にエッチングされていてもよい。

【0118】

次に、酸化物半導体層404上、ソース電極層406a上およびドレイン電極層406b上に、ゲート絶縁層408aを形成する。ゲート絶縁層408aは、スパッタリング法、CVD法またはALD法を用いて成膜すればよい。

【0119】

特に、ゲート絶縁層408aとして、CVD法を用いて成膜することが好ましい。このとき、成膜に用いる成膜ガスのうち、窒素を含むガスの流量の割合を小さくすることにより、窒素の含有量が著しく低減されたゲート絶縁層408aを形成することができる。なお、ゲート絶縁層408aを、基板温度100 以上、好ましくは150 以上で成膜すること 40
で、水の混入を低減することができる。

【0120】

次に、ゲート絶縁層408a上に、ゲート絶縁層408bを形成する。ゲート絶縁層408bは、スパッタリング法、CVD法またはALD法を用いて成膜すればよい。特に、ゲート絶縁層408bとして、スパッタリング法またはALD法を用いて形成することが好ましい。なお、ゲート絶縁層408bを、基板温度100 以上、好ましくは150 以上で成膜すること 50
で、水の混入を低減することができる。

【0121】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、500 未満、好ましくは400 未満の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第2の加熱処理の雰囲気は、不活性ガス雰囲気 50
で加熱

処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第2の加熱処理によって、ゲート絶縁層408bから水素や水などの不純物を除去することができる。

【0122】

次に、ゲート絶縁層408b上にゲート電極層410を形成する(図4(B)参照)。

【0123】

次に、ソース電極層406a上、ドレイン電極層406b上、ゲート絶縁層408a上、ゲート絶縁層408b上およびゲート電極層410上に絶縁層412を形成する(図4(C)参照)。絶縁層412は、スパッタ法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

10

【0124】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、酸化物半導体層404の酸素欠損を低減することができる場合がある。

【0125】

以上の工程で、図2に示すトランジスタを作製することができる。

【0126】

〔成膜装置について〕

以下では、上記で示した半導体層、絶縁層、導電層などの成膜に適用可能な成膜装置について説明する。

20

【0127】

従来のCVD法を利用した成膜装置は、成膜の際、反応のための原料ガスの1種または複数種がチャンバーに同時に供給される。ALD法を利用した成膜装置は、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行う。例えば、それぞれのスイッチングバルブ(高速バルブとも呼ぶ)を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスの後に不活性ガス(アルゴン、或いは窒素など)などを導入し、第2の原料ガスを導入する。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なトランジスタを作製する場合に適している。

30

【0128】

また、ALD法は、プラズマダメージがない。

【0129】

図8(A)にALD法を利用する成膜装置の一例を示す。ALD法を利用する成膜装置は、成膜室(チャンバー701)と、原料供給部711a、711bと、流量制御器である高速バルブ712a、712bと、原料導入口713a、713bと、原料排出口714と、排気装置715を有する。チャンバー701内に設置される原料導入口713a、713bは供給管やバルブを介して原料供給部711a、711bとそれぞれ接続されており、原料排出口714は、排出管やバルブや圧力調整器を介して排気装置715と接続されている。

40

【0130】

チャンバー内部にはヒータを備えた基板ホルダ716があり、その基板ホルダ上に被成膜させる基板700を配置する。

【0131】

原料供給部711a、711bでは、気化器や加熱手段などによって固体の原料や液体の原料から原料ガスを形成する。或いは、原料供給部711a、711bは、気体の原料

50

を供給する構成としてもよい。

【0132】

また、原料供給部711a、711bを2つ設けている例を示しているが特に限定されず、3つ以上設けてもよい。また、高速バルブ712a、712bは時間で精密に制御することができ、原料ガスと不活性ガスのいずれか一方を供給する構成となっている。高速バルブ712a、712bは原料ガスの流量制御器であり、且つ、不活性ガスの流量制御器とも言える。

【0133】

図8(A)に示す成膜装置では、基板700を基板ホルダ716上に搬入し、チャンバー701を密閉状態とした後、基板ホルダ716のヒータ加熱により基板700を所望の温度(例えば、100 以上または150 以上)とし、原料ガスの供給と、排気装置715による排気と、不活性ガスの供給と、排気装置715による排気とを繰り返すことで薄膜を基板表面に形成する。

【0134】

図8(A)に示す成膜装置では、原料供給部711a、711bに用意する原料(揮発性有機金属化合物など)を適宜選択することによりハフニウム、アルミニウム、タンタル、ジルコニウム等から選択された一種以上の元素を含む酸化物(複合酸化物も含む)を含んで構成される絶縁層を成膜することができる。具体的には、酸化ハフニウムを含んで構成される絶縁層、酸化アルミニウムを含んで構成される絶縁層、ハフニウムシリケートを含んで構成される絶縁層、又はアルミニウムシリケートを含んで構成される絶縁層を成膜することができる。また、原料供給部711a、711bに用意する原料(揮発性有機金属化合物など)を適宜選択することにより、タングステン層、チタン層などの金属層や、窒化チタン層などの窒化物層などの薄膜を成膜することもできる。

【0135】

例えば、ALD法を利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体(ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム(TDMAH))を気化させた原料ガスと、酸化剤としてオゾン(O_3)の2種類のガスを用いる。この場合、原料供給部711aから供給する第1の原料ガスがTDMAHであり、原料供給部711bから供給する第2の原料ガスがオゾンとなる。なお、テトラキスジメチルアミドハフニウムの化学式は $Hf[N(CH_3)_2]_4$ である。また、他の材料液としては、テトラキス(エチルメチルアミド)ハフニウムなどがある。

【0136】

ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体(トリメチルアルミニウム(TMA)など)を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。この場合、原料供給部711aから供給する第1の原料ガスがTMAであり、原料供給部711bから供給する第2の原料ガスが H_2O となる。なお、トリメチルアルミニウムの化学式は $Al(CH_3)_3$ である。また、他の材料液としては、トリス(ジメチルアミド)アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス(2,2,6,6-テトラメチル-3,5-ヘプタンジオナート)などがある。

【0137】

ALDを利用する成膜装置によりタングステン層を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン層を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン層を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。これらのガスは、マスフローコントローラによって制御する装置構成としてもよい。

【0138】

また、図8(A)に示す成膜装置を少なくとも一つ有するマルチチャンバーの製造装置の一例を図8(B)に示す。

【 0 1 3 9 】

図 8 (B) に示す製造装置は、積層膜を大気に触れることなく連続成膜することができ、不純物の混入防止やスループット向上を図っている。

【 0 1 4 0 】

図 8 (B) に示す製造装置は、ロード室 7 0 2、搬送室 7 2 0、前処理室 7 0 3、成膜室であるチャンバー 7 0 1、アンロード室 7 0 6 を少なくとも有する。なお、製造装置のチャンバー (ロード室、処理室、搬送室、成膜室、アンロード室などを含む) は、水分の付着などを防ぐため、露点が管理された不活性ガス (窒素ガス等) を充填させておくことが好ましく、望ましくは減圧を維持させる。

【 0 1 4 1 】

また、チャンバー 7 0 4、7 0 5 は、チャンバー 7 0 1 と同じ A L D 法を利用する成膜装置としてもよいし、プラズマ C V D 法を利用する成膜装置としてもよいし、スパッタリング法を利用する成膜装置としてもよいし、有機金属気相成長法 (M O C V D : M e t a l O r g a n i c C h e m i c a l V a p o r D e p o s i t i o n) 法を利用する成膜装置としてもよい。

【 0 1 4 2 】

例えば、チャンバー 7 0 4 としてプラズマ C V D 法を利用する成膜装置とし、チャンバー 7 0 5 として M O C V D 法を利用する成膜装置とし、積層膜を成膜する一例を以下に示す。

【 0 1 4 3 】

まず、酸化物半導体層が設けられた基板をロード室 7 0 2 に複数枚設置する。そして、搬送室 7 2 0 の搬送ユニット 7 0 7 によって基板を前処理室 7 0 3 に搬送する。前処理室 7 0 3 では基板表面を洗浄する処理を行う。次いで、表面が洗浄された基板をチャンバー 7 0 4 に大気に触れることなく搬送して酸化シリコン層を成膜する。次いで、大気に触れることなく、搬送ユニット 7 0 7 によってチャンバー 7 0 1 に搬送して酸化ハフニウム層を成膜する。次いで、大気に触れることなく、搬送ユニット 7 0 7 によってチャンバー 7 0 5 に搬送してタングステン層を成膜する。そして、搬送ユニット 7 0 7 によってアンロード室 7 0 6 に搬送する。以上の手順により、例えば酸化物半導体層上に酸化シリコン層と、該酸化シリコン層上に酸化ハフニウム層と、該酸化ハフニウム層上にタングステン層とを成膜できる。

【 0 1 4 4 】

ここでは、三種類の成膜装置を用いて積層膜を成膜する例を示したが、これに限定されるものではない。例えば、実施の形態 1 に示した酸化物半導体層 1 0 4、ゲート絶縁層 1 0 8、ゲート電極層 1 1 0 を連続で成膜しても構わない。また、他の実施の形態に示す各層について、本実施の形態で示した製造装置を用いて成膜しても構わない。

【 0 1 4 5 】

また、図 8 (B) では搬送室 7 2 0 の上面図が六角形の例を示しているが、積層膜の層数に応じて、それ以上の多角形としてより多くのチャンバーと連結させた製造装置としてもよい。また、図 8 (B) では基板の上面形状を矩形で示しているが、特に限定されない。また、図 8 (B) では枚葉式の例を示したが、複数枚の基板を一度に成膜するバッチ式の成膜装置としてもよい。

【 0 1 4 6 】

以上が成膜装置についての説明である。

【 0 1 4 7 】

[トランジスタ構造 1 の変形例]

また、図 5 に示すトランジスタのようにゲート絶縁層 4 0 8 a 下に酸化物層 4 0 9 を配置しても構わない。酸化物層 4 0 9 としては、酸化物半導体層 4 0 4 c として示した酸化物半導体層を用いればよい。なお、そのほかの構成については、図 2 に示したトランジスタについての記載を参照する。またこのとき、酸化物半導体層 4 0 4 として、上記酸化物半導体層 4 0 4 a と酸化物半導体層 4 0 4 b の 2 層構造とすることで、当該酸化物層 4 0

10

20

30

40

50

9を含む3層が積層された構成としてもよい。

【0148】

[トランジスタ構造2]

図6(A)および図6(B)は、本発明の一態様のトランジスタの上面図および断面図である。図6(A)は上面図であり、図6(B)は、図6(A)に示す一点鎖線B1-B2、および一点鎖線B3-B4に対応する断面図である。なお、図6(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0149】

図6(A)および図6(B)に示すトランジスタは、基板500上の凸部を有する下地絶縁層502と、下地絶縁層502の凸部上の酸化物半導体層504と、酸化物半導体層504の側面と接するソース電極層506aおよびドレイン電極層506bと、ソース電極層506a上およびドレイン電極層506b上にあり、酸化物半導体層504と上面の高さの揃った絶縁層518aおよび絶縁層518bと、酸化物半導体層504上、ソース電極層506a上およびドレイン電極層506b上のゲート絶縁層508aと、ゲート絶縁層508a上のゲート絶縁層508bと、ゲート絶縁層508bの上面に接し、酸化物半導体層504の上面および側面に面するゲート電極層510と、ソース電極層506a上、ドレイン電極層506b上、およびゲート電極層510上の絶縁層512と、を有する。なお、下地絶縁層502が凸部を有さなくても構わない。

【0150】

図6に示すトランジスタにおいて、ソース電極層506aまたはドレイン電極層506bは、主に酸化物半導体層504の側面と接するよう配置される。したがって、ゲート電極層510から酸化物半導体層504へ印加される電界が、ソース電極層506aおよびドレイン電極層506bによって妨げられることがほとんどない。そのため、図2および図5に示したトランジスタと比べ、酸化物半導体層中の電流経路を広くとることが可能となり、さらに高いオン電流を得ることができる。

【0151】

また、酸化物半導体層504と、絶縁層518aおよび絶縁層518bと、の上面の高さが揃っていることで、形状不良を起こしにくい構造である。したがって、該トランジスタを有する半導体装置は、歩留り高く作製することができる。

【0152】

なお、絶縁層518aおよび絶縁層518bは、下地絶縁層402についての記載を参照する。

【0153】

また、基板500は基板400についての記載を参照する。また、下地絶縁層502は下地絶縁層402についての記載を参照する。また、酸化物半導体層504は酸化物半導体層404についての記載を参照する。また、ソース電極層506aおよびドレイン電極層506bは、ソース電極層406aおよびドレイン電極層406bについての記載を参照する。ゲート絶縁層508aはゲート絶縁層408aについての記載を参照する。また、ゲート絶縁層508bはゲート絶縁層408bについての記載を参照する。また、ゲート電極層510はゲート電極層410についての記載を参照する。また、絶縁層512は絶縁層412についての記載を参照する。

【0154】

[トランジスタ構造2の変形例]

また、図6に示すトランジスタにおいて、ゲート絶縁層508a下に酸化物層を配置しても構わない。該酸化物層は酸化物層409についての記載を参照する。なお、そのほかの構成については、図6に示したトランジスタについての記載を参照する。

【0155】

[トランジスタ構造3]

図7(A)および図7(B)は、本発明の一態様のトランジスタの上面図および断面図である。図7(A)は上面図であり、図7(B)は、図7(A)に示す一点鎖線C1-C

10

20

30

40

50

2、および一点鎖線 C 3 - C 4 に対応する断面図である。なお、図 7 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 1 5 6 】

図 7 (A) および図 7 (B) に示すトランジスタは、基板 6 0 0 上の凸部を有する下地絶縁層 6 0 2 と、下地絶縁層 6 0 2 の凸部上の酸化物半導体層 6 0 4 と、酸化物半導体層 6 0 4 上のゲート絶縁層 6 0 8 a と、ゲート絶縁層 6 0 8 a 上のゲート絶縁層 6 0 8 b と、ゲート絶縁層 6 0 8 b の上面に接し、酸化物半導体層 6 0 4 の上面および側面に面するゲート電極層 6 1 0 と、酸化物半導体層 6 0 4 上およびゲート電極層 6 1 0 上にあり、酸化物半導体層 6 0 4 に達する開口部を有する絶縁層 6 1 2 と、該開口部を埋めるソース電極層 6 0 6 a およびドレイン電極層 6 0 6 b と、ソース電極層 6 0 6 a およびドレイン電極層 6 0 6 b とそれぞれ接する配線層 6 1 6 a および配線層 6 1 6 b と、を有する。なお、下地絶縁層 6 0 2 が凸部を有さなくても構わない。

10

【 0 1 5 7 】

図 7 に示すトランジスタにおいて、ソース電極層 6 0 6 a およびドレイン電極層 6 0 6 b は、ゲート電極層 6 1 0 と重ならないよう配置される。したがって、ソース電極層 6 0 6 a またはドレイン電極層 6 0 6 b と、ゲート電極層 6 1 0 と、の間に生じる寄生容量を低減することができる。そのため、図 7 に示すトランジスタは、優れたスイッチング特性を実現することができる。

【 0 1 5 8 】

また、絶縁層 6 1 2 と、ソース電極層 6 0 6 a およびドレイン電極層 6 0 6 b と、の上面の高さが揃っていることで、形状不良を起こしにくい構造である。したがって、該トランジスタを有する半導体装置は、歩留り高く作製することができる。

20

【 0 1 5 9 】

なお、配線層 6 1 6 a および配線層 6 1 6 b は、ゲート電極層 4 1 0 についての記載を参照する。

【 0 1 6 0 】

また、基板 6 0 0 は基板 4 0 0 についての記載を参照する。また、下地絶縁層 6 0 2 は下地絶縁層 4 0 2 についての記載を参照する。また、酸化物半導体層 6 0 4 は酸化物半導体層 4 0 4 についての記載を参照する。また、ソース電極層 6 0 6 a およびドレイン電極層 6 0 6 b は、ソース電極層 4 0 6 a およびドレイン電極層 4 0 6 b についての記載を参照する。ゲート絶縁層 6 0 8 a はゲート絶縁層 4 0 8 a についての記載を参照する。また、ゲート絶縁層 6 0 8 b はゲート絶縁層 4 0 8 b についての記載を参照する。また、ゲート電極層 6 1 0 はゲート電極層 4 1 0 についての記載を参照する。また、絶縁層 6 1 2 は絶縁層 4 1 2 についての記載を参照する。

30

【 0 1 6 1 】

[トランジスタ構造 3 の変形例]

また、図 7 に示すトランジスタにおいて、ゲート絶縁層 6 0 8 a 下に酸化物層を配置しても構わない。該酸化物層は酸化物層 4 0 9 についての記載を参照する。なお、そのほかの構成については、図 7 に示したトランジスタについての記載を参照する。

【 0 1 6 2 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

40

【 0 1 6 3 】

(実施の形態 3)

本実施の形態では、半導体層と接する絶縁層に着目し、トランジスタの特性の劣化を引き起こす要因について説明する。半導体層と接する絶縁層としては、例えばゲート絶縁層として機能する絶縁層や、半導体層のバックチャネル側を保護するための絶縁層などが挙げられる。

【 0 1 6 4 】

トランジスタのチャンネルが形成される半導体層と接して絶縁層を設ける際、絶縁層の内

50

部または半導体層と絶縁層との界面に不純物や欠陥が含まれると、これがキャリアトラップとして機能する場合がある。このようなキャリアトラップは、トランジスタの電気特性の低下や変動を引き起こし、信頼性を低下させる要因の一つとなってしまう。

【0165】

以下では、半導体層と接する絶縁層自体に含まれる元素や欠陥に着目した場合と、半導体層と絶縁層との界面に含まれる元素や欠陥に着目した場合の2つの場合について、トランジスタの特性劣化の要因について説明する。

【0166】

[絶縁層による影響について]

以下では、半導体層と接する絶縁層中に含まれる成分とトランジスタの特性劣化の関係について説明する。

【0167】

[トランジスタのストレス試験結果]

まず、半導体層と接する絶縁層の成膜条件を異ならせて3種類のトランジスタを作製し、そのストレス試験前後のトランジスタ特性を比較した結果を示す。

【0168】

図9に、作製したトランジスタのチャネル長方向の断面概略図を示す。トランジスタは、基板1301上に設けられた逆スタガ構造のトランジスタである。トランジスタは基板1301上にゲート電極1305と、ゲート電極1305を覆うゲート絶縁層1304と、ゲート絶縁層1304上に酸化物半導体を含む半導体層1302と、半導体層1302上にソース電極またはドレイン電極として機能する一対の電極1303と、電極1303及び半導体層1302を覆う第1の絶縁層1306と、絶縁層1306上に第2の絶縁層1307と、を有する。

【0169】

ここで、半導体層1302を構成する酸化物半導体として、In-Ga-Zn-O系材料(In:Ga:Zn=1:1:1)のスパッタリングターゲットを用いてスパッタリング法により形成した酸化物半導体(以下、IGZO(111)とも表記する)を用いた。また、半導体層1302と接する第1の絶縁層1306として、プラズマCVD法により形成した窒素を含む酸化シリコン(以下、酸化窒化シリコン、SiONとも表記する。)を用い、この第1の絶縁層1306の成膜条件を異ならせることで、3種類のトランジスタを作製した。

【0170】

なお、本明細書中において、酸化窒化シリコン膜(SiON膜)とは、その組成として、窒素よりも酸素の含有量が多い膜を指し、窒化酸化シリコン膜(SiNO膜)とは、その組成として、酸素よりも窒素の含有量が多い膜を指す。

【0171】

図10は、作製した3種類のトランジスタ(試料1乃至試料3)について、上から順に初期のId-Vg特性、ストレス試験前後でのしきい値電圧の変動値(ΔV_{th})、第1の絶縁層に対するTDS(Thermal Desorption Spectroscopy:昇温脱離ガス分光法)分析結果、及び第1の絶縁層に対する電子スピン共鳴(ESR:Electron Spin Resonance)で得られたシグナルをそれぞれ示す。

【0172】

ここで、TDS分析及びESR測定は、条件の異なる3種類の酸化窒化シリコン膜自体の評価を行うための試料を別途作製して行った。単膜評価用の試料は、石英基板上にそれぞれ酸化窒化シリコン膜を成膜することにより作製した。

【0173】

図10には、TDS分析結果として、上から順にNO(質量電荷比(M/zともいう)=30)、N₂O(M/z=44)、及びNO₂(M/z=46)について、それぞれ示している。TDS分析結果に着目すると、各試料間で酸化窒化シリコン膜から脱離するガ

10

20

30

40

50

スのうちNOの脱離量に差がみられており、NOの脱離量は試料1が最も小さく、試料3が最も大きい結果となった。

【0174】

図10に示す $g = 2.001$ 付近に現れる、3本にスプリットしたESRシグナルは、 SiO_2 中の NO_2 に由来するシグナルであると考えられる。図10より、ESRシグナルの強度及びESRシグナルから算出されるスピン密度は、TDS分析結果と同様に、試料1が最も小さく、試料3が最も大きい結果となった。

【0175】

ストレス試験としては、ゲートバイアスストレス試験（GBT試験）を用いた。GBT試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化を、短時間で評価することができる。ここでは、GBT試験として、トランジスタが形成されている基板を80℃に保持し、トランジスタのソースとドレインに0V、ゲートにはゲート絶縁層に印加される電界強度が 1.65 MV/cm または -1.65 MV/cm となるように、30Vまたは -30 V の電圧を印加し、この状態を2000秒間保持した。ここで、ゲートに正の電圧を印加する試験をプラスGBT、負の電圧を印加する試験をマイナスGBTと表記する。また、図10中、Darkは暗状態でストレス印加する条件を示し、Photoは3000lxの白色LED光を照射した状態でストレス印加する条件を示す。

【0176】

図10より、Dark、Photoのいずれの条件でも、プラスGBT試験におけるしきい値電圧のプラス方向の変動量に顕著な差がみられ、試料1が最も変動量が小さく、試料3が最も変動量が大きい結果となった。

【0177】

以上の結果から、半導体層と接する絶縁層のNOの脱離量と、ESRシグナルから算出されるスピン密度が大きいほど、トランジスタのしきい値電圧のプラス方向の変動量が大きくなることが確認できた。

【0178】

ここで、ESRのシグナルは孤立電子の存在を意味するため、試料3に用いた絶縁層では孤立電子が最も多く存在することを示唆する。孤立電子は、そのエネルギー位置に依存して、電子トラップまたは正孔トラップとして機能する場合がある。つまり上記結果は、トランジスタのプラスGBTストレスにおけるしきい値電圧のプラス方向の変動の要因の一つとして、半導体層と接する絶縁層中のNが関与する欠陥のダングリングボンドが関係していることを強く示唆する。

【0179】

〔絶縁層中の窒素化合物の遷移レベルについて〕

上記の結果を受け、酸化窒化シリコン（ SiON ）中の欠陥準位と、これらのESRシグナルについて、計算による検証を行った。具体的には、酸化シリコン（ SiO_2 ）中に NO_2 、 N_2O 、NO、またはN原子を導入したそれぞれのモデルについて、これらの遷移レベルを調べることでトランジスタの電子トラップとなりうるのかどうかを検証した。

【0180】

計算には、低温型石英（ $\alpha\text{-quartz}$ ）結晶構造の SiO_2 （ $c\text{-SiO}_2$ ）をモデルとして用いた。欠陥のない $c\text{-SiO}_2$ の結晶モデルを図11に示す。

【0181】

まず、 $c\text{-SiO}_2$ の単位格子を全ての軸方向に2倍した72原子モデルに対し、格子定数、各原子座標について構造最適化計算を行った。計算には、第一原理計算ソフトウェアVASP（The Vienna Ab initio simulation package）を用いた。また、内殻電子の効果はProjector Augmented Wave（PAW）法により計算し、汎関数にはHeyd-Scuseria-Ernzerhof（HSE）DFTハイブリッド汎関数（HSE06）を用いた。計算条件を以下に示す。

【 0 1 8 2 】

【表 1】

計算条件	
ソフトウェア	VASP
汎関数	HSE06
交換項の混合比	0.4
擬ポテンシャル	PAW法
カットオフエネルギー	800eV
k点	1×1×1(最適化)
	2×2×2(全エネルギー)

【 0 1 8 3 】

最適化後の $c - SiO_2$ モデルのバンドギャップは、実験値である $9.0 eV$ に近い $8.97 eV$ であった。

【 0 1 8 4 】

続いて、上記 $c - SiO_2$ モデルにおける、結晶構造内の空間（格子間）に NO_2 、 N_2O 、 NO 、または N 原子を導入したそれぞれのモデルについて、構造の最適化計算を行った。ここで、各モデルについて、系全体が $+1$ 価である場合（電荷： $+1$ ）、系全体が電氣的に中性（ 0 価）である場合（電荷：中性）、及び系全体が -1 価である場合（電荷： -1 ）、の3通りについて、それぞれ最適化計算を行った。ただし、系全体に課した電荷は、電子の基底状態ではそれぞれ、 NO_2 、 N_2O 、 NO 、及び N 原子、を含む欠陥に局在している事を確認した。

【 0 1 8 5 】

まず、 $c - SiO_2$ モデルの格子間に NO_2 を導入したモデルについて、最適化計算を行った後の構造と、 NO_2 分子の構造パラメータを図 1 2 に示す。

【 0 1 8 6 】

なお、一般に電氣的に中性でない分子を分子イオンなどと呼ぶことが多いが、ここでは結晶格子の内部に導入された分子を議論しているため、孤立系とは異なり分子の価数を定量することは困難であることなどから、便宜上、電氣的に中性でない分子についても分子と呼ぶこととする。

【 0 1 8 7 】

図 1 2 より、 NO_2 分子を導入したとき、系の電荷が $+1$ の場合では NO_2 分子がほぼ直線状であり、系の電荷が中性、 -1 の順で $O - N - O$ 結合角が小さくなる傾向がみられた。この NO_2 分子の構造変化は、気相中の孤立分子の電荷数を変えたときの結合角の変化とほぼ同等であることから、仮定した電荷の殆どは NO_2 分子が担っており、また SiO_2 中の NO_2 分子は、孤立分子に近い状態で存在していることが推察される。

【 0 1 8 8 】

続いて、 $c - SiO_2$ モデルの格子間に N_2O を導入したモデルについて、最適化計算を行った後の構造と、 N_2O 分子の構造パラメータを図 1 3 に示す。

【 0 1 8 9 】

図 1 3 より、系の電荷が $+1$ の場合と中性の場合とでは、 N_2O 分子の構造はほぼ同じ直線状の構造となった。一方、系の電荷が -1 の場合では、 N_2O 分子は折れ曲がった構

10

20

30

40

50

造であり、且つ N - O 間距離が他の 2 条件に比べて伸びている。これは N₂O 分子の π* 軌道である LUMO 準位に電子が入ったためと考えられる。

【0190】

次に、c - SiO₂ モデルの格子間に NO を導入したモデルについて、最適化計算を行った後の構造と、NO 分子の構造パラメータを図 14 に示す。

【0191】

図 14 より、系の電荷が +1 の場合 N - O 間距離は短く、逆に系の電荷が -1 のときには N - O 間距離が長くなっている。これは、孤立系の NO 分子の電荷が +1、0、または -1 のときに、N - O 結合の結合次数がそれぞれ 3、0、2、5、2、0 であり、電荷が +1 のときに最も大きいことを反映していると推察される。このことから、SiO₂ 中の NO 分子は、孤立分子に近い状態で安定に存在すると推察される。

10

【0192】

最後に、c - SiO₂ モデルの格子間に N 原子を導入したモデルについて、最適化計算を行った後の構造を図 15 に示す。

【0193】

図 15 より、いずれの電荷状態（すなわち、電荷が +1、中性、又は -1 の状態）でも、N 原子は格子間に孤立原子として存在するよりも、SiO₂ 中の原子と結合した方が、エネルギー的に安定であることが分かった。

【0194】

続いて、各モデルに対して、遷移レベルの計算を行った。

20

【0195】

ここで、構造中に欠陥 D を有するモデルにおける、電荷 q の状態と電荷 q' の状態とを遷移する遷移レベル ε (q / q') は、以下の式により算出することができる。

【0196】

【数 1】

$$\varepsilon(q/q') = \frac{\Delta E^q - \Delta E^{q'}}{q' - q}$$

30

$$\Delta E^q = E_{tot}(D^q) - E_{tot}(bulk) + \sum_i n_i \mu_i + q(\varepsilon_{VBM} + \Delta V_q + E_F)$$

【0197】

ここで、E_{tot} (D^q) は電荷 q の欠陥 D をもつモデルの全エネルギー、E_{tot} (bulk) は欠陥のないモデルの全エネルギー、n_i は欠陥に寄与する原子 i の個数、μ_i は原子 i の化学ポテンシャル、ε_{VBM} は欠陥のないモデルにおける価電子帯上端のエネルギー、ΔV_q は静電ポテンシャルに関する補正項、E_F はフェルミエネルギーである。

40

【0198】

上記式より得られた遷移レベルを記載したバンドダイアグラムを図 16 に示す。図 16 には、上記 4 つのモデルのバンドダイアグラムに加え、IGZO (111) のバンドダイアグラムも合わせて明示している。

【0199】

図 16 において、各遷移レベルの値は、SiO₂ の価電子帯上端を基準 (0 . 0 e V) とした値を示している。なお、ここでは SiO₂ の電子親和力として文献値を用いたが、SiO₂ と IGZO (111) を接合した場合の各々のバンドの位置関係は、実際には SiO₂ の電子親和力に影響を受ける場合がある。

【0200】

50

また以下では、系の電荷が + 1 の状態と 0 の状態を遷移する遷移レベルを (+ / 0) と表記し、系の電荷が 0 の状態と - 1 の状態を遷移する遷移レベルを (0 / -) と表記する。

【 0 2 0 1 】

図 1 6 において、 SiO_2 内に NO_2 分子を導入したモデルでは、 $\text{IGZO} (111)$ のバンドギャップ内に相当する位置に (+ / 0) 及び (0 / -) の 2 つの遷移レベルが存在し、電子のトラップ・デトラップに関与する可能性があることを示唆する。また、 SiO_2 に NO 分子を導入したモデル、及び N 原子を導入したモデルでは、いずれも $\text{IGZO} (111)$ のバンドギャップ内に相当する位置に (+ / 0) の遷移レベルが存在する。一方、 SiO_2 内に N_2O 分子を導入したモデルの遷移レベルは、いずれも $\text{IGZO} (111)$ のバンドギャップよりも外側に存在し、フェルミ準位の位置に関わらず中性分子として安定に存在することが推察される。

10

【 0 2 0 2 】

以上の結果から、トランジスタのしきい値電圧のプラスシフトの要因である電子のトラップ・デトラップに関与する、窒素を含む格子間分子としては、 $\text{IGZO} (111)$ のバンドギャップ内の伝導帯よりの位置に遷移レベルを有する NO_2 または NO 、若しくはその両方である可能性が高いことが強く示唆される。

【 0 2 0 3 】

〔 ESR シグナルの検証 〕

上記遷移レベルの計算結果を受け、以下では NO_2 の ESR シグナルを計算にて求め、実測と比較することにより検証を行った。また、ここでは SiO_2 内の O 原子のサイトに N 原子が置換したモデルについても同様の検証を行った。

20

【 0 2 0 4 】

まず、ESR シグナルについて説明する。図 1 7 には、図 1 0 中に示した試料 3 における ESR シグナルを拡大したものを示す。図 1 7 は、縦軸に ESR シグナルの強度を示し、横軸に磁界強度に加え g 因子 (g - factor、 g 値ともいう) を付記して示している。図 1 7 に示すように、ESR シグナルのピークは 3 つにスプリットしており、隣接する 2 つのピークのスプリット幅は、それぞれ約 5 mT である。

【 0 2 0 5 】

ここで、 N 原子は電子が 7 個、 O 原子は電子が 8 個存在するため、 NO_2 分子は電子が開殻構造となる。したがって、中性の NO_2 は孤立電子を有するため、ESR で測定することが可能である。また、 SiO_2 中の O 原子のサイトに N 原子が置換した場合、 N 原子の周りに Si が 2 つしかない状況となり、 N 原子の電子が一つ余る状況となるため、同様に ESR で測定することが可能である。また、 ^{14}N はその核スピンのため、 ^{14}N が関与する ESR シグナルのピークは 3 つにスプリットする。このとき、ESR シグナルのスプリット幅は超微細結合定数である。

30

【 0 2 0 6 】

そこで、図 1 7 に示す ESR シグナルがこのような形状となる起源が、 NO_2 分子に由来するのか、または SiO_2 内の O 原子サイトに置換した N 原子に由来するのかを計算により検証した。なお、 SiO_2 の結晶構造をモデルとして用いた場合、計算量が膨大となるため、ここでは図 1 8 に示すような 2 種類のクラスタ構造のモデルを用い、これらに関して構造最適化を行った後、 g 値と超微細結合定数について計算した。図 1 8 (A) は中性状態の NO_2 分子のモデルであり、図 1 8 (B) は、 $\text{Si} - \text{N} - \text{Si}$ 結合を有するクラスタモデルである。なお、図 1 8 (B) に示すモデルでは、 Si 原子の未結合手を H 原子で終端したクラスタモデルを用いた。

40

【 0 2 0 7 】

モデルの構造最適化ならびに構造最適化されたモデルの g 値及び超微細結合定数の計算には $\text{ADF} (\text{Amsterdam Density Functional software})$ を用いた。また、モデルの構造最適化ならびに構造最適化されたモデルの g 値及び超微細結合定数の計算共に、汎関数として " $\text{GGA} : \text{BP}$ " を、基底関数として " QZ " を用いた。

50

4 P " を、Core Typeとして " None " を用いた。また、g 値及び超微細結合定数の計算時には、相対論効果として " Spin - Orbit " を考慮し、ESR / EPR の計算方法として、" g & A - Tensor (full SO) " を選択した。計算条件を以下に示す。

【 0 2 0 8 】

【表 2】

計算条件

ソフトウェア	ADF	10
基底関数	QZ4P	
汎関数	GGA-BP	
Core Type	None	
相対論効果	Spin-Orbit	
ESR/EPR計算方法	g & A-Tensor (full SO)	20

【 0 2 0 9 】

構造最適化の結果、まず、図 1 8 (A) に示す NO_2 分子について、N - O 結合長は 0 . 1 2 0 5 nm、O - N - O 結合角は 1 3 4 . 1 ° となった。これは NO_2 分子についての実験値である結合長 0 . 1 1 9 7 nm、結合角 1 3 4 . 3 ° と近い値となった。また、図 1 8 (B) に示す Si - N - Si クラスタモデルについては、Si - N の結合長は 0 . 1 7 2 nm、Si - N - Si 結合角は 1 3 8 . 3 ° となった。これは、第一原理計算により SiO_2 結晶中の O 原子のサイトに N 原子を置換して構造最適化計算を行った後の構造における、Si - N の結合長 0 . 1 7 0 nm、Si - N - Si 結合角 1 3 9 . 0 ° と同程度であった。

【 0 2 1 0 】

計算した g 値及び超微細結合定数の値を、以下に示す。

【 0 2 1 1 】

【表 3】

	g 値				超微細結合定数 [mT]			
	g_x	g_y	g_z	g(平均)	A_x	A_y	A_z	A(平均)
NO_2	2.0066	1.9884	2.0014	1.9988	4.54	4.49	6.53	5.19
Si-N-Si	2.0021	2.0174	2.0056	2.0084	3.14	-0.61	-0.62	0.64

【 0 2 1 2 】

上述のように、超微細結合定数 A は、ESR シグナルのピークのスプリット幅に対応する。表 3 より、 NO_2 分子の超微細結合定数 A の値は、平均値がほぼ 5 mT であり、図 1 7 に示す ESR シグナルのピークのスプリット幅によく対応する。一方、Si - N - Si クラスタモデルについては、超微細結合定数 A のうち A_x のみ正の値を取るが、その値も 3 mT 程度であり、図 1 7 のスプリット幅より小さい値となっている。

【 0 2 1 3 】

この結果から、ESR シグナルが図 1 7 のような形状となる起源は、 SiO_2 内の O 原子サイトに置換した N 原子よりも、 SiO_2 結晶中の NO_2 分子に由来するものである可

10

20

30

40

50

能性が高いことが分かった。

【0214】

〔トランジスタの劣化メカニズムの考察〕

以下では、上記の結果をもとに、トランジスタにプラスGBTを印加したときの、トランジスタのしきい値電圧がプラスシフトする現象について、そのメカニズムを考察する。

【0215】

図19を用いてメカニズムを考察する。図19には、ゲート(GE)、ゲート絶縁層(GI)、酸化物半導体層(OS)、窒素を含む酸化シリコン膜(SiON膜)が順に積層された構造を示す。

【0216】

まず、トランジスタにプラスGBTを印加すると、半導体層のゲート絶縁層側ほどではないが、半導体層のバックチャネル側(絶縁層側)の電子濃度は大きくなる。そこで、絶縁層に含まれるNO₂分子またはNO分子が、半導体層と絶縁層の界面に拡散し、プラスGBTによって誘起されたバックチャネル側の電子をトラップする。その結果、トラップされた電子が半導体層と絶縁層の界面近傍に留まることにより、トランジスタのしきい値電圧がプラス方向にシフトする。このような劣化モデルをNO_xモデルと呼称する。

【0217】

すなわち、半導体層と接する絶縁層は、含有する窒素の濃度が低いほどトランジスタのしきい値電圧の変動を抑制できることを意味する。ここで、半導体層と接する絶縁層としては、バックチャネル側に接する絶縁層、及びゲート絶縁層などが挙げられる。窒素の含有量が極めて低い絶縁層を、半導体層と接して設けることにより、極めて信頼性の高いトランジスタを実現することができる。

【0218】

〔半導体層と絶縁層との界面の影響について〕

以下では、半導体層と絶縁層との界面の状態と、トランジスタの特性劣化の関係について説明する。

【0219】

上述のように、半導体層と絶縁層との界面の不純物や欠陥は、キャリアトラップとして機能し、トランジスタの電気特性の変動を引き起こす恐れがある。そこで、半導体層上に、これと接する絶縁層を形成する前に、半導体層の上面の不純物等を除去するための前処理の有無が、欠陥準位の生成に影響があるのかどうかを調査した。

【0220】

まず、図9に示した構造のトランジスタを作製した。ここで、図9における半導体層1302上の一対の電極1303をエッチングにより加工した後であって、第1の絶縁層1306の形成前に、エッチング処理によって飛散した金属元素を除去するため、露出した半導体層1302に対してリン酸を用いた洗浄処理(前処理)を行った。また、同様の作製工程で、半導体層に対して当該前処理を行わない試料も同時に作製した。

【0221】

ここで、半導体層の欠陥準位の評価方法の一つとして、一定光電流測定法(CPM: Constant Photocurrent Method)がある。CPMは、試料に設けられた2電極間に電圧を印加した状態で、2電極間に流れる光電流値が一定となるように電極間の試料面に照射する光の光量を調整し、当該光量から特定の波長に対する吸収係数を導出することができる。CPM測定において、試料に欠陥がある場合には、欠陥の存在する準位に応じたエネルギー(波長より換算)における吸収係数が増加する。この吸収係数の増加分に定数を掛けることにより、試料の状態密度(DOS: Density Of State)を導出することができる。

【0222】

前処理を行った試料と前処理を行わない試料の2種類の試料について、CPM測定を行った結果を、図20に示す。図20(A)は前処理を行った試料に対するCPM測定結果であり、図20(B)は前処理を行わない試料に対するCPM測定結果である。

【0223】

図20の各図において、横軸は光エネルギーを表し、縦軸は吸収係数を表す。また各図に示す太い曲線は、各試料に対するCPM測定より得られた吸収係数を示し、細い曲線は光学的な測定より得られた吸収係数を示し、細い点線は吸収係数の直線部分を外挿した直線を示す。

【0224】

ここで、吸収係数の曲線において、直線部分はアーバックテイルに起因する吸収であり、この傾きは例えばアモルファスシリコンなどでは、原子配列の乱れや温度による格子の乱れに起因して大きくなることが知られている。図中には、アーバックテイルによる吸収係数の傾きの指標として、算出されたアーバックエネルギーの値を示している。ここで、アーバックエネルギーは、吸収係数が一桁変化するときのエネルギー差として定義される。アーバックエネルギーの値が大きいほど、吸収係数の直線部分の傾きが小さい。

10

【0225】

一方、バンドギャップ中央付近のエネルギー値において外挿直線から外れた部分は半導体中の欠陥準位に起因する吸収であり、欠陥準位密度が大きいほど、外挿直線との差が大きくなる。図中には、吸収係数の曲線と外挿曲線の差分から見積もった、欠陥準位（局在準位）による吸収係数の値を示している。

【0226】

図20(A)、(B)より、半導体層と接する絶縁層の形成前の前処理を行った試料では、前処理を行わない試料に比べて、欠陥準位による吸収係数が小さいことがわかる。すなわち、半導体層と絶縁層との界面を清浄なものとするにより、これらの界面に起因する欠陥準位が低減できていることがわかる。

20

【0227】

さらに、前処理を行った試料では、前処理を行わない試料に比べて、アーバックエネルギーの値も小さいことがわかる。すなわち、半導体層と絶縁層との界面の状態（清浄度など）が、伝導帯近傍の裾準位（テイル準位ともいう）にも影響を及ぼすことが示唆される。

【0228】

このように、半導体層と絶縁層との界面がより清浄であるなど、良好な状態であるほど、これらの界面に、キャリアトラップとして機能する界面準位の生成を抑制することができる。その結果、トランジスタの電気特性の向上だけでなく、電気特性の変動が抑制されるため、良好な電気特性と高い信頼性を兼ね備えるトランジスタを実現することができる。

30

【0229】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0230】

(実施の形態4)

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

40

【0231】

[断面構造]

図21(A)に本発明の一態様の半導体装置の断面図を示す。図21(A)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ2200を有し、上部に第2の半導体材料を用いたトランジスタ2100を有している。図21(A)では、第2の半導体材料を用いたトランジスタ2100として、実施の形態2で例示したトランジスタを適用した例を示している。

【0232】

第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコン、ゲルマニウ

50

ム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素など)とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

【0233】

トランジスタ2200は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、酸化物半導体を用いた本発明の一態様のトランジスタを用いるほかは、用いる材料や構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0234】

図21(A)に示す構成では、トランジスタ2200の上部に、絶縁層2201、絶縁層2207を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には、複数の配線2202が設けられている。また各種絶縁層に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電氣的に接続されている。また、トランジスタ2100を覆う絶縁層2204と、絶縁層2204上に配線2205と、トランジスタ2100の一对の電極と同一の導電膜を加工して得られた配線2206と、が設けられている。

【0235】

このように、2種類のトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

【0236】

ここで、下層に設けられるトランジスタ2200にシリコン系半導体材料を用いた場合、トランジスタ2200の半導体層の近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端し、トランジスタ2200の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ2100に酸化物半導体を用いた場合、トランジスタ2100の半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ2100の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタ2200の上層に酸化物半導体を用いたトランジスタ2100を積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁層2207を設けることは特に効果的である。絶縁層2207により、下層に水素を閉じ込めることでトランジスタ2200の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでトランジスタ2100の信頼性も同時に向上させることができる。

【0237】

絶縁層2207としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

【0238】

また、酸化物半導体層を含んで構成されるトランジスタ2100を覆うように、トランジスタ2100上に水素の拡散を防止する機能を有する絶縁層2208を形成することが好ましい。絶縁層2208としては、絶縁層2207と同様の材料を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミニウム膜は、水素、水分などの不純物及び酸素の双方に対して膜を透過させない遮断(ブロッキング)効果が高い。したがって、トランジスタ2100を覆う絶縁層2208として酸化アルミニウム膜を用いることで、トランジスタ2100に含まれる酸化物半導体層からの酸素の脱離を防止するとともに、酸化物半導体層への水及び水素の混入を防止することができる。

【0239】

[回路構成例]

上記構成において、トランジスタ2100やトランジスタ2200の電極の接続構成を異ならせることにより、様々な回路を構成することができる。以下では、本発明の一態様

10

20

30

40

50

の半導体装置を用いることにより実現できる回路構成の例を説明する。

【0240】

〔CMOS回路〕

図21(B)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、且つそれぞれのゲートを接続した、いわゆるCMOS回路の構成を示している。なお、図に示すように、ゲート絶縁層に電荷捕獲準位に負の固定電荷が捕獲され、しきい値電圧が変動したトランジスタは、通常のトランジスタとは異なる記号を用いる。

【0241】

〔アナログスイッチ〕

また図21(C)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【0242】

〔記憶装置の例〕

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を図22に示す。

【0243】

図22(A)に示す半導体装置は、第1の半導体材料を用いたトランジスタ3200と第2の半導体材料を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上記実施の形態で説明したトランジスタを用いることができる。

【0244】

トランジスタ3300は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0245】

図22(A)において、第1の配線3001はトランジスタ3200のソース電極と電氣的に接続され、第2の配線3002はトランジスタ3200のドレイン電極と電氣的に接続されている。また、第3の配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲート電極と電氣的に接続されている。そして、トランジスタ3200のゲート電極、およびトランジスタ3300のソース電極またはドレイン電極の他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

【0246】

図22(A)に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0247】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート電極、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300がオフ状態となる電

10

20

30

40

50

位にして、トランジスタ 3300 をオフ状態とすることにより、トランジスタ 3200 のゲート電極に与えられた電荷が保持される（保持）。

【0248】

トランジスタ 3300 のオフ電流は極めて小さいため、トランジスタ 3200 のゲート電極の電荷は長時間にわたって保持される。

【0249】

次に情報の読み出しについて説明する。第1の配線 3001 に所定の電位（定電位）を与えた状態で、第5の配線 3005 に適切な電位（読み出し電位）を与えると、トランジスタ 3200 のゲート電極に保持された電荷量に応じて、第2の配線 3002 は異なる電位をとる。一般に、トランジスタ 3200 を n チャンネル型とすると、トランジスタ 3200 のゲート電極に High レベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ 3200 のゲート電極に Low レベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ 3200 を「オン状態」とするために必要な第5の配線 3005 の電位をいうものとする。したがって、第5の配線 3005 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ 3200 のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、High レベル電荷が与えられていた場合には、第5の配線 3005 の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ 3200 は「オン状態」となる。Low レベル電荷が与えられていた場合には、第5の配線 3005 の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ 3200 は「オフ状態」のままである。このため、第2の配線 3002 の電位を判別することで、保持されている情報を読み出すことができる。

【0250】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ 3200 が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線 3005 に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ 3200 が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線 3005 に与えればよい。

【0251】

図 22 (B) に示す半導体装置は、トランジスタ 3200 を設けていない点で主に図 22 (A) と相違している。この場合も上記と同様の動作により情報の書き込み及び保持動作が可能である。

【0252】

次に、情報の読み出しについて説明する。トランジスタ 3300 がオン状態となると、浮遊状態である第3の配線 3003 と容量素子 3400 とが導通し、第3の配線 3003 と容量素子 3400 の間で電荷が再分配される。その結果、第3の配線 3003 の電位が変化する。第3の配線 3003 の電位の変化量は、容量素子 3400 の電極の一方の電位（あるいは容量素子 3400 に蓄積された電荷）によって、異なる値をとる。

【0253】

例えば、容量素子 3400 の電極の一方の電位を V 、容量素子 3400 の容量を C 、第3の配線 3003 が有する容量成分を C_B 、電荷が再分配される前の第3の配線 3003 の電位を V_{B0} とすると、電荷が再分配された後の第3の配線 3003 の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 3400 の電極の一方の電位が V_1 と V_0 ($V_1 > V_0$) の2状態をとるとすると、電位 V_1 を保持している場合の第3の配線 3003 の電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第3の配線 3003 の電位 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$) よりも高くなることがわかる。

【0254】

そして、第3の配線 3003 の電位を所定の電位と比較することで、情報を読み出すこ

10

20

30

40

50

とができる。

【 0 2 5 5 】

この場合、メモリセルを駆動させるための駆動回路に上記第 1 の半導体材料が適用されたトランジスタを用い、トランジスタ 3 3 0 0 として第 2 の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【 0 2 5 6 】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

10

【 0 2 5 7 】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

20

【 0 2 5 8 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【 0 2 5 9 】

（実施の形態 5）

本実施の形態では、先の実施の形態で説明したトランジスタ、または記憶装置を含む R F I D タグについて、図 2 3 を参照して説明する。

【 0 2 6 0 】

本実施の形態における R F I D タグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、R F I D タグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

30

【 0 2 6 1 】

R F I D タグの構成について図 2 3 を用いて説明する。図 2 3 は、R F I D タグの構成例を示すブロック図である。

【 0 2 6 2 】

図 2 3 に示すように R F I D タグ 8 0 0 は、通信器 8 0 1（質問器、リーダ／ライタなどともいう）に接続されたアンテナ 8 0 2 から送信される無線信号 8 0 3 を受信するアンテナ 8 0 4 を有する。また R F I D タグ 8 0 0 は、整流回路 8 0 5、定電圧回路 8 0 6、復調回路 8 0 7、変調回路 8 0 8、論理回路 8 0 9、記憶回路 8 1 0、R O M 8 1 1 を有している。なお、復調回路 8 0 7 に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の 3 つに大別される。本実施の形態に示す R F I D タグ 8 0 0 は、そのいずれの方式に用いることも可能である。

40

【 0 2 6 3 】

50

次に各回路の構成について説明する。アンテナ 804 は、通信器 801 に接続されたアンテナ 802 との間で無線信号 803 の送受信を行うためのものである。また、整流回路 805 は、アンテナ 804 で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波 2 倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路 805 の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【0264】

定電圧回路 806 は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路 806 は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路 809 のリセット信号を生成するための回路である。

【0265】

復調回路 807 は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路 808 は、アンテナ 804 より出力するデータに応じて変調をおこなうための回路である。

【0266】

論理回路 809 は復調信号を解析し、処理を行うための回路である。記憶回路 810 は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM 811 は、固有番号 (ID) などを格納し、処理に応じて出力を行うための回路である。

【0267】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0268】

ここで、先の実施の形態で説明した記憶回路を、記憶回路 810 に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RFID タグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力 (電圧) が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【0269】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM 811 に適用することもできる。その場合には、生産者が ROM 811 にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製した RFID タグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

【0270】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0271】

(実施の形態 6)

本実施の形態では、少なくとも実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含む CPU について説明する。

【0272】

図 24 は、先の実施の形態で説明したトランジスタを少なくとも一部に用いた CPU の一例の構成を示すブロック図である。

10

20

30

40

50

【0273】

図24に示すCPUは、基板1190上に、ALU1191（ALU：Arithmetic logic unit、演算回路）、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198（Bus I/F）、書き換え可能なROM1199、およびROMインターフェース1189（ROM I/F）を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図24に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図24に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

10

【0274】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0275】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

20

【0276】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

30

【0277】

図24に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0278】

図24に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

40

【0279】

図25は、レジスタ1196として用いることのできる記憶素子の回路図の一例である

50

。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

【0280】

ここで、回路 1202 には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには接地電位 (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 のゲートが抵抗等の負荷を介して接地される構成とする。

10

【0281】

スイッチ 1203 は、一導電型 (例えば、nチャネル型) のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型 (例えば、pチャネル型) のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1213 のオン状態またはオフ状態) が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1214 のオン状態またはオフ状態) が選択される。

20

【0282】

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一対の電極のうち的一方、およびトランジスタ 1210 のゲートと電氣的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 1210 のソースとドレインの一方は、低電位電源を供給することのできる配線 (例えば GND 線) に電氣的に接続され、他方は、スイッチ 1203 の第 1 の端子 (トランジスタ 1213 のソースとドレインの一方) と電氣的に接続される。スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) はスイッチ 1204 の第 1 の端子 (トランジスタ 1214 のソースとドレインの一方) と電氣的に接続される。スイッチ 1204 の第 2 の端子 (トランジスタ 1214 のソースとドレインの他方) は電源電位 VDD を供給することのできる配線と電氣的に接続される。スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) と、スイッチ 1204 の第 1 の端子 (トランジスタ 1214 のソースとドレインの一方) と、論理素子 1206 の入力端子と、容量素子 1207 の一対の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノード M1 とする。容量素子 1207 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位 (GND 等) または高電源電位 (VDD 等) が入力される構成とすることができる。容量素子 1207 の一対の電極のうち他方は、低電位電源を供給することのできる配線 (例えば GND 線) と電氣的に接続される。容量素子 1208 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位 (GND 等) または高電源電位 (VDD 等) が入力される構成とすることができる。容量素子 1208 の一対の電極のうち他方は、低電位電源を供給することのできる配線 (例えば GND 線) と電氣的に接続される。

30

40

【0283】

なお、容量素子 1207 および容量素子 1208 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

50

【 0 2 8 4 】

トランジスタ 1 2 0 9 の第 1 ゲート (第 1 のゲート電極) には、制御信号 W E が入力される。スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 は、制御信号 W E とは異なる制御信号 R D によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

【 0 2 8 5 】

トランジスタ 1 2 0 9 のソースとドレインの他方には、回路 1 2 0 1 に保持されたデータに対応する信号が入力される。図 2 5 では、回路 1 2 0 1 から出力された信号が、トランジスタ 1 2 0 9 のソースとドレインの他方に入力される例を示した。スイッチ 1 2 0 3 の第 2 の端子 (トランジスタ 1 2 1 3 のソースとドレインの他方) から出力される信号は、論理素子 1 2 0 6 によってその論理値が反転された反転信号となり、回路 1 2 2 0 を介して回路 1 2 0 1 に入力される。

10

【 0 2 8 6 】

なお、図 2 5 では、スイッチ 1 2 0 3 の第 2 の端子 (トランジスタ 1 2 1 3 のソースとドレインの他方) から出力される信号は、論理素子 1 2 0 6 および回路 1 2 2 0 を介して回路 1 2 0 1 に入力する例を示したがこれに限定されない。スイッチ 1 2 0 3 の第 2 の端子 (トランジスタ 1 2 1 3 のソースとドレインの他方) から出力される信号が、論理値を反転させられることなく、回路 1 2 0 1 に入力されてもよい。例えば、回路 1 2 0 1 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1 2 0 3 の第 2 の端子 (トランジスタ 1 2 1 3 のソースとドレインの他方) から出力される信号を当該ノードに入力することができる。

20

【 0 2 8 7 】

また、図 2 5 において、記憶素子 1 2 0 0 に用いられるトランジスタのうち、トランジスタ 1 2 0 9 以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板 1 1 9 0 にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子 1 2 0 0 に用いられるトランジスタ全てを、チャンネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子 1 2 0 0 は、トランジスタ 1 2 0 9 以外にも、チャンネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 1 1 9 0 にチャンネルが形成されるトランジスタとすることもできる。

30

【 0 2 8 8 】

図 2 5 における回路 1 2 0 1 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1 2 0 6 としては、例えばインバータやクロックインバータ等を用いることができる。

【 0 2 8 9 】

本発明の一態様のける半導体装置では、記憶素子 1 2 0 0 に電源電圧が供給されない間は、回路 1 2 0 1 に記憶されていたデータを、回路 1 2 0 2 に設けられた容量素子 1 2 0 8 によって保持することができる。

40

【 0 2 9 0 】

また、酸化物半導体層にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1 2 0 9 として用いることによって、記憶素子 1 2 0 0 に電源電圧が供給されない間も容量素子 1 2 0 8 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1 2 0 0 は電源電圧の供給が停止した間も記憶内容 (データ) を保持することが可能である。

【 0 2 9 1 】

また、スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 を設けることによって、プリチャージ

50

動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1201 が元のデータを保持しなおすまでの時間を短くすることができる。

【0292】

また、回路 1202 において、容量素子 1208 によって保持された信号はトランジスタ 1210 のゲートに入力される。そのため、記憶素子 1200 への電源電圧の供給が再開された後、容量素子 1208 によって保持された信号を、トランジスタ 1210 の状態（オン状態、またはオフ状態）に変換して、回路 1202 から読み出すことができる。それ故、容量素子 1208 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0293】

このような記憶素子 1200 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0294】

本実施の形態では、記憶素子 1200 を CPU に用いる例として説明したが、記憶素子 1200 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF-ID (Radio Frequency Identification) にも応用可能である。

【0295】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0296】

(実施の形態 7)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機 (ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図 26 に示す。

【0297】

図 26 (A) は携帯型ゲーム機であり、筐体 901、筐体 902、表示部 903、表示部 904、マイクロフォン 905、スピーカー 906、操作キー 907、スタイラス 908 等を有する。なお、図 26 (A) に示した携帯型ゲーム機は、2つの表示部 903 と表示部 904 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0298】

図 26 (B) は携帯データ端末であり、第 1 筐体 911、第 2 筐体 912、第 1 表示部 913、第 2 表示部 914、接続部 915、操作キー 916 等を有する。第 1 表示部 913 は第 1 筐体 911 に設けられており、第 2 表示部 914 は第 2 筐体 912 に設けられている。そして、第 1 筐体 911 と第 2 筐体 912 とは、接続部 915 により接続されており、第 1 筐体 911 と第 2 筐体 912 の間の角度は、接続部 915 により変更が可能である。第 1 表示部 913 における映像を、接続部 915 における第 1 筐体 911 と第 2 筐体

10

20

30

40

50

9 1 2 との間の角度に従って、切り替える構成としても良い。また、第 1 表示部 9 1 3 および第 2 表示部 9 1 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

【 0 2 9 9 】

図 2 6 (C) はノート型パーソナルコンピュータであり、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、ポインティングデバイス 9 2 4 等を有する。

【 0 3 0 0 】

図 2 6 (D) は電気冷凍冷蔵庫であり、筐体 9 3 1、冷蔵室用扉 9 3 2、冷凍室用扉 9 3 3 等を有する。

【 0 3 0 1 】

図 2 6 (E) はビデオカメラであり、第 1 筐体 9 4 1、第 2 筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、接続部 9 4 6 等を有する。操作キー 9 4 4 およびレンズ 9 4 5 は第 1 筐体 9 4 1 に設けられており、表示部 9 4 3 は第 2 筐体 9 4 2 に設けられている。そして、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 とは、接続部 9 4 6 により接続されており、第 1 筐体 9 4 1 と第 2 筐体 9 4 2 の間の角度は、接続部 9 4 6 により変更が可能である。表示部 9 4 3 における映像を、接続部 9 4 6 における第 1 筐体 9 4 1 と第 2 筐体 9 4 2 との間の角度に従って切り替える構成としても良い。

【 0 3 0 2 】

図 2 6 (F) は普通自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4 等を有する。

【 0 3 0 3 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【 0 3 0 4 】

(実施の形態 8)

本実施の形態では、本発明の一態様に係る R F I D の使用例について図 2 7 を用いながら説明する。R F I D の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類 (運転免許証や住民票等、図 2 7 (A) 参照)、包装用容器類 (包装紙やボトル等、図 2 7 (C) 参照)、記録媒体 (D V D ソフトやビデオテープ等、図 2 7 (B) 参照)、乗り物類 (自転車等、図 2 7 (D) 参照)、身の回り品 (靴や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器 (液晶表示装置、E L 表示装置、テレビジョン装置、または携帯電話) 等の物品、若しくは各物品に取り付ける荷札 (図 2 7 (E)、図 2 7 (F) 参照) 等に設けて使用することができる。

【 0 3 0 5 】

本発明の一態様に係る R F I D 4 0 0 0 は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係る R F I D 4 0 0 0 は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証券類等に本発明の一態様に係る R F I D 4 0 0 0 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係る R F I D を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係る R F I D を取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【 0 3 0 6 】

以上のように、本発明の一態様に係わる R F I D を本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くすることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【 0 3 0 7 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【 符号の説明 】

【 0 3 0 8 】

1 0 4	酸化物半導体層	
1 0 7	電荷捕獲準位	
1 0 8	ゲート絶縁層	
1 0 8 a	ゲート絶縁層	
1 0 8 b	ゲート絶縁層	
1 0 9	電荷	
1 1 0	ゲート電極層	
4 0 0	基板	
4 0 2	下地絶縁層	
4 0 4	酸化物半導体層	20
4 0 4 a	酸化物半導体層	
4 0 4 b	酸化物半導体層	
4 0 4 c	酸化物半導体層	
4 0 5	導電膜	
4 0 6 a	ソース電極層	
4 0 6 b	ドレイン電極層	
4 0 8 a	ゲート絶縁層	
4 0 8 b	ゲート絶縁層	
4 0 9	酸化物層	
4 1 0	ゲート電極層	30
4 1 2	絶縁層	
5 0 0	基板	
5 0 2	下地絶縁層	
5 0 4	酸化物半導体層	
5 0 6 a	ソース電極層	
5 0 6 b	ドレイン電極層	
5 0 8 a	ゲート絶縁層	
5 0 8 b	ゲート絶縁層	
5 1 0	ゲート電極層	
5 1 2	絶縁層	40
5 1 8 a	絶縁層	
5 1 8 b	絶縁層	
6 0 0	基板	
6 0 2	下地絶縁層	
6 0 4	酸化物半導体層	
6 0 6 a	ソース電極層	
6 0 6 b	ドレイン電極層	
6 0 8 a	ゲート絶縁層	
6 0 8 b	ゲート絶縁層	
6 1 0	ゲート電極層	50

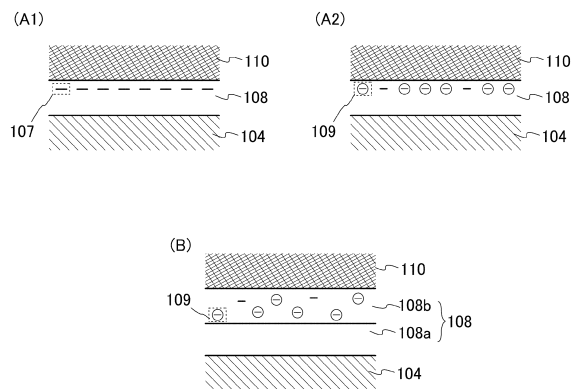
6 1 2	絶縁層	
6 1 6 a	配線層	
6 1 6 b	配線層	
7 0 0	基板	
7 0 1	チャンバー	
7 0 2	ロード室	
7 0 3	前処理室	
7 0 4	チャンバー	
7 0 5	チャンバー	
7 0 6	アンロード室	10
7 0 7	搬送ユニット	
7 1 1 a	原料供給部	
7 1 1 b	原料供給部	
7 1 2 a	高速バルブ	
7 1 2 b	高速バルブ	
7 1 2 c	高速バルブ	
7 1 2 d	高速バルブ	
7 1 3 a	原料導入口	
7 1 3 b	原料導入口	
7 1 4	原料排出口	20
7 1 5	排気装置	
7 1 6	基板ホルダ	
7 2 0	搬送室	
8 0 0	R F I D タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	30
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	40
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	50

9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	10
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	20
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	30
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	40
1 3 0 1	基板	
1 3 0 2	半導体層	
1 3 0 3	電極	
1 3 0 4	ゲート絶縁層	
1 3 0 5	ゲート電極	
1 3 0 6	絶縁層	
1 3 0 7	絶縁層	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
2 2 0 1	絶縁層	50

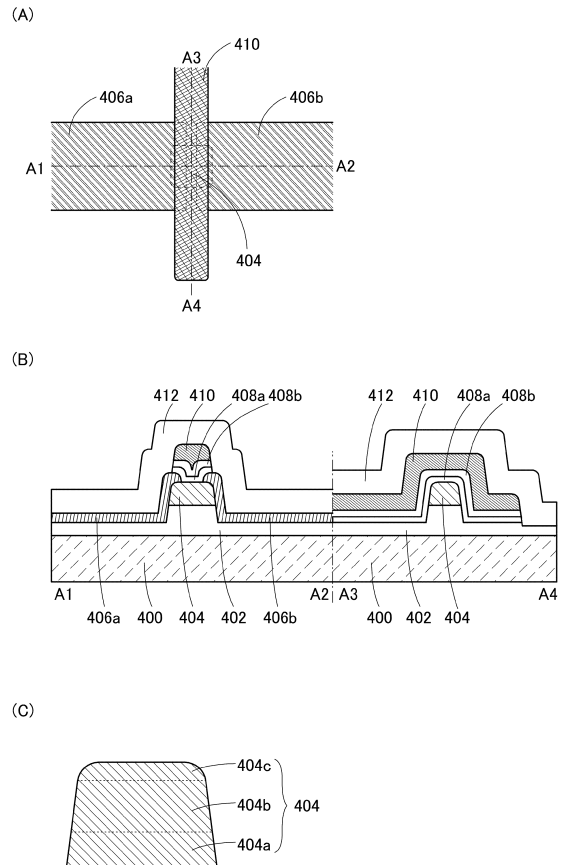
2 2 0 2	配線
2 2 0 3	プラグ
2 2 0 4	絶縁層
2 2 0 5	配線
2 2 0 6	配線
2 2 0 7	絶縁層
2 2 0 8	絶縁層
3 0 0 1	配線
3 0 0 2	配線
3 0 0 3	配線
3 0 0 4	配線
3 0 0 5	配線
3 2 0 0	トランジスタ
3 3 0 0	トランジスタ
3 4 0 0	容量素子
4 0 0 0	R F I D

10

【図 1】

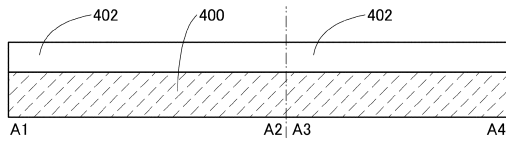


【図 2】

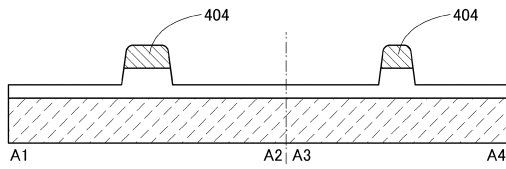


【図 3】

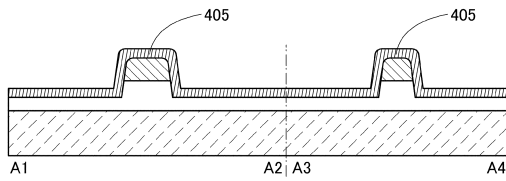
(A)



(B)

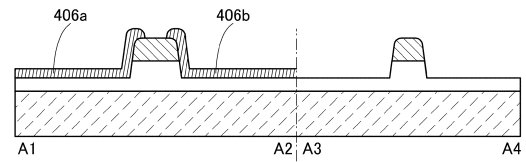


(C)

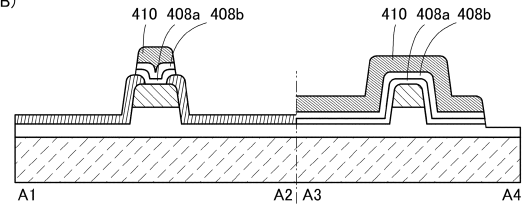


【図 4】

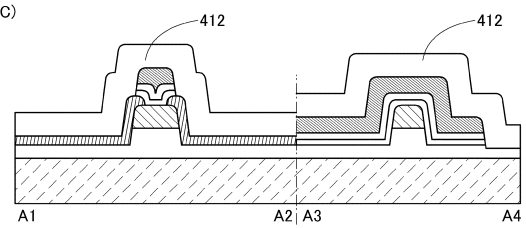
(A)



(B)

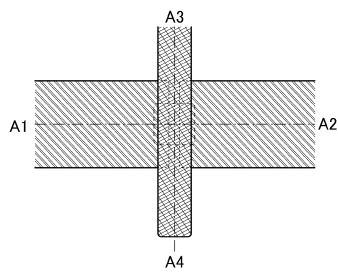


(C)

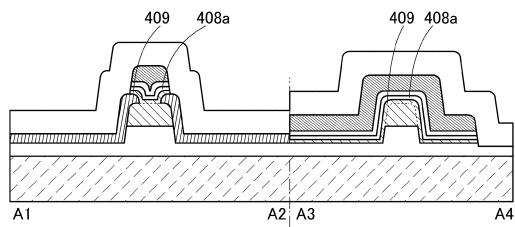


【図 5】

(A)

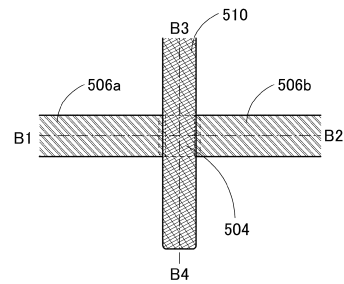


(B)

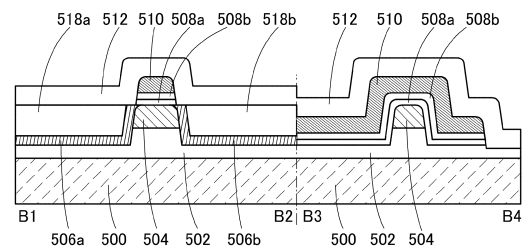


【図 6】

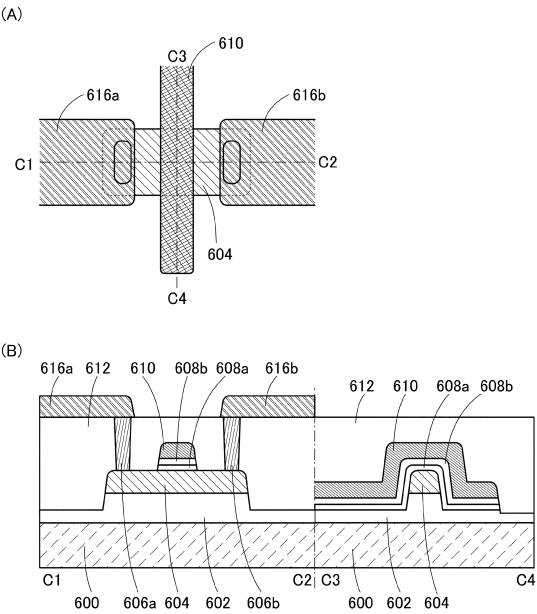
(A)



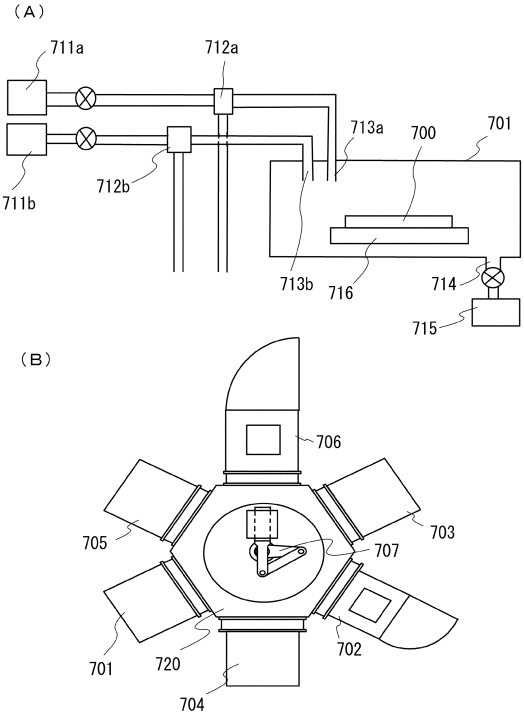
(B)



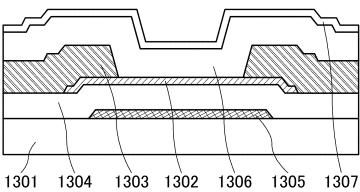
【図 7】



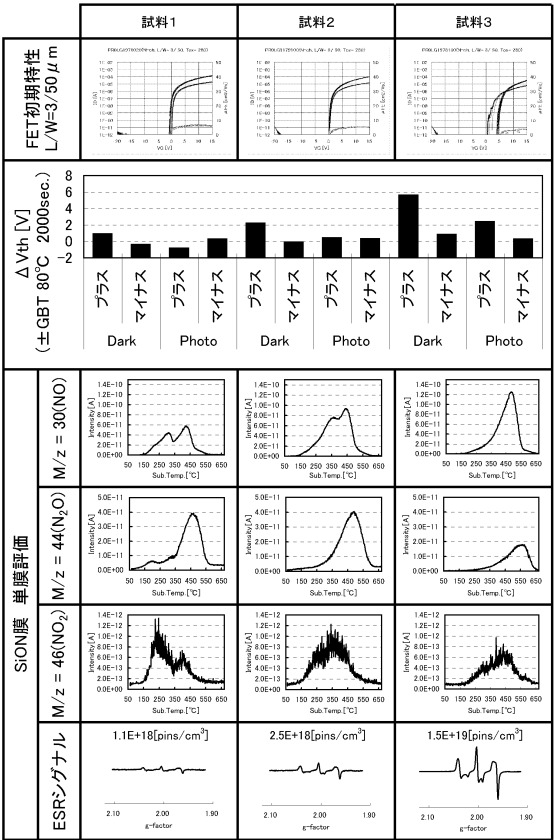
【図 8】



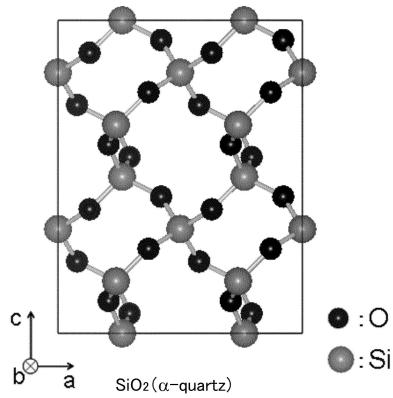
【図 9】



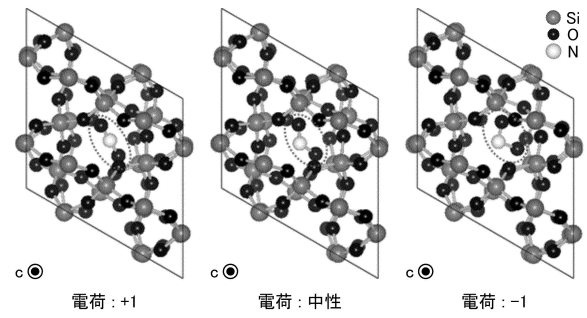
【図 10】



【図 1 1】



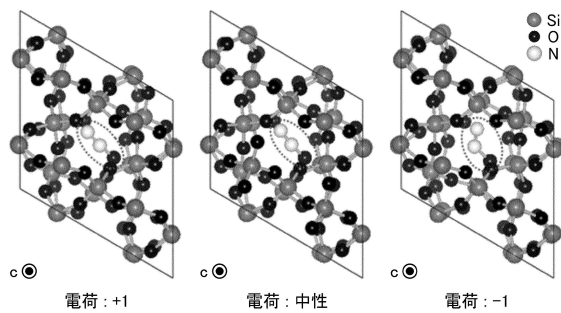
【図 1 2】



	電荷 : +1	電荷 : 中性	電荷 : -1
d(N-O) [Å]	1.109(1.154)	1.178(1.197)	1.241(1.236)
∠O-N-O [°]	178.81(180)	133.65(134)	110.34(115)

※括弧内は気相状態におけるNO₂分子の文献値

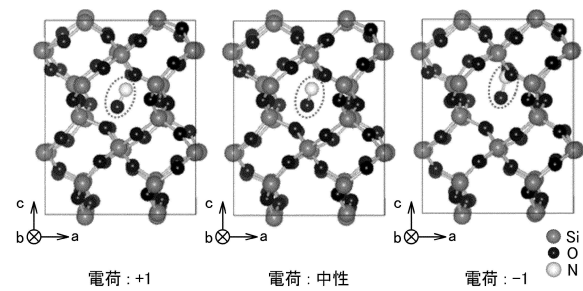
【図 1 3】



	電荷 : +1	電荷 : 中性	電荷 : -1
d(N-N) [Å]	1.191	1.105(1.126)	1.163
d(N-O) [Å]	1.154	1.175(1.186)	1.310
∠N-N-O [°]	174.52	172.81(180)	130.71

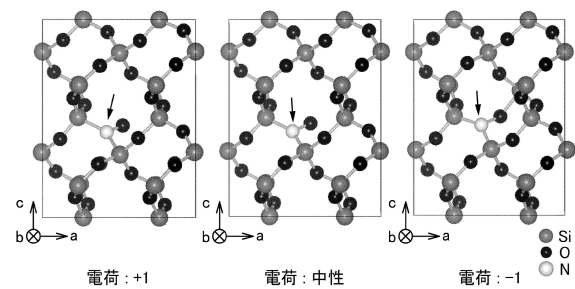
※括弧内は気相状態におけるN₂O分子の文献値

【図 1 4】

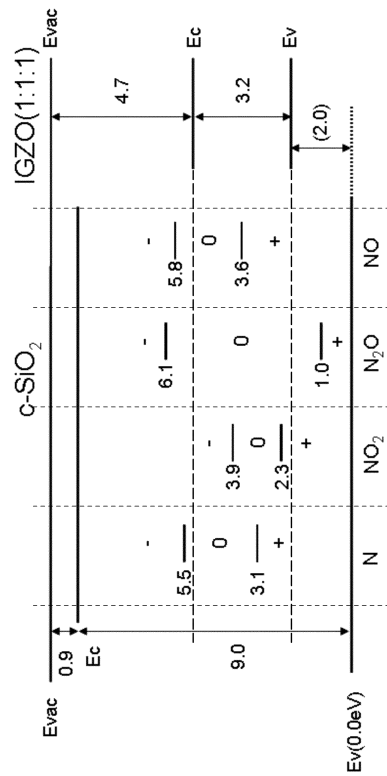


	電荷 : +1	電荷 : 中性	電荷 : -1
d(N-O) [Å]	1.081	1.146	1.224

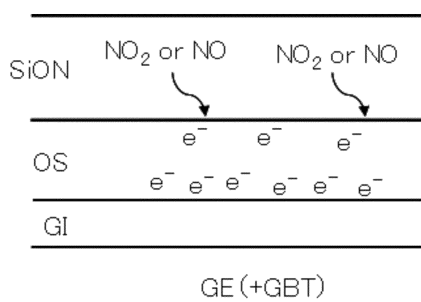
【図 1 5】



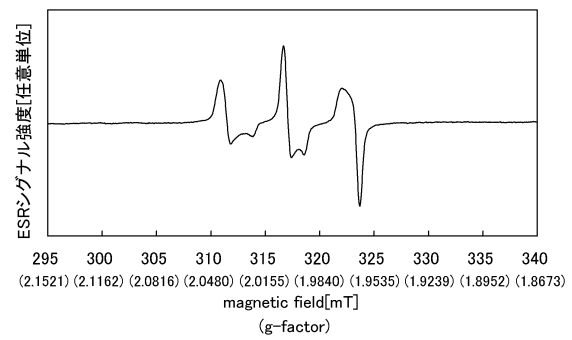
【図 16】



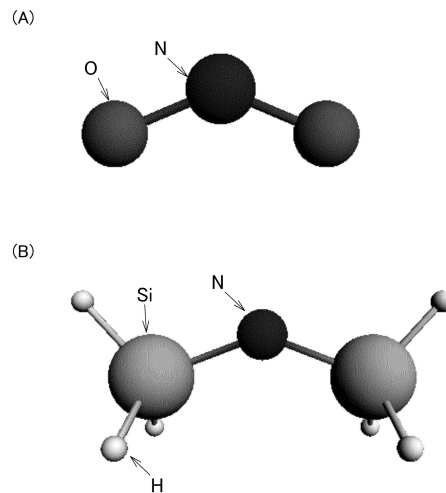
【図 19】



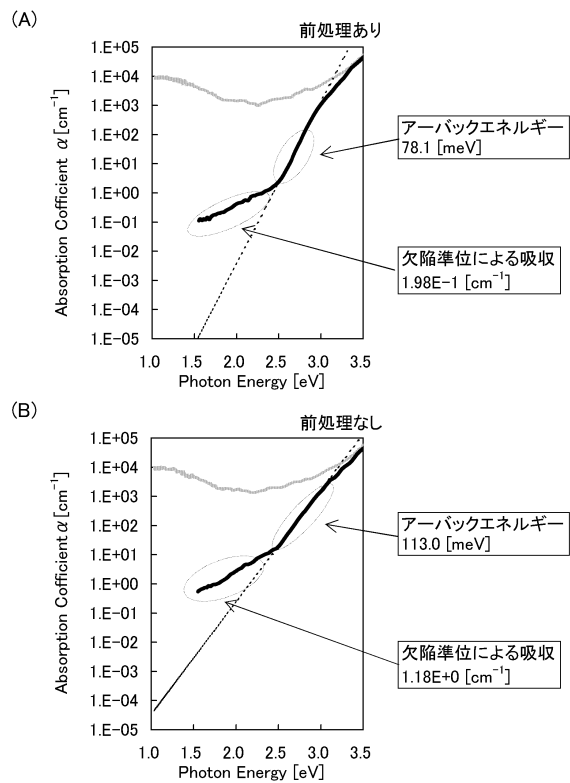
【図 17】



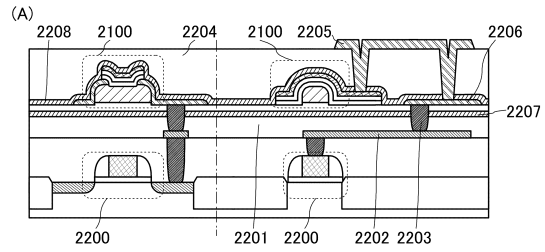
【図 18】



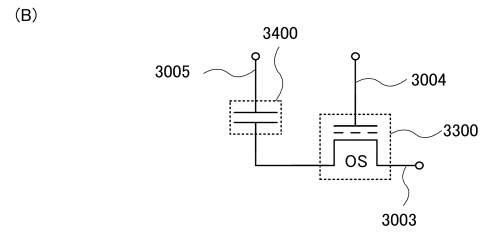
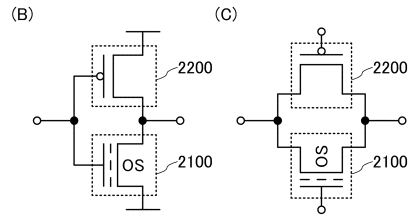
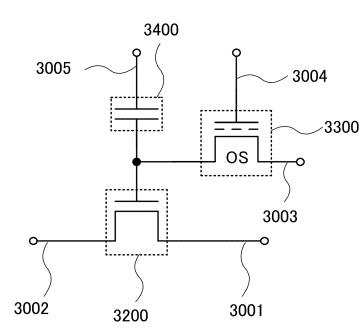
【図 20】



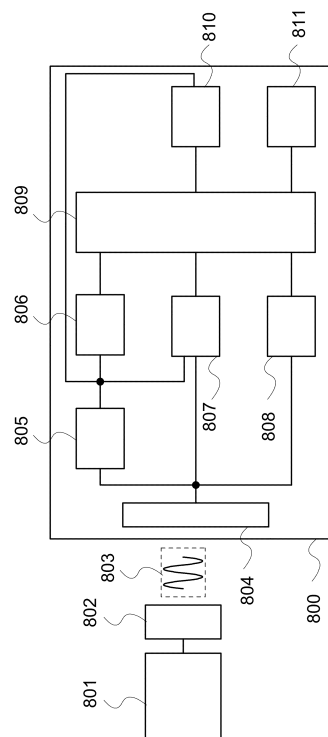
【図 2 1】



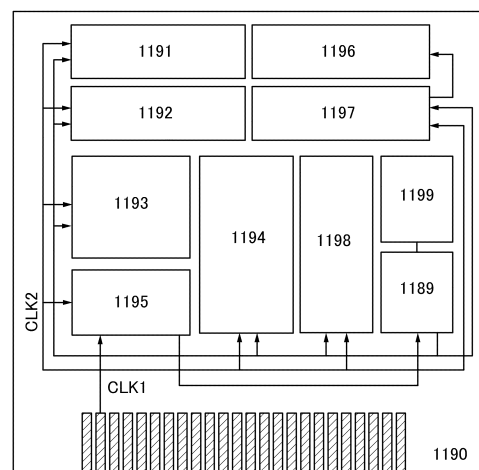
【図 2 2】



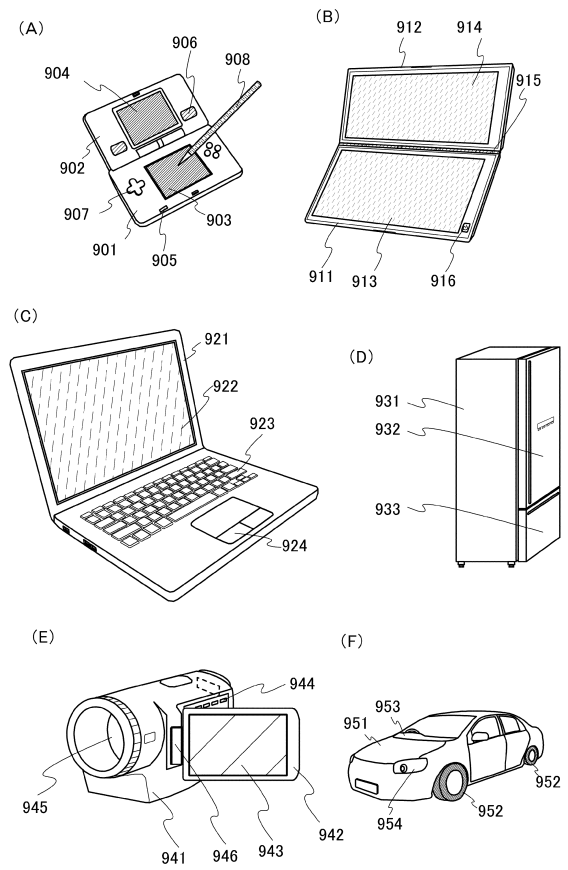
【図 2 3】



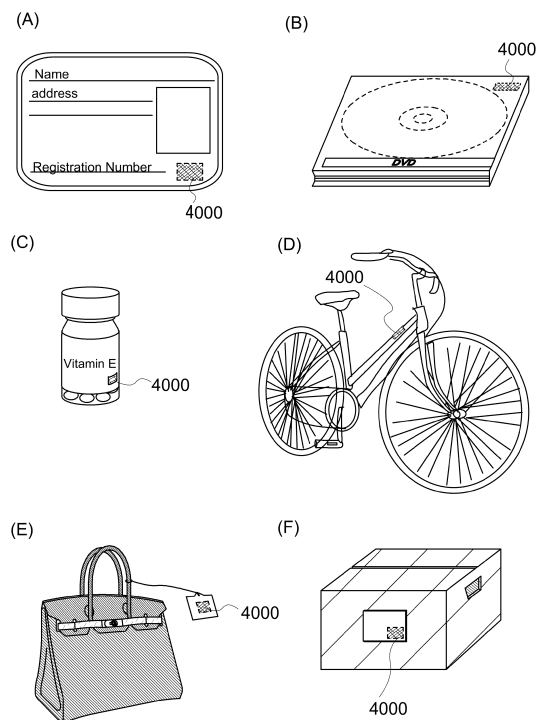
【図 2 4】



【 図 2 6 】



【圖 27】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/108	(2006.01)	H 0 1 L	27/088 3 3 1 E
H 0 1 L	21/336	(2006.01)	H 0 1 L	27/092 G
H 0 1 L	29/788	(2006.01)	H 0 1 L	27/092 D
H 0 1 L	29/792	(2006.01)	H 0 1 L	27/108 3 2 1
H 0 1 L	21/316	(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	21/473	(2006.01)	H 0 1 L	27/108 6 7 1 C
			H 0 1 L	27/108 6 7 1 Z
			H 0 1 L	21/316 M
			H 0 1 L	21/473

- (72)発明者 渡邊 了介
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
 (72)発明者 津吹 将志
 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 市川 武宜

- (56)参考文献 特開 2 0 1 3 - 0 0 8 9 8 2 (J P , A)
 特開 2 0 0 6 - 0 0 5 2 9 4 (J P , A)
 特開平 0 5 - 2 1 1 3 3 0 (J P , A)
 特開 2 0 1 1 - 2 2 8 6 8 9 (J P , A)
 特開 2 0 1 1 - 2 2 2 7 6 7 (J P , A)
 特開 2 0 1 2 - 1 9 9 5 2 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 1 / 3 1 6
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 4 7 3
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 0 9 2
 H 0 1 L 2 7 / 1 0 8
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2