

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 25 年 1 月 31 日 (2013.1.31)

【公開番号】特開 2011-124726 (P2011-124726A)
 【公開日】平成 23 年 6 月 23 日 (2011.6.23)
 【年通号数】公開・登録公報 2011-025
 【出願番号】特願 2009-279813 (P2009-279813)
 【国際特許分類】

H 0 3 M 1/10 (2006.01)

H 0 3 M 1/12 (2006.01)

H 0 3 F 3/34 (2006.01)

【F I】

H 0 3 M 1/10 A

H 0 3 M 1/12 A

H 0 3 F 3/34 B

【手続補正書】

【提出日】平成 24 年 12 月 5 日 (2012.12.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アナログ入力信号をサンプリングおよびホールドするスイッチトキャパシタ型の入力回路であって、

差動増幅器および第 1 と第 2 のキャパシタを含み、

前記第 1 のキャパシタの一端は前記差動増幅器の正側入力端子に接続され、

前記第 2 のキャパシタの一端は前記差動増幅器の負側入力端子に接続され、

前記入力回路は、

前記第 1 のキャパシタの他端を第 1 の基準電圧または第 2 の基準電圧に接続するための第 1 のスイッチと、

前記第 2 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 2 のスイッチと、

前記第 1 のキャパシタの前記他端と前記第 2 のキャパシタの前記他端とを接続する第 3 のスイッチとを有し、

サンプリング時には、前記第 1 のキャパシタの前記他端を前記第 1 のスイッチにより前記第 1 の基準電圧に接続し、前記第 2 のキャパシタの前記他端を前記第 2 のスイッチにより前記第 2 の基準電圧に接続し、

ホールド時には、前記第 1 のキャパシタの前記他端と前記第 2 のキャパシタの前記他端とを前記第 3 のスイッチで接続することを特徴とする入力回路。

【請求項 2】

アナログ入力信号をサンプリングおよびホールドするスイッチトキャパシタ型の入力回路であって、

差動増幅器および第 1 と第 2 のキャパシタを含み、

前記第 1 のキャパシタの一端は前記差動増幅器の正側入力端子に接続され、

前記第 2 のキャパシタの一端は前記差動増幅器の負側入力端子に接続され、

前記入力回路は、

前記第 1 のキャパシタの他端を第 1 の基準電圧または第 2 の基準電圧に接続するための第 1 のスイッチと、

前記第 2 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 2 のスイッチと、

前記第 1 のキャパシタの前記他端と前記第 2 のキャパシタの前記他端とを接続する第 3 のスイッチとを有し、

サンプリング時には、前記第 1 のキャパシタの前記他端と前記第 2 のキャパシタの前記他端とを前記第 3 のスイッチで接続し、

ホールド時には、前記第 1 のキャパシタの前記他端を前記第 1 のスイッチにより前記第 1 の基準電圧に接続し、前記第 2 のキャパシタの前記他端を前記第 2 のスイッチで前記第 2 の基準電圧に接続すること特徴とする入力回路。

【請求項 3】

前記第 1 のキャパシタは、1 : 1 : 2 の容量比を有する 3 つの第 1 の容量素子を含み、該 3 つの第 1 の容量素子の一端は前記差動増幅器の正側入力端子に接続され、該 3 つの第 1 の容量素子の他端のそれぞれは前記第 1 の基準電圧に接続するための 3 つの前記第 1 のスイッチのそれぞれに接続され、

前記第 2 のキャパシタは、1 : 1 : 2 の容量比を有する 3 つの第 2 の容量素子を含み、該 3 つの第 2 の容量素子の一端は前記差動増幅器の負側入力端子に接続され、該 3 つの第 2 の容量素子の他端のそれぞれは前記第 1 の基準電圧に接続するための 3 つの前記第 2 のスイッチのそれぞれに接続され、

前記3 つの第 1 の容量素子の容量比における 1 に対応する第 1 の容量素子の他端と前記 3 つの第 2 の容量素子の容量比における 1 に対応する第 2 の容量素子の他端との前記第 3 のスイッチによる接続を最下位ビットとし、

前記3 つの第 1 の容量素子の容量比における 1 に対応する第 1 の容量素子の他端の前記第 1 のスイッチによる前記第 2 の基準電圧への接続と前記 3 つの第 2 の容量素子の容量比における 1 に対応する第 2 の容量素子の他端の前記第 2 のスイッチによる前記第 1 の基準電圧への接続を中間ビットとし、

前記3 つの第 1 の容量素子の容量比における 2 に対応する第 1 の容量素子の他端と前記 3 つの第 2 の容量素子の容量比における 2 に対応する第 2 の容量素子の他端との前記第 3 のスイッチによる接続を最上位ビットとして、

オフセット補正が 3 ビットの 2 進重み付けで行われること特徴とする請求項 1 または 2 に記載の入力回路。

【請求項 4】

前記第 1 のキャパシタは、1 : 3 : 9 の容量比を有する 3 つの第 1 の容量素子を含み、該 3 つの第 1 の容量素子の一端は前記差動増幅器の正側入力端子に接続され、該 3 つの第 1 の容量素子の他端のそれぞれは前記第 1 の基準電圧に接続するための 3 つの前記第 1 のスイッチのそれぞれに接続され、

前記第 2 のキャパシタは、1 : 3 : 9 の容量比を有する 3 つの第 2 の容量素子を含み、該 3 つの第 2 の容量素子の一端は前記差動増幅器の負側入力端子に接続され、該 3 つの第 2 の容量素子の他端のそれぞれは前記第 1 の基準電圧に接続するための 3 つの前記第 2 のスイッチのそれぞれに接続され、

前記第 1 のキャパシタの各第 1 の容量素子の他端の前記第 1 のスイッチによる前記第 1 の基準電圧への接続と前記第 2 のキャパシタの各第 2 の容量素子の他端の前記第 2 のスイッチによる前記第 2 の基準電圧への接続を 3 進での重み 0 のオフセット補正とし、

前記第 1 のキャパシタの各第 1 の容量素子の他端と前記第 2 のキャパシタの各第 2 の容量素子の他端との前記第 3 のスイッチによる接続を 3 進での重み 1 のオフセット補正とし、

前記第 1 のキャパシタの各第 1 の容量素子の他端の前記第 1 のスイッチによる前記第 2 の基準電圧への接続と前記第 2 のキャパシタの各第 2 の容量素子の他端の前記第 2 のスイッチによる前記第 1 の基準電圧への接続を 3 進での重み 2 のオフセット補正とし、

当該オフセット補正が、前記容量比における 1 に対応する容量素子を最下位ビット、前記容量比における 3 に対応する容量素子を中間ビット、前記容量比における 9 に対応する容量素子を最上位ビットとする 3 ビットの 3 進重み付けで行われること特徴とする請求項 1 または 2 に記載の入力回路。

【請求項 5】

アナログ入力信号をサンプリングおよびホールドするスイッチトキャパシタ型の入力回路であって、

差動増幅器と、

一端が前記差動増幅器の負側入力端子に接続された第 1 のキャパシタと、

一端が前記差動増幅器の正側入力端子に接続された第 2 のキャパシタと、

第 1 の制御信号に応じて前記第 1 のキャパシタの他端を第 1 の基準電圧または第 2 の基準電圧に接続するための第 1 のスイッチと、

第 2 の制御信号に応じて前記第 2 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 2 のスイッチと、

第 3 の制御信号に応じて前記第 1 のキャパシタの前記他端と前記第 2 のキャパシタの前記他端とを接続する第 2 のスイッチと、

を備えることを特徴とする入力回路。

【請求項 6】

各々の一端が前記差動増幅器の前記負側入力端子に接続された複数の第 3 のキャパシタと、

第 4 の制御信号に応じて前記複数の第 3 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための複数の第 4 のスイッチと、

各々の一端が前記差動増幅器の前記正側入力端子に接続された複数の第 4 のキャパシタと、

第 5 の制御信号に応じて前記複数の第 4 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための複数の第 5 のスイッチと、

を更に備えることを特徴とする請求項 5 に記載の入力回路。

【請求項 7】

一端が前記差動増幅器の前記負側入力端子に接続された第 3 のキャパシタと、

第 4 の制御信号に応じて前記第 3 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 4 のスイッチと、

一端が前記差動増幅器の前記負側入力端子に接続された第 4 のキャパシタと、

第 5 の制御信号に応じて前記第 4 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 5 のスイッチと、

一端が前記差動増幅器の前記正側入力端子に接続された第 5 のキャパシタと、

第 6 の制御信号に応じて前記第 5 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 6 のスイッチと、

一端が前記差動増幅器の前記正側入力端子に接続された第 6 のキャパシタと、

第 7 の制御信号に応じて前記第 6 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 7 のスイッチと、を更に備え、

前記第 1 のキャパシタ、前記第 3 のキャパシタ、前記第 4 のキャパシタの容量比が 1 : 1 : 2 であり、前記第 2 のキャパシタ、前記第 5 のキャパシタ、前記第 6 のキャパシタの容量比が 1 : 1 : 2 である、

ことを特徴とする請求項 5 に記載の入力回路。

【請求項 8】

一端が前記差動増幅器の前記負側入力端子に接続された第 3 のキャパシタと、

第 4 の制御信号に応じて前記第 3 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 4 のスイッチと、

一端が前記差動増幅器の前記負側入力端子に接続された第 4 のキャパシタと、

第 5 の制御信号に応じて前記第 4 のキャパシタの他端を前記第 1 の基準電圧または前記

第 2 の基準電圧に接続するための第 5 のスイッチと、

一端が前記差動増幅器の前記正側入力端子に接続された第 5 のキャパシタと、

第 6 の制御信号に応じて前記第 5 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 6 のスイッチと、

一端が前記差動増幅器の前記正側入力端子に接続された第 6 のキャパシタと、

第 7 の制御信号に応じて前記第 6 のキャパシタの他端を前記第 1 の基準電圧または前記第 2 の基準電圧に接続するための第 7 のスイッチと、を更に備え、

前記第 1 のキャパシタ、前記第 3 のキャパシタ、前記第 4 のキャパシタの容量比が 1 : 3 : 9 であり、前記第 2 のキャパシタ、前記第 5 のキャパシタ、前記第 6 のキャパシタの容量比が 1 : 3 : 9 である、

ことを特徴とする請求項 5 に記載の入力回路。

【請求項 9】

前記差動増幅器は、全差動増幅器である、

ことを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載の入力回路。

【請求項 10】

前記差動増幅器の前記負側入力端子に接続された第 1 の入力キャパシタと、

前記差動増幅器の前記正側入力端子に接続された第 2 の入力キャパシタと、

前記差動増幅器の前記負側入力端子と前記差動増幅器の第 1 の出力端子との間に接続された第 1 のフィードバックキャパシタと、

前記差動増幅器の前記正側入力端子と前記差動増幅器の第 2 の出力端子との間に接続された第 2 のフィードバックキャパシタと、

を更に備えることを特徴とする請求項 9 に記載の入力回路。

【請求項 11】

ホールド時に前記第 1 のキャパシタの前記他端に提供される電圧は、サンプリング時に前記第 1 のキャパシタの前記他端に提供される電圧と異なり、

ホールド時に前記第 2 のキャパシタの前記他端に提供される電圧は、サンプリング時に前記第 2 のキャパシタの前記他端に提供される電圧と異なる、

ことを特徴とする請求項 5 乃至 10 のいずれか 1 項に記載の入力回路。

【請求項 12】

請求項 1 乃至 11 のいずれか 1 項に記載の入力回路を含み、前記入力回路からの出力信号に対してアナログ / デジタル変換を行うアナログ / デジタル変換回路を有することを特徴とするアナログ / デジタルコンバータ。