

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4504134号  
(P4504134)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I	
<b>G06F 12/08 (2006.01)</b>	G06F 12/08	505B
<b>G06F 9/38 (2006.01)</b>	G06F 12/08	501D
	G06F 12/08	507Z
	G06F 12/08	513
	G06F 12/08	519Z
請求項の数 10 (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2004-236513 (P2004-236513)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成16年8月16日(2004.8.16)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2006-53857 (P2006-53857A)	(74) 代理人	100089118 弁理士 酒井 宏明
(43) 公開日	平成18年2月23日(2006.2.23)	(72) 発明者	渡邊 輝 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成18年9月25日(2006.9.25)	(72) 発明者	杉崎 剛 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	左木 茂克 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		最終頁に続く	

(54) 【発明の名称】 システム制御装置、投機フェッチ方法および情報処理装置

(57) 【特許請求の範囲】

【請求項1】

メモリフェッチ要求により要求されたデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行するシステム制御装置であって、

前記投機フェッチで使用するハードウェア資源の消費状況を監視し、該ハードウェア資源の消費量が所定の値以上であるか否かを判定する消費量判定手段と、

前記消費量判定手段により前記ハードウェア資源の消費量が所定の値未満であると判定された場合には、前記投機フェッチを発行し、前記消費量判定手段により前記ハードウェア資源の消費量が所定の値以上であると判定された場合には、前記投機フェッチの発行を抑制する投機フェッチ発行手段と、

前記メモリフェッチ要求によるタグ情報の検索でデータが検索できた場合に、当該検索されたデータを使用する第1使用手段と、

前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行手段によって前記投機フェッチが発行されている場合には、前記投機フェッチの応答データを使用し、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行手段によって前記投機フェッチが発行されていない場合には、メモリアクセスを実行し、当該メモリアクセスによる応答データを使用する第2使用手段と、

を備えたことを特徴とするシステム制御装置。

## 【請求項 2】

前記消費量判定手段により消費状況が監視されるハードウェア資源は、メモリフェッチを依頼するメモリ制御装置を接続するバスであることを特徴とする請求項 1 に記載のシステム制御装置。

## 【請求項 3】

前記消費量判定手段により消費状況が監視されるハードウェア資源は、投機フェッチで使用するバッファであることを特徴とする請求項 1 に記載のシステム制御装置。

## 【請求項 4】

前記投機フェッチ発行手段は、前記消費量判定手段により前記ハードウェア資源の消費量が所定の値以上であると判定された場合に、該ハードウェア資源の代わりに使用することができ代替ハードウェア資源があるか否かを判定し、代替ハードウェア資源があるときは、代替ハードウェア資源を用いて投機フェッチを実行することを特徴とする請求項 1 に記載のシステム制御装置。

10

## 【請求項 5】

前記投機フェッチ発行手段は、投機フェッチの応答データと前記タグ情報の検索結果との待ち合わせを行う待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量が所定の値以上である場合には、該待ち合わせ場所に代わる代替待ち合わせ場所を指定して投機フェッチを実行することを特徴とする請求項 1 または 4 に記載のシステム制御装置。

## 【請求項 6】

前記投機フェッチ発行手段は、前記代替待ち合わせ場所として自装置を指定して投機フェッチを実行することを特徴とする請求項 5 に記載のシステム制御装置。

20

## 【請求項 7】

メモリフェッチを行う際に、フェッチするデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行する情報処理装置であって、

前記投機フェッチで使用するハードウェア資源の消費状況を監視し、該ハードウェア資源の消費量が所定の値以上であるか否かを判定する消費量判定手段と、

前記消費量判定手段により前記ハードウェア資源の消費量が所定の値未満であると判定された場合には、前記投機フェッチを発行し、前記消費量判定手段により前記ハードウェア資源の消費量が所定の値以上であると判定された場合には、前記投機フェッチの発行を抑止する投機フェッチ発行手段と、

30

前記メモリフェッチ要求によるタグ情報の検索でデータが検索できた場合に、当該検索されたデータを使用する第 1 使用手段と、

前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行手段によって前記投機フェッチが発行されている場合には、前記投機フェッチの応答データを使用し、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行手段によって前記投機フェッチが発行されていない場合には、メモリアクセスを実行し、当該メモリアクセスによる応答データを使用する第 2 使用手段と、

40

を備えたことを特徴とする情報処理装置。

## 【請求項 8】

メモリフェッチ要求により要求されたデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行するシステム制御装置による投機フェッチ方法であって、

前記投機フェッチで使用するハードウェア資源の消費状況を監視し、該ハードウェア資源の消費量が所定の値以上であるか否かを判定する消費量判定工程と、

前記消費量判定工程により前記ハードウェア資源の消費量が所定の値未満であると判定された場合には、前記投機フェッチを発行し、前記消費量判定工程により前記ハードウェア資源の消費量が所定の値以上であると判定された場合には、前記投機フェッチの発行を

50

抑止する投機フェッチ発行工程と、

前記メモリフェッチ要求によるタグ情報の検索でデータが検索できた場合に、当該検索されたデータを使用する第1使用工程と、

前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行工程によって前記投機フェッチが発行されている場合には、前記投機フェッチの応答データを使用し、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行工程によって前記投機フェッチが発行されていない場合には、メモリアクセスを実行し、当該メモリアクセスによる応答データを使用する第2使用工程と、

を含んだことを特徴とする投機フェッチ方法。

10

【請求項9】

前記投機フェッチ発行工程は、前記消費量判定工程により前記ハードウェア資源の消費量が所定の値以上であると判定された場合に、該ハードウェア資源の代わりに使用することができる代替ハードウェア資源があるか否かを判定し、代替ハードウェア資源があるときは、代替ハードウェア資源を用いて投機フェッチを実行することを特徴とする請求項8に記載の投機フェッチ方法。

【請求項10】

前記投機フェッチ発行工程は、投機フェッチの応答データと前記タグ情報の検索結果との待ち合わせを行う待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量が所定の値以上である場合には、該待ち合わせ場所に代わる代替待ち合わせ場所を指定して投機フェッチを実行することを特徴とする請求項8または9に記載の投機フェッチ方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、メモリフェッチ要求により要求されたデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行するシステム制御装置、投機フェッチ方法および情報処理装置に関し、特に、投機フェッチの実行が結果的にメモリアクセスの待ち時間を悪化させることを防ぎ、メモリアクセスの待ち時間を改善することができるシステム制御装置、投機フェッチ方法および情報処理装置に関するものである。

30

【背景技術】

【0002】

近年のLSIの動作周波数の向上は目覚しく、LSI内の処理時間に比べメモリへのアクセス時間が相対的に大きくなってきている。これを改善する解決策の一つとして、メモリフェッチ要求をCPUやI/O制御装置(以下「IOP」という。)から受け取ったシステム制御装置(以下「SC」という。)が、要求されたデータがキャッシュ内に記憶されているか否かが判明する前に、メモリ制御装置(以下「MAC」という。)にメモリフェッチを要求する投機フェッチが行われている(例えば、特許文献1および2参照。)

【0003】

40

すなわち、システム制御装置は、CPUのキャッシュに記憶されているデータのアドレス、更新状態などの情報(以下「タグ情報」という)を全てのCPUについて保持し、メモリフェッチ要求に対して、要求されたデータがキャッシュにあるか否かをタグ情報を検索して判定し、キャッシュにない場合にメモリにアクセスするのではなく、要求されたデータがキャッシュにあるか否かが判明する前の段階で、タグ情報の検索と同時に、投機的にメモリアクセスを行う。

【0004】

この投機フェッチによって、メモリアクセスを早く開始することができ、キャッシュにデータがない場合に、メモリアクセスの待ち時間(以下「レーテンシ」という。)を改善することができる。

50

## 【 0 0 0 5 】

【特許文献1】特開2000-29786号公報

【特許文献2】特開2001-167077号公報

## 【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 6 】

投機フェッチでは、メモリフェッチ要求の対象データがCPUのキャッシュ内に存在する場合には、SCは対象データを所有しているCPUに対象データのムーブアウトを要求し、ムーブアウトデータを要求元装置に応答して、投機フェッチの応答データを破棄する。

10

## 【 0 0 0 7 】

ここで、投機フェッチの応答データを破棄することは、投機フェッチの実行にともなって消費されたバッファ、バスといったハードウェア資源について、着目しているメモリフェッチ要求以外の処理の実行を遅延させた可能性があるということを意味する。何故ならば、投機フェッチを行わなければ、他の処理が実行できたかもしれないからである。したがって、投機フェッチには、他の処理の実行を遅延させることによって、メモリアクセスのレイテンシを悪化させる場合があるという問題がある。

## 【 0 0 0 8 】

また、投機フェッチの応答データが先行してバスを使用したことで他のCPUからのムーブアウトデータによる同バスの使用が待たされた場合には、投機フェッチの実行が結果的にメモリアクセスのレイテンシを悪化させるという問題もある。

20

## 【 0 0 0 9 】

また、一般にプログラムの性質から、メモリフェッチ要求は比較的近いアドレスに対して、集中してかつ短期間に発生しやすい傾向があり、投機フェッチはメモリフェッチ要求により起動されるため、投機フェッチもまた集中的に発生しやすい。したがって、アドレスインターリーブされた複数のSCのうち一台のSCに負荷が集中し、他のSCの負荷が軽いといった状況が、投機フェッチ機構によってより一層発生しやすいという問題がある。

## 【 0 0 1 0 】

また、投機フェッチの応答データを使用するか否かは全CPUのキャッシュの検索結果によって決定される。したがって、キャッシュの検索結果が判明するまでは、投機フェッチの応答データをシステム内のどこかに保持し、キャッシュの検索結果との待ち合わせを行う必要がある。

30

## 【 0 0 1 1 】

ここで、投機フェッチの応答データが、キャッシュの検索結果よりも先に到着する場合には、投機フェッチによるメモリレイテンシの改善を最大限に活用しようとするならば、待ち合わせ場所はメモリフェッチ要求を発行した装置に最も近いSC(以下「末端SC」という。)がよい。

## 【 0 0 1 2 】

何故ならば、末端SCは、応答データを要求元装置に転送する場合に、応答データの転送経路上のハードウェア資源を確保する必要がないため、キャッシュの検索結果により投機フェッチの応答データを使用することが確定した場合にはすぐに要求元装置に転送できるからである。

40

## 【 0 0 1 3 】

しかし、末端SCを待ち合わせ場所とすると、たとえキャッシュの検索結果によって投機フェッチの応答データを破棄することが判明した後でも、末端SCまでは投機フェッチの応答データを必ず転送しなければならない。したがって、末端SCまでの転送経路の負荷が高い状況においては、破棄される予定の投機フェッチの応答データがハードウェア資源をさらに消費し、さらに負荷を高めるという問題がある。

## 【 0 0 1 4 】

50

この発明は、上述した従来技術による問題点を解消するためになされたものであり、投機フェッチの実行が結果的にメモリアクセスの待ち時間を悪化させることを防ぎ、メモリアクセスの待ち時間を改善することができるシステム制御装置、投機フェッチ方法および情報処理装置を提供することを目的とする。

【課題を解決するための手段】

【0015】

上述した課題を解決し、目的を達成するため、本発明に係るシステム制御装置は、メモリフェッチ要求により要求されたデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行するシステム制御装置であって、前記投機フェッチで使用するハードウェア資源の消費状況を監視し、該ハードウェア資源の消費量が所定の値以上であるか否かを判定する消費量判定手段と、前記消費量判定手段により前記ハードウェア資源の消費量が所定の値未満であると判定された場合には、前記投機フェッチを発行し、前記消費量判定手段により前記ハードウェア資源の消費量が所定の値以上であると判定された場合には、前記投機フェッチの発行を抑制する投機フェッチ発行手段と、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できた場合に、当該検索されたデータを使用する第1使用手段と、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行手段によって前記投機フェッチが発行されている場合には、前記投機フェッチの応答データを使用し、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行手段によって前記投機フェッチが発行されていない場合には、メモリアクセスを実行し、当該メモリアクセスによる応答データを使用する第2使用手段と、を備えたことを特徴とする。

【0016】

この本発明によれば、投機フェッチで使用するハードウェア資源の消費状況を監視し、ハードウェア資源の消費量が所定の値以上であるか否かを判定し、ハードウェア資源の消費量が所定の値以上であると判定した場合には、投機フェッチの発行を抑制するよう構成したので、投機フェッチに起因するメモリアクセス待ち時間の悪化を防ぐことができる。

【0017】

また、本発明に係るシステム制御装置の前記消費量判定手段により消費状況が監視されるハードウェア資源は、メモリフェッチを依頼するメモリ制御装置を接続するバスであることを特徴とする。

【0018】

この本発明によれば、消費状況を監視するハードウェア資源は、メモリフェッチを依頼するメモリ制御装置を接続するバスであるよう構成したので、投機フェッチに起因してこのバスがより高負荷になることを防ぐことができる。

【0019】

また、本発明に係るシステム制御装置の前記消費量判定手段により消費状況が監視されるハードウェア資源は、投機フェッチで使用するバッファであることを特徴とする。

【0020】

この本発明によれば、消費状況を監視するハードウェア資源は、投機フェッチで使用するバッファであるよう構成したので、投機フェッチに起因してこのバッファがより高負荷になることを防ぐことができる。

【0021】

また、本発明に係るシステム制御装置の前記投機フェッチ発行手段は、前記消費量判定手段により前記ハードウェア資源の消費量が所定の値以上であると判定された場合に、該ハードウェア資源の代わりに使用することができる代替ハードウェア資源があるか否かを判定し、代替ハードウェア資源があるときは、代替ハードウェア資源を用いて投機フェッチを実行することを特徴とする。

【0022】

この本発明によれば、ハードウェア資源の消費量が所定の値以上であると判定した場合

10

20

30

40

50

に、このハードウェア資源の代わりに使用することができる代替ハードウェア資源があるか否かを判定し、代替ハードウェア資源があるときは、代替ハードウェア資源を用いて投機フェッチを実行するよう構成したので、投機フェッチで使用するハードウェア資源の消費量が大きい場合にも投機フェッチを実行することができる。

【0023】

また、本発明に係るシステム制御装置の前記投機フェッチ発行手段は、投機フェッチの応答データと前記タグ情報の検索結果との待ち合わせを行う待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量が所定の値以上である場合には、該待ち合わせ場所に代わる代替待ち合わせ場所を指定して投機フェッチを実行することを特徴とする。

10

【0024】

この本発明によれば、投機フェッチの応答データとタグ情報の検索結果との待ち合わせを行う待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量が所定の値以上である場合には、その待ち合わせ場所に代わる代替待ち合わせ場所を指定して投機フェッチを実行するよう構成したので、投機フェッチに起因して待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量がより増加することを防ぐことができる。

【0025】

また、本発明に係るシステム制御装置の前記投機フェッチ発行手段は、前記代替待ち合わせ場所として自装置を指定して投機フェッチを実行することを特徴とする。

20

【0026】

この本発明によれば、代替待ち合わせ場所として自装置を指定して投機フェッチを実行するよう構成したので、自装置から待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量がより増加することを防ぐことができる。

【0027】

また、本発明に係る情報処理装置は、メモリフェッチを行う際に、フェッチするデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行する情報処理装置であって、前記投機フェッチで使用するハードウェア資源の消費状況を監視し、該ハードウェア資源の消費量が所定の値以上であるか否かを判定する消費量判定手段と、前記消費量判定手段により前記ハードウェア資源の消費量が所定の値未満であると判定された場合には、前記投機フェッチを発行し、前記消費量判定手段により前記ハードウェア資源の消費量が所定の値以上であると判定された場合には、前記投機フェッチの発行を抑止する投機フェッチ発行手段と、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できた場合に、当該検索されたデータを使用する第1使用手段と、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行手段によって前記投機フェッチが発行されている場合には、前記投機フェッチの応答データを使用し、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行手段によって前記投機フェッチが発行されていない場合には、メモリアクセスを実行し、当該メモリアクセスによる応答データを使用する第2使用手段と、を備えたことを特徴とする。

30

40

【0028】

この本発明によれば、投機フェッチで使用するハードウェア資源の消費状況を監視し、ハードウェア資源の消費量が所定の値以上であるか否かを判定し、ハードウェア資源の消費量が所定の値以上であると判定した場合には、投機フェッチの発行を抑止するよう構成したので、投機フェッチに起因するメモリアクセス待ち時間の悪化を防ぐことができる。

【0029】

また、請求項8の発明に係る投機フェッチ方法は、メモリフェッチ要求により要求されたデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行するシステム制御装置による投機フェッチ方法であって、前記投機フェッチで使用するハードウェア資源の消費状況を監視し、該ハ

50

ドウェア資源の消費量が所定の値以上であるか否かを判定する消費量判定工程と、前記消費量判定工程により前記ハードウェア資源の消費量が所定の値未満であると判定された場合には、前記投機フェッチを発行し、前記消費量判定工程により前記ハードウェア資源の消費量が所定の値以上であると判定された場合には、前記投機フェッチの発行を抑止する投機フェッチ発行工程と、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できた場合に、当該検索されたデータを使用する第1使用工程と、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行工程によって前記投機フェッチが発行されている場合には、前記投機フェッチの応答データを使用し、前記メモリフェッチ要求によるタグ情報の検索でデータが検索できなかった場合かつ前記投機フェッチ発行工程によって前記投機フェッチが発行されていない場合には、  
メモリアクセスを実行し、当該メモリアクセスによる応答データを使用する第2使用工程と、を含んだことを特徴とする。

10

## 【0030】

この本発明によれば、投機フェッチで使用するハードウェア資源の消費状況を監視し、ハードウェア資源の消費量が所定の値以上であるか否かを判定し、ハードウェア資源の消費量が所定の値以上であると判定した場合には、投機フェッチの発行を抑止するよう構成したので、投機フェッチに起因するメモリアクセス待ち時間の悪化を防ぐことができる。

## 【0031】

また、本発明に係る投機フェッチ方法の前記投機フェッチ発行工程は、前記消費量判定工程により前記ハードウェア資源の消費量が所定の値以上であると判定された場合に、該ハードウェア資源の代わりに使用することができる代替ハードウェア資源があるか否かを判定し、代替ハードウェア資源があるときは、代替ハードウェア資源を用いて投機フェッチを実行することを特徴とする。

20

## 【0032】

この本発明によれば、ハードウェア資源の消費量が所定の値以上であると判定した場合に、このハードウェア資源の代わりに使用することができる代替ハードウェア資源があるか否かを判定し、代替ハードウェア資源があるときは、代替ハードウェア資源を用いて投機フェッチを実行するよう構成したので、投機フェッチで使用するハードウェア資源の消費量が大きい場合にも投機フェッチを実行することができる。

## 【0033】

また、本発明に係る投機フェッチ方法の前記投機フェッチ発行工程は、投機フェッチの応答データと前記タグ情報の検索結果との待ち合わせを行う待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量が所定の値以上である場合には、該待ち合わせ場所に代わる代替待ち合わせ場所を指定して投機フェッチを実行することを特徴とする。

30

## 【0034】

この本発明によれば、投機フェッチの応答データとタグ情報の検索結果との待ち合わせを行う待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量が所定の値以上である場合には、その待ち合わせ場所に代わる代替待ち合わせ場所を指定して投機フェッチを実行するよう構成したので、投機フェッチに起因して待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量がより増加することを防ぐことができる。

40

## 【発明の効果】

## 【0035】

本発明によれば、投機フェッチに起因するメモリアクセス待ち時間の悪化を防ぐので、メモリアクセス待ち時間を改善することができるという効果を奏する。

## 【0036】

また、本発明によれば、メモリ制御装置と接続するバスが投機フェッチに起因してより高負荷になることを防ぐので、メモリアクセス待ち時間を改善することができるという効果を奏する。

50

## 【 0 0 3 7 】

また、本発明によれば、投機フェッチに使用するバッファが投機フェッチに起因してより高負荷になることを防ぐので、メモリアクセス待ち時間を改善することができるという効果を奏する。

## 【 0 0 3 8 】

また、本発明によれば、投機フェッチで使用するハードウェア資源の消費量が大きい場合にも代替ハードウェアを用いて投機フェッチを実行するので、メモリアクセス待ち時間を改善することができるという効果を奏する。

## 【 0 0 3 9 】

また、本発明によれば、投機フェッチに起因して待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量がより増加することを防ぐので、処理効率を向上することができるという効果を奏する。

10

## 【 0 0 4 0 】

また、本発明によれば、自装置から待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量がより増加することを防ぐので、処理効率を向上することができるという効果を奏する。

## 【 発明を実施するための最良の形態 】

## 【 0 0 4 1 】

以下に添付図面を参照して、この発明に係るシステム制御装置、投機フェッチ方法および情報処理装置の好適な実施例を詳細に説明する。

20

## 【 実施例 1 】

## 【 0 0 4 2 】

まず、本実施例 1 に係る情報処理装置の構成について説明する。図 1 は、本実施例 1 に係る情報処理装置の構成を示す機能ブロック図である。同図に示すように、この情報処理装置は、CPU<sub>0</sub>10 ~ CPU<sub>3</sub>40 で示される 4 台の CPU と、SC<sub>0</sub>100 ~ SC<sub>3</sub>400 で示される 4 台の SC と、MAC<sub>0</sub>500 および MAC<sub>1</sub>600 で示される 2 台の MAC と、MEMORY<sub>0</sub>50 および MEMORY<sub>1</sub>60 で示される 2 台のメモリ群と、IOP<sub>0</sub>70 および IOP<sub>1</sub>80 で示される 2 台の IOP とを有する。なお、全 CPU のキャッシュのコヒーレンス処理はアドレスインタリーブされた SC<sub>0</sub>100 ~ SC<sub>3</sub>400 までの 4 台の SC によって分担されている。

30

## 【 0 0 4 3 】

また、各 CPU はすべての SC に対して専用バスを持ち、各 SC は他のすべての SC に対して専用バスを持つ。そして、SC<sub>0</sub>100 および SC<sub>1</sub>200 の担当するメモリアクセス要求は、MEMORY<sub>0</sub>50 の制御を担う MAC<sub>0</sub>500 によって処理される。同様に、SC<sub>2</sub>300 および SC<sub>3</sub>400 の担当するメモリアクセス要求は、MEMORY<sub>1</sub>60 の制御を担う MAC<sub>1</sub>600 によって処理される。

## 【 0 0 4 4 】

一方、各 IOP はおのおの 1 台の SC にのみ接続されている。したがって、各 IOP からのメモリアクセス要求はそれぞれの IOP が接続された SC に対して発行され、メモリアクセス要求を受信した SC と要求アドレスを担当する SC が異なる場合には、メモリアクセス要求を受信した SC は要求アドレスを担当する SC に対してメモリアクセス要求を転送して処理を委託する。

40

## 【 0 0 4 5 】

次に、SC の構成について説明する。なお、図 1 に示した SC<sub>0</sub>100 ~ SC<sub>3</sub>400 はいずれも同様の構成を有するので、ここでは SC<sub>3</sub>400 を例にとって説明する。

## 【 0 0 4 6 】

図 2 は、SC<sub>3</sub>400 の構成を示す機能ブロック図である。同図に示すように、SC<sub>3</sub>400 は、要求受付部 410 と、キャッシュ検索部 420 と、キャッシュ情報記憶部 430 と、投機フェッチ発行部 440 と、ビジー制御部 450 と、メモリアクセス部 460 と、待ち合わせ部 470 とを有する。

50



## 【 0 0 4 7 】

要求受付部 4 1 0 は、CPU<sub>0</sub> 1 0 ~ CPU<sub>3</sub> 4 0、IOP<sub>1</sub> 8 0 および他の S C からのメモリフェッチ要求を受け付ける処理部であり、受け付けたメモリフェッチ要求をキャッシュ検索部 4 2 0 および投機フェッチ発行部 4 4 0 に伝える。

## 【 0 0 4 8 】

キャッシュ検索部 4 2 0 は、要求受付部 4 1 0 から受け取ったメモリフェッチ要求で要求されたデータが CPU のキャッシュに登録されているか否かを調べる処理部であり、調べた結果を待ち合わせ部 4 7 0 に伝える。

## 【 0 0 4 9 】

キャッシュ情報記憶部 4 3 0 は、全 CPU のキャッシュのタグ情報を記憶する記憶部であり、キャッシュに登録されているデータのメモリアドレス、更新状況などの情報を記憶する。キャッシュ検索部 4 2 0 は、このキャッシュ情報記憶部 4 3 0 を検索することによって、要求されたデータが CPU のキャッシュに登録されているか否かを調べることができる。

10

## 【 0 0 5 0 】

投機フェッチ発行部 4 4 0 は、MAC<sub>1</sub> 6 0 0 との間のバスの状況に基づいて MAC<sub>1</sub> 6 0 0 に対して投機フェッチを発行する処理部である。すなわち、この投機フェッチ発行部 4 4 0 は、MAC<sub>1</sub> 6 0 0 との間のバスの負荷が低い場合には、投機フェッチを発行するが、MAC<sub>1</sub> 6 0 0 との間のバスの負荷が高い場合には、投機フェッチを発行しない。

## 【 0 0 5 1 】

この投機フェッチ発行部 4 4 0 が、MAC<sub>1</sub> 6 0 0 との間のバスの状況に基づいて投機フェッチを発行することによって、投機フェッチの実行により MAC<sub>1</sub> 6 0 0 との間のバスがさらに高負荷になることを防ぐことができる。

20

## 【 0 0 5 2 】

ビジー制御部 4 5 0 は、MAC<sub>1</sub> 6 0 0 との間のバスの負荷状態を管理する処理部であり、一定期間中のバスの使用率を計測することによってバスの負荷状態を管理する。このビジー制御部 4 5 0 は、バスの負荷が高い場合には、投機フェッチ発行部 4 4 0 に対してバスが高負荷であることを通知し、投機フェッチ発行部 4 4 0 は、ビジー制御部 4 5 0 からバスが高負荷であることを通知されると投機フェッチの発行を抑止する。

## 【 0 0 5 3 】

メモリアクセス部 4 6 0 は、MAC<sub>1</sub> 6 0 0 にメモリフェッチ要求を送信し、メモリフェッチ要求に回答して MAC<sub>1</sub> 6 0 0 から送られてくるデータを受信する処理部である。

30

## 【 0 0 5 4 】

待ち合わせ部 4 7 0 は、キャッシュ検索部 4 2 0 によるキャッシュ情報記憶部 4 3 0 の検索結果と、投機フェッチにより MAC<sub>1</sub> 6 0 0 から送られてくる応答データの待ち合わせを行う処理部である。

## 【 0 0 5 5 】

ただし、この待ち合わせ部 4 7 0 は、キャッシュ情報の検索結果と投機フェッチの応答データの待ち合わせ場所が他の S C である場合には、受け取ったキャッシュ情報の検索結果および投機フェッチの応答データを待ち合わせ場所である S C に転送する。

40

## 【 0 0 5 6 】

すなわち、キャッシュ情報の検索結果と投機フェッチによるデータの待ち合わせ場所は、投機フェッチを発行した S C とは限らない。例えば、投機フェッチによるメモリレーテンシの改善を最大限に活用しようとするならば、待ち合わせ場所は、末端 S C がよい。したがって、待ち合わせ部 4 7 0 は、逆に、他の S C から待ち合わせ場所として指定されることもある。

## 【 0 0 5 7 】

次に、本実施例 1 に係る情報処理装置による投機フェッチ制御について説明する。図 3 は、本実施例 1 に係る情報処理装置による投機フェッチ制御を説明するための説明図である。

50

## 【0058】

同図に示すように、本実施例1に係る情報処理装置は、IOP<sub>0</sub>70がMEMORY<sub>1</sub>60に実装されたアドレスに対するメモリフェッチを実行する場合、IOP<sub>0</sub>70はSC<sub>1</sub>200に対してメモリフェッチ要求を発行(1)する。すると、アドレスインタリーブによって、SC<sub>1</sub>200は、対象アドレスを担当するSCであるSC<sub>3</sub>400にメモリフェッチ要求を転送(2)して処理を委託する。

## 【0059】

メモリフェッチ要求を受信したSC<sub>3</sub>400は、自装置内のキャッシュ検索部420と投機フェッチ発行部440にメモリフェッチ要求を伝える。これを受け、キャッシュ検索部420は全CPUのキャッシュ登録状態の調査を開始する。

10

## 【0060】

一方、投機フェッチ発行部440は、SC<sub>3</sub>400-MAC<sub>1</sub>600間バスBUS-SC<sub>3</sub>-MAC<sub>1</sub>710についてビジー制御部450から通知されるビジー状態通知信号(3)に基づいて投機フェッチの発行を判断する。すなわち、投機フェッチ発行部440は、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷が高い場合には投機フェッチ要求の発行を抑止することでバスの負荷をさらに高めることを防止し、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷が低い場合には投機フェッチ要求を発行することでメモリアクセスのレーテンシ改善を図る。

## 【0061】

そして、投機フェッチ要求を受信したMAC<sub>1</sub>600は、MEMORY<sub>1</sub>60に対してメモリフェッチを起動(5)し、その応答データ(6)をSC<sub>3</sub>400に転送(7)する。ただし、投機フェッチ要求を受信しなかった場合には、当然(5)、(6)および(7)が行われることはない。

20

## 【0062】

このように、投機フェッチ発行部440が、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710についてのビジー状態通知信号に基づいて投機フェッチを発行するか否かを判断することによって、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷が過度に高まる可能性を小さくすることができる。

## 【0063】

次に、本実施例1に係る情報処理装置による投機フェッチ制御処理の処理手順について説明する。図4は、本実施例1に係る情報処理装置による投機フェッチ制御処理の処理手順を示すフローチャートである。なお、ここでは、SC<sub>3</sub>400が投機フェッチを発行する場合を例として説明する。

30

## 【0064】

図4に示すように、SC<sub>3</sub>400は、メモリフェッチ要求を受信すると(ステップS101)、投機フェッチ発行部440が、資源の消費が大きいか否か、すなわち、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷が高いか否かを判定する(ステップS102)。

## 【0065】

その結果、資源の消費が大きくない場合には、投機フェッチを発行し、発行済フラグに「1」をセットして投機フェッチを発行したことを記録する(ステップS103)。

## 【0066】

そして、キャッシュ情報の検索が終了するのを待ち、キャッシュ情報の検索が終了すると(ステップS104、肯定)、待ち合わせ部470が、メモリフェッチ要求がキャッシュにヒットしたか否かを判定し(ステップS105)、キャッシュにヒットしない場合には、発行済フラグが「1」であるか否かを判定する(ステップS106)。

40

## 【0067】

その結果、発行済フラグが「1」である場合には、投機フェッチを発行した場合であるので、投機フェッチの応答データを使用し(ステップS107)、発行済フラグが「1」でない場合には、投機フェッチを発行していない場合であるので、通常のメモリアクセスを発行し、その応答データを使用する(ステップS108)。

## 【0068】

一方、キャッシュにヒットした場合には、発行済フラグが「1」であるか否かを判定し

50

(ステップS109)、発行済フラグが「1」である場合には、投機フェッチを発行した場合であるので、投機フェッチの応答データを破棄する(ステップS110)。そして、キャッシュがヒットしたCPUに対してムーバウトを要求し、その応答データを使用する(ステップS111)。

【0069】

このように、投機フェッチ発行部440が、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷が高いか否かを判定し、負荷が高い場合には、投機フェッチの発行を抑止することによって、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷が過度に高まる可能性を小さくすることができる。

【0070】

上述してきたように、本実施例1では、ビジー制御部450が、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷状態を管理し、高負荷になった場合に、投機フェッチ発行部440にBUS-SC<sub>3</sub>-MAC<sub>1</sub>710が高負荷であることを通知し、投機フェッチ発行部440が、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710が高負荷である場合に、投機フェッチの発行を抑止することとしたので、投機フェッチの発行に起因してBUS-SC<sub>3</sub>-MAC<sub>1</sub>710がより高負荷になることを防ぎ、メモリアクセスのレーテンシを改善することができる。

【実施例2】

【0071】

上記実施例1では、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710が高負荷である場合には投機フェッチの発行を抑止するSCについて説明したが、SC<sub>3</sub>400に負荷が集中してBUS-SC<sub>3</sub>-MAC<sub>1</sub>710が高負荷である場合にも、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710に代わるバスを利用することによって、投機フェッチを実行することができる。そこで、本実施例2では、一部のSCに負荷が集中した場合に、投機フェッチの応答データの転送経路を動的に変更して投機フェッチを実行するSCについて説明する。

【0072】

まず、本実施例2に係るSC<sub>3</sub>の構成について説明する。なお、ここでは説明の便宜上、図2に示した各部と同様の役割を果たす機能部については同一符号を付すこととしてその詳細な説明を省略する。

【0073】

図5は、本実施例2に係るSC<sub>3</sub>800の構成を示す機能ブロック図である。同図に示すように、このSC<sub>3</sub>800は、図2に示したSC<sub>3</sub>400と比較すると、投機フェッチ発行部440の代わりに投機フェッチ発行部840を有し、ビジー制御部450の代わりにビジー制御部850を有する。

【0074】

投機フェッチ発行部840は、MAC<sub>1</sub>600との間のバスBUS-SC<sub>3</sub>-MAC<sub>1</sub>710の状況だけでなく、MAC<sub>1</sub>600とSC<sub>2</sub>300との間のバスBUS-SC<sub>2</sub>-MAC<sub>1</sub>720の状況に基づいてMAC<sub>1</sub>600に対して投機フェッチを発行する処理部である。

【0075】

すなわち、この投機フェッチ発行部840は、MAC<sub>1</sub>600との間のバスの負荷が高い場合に、バスBUS-SC<sub>2</sub>-MAC<sub>1</sub>720の状況を調べ、バスBUS-SC<sub>2</sub>-MAC<sub>1</sub>720が高負荷でない場合には、投機フェッチ要求に対する応答データをSC<sub>2</sub>300に送出することをMAC<sub>1</sub>600に指示して投機フェッチを発行する。

【0076】

この投機フェッチ発行部840が、バスBUS-SC<sub>2</sub>-MAC<sub>1</sub>720が高負荷でない場合には、投機フェッチ要求に対する応答データをSC<sub>2</sub>300に送出することをMAC<sub>1</sub>600に指示して投機フェッチを発行することによって、SC<sub>3</sub>800に負荷が集中した場合に投機フェッチによってSC<sub>3</sub>800により負荷が集中することを防ぐことができる。

【0077】

ビジー制御部850は、MAC<sub>1</sub>600との間のバスの負荷状態に加えて、MAC<sub>1</sub>60

10

20

30

40

50

0とSC<sub>2</sub>300との間のバスBUS-SC<sub>2</sub>-MAC<sub>1</sub>720の負荷状況も管理する処理部であり、バスの負荷が高い場合には、投機フェッチ発行部840に対してバスが高負荷であることを通知する。

【0078】

次に、本実施例2に係る情報処理装置による投機フェッチ制御について説明する。図6は、本実施例2に係る情報処理装置による投機フェッチ制御を説明するための説明図である。

【0079】

同図に示すように、本実施例2に係る情報処理装置は、バスBUS-SC<sub>3</sub>-MAC<sub>1</sub>710が高負荷状態にあっても、バスBUS-SC<sub>2</sub>-MAC<sub>1</sub>720は比較的負荷が低いことがあるため、バスBUS-SC<sub>3</sub>-MAC<sub>1</sub>710についてビジー制御部850によってビジー状態の通知(3)が行われた場合に、実施例1のように投機フェッチ要求の発行を抑止することをせず、投機フェッチ要求の応答データをSC<sub>2</sub>300に送出することをMAC<sub>1</sub>600に指示しつつ投機フェッチ要求をMAC<sub>1</sub>600に発行(4)する。

10

【0080】

投機フェッチ要求を受信したMAC<sub>1</sub>600は、MEMORY<sub>1</sub>60に対してメモリフェッチを起動(5)し、その応答データ(16)をSC<sub>2</sub>300に転送(17)する。投機フェッチ要求の応答データ(17)を受信したSC<sub>2</sub>300は、SC<sub>1</sub>200-SC<sub>2</sub>300間バスBUS-SC<sub>1</sub>-SC<sub>2</sub>740あるいはSC<sub>2</sub>300-SC<sub>3</sub>800間バスBUS-SC<sub>2</sub>-SC<sub>3</sub>730を用いて転送する。

20

【0081】

このように、バスBUS-SC<sub>3</sub>-MAC<sub>1</sub>710が高負荷状態にあっても、バスBUS-SC<sub>2</sub>-MAC<sub>1</sub>720を用いることで、バスBUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷をさらに高めることなしに投機フェッチを実行することができ、メモリアクセスのレーテンシを改善することができる。

【0082】

次に、本実施例2に係る情報処理装置による投機フェッチ制御処理の処理手順について説明する。図7は、本実施例2に係る情報処理装置による投機フェッチ制御処理の処理手順を示すフローチャートである。なお、ここでは、SC<sub>3</sub>800が投機フェッチを発行する場合を例として説明する。

30

【0083】

図7に示すように、SC<sub>3</sub>800は、メモリフェッチ要求を受信すると(ステップS201)、投機フェッチ発行部840が、自資源の消費が大きいか否か、すなわち、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷が高いか否かを判定する(ステップS202)。

【0084】

その結果、自資源の消費が大きくない場合には、投機フェッチを発行し、発行済フラグに「1」をセットして投機フェッチを発行したことを記録する(ステップS203)。一方、自資源の消費が大きいか場合には、代替経路の資源の消費が大きいか否か、すなわち、BUS-SC<sub>2</sub>-MAC<sub>1</sub>720の負荷が高いか否かを判定し(ステップS204)、代替経路の資源の消費が大きくない場合には、投機フェッチ要求の応答データをSC<sub>2</sub>300に送出することをMAC<sub>1</sub>600に指示しつつ投機フェッチを発行し、発行済フラグに「1」をセットして投機フェッチを発行したことを記録する(ステップS203)。

40

【0085】

そして、キャッシュ情報の検索が終了するのを待ち、キャッシュ情報の検索が終了すると(ステップS205、肯定)、待ち合わせ部470が、メモリフェッチ要求がキャッシュにヒットしたか否かを判定し(ステップS206)、キャッシュにヒットしない場合には、発行済フラグが「1」であるか否かを判定する(ステップS207)。

【0086】

その結果、発行済フラグが「1」である場合には、投機フェッチを発行した場合であるので、投機フェッチの応答データを使用し(ステップS208)、発行済フラグが「1」

50

でない場合には、投機フェッチを発行していない場合であるので、通常のメモリアクセスを発行し、その応答データを使用する（ステップS209）。

【0087】

一方、キャッシュにヒットした場合には、発行済フラグが「1」であるか否かを判定し（ステップS210）、発行済フラグが「1」である場合には、投機フェッチを発行した場合であるので、投機フェッチの応答データを破棄する（ステップS211）。そして、キャッシュがヒットしたCPUに対してムーブアウトを要求し、その応答データを使用する（ステップS212）。

【0088】

このように、投機フェッチ発行部840が、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷が高い場合に、BUS-SC<sub>2</sub>-MAC<sub>1</sub>720の負荷が高いか否かを判定し、負荷が低い場合には、投機フェッチ要求の応答データをSC<sub>2</sub>300に送出することをMAC<sub>1</sub>600に指示しつつ投機フェッチを発行することによって、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710の負荷をさらに高くすることなく投機フェッチを実行することができる。

10

【0089】

上述してきたように、本実施例2では、ビジー制御部850が、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710に加えてBUS-SC<sub>2</sub>-MAC<sub>1</sub>720の負荷状態を管理し、これらのバスが高負荷になった場合に、投機フェッチ発行部840にバスが高負荷であることを通知し、投機フェッチ発行部840が、BUS-SC<sub>3</sub>-MAC<sub>1</sub>710が高負荷である場合に、BUS-SC<sub>2</sub>-MAC<sub>1</sub>720が高負荷であるか否かを判定し、高負荷でない場合には、投機フェッチ要求の応答データをSC<sub>2</sub>300に送出することをMAC<sub>1</sub>600に指示しつつ投機フェッチを発行することとしたので、投機フェッチの実行に起因してBUS-SC<sub>3</sub>-MAC<sub>1</sub>710がより高負荷になることを防ぐとともに、投機フェッチを実行してメモリアクセスのレーテンシを改善することができる。

20

【実施例3】

【0090】

上記実施例1および2では、キャッシュ情報の検索結果と投機フェッチの応答データとの待ち合わせ場所をSC<sub>3</sub>とする場合について説明したが、待ち合わせ場所を末端SCとすることがレーテンシ短縮のためには有効である。しかしながら、待ち合わせ場所を末端SCとすると、たとえキャッシュの検索結果によって投機フェッチの応答データを破棄することが判明した後でも、末端SCまでは投機フェッチの応答データを必ず転送しなければならない。

30

【0091】

したがって、末端SCまでの転送経路の負荷が高い状況においては、破棄される予定の投機フェッチの応答データがハードウェア資源をさらに消費し、さらに負荷を高めることとなる。そこで、本実施例3では、末端SCをSC<sub>1</sub>200とし、SC<sub>1</sub>200までの転送経路の負荷が高い場合には、待ち合わせ場所を末端SC以外のSCに動的に変更する場合について説明する。

【0092】

まず、本実施例3に係るSC<sub>3</sub>の構成について説明する。なお、ここでは説明の便宜上、図2に示した各部と同様の役割を果たす機能部については同一符号を付すこととしてその詳細な説明を省略する。

40

【0093】

図8は、本実施例3に係るSC<sub>3</sub>900の構成を示す機能ブロック図である。同図に示すように、このSC<sub>3</sub>900は、図2に示したSC<sub>3</sub>400と比較すると、投機フェッチ発行部440の代わりに投機フェッチ発行部940を有し、ビジー制御部450の代わりにビジー制御部950を有する。

【0094】

投機フェッチ発行部940は、MAC<sub>1</sub>600との間のバスBUS-SC<sub>3</sub>-MAC<sub>1</sub>710の状況だけでなく、SC<sub>3</sub>900とSC<sub>1</sub>200との間のバスBUS-SC<sub>1</sub>-SC<sub>3</sub>7

50

50 の状況に基づいて  $MAC_1600$  に対して投機フェッチを発行する処理部である。

【0095】

具体的には、この投機フェッチ発行部940は、待ち合わせ場所である  $SC_1200$  に投機フェッチ要求の応答データを転送する場合に使用する  $BUS - SC_1 - SC_3750$  の負荷が高いときは、待ち合わせ場所を  $SC_1200$  から  $SC_3900$  へ変更し、 $SC_3900$  を待ち合わせ場所とすることを投機フェッチの発行とともに  $MAC_1600$  に通知する。

【0096】

この投機フェッチ発行部940が、 $BUS - SC_1 - SC_3750$  の負荷が高いときに、 $SC_3900$  を待ち合わせ場所とすることを投機フェッチの発行とともに  $MAC_1600$  に通知することによって、投機フェッチの応答データを破棄する場合に、 $BUS - SC_1 - SC_3750$  が無駄に使用されることを防ぐことができる。

10

【0097】

ビジー制御部950は、 $MAC_1600$  との間のバスの負荷状態に加えて、 $SC_3900$  と  $SC_1200$  との間のバス  $BUS - SC_1 - SC_3750$  の負荷状況も管理する処理部であり、バスの負荷が高い場合には、投機フェッチ発行部940に対してバスが高負荷であることを通知する。

【0098】

次に、本実施例3に係る情報処理装置による投機フェッチ制御について説明する。図9は、本実施例3に係る情報処理装置による投機フェッチ制御を説明するための説明図である。

20

【0099】

同図に示すように、本実施例3に係る情報処理装置では、 $SC_3900$  の投機フェッチ発行部940が、ビジー制御部950から通知された  $BUS - SC_3 - MAC_1710$  のビジー状態と、 $BUS - SC_1 - SC_3750$  のビジー状態とを参照(3)する。そして、 $BUS - SC_3 - MAC_1710$  が高負荷状態にあるときは、投機フェッチ要求の発行を抑止し、そうでなければ投機フェッチ要求を発行(4)する。

【0100】

このとき、 $BUS - SC_1 - SC_3750$  が高負荷状態にあるときは、投機フェッチ要求の応答データとキャッシュの検索結果(8)の待ち合わせ場所として、 $SC_1200$  に代わり  $SC_3900$  を待ち合わせ場所とすることを、投機フェッチ要求の発行とともに  $MAC_1600$  に通知する。

30

【0101】

投機フェッチ要求を受信した  $MAC_1600$  は、 $MEMORY_160$  に対してメモリフェッチ要求を起動(5)し、その応答データ(6)を  $SC_3900$  に転送(7)する。このとき、 $MAC_1600$  は投機フェッチ要求の発行時に  $SC_3900$  で待ち合わせすることを通知されたことを同時に報告する。

【0102】

投機フェッチ要求の応答データを受信した  $SC_3900$  は、 $SC_3900$  の待ち合わせ部470にて、投機フェッチ要求の応答データとキャッシュの検索結果(8)を待ち合わせる。そして、キャッシュの検索結果によって投機フェッチ要求の応答データを破棄することが判明した場合には、待ち合わせ部470にて破棄される。

40

【0103】

このように、待ち合わせ場所を  $SC_3900$  に動的に変更することによって、投機フェッチの応答データを破棄する場合に  $SC_3900$  と  $SC_1200$  との間のバス  $BUS - SC_1 - SC_3750$  の高負荷状態をさらに悪化させることを防ぐことができる。

【0104】

次に、本実施例3に係る情報処理装置による投機フェッチ制御処理の処理手順について説明する。図10は、本実施例3に係る情報処理装置による投機フェッチ制御処理の処理手順を示すフローチャートである。なお、ここでは、 $SC_3900$  が投機フェッチを発行

50

する場合を例として説明する。

【0105】

図10に示すように、 $SC_3900$ は、メモリフェッチ要求を受信すると(ステップS301)、投機フェッチ発行部940が、自資源の消費が大きいか否か、すなわち、 $BUS-SC_3-MAC_1710$ の負荷が高いか否かを判定する(ステップS302)。

【0106】

その結果、自資源の消費が大きくない場合には、待ち合わせ場所に応答データを転送する場合に使用する資源の消費が大きいか否か、すなわち、 $BUS-SC_1-SC_3750$ の負荷が高いか否かを判定し(ステップS303)、 $BUS-SC_1-SC_3750$ の負荷が高い場合には、待ち合わせ場所を代替場所、すなわち $SC_3900$ とすることを $MAC_1600$ に指示しつつ投機フェッチを発行し、発行済フラグに「1」をセットして投機フェッチを発行したことを記録する(ステップS304)。

10

【0107】

一方、 $BUS-SC_1-SC_3750$ の負荷が高くない場合には、待ち合わせ場所を末端SCとして投機フェッチを発行し、発行済フラグに「1」をセットして投機フェッチを発行したことを記録する(ステップS305)。

【0108】

そして、キャッシュ情報の検索が終了するのを待ち、キャッシュ情報の検索が終了すると(ステップS306、肯定)、待ち合わせ場所として指定されたSCの待ち合わせ部470が、メモリフェッチ要求がキャッシュにヒットしたか否かを判定し(ステップS307)、キャッシュにヒットしない場合には、発行済フラグが「1」であるか否かを判定する(ステップS308)。

20

【0109】

その結果、発行済フラグが「1」である場合には、投機フェッチを発行した場合であるので、投機フェッチの応答データを使用し(ステップS309)、発行済フラグが「1」でない場合には、投機フェッチを発行していない場合であるので、通常のメモリアクセスを発行し、その応答データを使用する(ステップS310)。

【0110】

一方、キャッシュにヒットした場合には、発行済フラグが「1」であるか否かを判定し(ステップS311)、発行済フラグが「1」である場合には、投機フェッチを発行した場合であるので、投機フェッチの応答データを破棄する(ステップS312)。そして、キャッシュがヒットしたCPUに対してムーブアウトを要求し、その応答データを使用する(ステップS313)。

30

【0111】

このように、投機フェッチ発行部940が、 $BUS-SC_1-SC_3750$ の負荷が高いか否かを判定し、 $BUS-SC_1-SC_3750$ の負荷が高い場合には、待ち合わせ場所を代替場所、すなわち $SC_3900$ とすることを $MAC_1600$ に指示しつつ投機フェッチを発行することによって、 $BUS-SC_1-SC_3750$ の負荷をさらに高くすることなく投機フェッチを実行することができる。

【0112】

上述してきたように、本実施例3では、ビジー制御部950が、 $BUS-SC_3-MAC_1710$ に加えて $BUS-SC_1-SC_3750$ の負荷状態を管理し、これらのバスが高負荷になった場合に、投機フェッチ発行部940にバスが高負荷であることを通知し、投機フェッチ発行部940が、投機フェッチを発行する場合に、 $BUS-SC_1-SC_3750$ が高負荷であるか否かを判定し、高負荷である場合には、待ち合わせ場所を $SC_3900$ に変更することを $MAC_1600$ に指示しつつ投機フェッチを発行することとしたので、投機フェッチの発行に起因して $BUS-SC_1-SC_3750$ がより高負荷になることを防ぐことができる。

40

【0113】

また、本実施例1~3では、 $IOP_070$ が $MEMORY_160$ に実装されたアドレスに

50

対するメモリフェッチを実行する場合について説明したが、本発明はこれに限定されるものではなく、CPUや他のIOPがMEMORY<sub>1</sub>60またはMEMORY<sub>0</sub>50に実装されたアドレスに対するメモリフェッチを実行する場合にも同様に適用することができる。また、CPU、SC、MACなどの数が異なる場合にも同様に適用することができる。

【0114】

また、本実施例1～3では、バスの負荷状態に基づいて投機フェッチを制御する場合について説明したが、本発明はこれに限定されるものではなく、他のハードウェア資源、例えば、バッファの負荷状態に基づいて投機フェッチを制御する場合にも同様に適用することができる。ここで、バッファのビジー管理は、バッファ内の有効なエントリ数を数えることで管理することができる。

10

【0115】

(付記1)メモリフェッチ要求により要求されたデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行するシステム制御装置であって、

前記投機フェッチで使用するハードウェア資源の消費状況を監視し、該ハードウェア資源の消費量が所定の値以上であるか否かを判定する消費量判定手段と、

前記消費量判定手段により前記ハードウェア資源の消費量が所定の値以上であると判定された場合には、投機フェッチの発行を抑止する投機フェッチ発行手段と、

を備えたことを特徴とするシステム制御装置。

【0116】

20

(付記2)前記消費量判定手段により消費状況が監視されるハードウェア資源は、メモリフェッチを依頼するメモリ制御装置を接続するバスであることを特徴とする付記1に記載のシステム制御装置。

【0117】

(付記3)前記消費量判定手段は、前記バスの一定期間中の使用率を用いて該バスの消費量が所定の値以上であるか否かを判定することを特徴とする付記2に記載のシステム制御装置。

【0118】

(付記4)前記消費量判定手段により消費状況が監視されるハードウェア資源は、投機フェッチで使用するバッファであることを特徴とする付記1に記載のシステム制御装置。

30

【0119】

(付記5)前記消費量判定手段は、前記バッファ内の有効なエントリ数を用いて該バッファの消費量が所定の値以上であるか否かを判定することを特徴とする付記4に記載のシステム制御装置。

【0120】

(付記6)前記投機フェッチ発行手段は、前記消費量判定手段により前記ハードウェア資源の消費量が所定の値以上であると判定された場合に、該ハードウェア資源の代わりに使用することができる代替ハードウェア資源があるか否かを判定し、代替ハードウェア資源があるときは、代替ハードウェア資源を用いて投機フェッチを実行することを特徴とする付記1に記載のシステム制御装置。

40

【0121】

(付記7)前記投機フェッチ発行手段は、自装置以外の他のシステム制御装置を利用することによって前記代替ハードウェア資源があるか否かを判定することを特徴とする付記6に記載のシステム制御装置。

【0122】

(付記8)前記投機フェッチ発行手段は、投機フェッチの応答データと前記タグ情報の検索結果との待ち合わせを行う待ち合わせ場所への応答データの転送に使用するハードウェア資源の消費量が所定の値以上である場合には、該待ち合わせ場所に代わる代替待ち合わせ場所を指定して投機フェッチを実行することを特徴とする付記1または6に記載のシステム制御装置。

50



## 【 0 1 2 3 】

(付記 9) 前記投機フェッチ発行手段は、前記代替待ち合わせ場所として自装置を指定して投機フェッチを実行することを特徴とする付記 8 に記載のシステム制御装置。

## 【 0 1 2 4 】

(付記 10) メモリフェッチを行う際に、フェッチするデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行する情報処理装置であって、

前記投機フェッチで使用するハードウェア資源の消費状況を監視し、該ハードウェア資源の消費量が所定の値以上であるか否かを判定する消費量判定手段と、

前記消費量判定手段により前記ハードウェア資源の消費量が所定の値以上であると判定された場合には、投機フェッチの発行を抑止する投機フェッチ発行手段と、

を備えたことを特徴とする情報処理装置。

10

## 【 0 1 2 5 】

(付記 11) メモリフェッチ要求により要求されたデータがキャッシュにあるか否かがキャッシュのタグ情報を検索することによって判明する前にメモリに対して投機フェッチを実行するシステム制御装置による投機フェッチ方法であって、

前記投機フェッチで使用するハードウェア資源の消費状況を監視し、該ハードウェア資源の消費量が所定の値以上であるか否かを判定する消費量判定工程と、

前記消費量判定工程により前記ハードウェア資源の消費量が所定の値以上であると判定された場合には、投機フェッチの発行を抑止する投機フェッチ発行工程と、

を含んだことを特徴とする投機フェッチ方法。

20

## 【 0 1 2 6 】

(付記 12) 前記消費量判定工程により消費状況が監視されるハードウェア資源は、メモリフェッチを依頼するメモリ制御装置を接続するバスであることを特徴とする付記 11 に記載の投機フェッチ方法。

## 【 0 1 2 7 】

(付記 13) 前記消費量判定工程は、前記バスの一定期間中の使用率を用いて該バスの消費量が所定の値以上であるか否かを判定することを特徴とする付記 12 に記載の投機フェッチ方法。

## 【 0 1 2 8 】

(付記 14) 前記消費量判定工程により消費状況が監視されるハードウェア資源は、投機フェッチで使用するバッファであることを特徴とする付記 11 に記載の投機フェッチ方法。

30

## 【 0 1 2 9 】

(付記 15) 前記消費量判定工程は、前記バッファ内の有効なエントリ数を用いて該バッファの消費量が所定の値以上であるか否かを判定することを特徴とする付記 14 に記載の投機フェッチ方法。

## 【 0 1 3 0 】

(付記 16) 前記投機フェッチ発行工程は、前記消費量判定工程により前記ハードウェア資源の消費量が所定の値以上であると判定された場合に、該ハードウェア資源の代わりに使用することができる代替ハードウェア資源があるか否かを判定し、代替ハードウェア資源があるときは、代替ハードウェア資源を用いて投機フェッチを実行することを特徴とする付記 11 に記載の投機フェッチ方法。

40

## 【 0 1 3 1 】

(付記 17) 前記投機フェッチ発行工程は、自装置以外の他のシステム制御装置を利用することによって前記代替ハードウェア資源があるか否かを判定することを特徴とする付記 16 に記載の投機フェッチ方法。

## 【 0 1 3 2 】

(付記 18) 前記投機フェッチ発行工程は、投機フェッチの応答データと前記タグ情報の検索結果との待ち合わせを行う待ち合わせ場所への応答データの転送に使用するハードウ

50

エア資源の消費量が所定の値以上である場合には、該待ち合わせ場所に代わる代替待ち合わせ場所を指定して投機フェッチを実行することを特徴とする付記 11 または 16 に記載の投機フェッチ方法。

【0133】

(付記 19) 前記投機フェッチ発行工程は、前記代替待ち合わせ場所として自装置を指定して投機フェッチを実行することを特徴とする付記 18 に記載の投機フェッチ方法。

【産業上の利用可能性】

【0134】

以上のように、本発明に係るシステム制御装置、投機フェッチ方法および情報処理装置は、ストアイン方式のキャッシュを内蔵する CPU を具備し、アドレスインタリーブされた複数の SC によってキャッシュのコヒーレンスを解決する計算機システムに有用であり、特に、投機フェッチに起因するメモリアクセスのレーテンシの悪化が顕著である場合に適している。

10

【図面の簡単な説明】

【0135】

【図 1】本実施例 1 に係る情報処理装置の構成を示す機能ブロック図である。

【図 2】SC<sub>3</sub>の構成を示す機能ブロック図である。

【図 3】本実施例 1 に係る情報処理装置による投機フェッチ制御を説明するための説明図である。

【図 4】本実施例 1 に係る情報処理装置による投機フェッチ制御処理の処理手順を示すフローチャートである。

20

【図 5】本実施例 2 に係る SC<sub>3</sub>の構成を示す機能ブロック図である。

【図 6】本実施例 2 に係る情報処理装置による投機フェッチ制御を説明するための説明図である。

【図 7】本実施例 2 に係る情報処理装置による投機フェッチ制御処理の処理手順を示すフローチャートである。

【図 8】本実施例 3 に係る SC<sub>3</sub>の構成を示す機能ブロック図である。

【図 9】本実施例 3 に係る情報処理装置による投機フェッチ制御を説明するための説明図である。

【図 10】本実施例 3 に係る情報処理装置による投機フェッチ制御処理の処理手順を示すフローチャートである。

30

【符号の説明】

【0136】

- 10 CPU<sub>0</sub>
- 20 CPU<sub>1</sub>
- 30 CPU<sub>2</sub>
- 40 CPU<sub>3</sub>
- 50 MEMORY<sub>0</sub>
- 60 MEMORY<sub>1</sub>
- 70 IOP<sub>0</sub>
- 80 IOP<sub>1</sub>
- 100 SC<sub>0</sub>
- 200 SC<sub>1</sub>
- 300 SC<sub>2</sub>
- 400 SC<sub>3</sub>
- 410 要求受付部
- 420 キャッシュ検索部
- 430 キャッシュ情報記憶部
- 440, 840, 940 投機フェッチ発行部
- 450, 850, 950 ビジー制御部

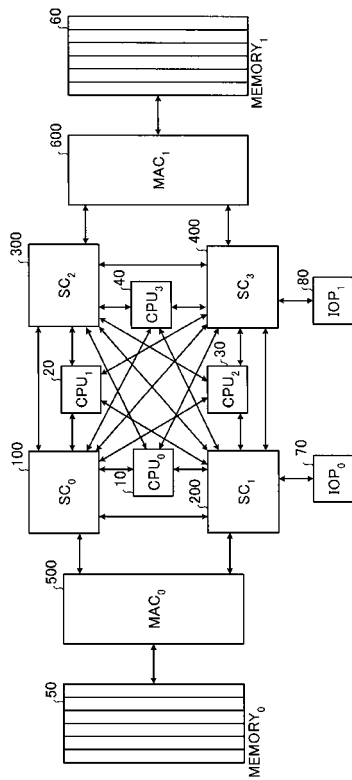
40

50

- 4 6 0    メモリアクセス部
- 4 7 0    待ち合わせ部
- 5 0 0    MAC<sub>0</sub>
- 6 0 0    MAC<sub>1</sub>
- 7 1 0    BUS - SC<sub>3</sub> - MAC<sub>1</sub>
- 7 2 0    BUS - SC<sub>2</sub> - MAC<sub>1</sub>
- 7 3 0    BUS - SC<sub>2</sub> - SC<sub>3</sub>
- 7 4 0    BUS - SC<sub>1</sub> - SC<sub>2</sub>
- 7 5 0    BUS - SC<sub>1</sub> - SC<sub>3</sub>

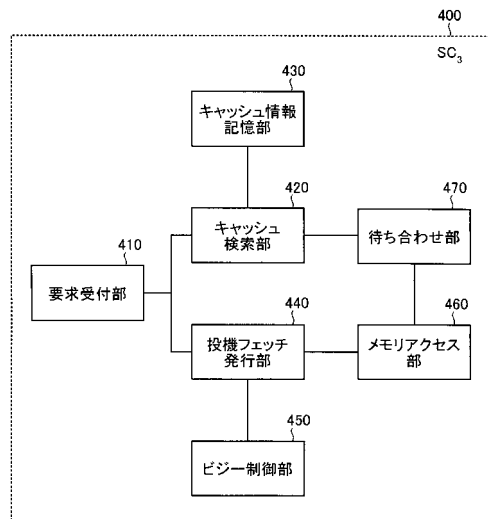
【図1】

本実施例1に係る情報処理装置の構成を示す機能ブロック図



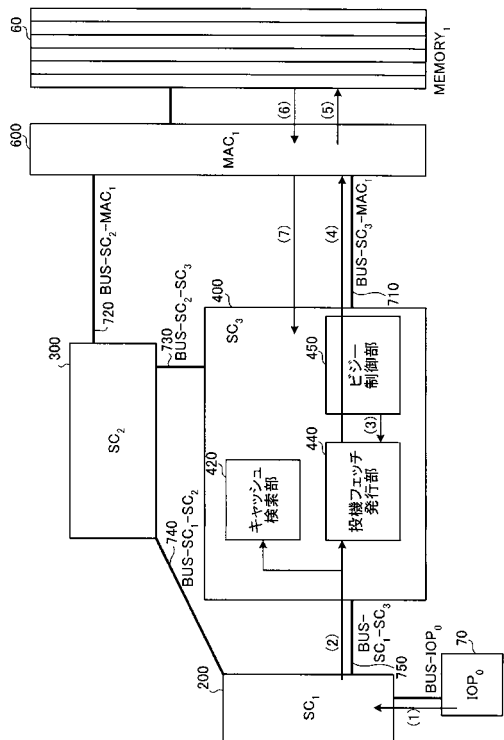
【図2】

SC<sub>3</sub>の構成を示す機能ブロック図



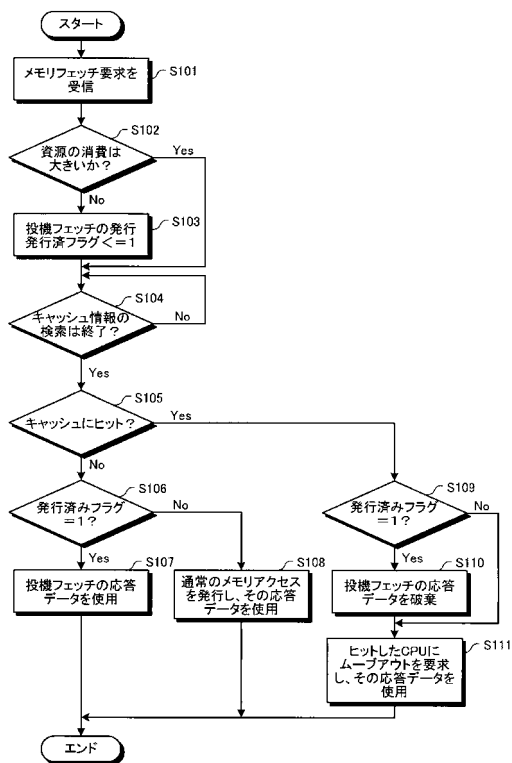
【図3】

本実施例1に係る情報処理装置による投機フェッチ制御のための説明図



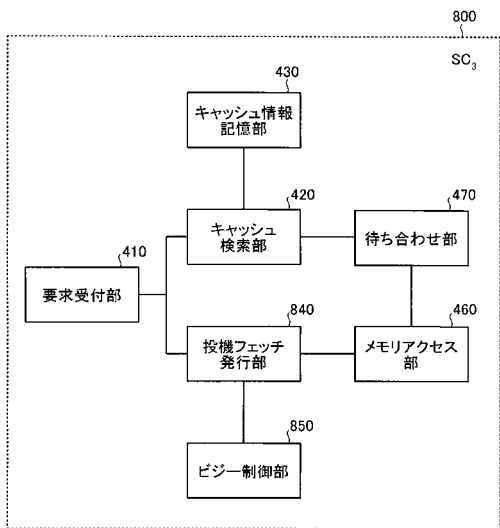
【図4】

本実施例1に係る情報処理装置による投機フェッチ制御処理の処理手順を示すフローチャート



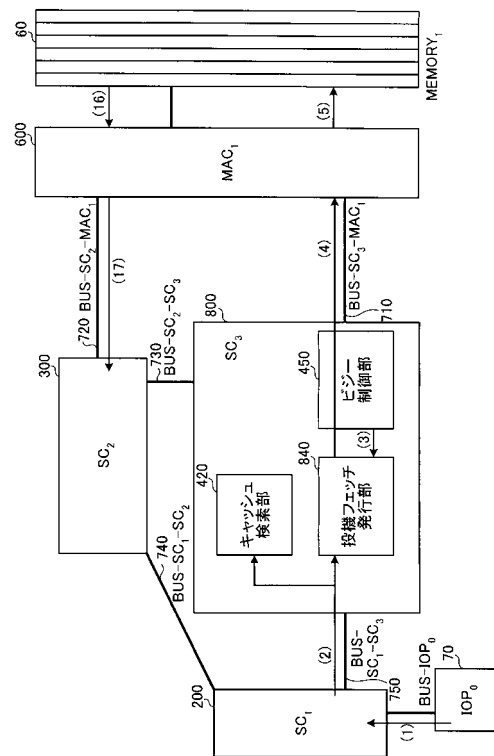
【図5】

本実施例2に係るSC3の構成を示す機能ブロック図



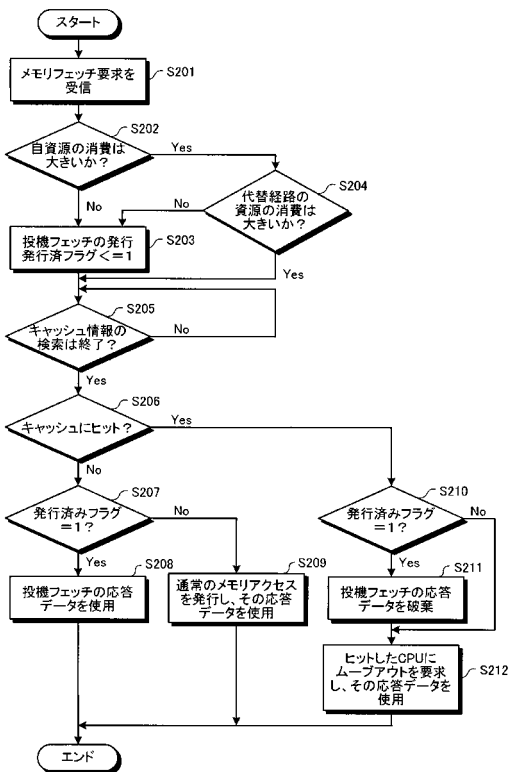
【図6】

本実施例2に係る情報処理装置による投機フェッチ制御のための説明図



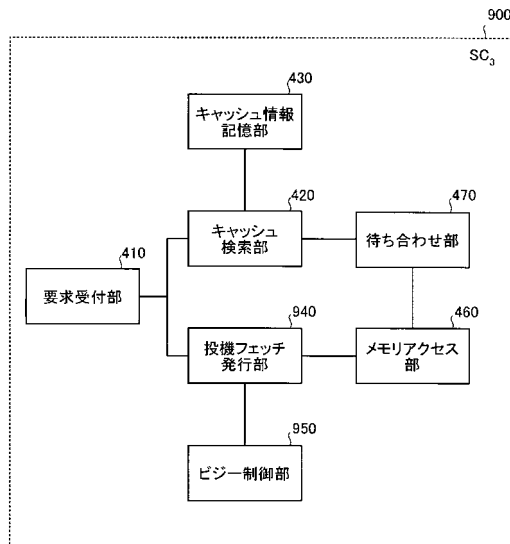
【図7】

本実施例2に係る情報処理装置による投機フェッチ制御装置の処理手順を示すフローチャート



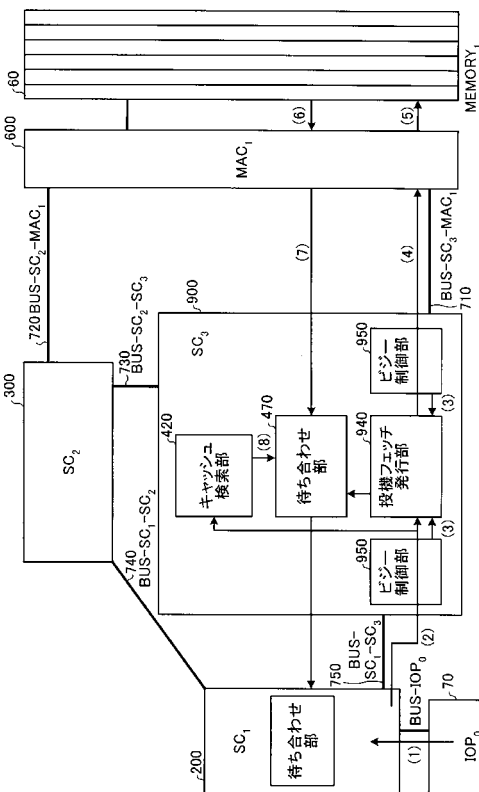
【図8】

本実施例3に係るSC<sub>3</sub>の構成を示す機能ブロック図



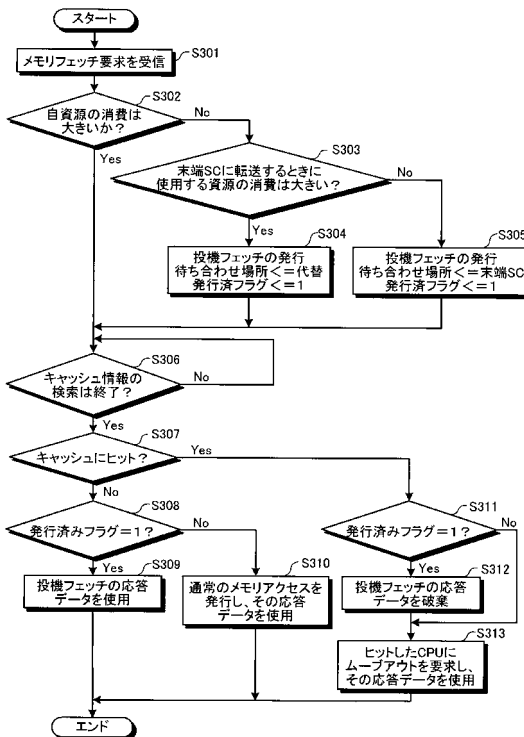
【図9】

本実施例3に係る情報処理装置による投機フェッチ制御を説明するための説明図



【図10】

本実施例3に係る情報処理装置による投機フェッチ制御処理の処理手順を示すフローチャート



---

フロントページの続き

(51)Int.Cl. F I  
G 0 6 F 12/08 5 4 3 B  
G 0 6 F 9/38 3 1 0 A

(72)発明者 三島 正博  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 高橋正徳

(56)参考文献 特開平09-128325(JP,A)  
特開平10-171736(JP,A)  
特開平07-175724(JP,A)  
特開平06-004467(JP,A)  
特開平02-287828(JP,A)  
米国特許第06119203(US,A)  
米国特許第06012134(US,A)  
米国特許第06173410(US,B1)

(58)調査した分野(Int.Cl., DB名)  
G 0 6 F 1 2 / 0 8 - 1 2 / 1 2