

(12) 发明专利申请

(10) 申请公布号 CN 102576162 A

(43) 申请公布日 2012. 07. 11

(21) 申请号 201080046988. 5

(74) 专利代理机构 北京市隆安律师事务所
11323

(22) 申请日 2010. 06. 04

代理人 权鲜枝

(30) 优先权数据

2009-241320 2009. 10. 20 JP

(51) Int. Cl.

G02F 1/133(2006. 01)

G02F 1/1368(2006. 01)

G09G 3/20(2006. 01)

G09G 3/36(2006. 01)

(85) PCT申请进入国家阶段日

2012. 04. 17

(86) PCT申请的申请数据

PCT/JP2010/059535 2010. 06. 04

(87) PCT申请的公布数据

W02011/048843 JA 2011. 04. 28

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 伊奈惠一 海濂泰佳 吉田圭介

前田和宏

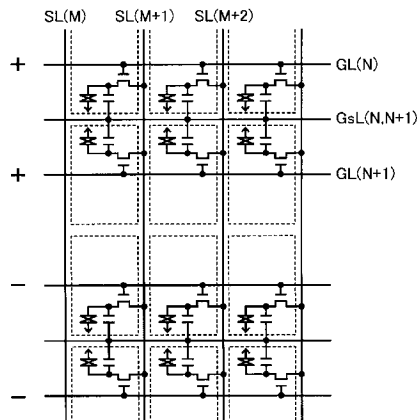
权利要求书 1 页 说明书 7 页 附图 5 页

(54) 发明名称

显示装置

(57) 摘要

本发明的目的在于提供在 2 行像素中共用保持电容配线而防止开口率降低和成品率降低的基础上能进行电容耦合驱动显示装置。本发明的显示装置具有排列成 n 行 m 列 (n 和 m 分别表示 2 以上的整数) 的矩阵状的像素以及设置成格子状的 m 条源极线和 n 条栅极线, 在奇数行的像素和偶数行的像素的边界区域具有保持电容部, 保持电容部具有在奇数行和偶数行的像素中共用的保持电容配线、绝缘膜、奇数行的像素用的相对电极以及偶数行的像素用的相对电极, 在奇数行的像素中设有与奇数行的像素用的相对电极电连接的像素电极, 在偶数行的像素中设有与偶数行的像素用的相对电极电连接的像素电极, 按每共用保持电容配线的 2 行像素使像素电极的电位的极性反转, 并且, 进行通过使保持电容配线的电位变化而使 2 行像素的像素电极的电位变化的电容耦合驱动。



1. 一种显示装置,其特征在于,具有排列成 n 行 m 列的矩阵状的像素以及设置成格子状的 m 条源极线和 n 条栅极线,其中, n 和 m 分别表示2以上的整数,

该显示装置在奇数行的像素和偶数行的像素的边界区域具有保持电容部,

该保持电容部具有在奇数行和偶数行的像素中共用的保持电容配线、绝缘膜、奇数行的像素用的相对电极以及偶数行的像素用的相对电极,

在该奇数行的像素中设有与该奇数行的像素用的相对电极电连接的像素电极,

在该偶数行的像素中设有与该偶数行的像素用的相对电极电连接的像素电极,

按每共用该保持电容配线的2行像素使像素电极的电位的极性反转,并且,

进行通过使该保持电容配线的电位变化而使该2行像素的像素电极的电位变化的电容耦合驱动。

2. 根据权利要求1所述的显示装置,其特征在于,上述显示装置具有奇数行的像素和偶数行的像素互相反转的构成。

3. 根据权利要求1或2所述的显示装置,其特征在于,上述显示装置在未配置保持电容配线的奇数行的像素与偶数行的像素之间具有共同的附加电路。

4. 根据权利要求3所述的显示装置,其特征在于,上述附加电路是光传感器用电路。

显示装置

技术领域

[0001] 本发明涉及显示装置。更详细地,涉及在像素中形成有保持电容的有源矩阵驱动型的显示装置。

背景技术

[0002] 近年来,已知作为开关元件具备 TFT(Thin Film Transistor:薄膜晶体管)的有源矩阵型显示装置。该液晶显示装置具备液晶显示面板等显示面板,液晶显示面板等显示面板在互相相对的2片绝缘性基板之间配置有液晶层。在显示面板的一方基板,栅极线(扫描信号线)和源极线(视频信号线)设成格子状,用于形成图像的像素电极配置成矩阵状。在栅极线和源极线的交点附近设有 TFT,控制向像素电极的电压施加。另外,在显示面板的另一方基板,设有用于与像素电极之间施加电压的共用电极,由像素电极和共用电极形成电容。

[0003] 在这样的显示装置中,为了按 1 水平扫描期间 1 个地依次选择各栅极线,以 1 垂直扫描期间为周期反复进行扫描信号向各栅极线的施加。因此,储存于由像素电极和共用电极所形成的各个液晶电容等电容中的电荷必须被保持大致 1 垂直扫描期间。但是,在仅以该电容不能保持该储存的电荷的情况下,与该电容并列地设有保持电容。保持电容一般由像素电极或者与像素电极电连接的相对电极和保持电容配线形成。

[0004] 利用上述保持电容配线,能进行使像素电极的像素电位上冲的电容耦合驱动。由此,能减小源极信号的电压的振幅,能得到充分的对比度。公开了如下液晶显示装置(例如,参照专利文献 1。):作为这样的电容耦合驱动,例如在使用有源矩阵基板的液晶显示装置中,分开提供包括开关元件的导通电位(Vgt)和截止电位(Vgb)在内的原来的扫描信号(源极信号)和补偿由寄生电容引起的电位下降和液晶的阈值电压的 2 个偏置电位(Ve(+)、Ve(-)),从而能降低施加于开关元件的扫描信号的最大振幅,提高可靠性,并且实现成本的削减。另外,公开了如下液晶显示装置(例如,参照专利文献 2。):其共用电极线驱动电路的输出可以为 2 值,所以其输出电路的构成变得简单,通过使其中一方的电位可变而能实现亮度调节。

[0005] 然而,显示装置为了抑制液晶的劣化来维持显示质量而进行交流驱动,通常,按每 1 行像素使像素电极的电位的极性反转(也称为 1H(Horizontal:水平)线反转)。此外,将与栅极线平行的方向设为水平(Horizontal)。

[0006] 在显示装置、特别是搭载光传感器的机型等中,为了设为进行上述的 1H 线反转并且具有配置光传感器电路等附加电路的空间的像素结构,具有在奇数行的像素和偶数行的像素中共用的保持电容配线。公开了在这样的奇数行的像素和偶数行的像素中共用保持电容配线的显示装置(例如,参照专利文献 3。)

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献 1:特开平 10-39277 号公报

[0010] 专利文献 2 :特开 2001-83943 号公报

[0011] 专利文献 3 :国际公开第 2009-041112 号小册子

发明内容

[0012] 发明要解决的问题

[0013] 在进行 1H 线反转的显示装置中,一个像素与其正上、正下的像素为不同极性。因此,受到上下像素的电位变动的影响的像素不会变化,无论是否输入均匀显示的信号,都不会产生由该影响引起的条纹等。因此,可以不进行考虑到该影响的设计。另一方面,电容耦合中的像素电极的电位的上冲 / 下冲按每 1 行像素进行。因此,在上述的进行 1H 线反转的显示装置中,不能利用在 2 行像素中共用的保持电容配线进行电容耦合驱动。并且,在设为具有配置光传感器电路等附加电路的空间的像素结构的基础上,为了进行电容耦合驱动,如图 5 所示,将保持电容配线 24 分割地配置。此外,图 6 是在图 5 所示的显示装置中利用电路标识示意性示出有源矩阵基板上的像素的电路构成的平面图。图 7 是示出现有的显示装置中的 1H 线反转的概念图。图 7 中,1 个 + 或者 - 分别与 1 个像素对应,表示该像素中的像素电极的电位的极性。

[0014] 在上述的在 2 行像素中共用保持电容配线的显示装置中,具有应用电容耦合驱动、减小源极信号的电压的振幅来使对比度比提高的研究余地。另外,在分割图 5 所示的保持电容配线 24 的显示装置中,在使像素的开口率和成品率充分优良的方面具有研究余地。即,在显示装置中可期望如下情况 :在设为在 2 行像素中共用保持电容配线来充分防止像素的开口率降低和成品率降低的基础上,能进行电容耦合驱动。

[0015] 本发明是鉴于上述现状而完成的,其目的在于提供如下显示装置 :在使保持电容配线在 2 行像素中共用来充分防止开口率降低和成品率降低的基础上,能进行电容耦合驱动。

[0016] 用于解决问题的方案

[0017] 本发明人对在保持电容部在 2 行像素中共用保持电容配线、充分防止开口率降低和成品率降低的基础上能进行电容耦合驱动的显示装置进行各种讨论的结果是 :着眼于显示装置中的像素电极的电位的极性。并且发现如下情况 :在上述显示装置中,按每共用保持电容配线的 2 行像素使像素电极的电位的极性反转,由此能进行使该 2 行像素的像素电极的电位变化的电容耦合驱动。因此,发现如下情况 :在得到进行电容耦合驱动的优点的同时,得到保持电容配线在 2 行像素中共用、削减保持电容配线占的面积来提高开口率的效果,并且也发现如下情况 :能利用保持电容配线的图案的简化使产品成品率提高,想到能很好地解决上述问题而达成了本发明。

[0018] 即,本发明是具有排列成 n 行 m 列的矩阵状的像素以及设置成格子状的 m 条源极线和 n 条栅极线的显示装置,其中, n 和 m 分别表示 2 以上的整数,上述显示装置在奇数行的像素和偶数行的像素的边界区域具有保持电容部,上述保持电容部具有在奇数行和偶数行的像素中共用的保持电容配线、绝缘膜、奇数行的像素用的相对电极以及偶数行的像素用的相对电极,在上述奇数行的像素中设有与该奇数行的像素用的相对电极电连接的像素电极,在上述偶数行的像素中设有与该偶数行的像素用的相对电极电连接的像素电极,按每共用上述保持电容配线的 2 行像素使像素电极的电位的极性反转,并且,进行通过使上述

保持电容配线的电位变化而使该 2 行像素的像素电极的电位变化的电容耦合驱动。此外, 所谓排列成矩阵状的像素只要是在行方向和列方向配置多个的像素即可, 也包含三角形排列的像素。

[0019] 本发明的显示装置按每共用上述保持电容配线的 2 行像素使像素电极的电位的极性反转 (也称为 2H 线反转。), 从而能以相同极性的电压驱动共用保持电容配线的 2 行像素, 因此, 通过使保持电容配线的电位变化而能使该 2 行像素的像素电极的电位变化。换言之, 能在不分割保持电容配线的情况下进行电容耦合驱动。因此, 能充分防止开口率降低。另外, 能充分防止由分割的保持电容配线间的短路引起的成品率降低。而且, 能得到进行电容耦合驱动的优点。

[0020] 上述电容耦合驱动中的像素电位用下式表示。

$$V_{pix} = V_{sl} + C_{cs}/C_{pix} \times \Delta V_{cs}$$

[0022] 上述式中, V_{pix} 是像素电位。 V_{sl} 是源极信号电压。 V_{cs} 是保持电容配线电压。 C_{cs} 是保持电容。 C_{pix} 是像素电容 (= 保持电容 + 液晶电容 + 寄生电容)。

[0023] 本发明的显示装置通过进行电容耦合驱动, 能比现有驱动进一步减小 V_{sl} 振幅。另外, 由于驱动器的限制, V_{sl} 振幅具有界限, 因此, 通过进行电容耦合驱动而能施加高电压。因为能施加高电压, 能使液晶面板的透射率进而液晶面板的亮度 (显示性能) 提高。而且, 不必进行保持电容配线的 2 条分割, 因此能避免由于该保持电容配线间漏泄而产生的成品率降低, 由于这样的成品率提高, 能降低成本。

[0024] 上述保持电容部具有在奇数行和偶数行的像素中共用的保持电容配线、绝缘膜、奇数行的像素用的相对电极以及偶数行的像素用的相对电极。

[0025] 换言之, 可以说 1 条上述保持电容配线形成 2 行像素的保持电容, 按每 2 行像素设置以往按每 1 行像素设置的保持电容配线。因此, 相对于平行存在多个的奇数行的像素和偶数行的像素的边界区域隔一个地配置上述保持电容配线。因此, 与保持电容配线按每像素配置的显示装置比较, 能减少保持电容配线的设置面积, 实现开口率的提高。另外, 取代减少保持电容配线的设置面积, 或者, 在减少保持电容配线的设置面积的基础上, 如果使每条保持电容配线的配线宽度加宽, 则能使电阻降低, 实现串扰的抑制等。而且, 由于保持电容配线的图案的简化, 也能提高成品率。可以说, 本发明除了进行电容耦合驱动的优点, 也得到了使用这样的在奇数行和偶数行的像素中共用的保持电容配线的优点。此外, 在本发明中, 优选保持电容配线和相对电极的至少一方由金属等遮光性的导电材料形成。另外, 优选上述保持电容配线分别隔着绝缘膜与奇数行的像素用的相对电极及偶数行的像素用的相对电极相对。上述相对电极称作与保持电容配线相对的保持电容用电极。

[0026] 作为本发明的显示装置的优选方式, 可列举如下方式: 本发明的显示装置具有奇数行的像素和偶数行的像素互相反转的构成。根据该方式, 在像素彼此的边界区域, 奇数行的像素的相对电极和偶数行的像素的相对电极靠近, 在奇数行和偶数行的像素中共用的保持电容配线的配置变得容易。因此, 能更充分地发挥本发明的效果。

[0027] 作为本发明的显示装置的优选方式, 可列举如下方式: 在未配置保持电容配线的奇数行的像素与偶数行的像素之间具有共同的附加电路。在本发明中, 在具有上述像素结构的显示装置中进行电容耦合驱动, 并且按每 2 行像素设置保持电容配线, 所以能有效利用由此未配置保持电容配线的奇数行的像素与偶数行的像素之间的区域。例如, 通过在该

区域配置上述共同的附加电路,与在其它区域形成按每像素独立的附加电路的情况相比能提高开口率。作为上述附加电路的种类,例如可列举光传感器用电路、存储器电路。其中,优选上述附加电路是光传感器用电路的方式。

[0028] 上述的各方式可以在不脱离本发明的宗旨的范围内适当组合。

[0029] 发明效果

[0030] 根据本发明,在奇数行的像素和偶数行的像素中共用保持电容配线的显示装置中,能进行电容耦合驱动,并且能减少保持电容配线的设置面积,实现开口率的提高。另外,由于保持电容配线的图案的简化,也能提高成品率。

附图说明

[0031] 图 1 是示出实施方式 1 的显示装置中有源矩阵基板上的像素的电路构成的平面示意图。

[0032] 图 2 是示出沿图 1 的 A-B 线的截面构成的截面示意图。

[0033] 图 3 是在实施方式 1 的显示装置中利用电路标识示意性示出有源矩阵基板上的像素的电路构成的平面图。

[0034] 图 4 是示出实施方式 1 的显示装置中的 2H 线反转的概念图。

[0035] 图 5 是示出现有的显示装置中有源矩阵基板上的像素的电路构成的平面示意图。

[0036] 图 6 是在现有的显示装置中利用电路标识示意性示出有源矩阵基板上的像素的电路构成的平面图。

[0037] 图 7 是示出现有的显示装置中的 1H 线反转的概念图。

具体实施方式

[0038] 下面揭示实施方式,更详细地说明本发明,但本发明不仅限于这些实施方式。例如,下面的实施方式涉及液晶显示装置,但本发明的显示装置不限于此。

[0039] 实施方式 1

[0040] 本实施方式的液晶显示装置是具有排列成 n 行 m 列 (n 和 m 分别表示 2 以上的整数。)的矩阵状的像素和设置成格子状的 m 条源极线和 n 条栅极线的显示装置。

[0041] 本实施方式的液晶显示装置中的像素的驱动控制是在薄膜晶体管 (TFT)、像素电极按每像素配置成矩阵状的有源矩阵基板中进行。图 1 是示出实施方式 1 的显示装置中有源矩阵基板上的像素的电路构成的平面示意图。图 2 是示出沿图 1 的 A-B 线的截面构成的截面示意图。

[0042] 如图 1 所示,在有源矩阵基板中,TFT 和像素电极 18 按每像素配置。TFT 具有如下构成:在由硅形成的 TFT 半导体层 12 和栅极线 14 隔着栅极绝缘膜重合的部分的一侧,设有通过第一接触孔 31 连接到源极线 16 的部分,在另一侧设有通过第二接触孔和第三接触孔 32、33 连接到像素电极 18 的部分。当通过栅极线 14 提供扫描信号时,TFT 半导体层 12 导通,通过源极线 16 提供的图像信号提供给像素电极 18。

[0043] 在本实施方式中,如图 1 所示,图 1 中的上段所示的奇数行的像素和图 1 中的中段所示的偶数行的像素具有互相反转的构成,以奇数行的像素和偶数行的像素的边界线作为中心轴处于线对称的关系。因此,在像素彼此的边界区域,奇数行的像素的相对电极 22a

和偶数行的像素的相对电极 22b 靠近,在奇数行和偶数行的像素中共用的保持电容配线 24 的配置变得容易。在本实施方式中,在奇数行的像素中以和像素电极 18 的下端部重合的方式设有相对电极 22a,在偶数行的像素中以和像素电极 18 的上端部重合的方式设有相对电极 22b,保持电容配线 24 形成于和两相对电极 22a、22b 重合的区域以及两相对电极 22a、22b 间的区域。另外,在本实施方式中,相对电极 22 的配置按每像素偏移来防止保持电容的值出现偏差,因此保持电容配线 24 形成为宽出与相对电极 22 的配置精度对应的富余部分(空隙)。

[0044] 另外,如图 2 所示,本实施方式的有源矩阵基板具有从基板 11 侧起由 TFT 半导体层 12、栅极绝缘膜 13、栅极线 14、第一层间绝缘膜 15、源极线 16、第二层间绝缘膜 17、像素电极 18、取向膜 19 依次层叠而形成的结构。另外,在与 TFT 半导体层 12 相同的阶层,利用与 TFT 半导体层 12 相同的材料形成有相对电极 22,在与栅极线 14 相同的阶层,利用与栅极线 14 相同的材料形成有保持电容配线 24,相对电极 22 和保持电容配线 24 隔着栅极绝缘膜 13 相对。TFT 半导体层 12 和相对电极 22 能利用光刻同时形成。同样,栅极线 14 和保持电容配线 24 能利用光刻同时形成。

[0045] 在本实施方式中,像素电极 18 按长方形形成,为了说明便利,将配置有像素电极 18 的基板面内的区域称为像素,将沿着其长边的方向称为纵向,将沿着其短边的方向称为横向。栅极线 14 在像素的中央横向延伸,源极线 16 在像素彼此之间纵向延伸,栅极线 14、源极线 16 正交。栅极线 14 具有在其与源极线 16 正交的部分的附近分支的分支部 14a,分支部 14a 也隔着栅极绝缘膜 13 与 TFT 半导体层 12 重合。这样,栅极线 14 和 TFT 半导体层 12 包含栅极线的分支部 14a 在内按每像素在 2 个位置重合,具有双栅结构。

[0046] 在图 1 和图 2 中,源极线 16 位于像素的右上,且利用贯穿第一层间绝缘膜 15 和栅极绝缘膜 13 的第一接触孔 31 与 TFT 半导体层 12 电连接。TFT 半导体层 12 沿着源极线 16 线状延伸,在像素右端的中央附近形成与栅极线 14 及其分支部 14a 的重叠部(沟道),在像素右端的靠下的位置向像素中央侧弯曲。并且,TFT 半导体层 12 位于像素的下端附近、靠右,且通过贯穿栅极绝缘膜 13 和第一层间绝缘膜 15 的第二接触孔 32 与岛状的导电部 26 电连接,岛状的导电部 26 设于与源极线 16 相同的阶层。岛状的导电部 26 通过贯穿第二层间绝缘膜 17 的第三接触孔 33 与像素电极 18 电连接。

[0047] 另外,在本实施方式中,如图 1 所示,奇数行的像素的 TFT 半导体层和偶数行的像素的 TFT 半导体层一体化。在本实施方式中,相同列的像素的 TFT 半导体层 12 分别连接到共用的源极线 16,所以奇数行的像素的 TFT 半导体层和偶数行的像素的 TFT 半导体层能一体化。例如,在图 1 中,在图 1 中的中段所示的像素和下段的像素中一体化的 TFT 半导体层 12 具有:从第一接触孔 31 向上方延伸、用于与图 1 中的中段所示的偶数行的像素的像素电极 18 连接的部分;以及从第一接触孔 31 向下方延伸、用于与图 1 中的下段所示的奇数行的像素的像素电极 18 连接的部分。这样,通过在奇数行的像素和偶数行的像素中共用第一接触孔 31,能减少接触孔的数量,使开口率提高。另外,在本实施方式中,在图 1 中的上段所示的奇数行的像素和图 1 中的中段所示的偶数行的像素的边界区域设有保持电容配线 24,且在图 1 中的中段所示的偶数行的像素与图 1 中的下段所示的奇数行的像素之间设有第一接触孔 31,由此能实现开口率的提高。

[0048] 在本实施方式中,奇数行的像素的相对电极 22a 和偶数行的像素的相对电极 22b

沿着保持电容配线 24 的延伸方向互相平行地配置,但在使保持电容配线变细的情况、使其位于像素电极的长边侧的情况下,可以使两相对电极与保持电容配线的延伸方向并排配置。在沿着保持电容配线的延伸方向互相平行的配置中,需要在两相对电极间确保与电极的配置精度相应的空隙,有时保持电容配线的细线化困难。与此相对,在使两相对电极与保持电容配线的延伸方向并排配置的方式下,两相对电极间的空隙不影响保持电容配线的配线宽度。

[0049] 另外,在本实施方式中,贯穿第一层间绝缘膜 15 和栅极绝缘膜 13、电连接源极线 16 和 TFT 半导体层 12 的第一接触孔 31 针对 1 个 TFT 半导体层 12 设置 1 个,但可以设为针对 1 个 TFT 半导体层设置多个的方式。由此,能有效地提高源极线和各 TFT 半导体层的电连接的可靠性。

[0050] 图 3 是在实施方式 1 的显示装置中利用电路标识示意性示出有源矩阵基板上的像素的电路构成的平面图。

[0051] 当使用图 3 说明实施方式 1 时,本实施方式涉及在奇数行(第 N 行)的像素和偶数行(第 N+1 行)的像素的边界区域设有保持电容配线的方式。图 3 中, $GsL(N,N+1)$ 表示用于第 N 行和第 (N+1) 行的像素的驱动的保持电容配线, $GL(N)$ 、 $GL(N+1)$ 分别表示用于第 N 行、第 (N+1) 行的像素的驱动的栅极线, $SL(M)$ 、 $SL(M+1)$ 、 $SL(M+2)$ 分别表示用于第 M 列、第 (M+1) 列、第 (M+2) 列的像素的驱动的源极线。

[0052] 图 4 是示出实施方式 1 的显示装置中的 2H 线反转的概念图。图 4 中的 1 个 + 或者 - 分别与 1 个像素对应,表示该像素中的像素电极的电位的极性。

[0053] 在实施方式 1 的液晶显示装置中,按每共用保持电容配线 24 的 2 行像素使像素电极的电位的极性反转,由此能用相同极性的电压驱动共用保持电容配线 24 的 2 行像素,因此,通过使保持电容配线 24 的电位变化,能使该 2 行像素的像素电极 18 的电位变化。因此,能进行电容耦合驱动,并且能减少保持电容配线 24 的设置面积,实现开口率的提高。另外,由于保持电容配线 24 的图案的简化,也能提高成品率。

[0054] 作为实施方式 1 的变形例,可以为如下方式:在图 1 所示的奇数行的像素和偶数行的像素的边界区域设有保持电容配线,且在该偶数行(第 N+1 行)的像素与其次的奇数行的像素(第 N+2 行)之间形成有光传感器用电路的一部分作为附加电路。该光传感器用电路周期性地反复进行(1)初始化、(2)传感、(3)读出的循环。通过设置这样的光传感器用电路,能对本发明的显示装置赋予触摸面板功能等。

[0055] 在实施方式 1 的变形例中,把以往对 1 行像素设置 1 条的保持电容配线变更为对 2 行像素设置 1 条的构成,在由此产生的空间配置附加电路,换言之,在未配置保持电容配线的奇数行的像素与偶数行的像素之间配置共同的附加电路,所以可抑制由于设置附加电路引起的开口率降低。

[0056] 此外,本实施方式的液晶显示装置如果不脱离本发明的技术范围和宗旨,可以进行各种变更、修改。例如,在实施方式 1 中,相对电极配置于比保持电容配线靠下层,但可以位于比保持电容配线靠上层。在该情况下,相对电极可以与像素电极一体地形成。即,预先使要形成相对电极的区域的层间绝缘膜开口,在基板整个面形成导电膜,由此能利用该导电膜一体地形成层间绝缘膜上的像素电极和层间绝缘膜的开口部下的相对电极。

[0057] 另外,显示模式可以如扭转向列型(TN; Twisted Nematic)模式、垂直取向(VA;

Vertical Alignment) 模式等那样,像素电极和共用电极配置于不同的基板,也可以如面内开关 (IPS; In-Plane-Switching) 模式那样,将像素电极和共用电极配置于一方基板。

[0058] 实施方式 1 的液晶显示装置可以是透射型液晶显示装置、反射型液晶显示装置、半透射型液晶显示装置的任一种。

[0059] 上述的实施方式中的各方式可以在不脱离本发明的宗旨的范围内适当组合。

[0060] 此外,本申请以 2009 年 10 月 20 日提交的日本专利申请 2009-241320 号为基础,要求基于巴黎公约或进入国的法规的优先权。该申请的内容的全部编入到本申请中作为参照。

[0061] 附图标记说明

[0062] 11 基板

[0063] 12 TFT 半导体层

[0064] 13 栅极绝缘膜

[0065] 14 栅极线

[0066] 14a 分支部

[0067] 15 第一层间绝缘膜

[0068] 16 源极线

[0069] 17 第二层间绝缘膜

[0070] 18 像素电极

[0071] 19 取向膜

[0072] 22 相对电极

[0073] 22a 奇数行的像素的相对电极

[0074] 22b 偶数行的像素的相对电极

[0075] 24 保持电容配线

[0076] 26 导电部

[0077] 31 第一接触孔

[0078] 32 第二接触孔

[0079] 33 第三接触孔

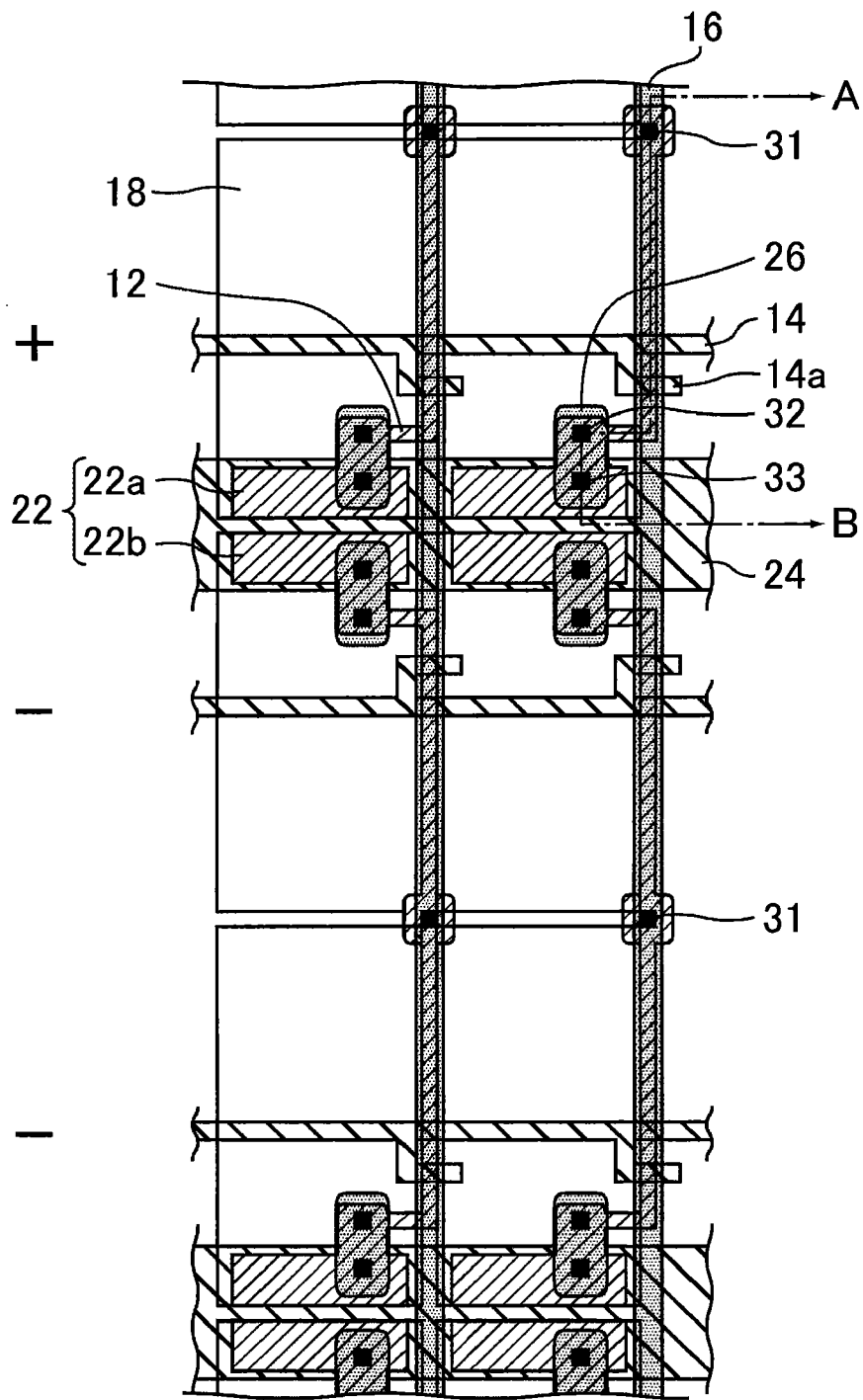


图 1

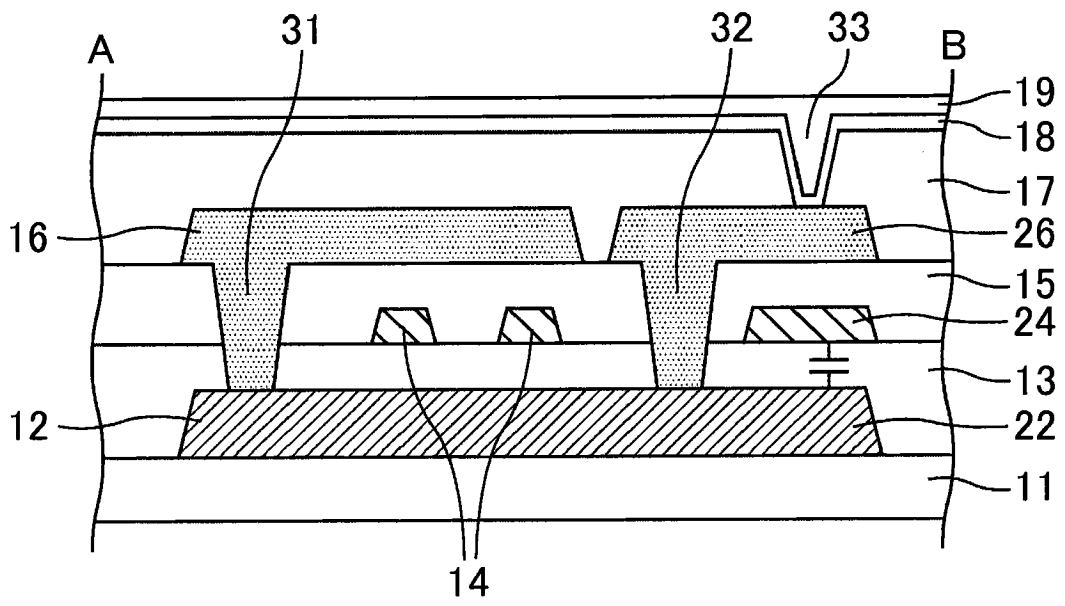


图 2

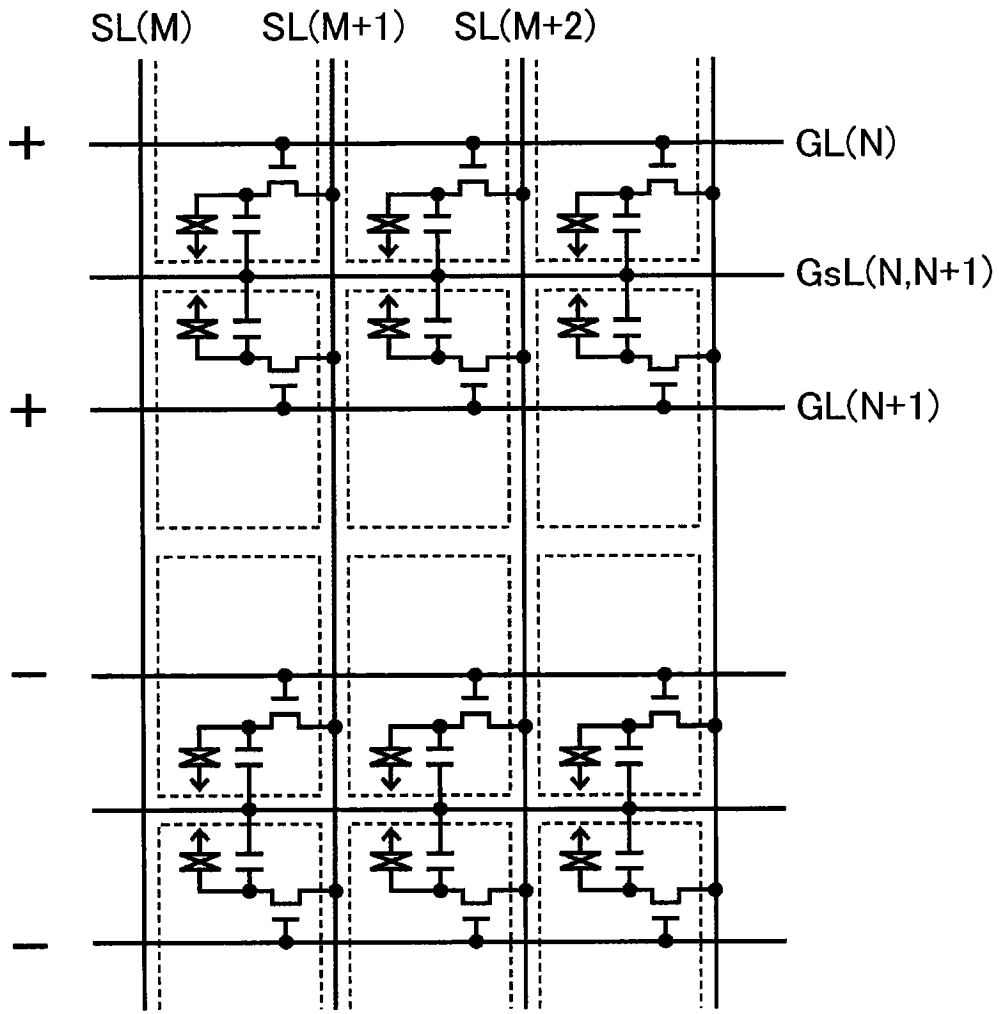


图 3

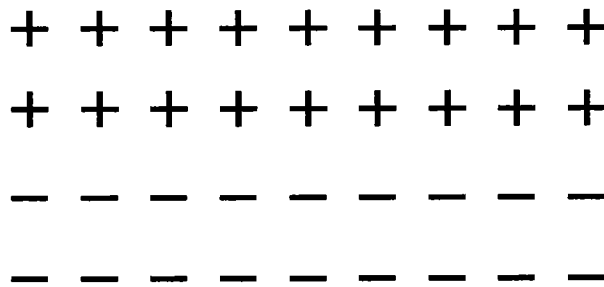


图 4

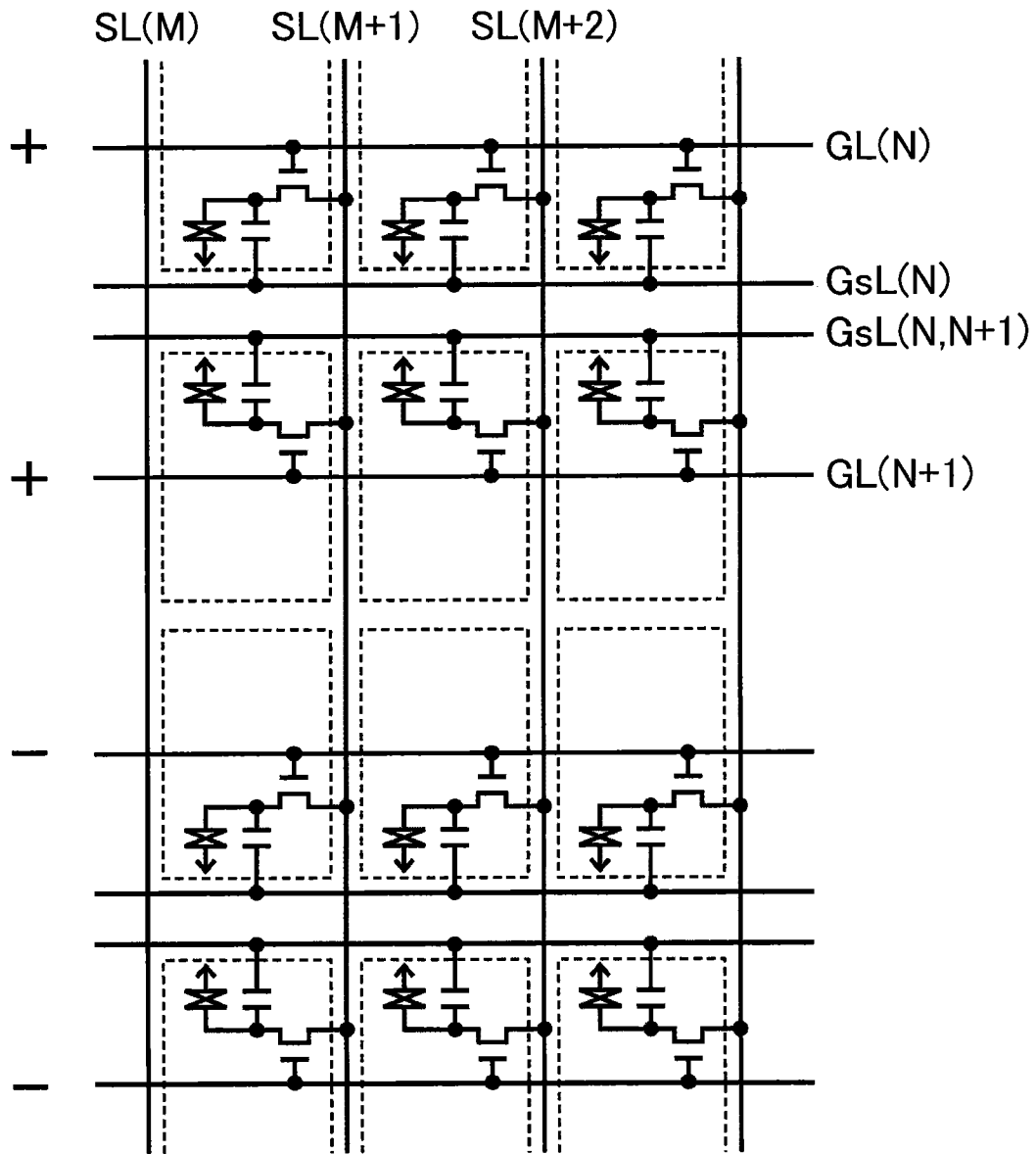


图 6

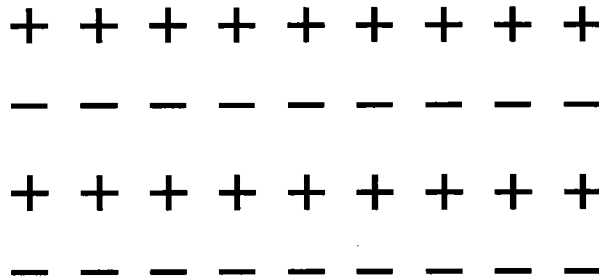


图 7