



(12) 发明专利申请

(10) 申请公布号 CN 118715885 A

(43) 申请公布日 2024. 09. 27

(21) 申请号 202380022270.X

(22) 申请日 2023.02.13

(30) 优先权数据

2022-028041 2022.02.25 JP

(85) PCT国际申请进入国家阶段日

2024.08.16

(86) PCT国际申请的申请数据

PCT/IB2023/051253 2023.02.13

(87) PCT国际申请的公布数据

W02023/161757 JA 2023.08.31

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 国武宽司 井坂史人 大贯达也

山崎舜平

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

专利代理师 何欣亭 刘春元

(51) Int.Cl.

H10B 41/70 (2006.01)

G11C 11/22 (2006.01)

H01L 21/336 (2006.01)

H01L 29/788 (2006.01)

H01L 29/792 (2006.01)

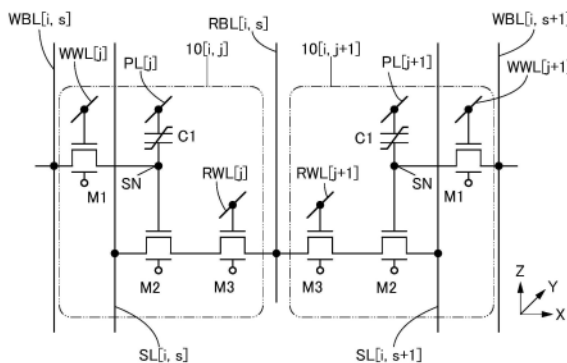
权利要求书2页 说明书41页 附图32页

(54) 发明名称

半导体装置

(57) 摘要

提供一种能够实现微型化或高集成化的半导体装置。在该半导体装置中,第一晶体管包括从下方依次层叠的第一导电体、第一绝缘体、第一金属氧化物、第二绝缘体及第二导电体以及覆盖第一金属氧化物的顶面及侧面的一部分的第三导电体及第四导电体,第二晶体管包括从下方依次层叠的第五导电体、第一绝缘体、第二金属氧化物、第三绝缘体及第六导电体以及覆盖第二金属氧化物的顶面及侧面的一部分的第七导电体及第八导电体,第三晶体管包括从下方依次层叠的第九导电体、第一绝缘体、第二金属氧化物、第四绝缘体及第十导电体、第八导电体以及覆盖第二金属氧化物的顶面及侧面的一部分的第十一导电体,包含可具有铁电性的材料的电容器的一个电极与第三导电体及第六导电体电连接。



1. 一种半导体装置,包括:

第一晶体管;

第二晶体管;以及

电容器,

其中,所述第一晶体管包括第一绝缘体、所述第一绝缘体上的第一金属氧化物、所述第一金属氧化物上的第二绝缘体、所述第二绝缘体上的第一导电体、覆盖所述第一金属氧化物的顶面的一部分及侧面的一部分的第二导电体以及覆盖所述第一金属氧化物的顶面的一部分及侧面的一部分的第三导电体,

所述第二晶体管包括所述第一绝缘体、所述第一绝缘体上的所述第一金属氧化物、所述第一金属氧化物上的第三绝缘体、所述第三绝缘体上的第四导电体、所述第三导电体以及覆盖所述第一金属氧化物的顶面的一部分及侧面的一部分的第五导电体,

所述第一晶体管及所述第二晶体管共用所述第三导电体,

所述第一晶体管及所述第二晶体管共用所述第一金属氧化物,

所述第一金属氧化物包括所述第一晶体管的沟道形成区域及所述第二晶体管的沟道形成区域,

所述第一绝缘体具有与所述第一金属氧化物重叠的区域,

所述电容器包括第六导电体、第七导电体以及位于所述第六导电体与所述第七导电体之间的可具有铁电性的材料,

并且,所述第一导电体与所述第六导电体电连接。

2. 根据权利要求1所述的半导体装置,

其中可具有铁电性的所述材料为选自氧化铪、氧化锆和 HfZrO_x (x 为大于0的实数)中的一个以上。

3. 根据权利要求1所述的半导体装置,

其中可具有铁电性的所述材料为包含氧、铪及锆的材料。

4. 根据权利要求1所述的半导体装置,

其中可具有铁电性的所述材料为对氧化铪添加选自锆、硅、铝、钪、钇、镧和铈中的一个以上的材料。

5. 根据权利要求1所述的半导体装置,

其中可具有铁电性的所述材料为对氧化锆添加选自铪、硅、铝、钪、钇、镧和铈中的一个以上的材料。

6. 根据权利要求1至5中任一项所述的半导体装置,

其中所述第六导电体和所述第七导电体中的至少一个包含氮化钛。

7. 根据权利要求1至5中任一项所述的半导体装置,

其中所述第三导电体具有在俯视时夹在所述第一导电体与所述第四导电体之间的区域。

8. 根据权利要求1至5中任一项所述的半导体装置,还包括:

第三晶体管,

其中所述第一绝缘体包含可具有铁电性的材料,

所述第三晶体管包括第八导电体、所述第八导电体上的所述第一绝缘体、所述第一绝

缘体上的第二金属氧化物、所述第二金属氧化物上的第五绝缘体、所述第五绝缘体上的第九导电体以及覆盖所述第二金属氧化物的顶面的一部分及侧面的一部分的所述第六导电体，

所述第六导电体具有与所述第一绝缘体的顶面接触的区域，
所述第七导电体具有与所述第一绝缘体的底面接触的区域，
所述第八导电体具有与所述第一绝缘体的底面接触的区域，
并且所述第一绝缘体具有与所述第二金属氧化物重叠的区域及与所述第七导电体重叠的区域。

9. 根据权利要求8所述的半导体装置，

其中所述第七导电体及所述第八导电体包含氮化钛。

10. 根据权利要求1所述的半导体装置，还包括：

依次层叠的多个存储层，

其中所述多个存储层的每一个包括所述第一晶体管、所述第二晶体管及所述电容器，
并且所述多个存储层的每一个所包括的所述第二晶体管的所述第五导电体彼此电连接。

半导体装置

技术领域

[0001] 本发明的一个方式涉及一种半导体装置、存储装置及电子设备。此外,本发明的一个方式涉及一种半导体装置的制造方法。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本发明的一个方式的技术领域的例子,可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、电子设备、照明装置、输入装置(例如,触摸传感器等)、输入输出装置(例如,触摸面板等)、它们的驱动方法或它们的制造方法。

[0003] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外,半导体电路、运算装置及存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置及电子设备等有时包括半导体装置。

背景技术

[0004] 近年来,已在开发如LSI(Large Scale Integration:大规模集成电路)、CPU(Central Processing Unit:中央处理器)、存储器(存储装置)等半导体装置。将这些半导体装置用于计算机、便携式信息终端等各种电子设备。此外,已在根据执行运算处理时的暂时存储、数据的长期存储等用途开发各种存储方式的存储器。作为典型存储方式的存储器,例如可以举出DRAM(Dynamic Random Access Memory:动态随机存取存储器)、SRAM(Static Random Access Memory:静态随机存取存储器)以及闪存。

[0005] 此外,随着使用数据量的增大,需要具有更大存储容量的半导体装置。专利文献1及非专利文献1公开通过层叠晶体管而形成的存储单元。

[先行技术文献]

[专利文献]

[0006] [专利文献1]国际专利申请公开第2021/053473号

[非专利文献]

[0007] [非专利文献1]M.Oota et.al,“3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”,IEDM Tech.Dig.,2019,pp.50-53

发明内容

发明所要解决的技术问题

[0008] 本发明的一个方式的目的之一是提供一种能够实现微型化或高集成化的半导体装置。本发明的一个方式的目的之一是提供一种工作速度快的半导体装置。本发明的一个方式的目的之一是提供一种具有良好的电特性的半导体装置。本发明的一个方式的目的之一是提供一种晶体管的电特性不均匀小的半导体装置。本发明的一个方式的目的之一是提供一种可靠性高的半导体装置。本发明的一个方式的目的之一是提供一种通态电流(on-state current)大的半导体装置。本发明的一个方式的目的之一是提供一种功耗低的半导

体装置。本发明的一个方式的目的之一是提供一种新颖的半导体装置。

[0009] 本发明的一个方式的目的之一是提供一种工序数少的半导体装置的制造方法。

[0010] 本发明的一个方式的目的之一是提供一种存储容量大的存储装置。本发明的一个方式的目的之一是提供一种占有面积小的存储装置。本发明的一个方式的目的之一是提供一种可靠性高的存储装置。本发明的一个方式的目的之一是提供一种功耗低的存储装置等。本发明的一个方式的目的之一是提供一种新颖的存储装置。

[0011] 注意,这些目的的记载不妨碍其他目的的存在。本发明的一个方式实现上述目的中的一个以上,并不需要实现所有目的。可以从说明书、附图、权利要求书的记载中抽取上述目的以外的目的。

解决技术问题的手段

[0012] 本发明的一个方式是一种半导体装置,包括:第一晶体管;第二晶体管;以及电容器,其中,第一晶体管包括第一绝缘体、第一绝缘体上的第一金属氧化物、第一金属氧化物上的第二绝缘体、第二绝缘体上的第一导电体、覆盖第一金属氧化物的顶面的一部分及侧面的一部分的第二导电体以及覆盖第一金属氧化物的顶面的一部分及侧面的一部分的第三导电体,第二晶体管包括第一绝缘体、第一绝缘体上的第一金属氧化物、第一金属氧化物上的第三绝缘体、第三绝缘体上的第四导电体、第三导电体以及覆盖第一金属氧化物的顶面的一部分及侧面的一部分的第五导电体,第一晶体管及第二晶体管共用第三导电体,第一晶体管及第二晶体管共用第一金属氧化物,第一金属氧化物包括第一晶体管的沟道形成区域及第二晶体管的沟道形成区域,第一绝缘体具有与第一金属氧化物重叠的区域,电容器包括第六导电体、第七导电体以及位于第六导电体与第七导电体之间的可具有铁电性的材料,并且,第一导电体与第六导电体电连接。

[0013] 在上述结构中,可具有铁电性的材料优选为选自氧化铪、氧化锆和 HfZrO_x (x 为大于0的实数)中的一个以上。

[0014] 在上述结构中,可具有铁电性的材料优选为包含氧、铪及锆的材料。

[0015] 在上述结构中,可具有铁电性的材料优选为对氧化铪添加选自锆、硅、铝、钽、铋、镧和铈中的一个以上的材料。

[0016] 在上述结构中,可具有铁电性的材料优选为对氧化锆添加选自铪、硅、铝、钽、铋、镧和铈中的一个以上的材料。

[0017] 在上述结构中,第八导电体优选具有在俯视时夹在第六导电体与第十导电体之间的区域。

[0018] 在上述结构中,优选还包括:第三晶体管,其中第一绝缘体包含可具有铁电性的材料,第三晶体管包括第八导电体、第八导电体上的第一绝缘体、第一绝缘体上的第二金属氧化物、第二金属氧化物上的第五绝缘体、第五绝缘体上的第九导电体以及覆盖第二金属氧化物的顶面的一部分及侧面的一部分的第六导电体,第六导电体具有与第一绝缘体的顶面接触的区域,第七导电体具有与第一绝缘体的底面接触的区域,第八导电体具有与第一绝缘体的底面接触的区域,并且第一绝缘体具有与第二金属氧化物重叠的区域及与第七导电体重叠的区域。

[0019] 在上述结构中,第七导电体及第八导电体优选包含氮化钛。

[0020] 在上述结构中,优选还包括:依次层叠的多个存储层,多个存储层的每一个包括第

一晶体管、第二晶体管及电容器,并且多个存储层的每一个所包括的第二晶体管的第五导电体彼此电连接。

发明效果

[0021] 根据本发明的一个方式,可以提供一种能够实现微型化或高集成化的半导体装置。根据本发明的一个方式,可以提供一种工作速度快的半导体装置。根据本发明的一个方式,可以提供一种具有良好的电特性的半导体装置。根据本发明的一个方式,可以提供一种晶体管的电特性不均匀小的半导体装置。根据本发明的一个方式,可以提供一种可靠性高的半导体装置。根据本发明的一个方式,可以提供一种通态电流大的半导体装置。根据本发明的一个方式,可以提供一种功耗低的半导体装置。根据本发明的一个方式,可以提供一种新颖的半导体装置。

[0022] 根据本发明的一个方式,可以提供一种工序数少的半导体装置的制造方法。

[0023] 根据本发明的一个方式,可以提供一种存储容量大的存储装置。根据本发明的一个方式,可以提供一种占有面积小的存储装置。根据本发明的一个方式,可以提供一种可靠性高的存储装置。根据本发明的一个方式,可以提供一种功耗低的存储装置等。根据本发明的一个方式,可以提供一种新颖的存储装置。

[0024] 注意,这些效果的记载不妨碍其他效果的存在。本发明的一个方式实现上述效果中的一个以上,并不需要具有所有上述效果。可以从说明书、附图、权利要求书的记载中抽取上述效果以外的效果。

附图简要说明

[0025] 图1A及图1B是示出存储装置的一个例子的图。

图2A是示出存储单元的电路结构例子的图。图2B是示出极化量的图表。

图3A、图3B、图3C、图3D、图3E是示出存储单元的工作例子的图。

图4是示出存储单元的工作例子的图。

图5A、图5B、图5C是示出存储单元的工作例子的图。

图6A、图6B、图6C是示出存储单元的工作例子的图。

图7是示出存储单元的工作例子的图。

图8是示出半导体装置的结构例子的截面图。

图9是示出半导体装置的结构例子的截面图。

图10A是示出半导体装置的结构例子的截面图。图10B是示出晶体管的结构例子的截面图。

图11是示出半导体装置的结构例子的截面图。

图12是示出半导体装置的结构例子的截面图。

图13是示出半导体装置的结构例子的图。

图14是示出半导体装置的结构例子的图。

图15是示出半导体装置的结构例子的截面图。

图16A及图16B是示出半导体装置的结构例子的平面图。

图17A及图17B是示出半导体装置的结构例子的平面图。

图18A及图18B是示出半导体装置的一个例子的图。

图19A及图19B是示出电子构件的一个例子的图。

图20A至图20J是示出电子设备的一个例子的图。

图21A至图21E是示出电子设备的一个例子的图。

图22A至图22C是示出电子设备的一个例子的图。

图23是示出太空设备的一个例子的图。

实施发明的方式

[0026] 参照附图对实施方式进行详细说明。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0027] 另外,在以下说明的发明的结构中,在不同附图之间共同使用表示同一部分或具有同样功能的部分的附图标记而省略其反复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0028] 此外,为了便于理解,有时附图中示出的各构成的位置、大小及范围等并不表示其实际的位置、大小及范围等。因此,所公开的发明不一定局限于附图所公开的位置、大小及范围等。

[0029] 在本说明书等中,为方便起见,使用“第一”、“第二”等序数词,而这种序数词并不限定构成要素的个数或构成要素的顺序(例如,工序顺序或叠层顺序)。此外,有时本说明书的一个部分中对构成要素附加的序数词与本说明书的另一部分或权利要求书中对该构成要素附加的序数词不一致。

[0030] 此外,根据情况或状态,可以互相调换“膜”和“层”。例如,可以将“导电层”变换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。

[0031] 在本说明书等中,为了方便起见,有时使用“上”、“下”、“上方”或“下方”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各结构的方向适当地改变。因此,不局限于本说明书等中所说明的词句,根据情况可以适当地换词句。例如,如果是“位于导体上的绝缘体”的表述,通过将所示的附图的方向旋转180度,则可以称为“位于导体下的绝缘体”。

[0032] (实施方式1)

在本实施方式中,参照附图说明本发明的一个方式的存储装置。

[0033] 图1A是本发明的一个方式的存储装置的立体示意图。图1B是本发明的一个方式的存储装置的方框图。

[0034] 图1A及图1B所示的存储装置100包括驱动电路层50及n层存储层11。存储层11各自包括存储单元阵列15。存储单元阵列15包括多个存储单元10。

[0035] n层存储层11设置在驱动电路层50上。通过将n层存储层11设置在驱动电路层50上,可以减少存储装置100的占有面积。此外,可以增高单位面积的存储容量。

[0036] 在本实施方式中,将第一层存储层11记为存储层11_1,将第二层存储层11记为存储层11_2,并且将第三层存储层11记为存储层11_3。此外,将第k层(k为1以上且n以下的整数)存储层11记为存储层11_k,并且将第n层存储层11记为存储层11_n。此外,在本实施方式等中,当说明涉及整个n层存储层11的事项或者n层存储层11的各层间共同的事项时,有时简单地记为“存储层11”。

[0037] <驱动电路层50的结构例子>

驱动电路层50包括PSW22(功率开关)、PSW23及外围电路31。外围电路31包括外围电路41、控制电路32及电压生成电路33。

[0038] 在存储装置100中,根据需要可以适当地取舍上述各电路、各信号及各电压。或者,也可以增加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1及信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。

[0039] 信号CLK为时钟信号。信号BW、信号CE及信号GW为控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1及PON2为电源门控控制用信号。此外,信号PON1及信号PON2也可以在控制电路32中生成。

[0040] 控制电路32为具有控制存储装置100的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定存储装置100的工作模式(例如,写入工作、读出工作)。或者,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0041] 电压生成电路33具有生成负电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当信号WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成负电压。

[0042] 外围电路41是用来对存储单元10进行数据的写入及读出的电路。外围电路41包括行译码器42、列译码器44、行驱动器43、列驱动器45、输入电路47、输出电路48及读出放大器46。

[0043] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指定要访问行的电路,列译码器44是用来指定要访问列的电路。行驱动器43具有选择由行译码器42指定的布线WWL(写入字线)或布线RWL(读出字线)的功能。列驱动器45具有如下功能:将数据写入存储单元10的功能;从存储单元10读出数据的功能;保持所读出的数据的功能等。列驱动器45具有选择由列译码器44指定的布线WBL(写入位线)或布线RBL(读出位线)的功能。

[0044] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据输出到列驱动器45。输入电路47的输出数据是写入存储单元10的数据(Din)。由列驱动器45从存储单元10读出的数据(Dout)被输出至输出电路48。输出电路48具有保持Dout的功能。此外,输出电路48具有将Dout输出到存储装置100的外部的功能。从输出电路48输出的数据为信号RDA。

[0045] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,存储装置100的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1控制PSW22的开/关,利用信号PON2控制PSW23的开/关。在图1B中,外围电路31中被供应VDD的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0046] <存储层11的结构例子>

将说明n层存储层11的结构例子。n层存储层11各自包括存储单元阵列15。此外,存储单元阵列15包括多个存储单元10。在图1(B)中,示出存储单元阵列15包括配置为p行q列(p及q为2以上的整数)的矩阵状的多个存储单元10的例子。

[0047] 此外,行、列延伸在彼此正交的方向上。在本实施方式中,将X方向设定为“行”且将

Y方向设定为“列”,但是也可以将X方向设定为“列”且将Y方向设定为“行”。

[0048] 在图1B中,将设置在第一行第一列上的存储单元10记为存储单元10[1,1],并且将设置在第p行第q列上的存储单元10记为存储单元10[p,q]。此外,将设置在第i行第j列(i为1以上且p以下的整数,j为1以上且q以下的整数)上的存储单元10记为存储单元10[i,j]。

[0049] 图2A示出存储单元的电路结构例子。

[0050] 存储单元10包括晶体管M1、晶体管M2、晶体管M3及电容器C1。由三个晶体管及一个电容器构成的存储单元也被称为3Tr1C型存储单元。因此,本实施方式所示的存储单元10是3Tr1C型存储单元。在此,作为电容器C1的介电质优选使用铁电体。

[0051] 在存储单元10[i,j]中,晶体管M1的栅极与布线WWL[j]电连接,源极和漏极中的一个与布线WBL[i,s]电连接。布线WBL[i,s]与层叠的其他存储层11的存储单元10[i,j]所包括的晶体管M1的源极和漏极中的一个电连接。注意,图2A示出布线WWL[j]具有供应晶体管M1的栅极电位的的功能的情况的结构例子。电容器C1包括一对电极。电容器C1的一个电极与布线PL[j]电连接,另一个电极与晶体管M1的源极和漏极中的另一个电连接。此外,例如图2A示出布线PL[j]具有对电容器C1的一个电极供应电位的的功能的情况的结构例子。此外,晶体管M2的栅极与电容器C1的另一个电极电连接,源极和漏极中的一个与晶体管M3的源极和漏极中的一个电连接,源极和漏极中的另一个与布线SL[i,s]电连接。布线SL[i,s]与层叠的其他存储层11的存储单元10[i,j]所包括的晶体管M2的源极和漏极中的另一个电连接。此外,晶体管M3的栅极与布线RWL[j]电连接,源极和漏极中的另一个与布线RBL[i,s]电连接。布线RBL[i,s]与层叠的其他存储层11的存储单元10[i,j]所包括的晶体管M3的源极和漏极中的另一个电连接。

[0052] 在存储单元10[i,j]中,电容器C的另一个电极、晶体管M1的源极和漏极中的另一个及晶体管M2的栅极彼此电连接且具有一直相等的电位的区域被称为“节点SN”。

[0053] 在存储单元10[i,j+1]中,晶体管M1的栅极与布线WWL[j+1]电连接,源极和漏极中的一个与布线WBL[i,s+1]电连接。布线WBL[i,s+1]与层叠的其他存储层11的存储单元10[i,j+1]所包括的晶体管M1的源极和漏极中的一个电连接。此外,图2A示出布线WWL[j+1]具有供应晶体管M1的栅极电位的的功能的情况的结构例子。电容器C1的一个电极与布线PL[j+1]电连接,另一个电极与晶体管M1的源极和漏极中的另一个电连接。此外,例如图2A示出布线PL[j+1]具有对电容器C1的一个电极供应电位的的功能的情况的结构例子。此外,晶体管M2的栅极与电容器C1的另一个电极电连接,源极和漏极中的一个与晶体管M3的源极和漏极中的一个电连接,源极和漏极中的另一个与布线SL[i,s+1]电连接。布线SL[i,s+1]与层叠的其他存储层11的存储单元10[i,j+1]所包括的晶体管M2的源极和漏极中的另一个电连接。另外,晶体管M3的栅极与布线RWL[j+1]电连接,源极和漏极中的另一个与布线RBL[i,s]电连接。布线RBL[i,s]与层叠的其他存储层11的存储单元10[i,j+1]所包括的晶体管M3的源极和漏极中的另一个电连接。

[0054] 如此,布线RBL[i,s]与存储单元10[i,j]所包括的晶体管M3的源极和漏极中的另一个及存储单元10[i,j+1]所包括的晶体管M3的源极和漏极中的另一个电连接。因此,布线RBL[i,s]被用作对位于相邻的列的存储单元10发送信号的布线。在图2A中,布线RBL[i,s]被用作对存储单元10[i,j]及存储单元10[i,j+1]发送信号的布线。此外,虽然未图示,但布线WBL[i,s]被用作对位于相邻的列的存储单元10,这里例如对存储单元10[i,j-1]及存储

单元10[i, j]发送信号的布线, 布线WBL[i, s+1]被用作对位于相邻的列的存储单元10, 这里例如对存储单元10[i, j+1]及存储单元10[i, j+2]发送信号的布线。此外, 虽然未图示, 布线SL[i, s]被用作对位于相邻的列的存储单元10, 这里例如对存储单元10[i, j-1]及存储单元10[i, j]发送信号的布线, 布线SL[i, s+1]被用作对位于相邻的列的存储单元10, 这里例如对存储单元10[i, j+1]及存储单元10[i, j+2]发送信号的布线。

[0055] 在存储单元10[i, j+1]中, 电容器C1的另一个电极、晶体管M1的源极及漏极中的另一个以及晶体管M2的栅极电连接且一直为相等电位的区域被称为节点SN。

[0056] 此外, 如图2A所示, 也可以使用具有背栅极的晶体管作为晶体管M1、晶体管M2以及晶体管M3。以栅极与背栅极夹持半导体的沟道形成区域的方式配置栅极及背栅极。栅极及背栅极由导电体形成。背栅极可以具有与栅极同样的功能。此外, 通过改变背栅极的电位, 可以改变晶体管的阈值电压。背栅极的电位也可以与栅极的电位相等, 也可以是接地电位或任意电位。

[0057] 此外, 晶体管M1、晶体管M2以及晶体管M3各自也可以不具有背栅极。

[0058] 此外, 由于栅极及背栅极由导电体形成, 因此还具有防止在晶体管的外部产生的电场影响到形成沟道的半导体的功能(尤其是静电遮蔽功能)。也就是说, 可以抑制由于静电等外部电场的影响而使晶体管的电特性变动。此外, 通过设置背栅极, 可以降低BT (Bias Temperature) 测试前后的晶体管的阈值电压的变化量。

[0059] 例如, 通过使用具有背栅极的晶体管作为晶体管M1, 可以减轻外部电场的影响, 由此晶体管M1可以稳定地保持关闭状态。因此, 可以稳定地保持写入到节点SN的数据。通过设置背栅极, 可以使存储单元10稳定工作来提高包括存储单元10的存储装置的可靠性。

[0060] 同样, 通过使用具有背栅极的晶体管作为晶体管M3, 可以减轻外部电场的影响, 由此晶体管M3可以稳定地保持关闭状态。因此, 可以降低布线RBL与布线SL间的泄漏电流来降低包括存储单元10的存储装置的功耗。

[0061] 本发明的一个方式的半导体装置包括作为形成沟道的半导体层使用金属氧化物的一种的氧化物半导体的晶体管(也称为“OS晶体管”)。与作为形成沟道的半导体层使用硅的晶体管(也称为Si晶体管)相比, OS晶体管的源极与漏极之间的绝缘耐压高。通过作为晶体管M1使用OS晶体管, 可以对铁电层的反转极化电压具有充分的耐性, 从而可以提高存储单元10的改写耐性。此外, 由于OS晶体管的频率特性高, 所以半导体装置可以高速地进行数据读出及写入。

[0062] 作为晶体管M1、晶体管M2及晶体管M3优选使用OS晶体管。氧化物半导体的带隙为2eV以上, 由此关态电流极少。因此, 可以降低存储单元10的功耗。因此, 可以降低包括存储单元10的存储装置100的功耗。

[0063] 作为晶体管M1、晶体管M2及晶体管M3的形成沟道的半导体层, 也可以组合使用单晶半导体、多晶半导体、微晶半导体和非晶半导体等中的一个或多个。作为半导体材料, 例如可以使用硅或锗等。此外, 也可以使用硅锗、碳化硅、砷化镓、氧化物半导体或氮化物半导体等化合物半导体。

[0064] 此外, 包括OS晶体管的存储单元可以被称为“OS存储器”。此外, 包括该存储单元的存储装置100也被称为“OS存储器”。

[0065] 此外, OS晶体管即使在高温环境下也稳定地工作, 特性变动较少。例如, 即使在高

温环境下,关态电流也几乎不增加。具体而言,即使在室温以上且 200°C 以下的环境温度下,关态电流也几乎不增加。此外,即使在高温环境下,0S晶体管的通态电流也不容易下降。因此,0S存储器即使在高温环境下也稳定地工作并具有高可靠性。

[0066] 另外,0S晶体管具有在高温环境下比Si晶体管优越的电特性。具体而言,即使在 100°C 以上且 200°C 以下,优选在 125°C 以上且 150°C 以下等高温下也因为通态电流与关态电流的比大,所以可以进行良好的开关工作。

[0067] 在本发明的一个方式的存储装置中,作为电容器C1的介电质优选使用铁电体。

[0068] 通过作为电容器C1的介电质使用铁电体,与作为介电质使用顺电体的情况相比,可以使能够保持在电容器C1中的电荷量大。因此,本发明的一个方式的存储装置可以长期保持数据。由此,由于可以降低刷新(对于单元的数据的改写)的频率,所以可以降低本发明的一个方式的存储装置的功耗。此外,在第一电极与第二电极之间设置铁电层的电容器可以长期保持数据,而无需具有增大电容的结构例如沟槽结构。因此,可以实现具有容易制造的结构存储装置。具有铁电层的电容器有时被称为铁电电容(铁电电容器)。

[0069] 在包括铁电层的电容器中,在夹着铁电层的两个电极之间被施加电压(电场)时,根据该电压的施加方向及施加量铁电层的极化方向及极化量发生变化。通过利用铁电层的极化状态的变化,在夹着铁电层的两个电极之间储存(写入)信号(数据)。在对电容器进行储存(写入)之后,即使将夹着铁电层的两个电极之间的电压设定为零,铁电层内也残留极化(剩余极化)。为了改写极化,施加用来反转极化的电压(极化反转电压)。

[0070] 图2B是示出根据向铁电层的电场的极化的大小(极化量)的图表。在图2B中,横轴表示施加到铁电层的电场E。此外,纵轴表示铁电层的极化量P。

[0071] 随着增强施加到铁电层的电场,铁电层的极化增大。通过在对铁电层施加电场 E_H 之后减小施加到铁电层的电场,正电荷向电容器的一个电极一侧偏移,负电荷向电容器的另一个电极一侧偏移,因此在电场变为0时正的极化残留。随着减小施加到铁电层的电场,铁电层的极化减小。通过在对铁电层施加电场 E_L 增强施加到铁电层的电场,正电荷向电容器C1的另一个电极一侧偏移,负电荷向电容器的一个电极一侧偏移,因此在电场变为0时负的极化残留。用来将电场 E_H 及电场 E_L 施加到铁电层的电压可以被称为极化反转电压。通过将极化反转电压施加到电容器C1,可以将数据写入到存储单元10。

[0072] 当从存储单元10读出数据时,在将超过极化反转电压的电压施加到电容器C1的状态下,铁电层的极化状态(剩余极化的极化方向)发生变化,因此需要再次恢复极化状态的工作。就是说,当将超过极化反转电压的电压施加到电容器C1来从存储单元10读出数据时,需要刷新数据。

[0073] 在本发明的一个方式中,当从存储单元10读出数据时,对电容器101施加不超过极化反转电压的电压,以铁电层的极化状态即使回到电场0也成为原来状态的方式进行工作。具体而言,在从存储单元10读出数据时,施加铁电层不发生极化反转的电场 E_R ,利用采用该电场 E_R 时的极化的变化量(P_H 、 P_L)从存储单元10读出数据。电场 E_R 例如可以为极化成为0的电场(抗电场)。

[0074] 用来供应对铁电层施加电场 E_R 的电压可以被称为不发生极化反转的电压。通过对电容器C1施加不使极化反转的电压,可以放大对应于极化的变化量(P_H 、 P_L)的电位的变化,并从存储单元10读出数据。注意,在图2B中,作为电场 E_R 示出负电场,但该电场也可以为正

电场。

[0075] 也就是说,在本发明的一个方式中,不仅具有可以长期保持数据的铁电容量的优点,而且在所谓的破坏读出不发生的情况下从存储单元10读出数据。换言之,在数据读出的前后不发生极化状态的变化,所以不需要数据的刷新,可以长时间保持数据。因此,包括存储单元10的存储装置中读出数据的可靠性优异。此外,包括存储单元10的存储装置可以实现低功耗化。另外,与包括顺电体的电容器等相比,可以减小电容器的面积。

[0076] 作为可用于铁电层的可具有铁电性的材料,可以举出氧化铪、氧化锆、 HfZrO_x (x 是大于0的实数)、对氧化铪添加元素J1(这里的元素J1是锆(Zr)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等)而成的材料、对氧化锆添加元素J2(这里的元素J2是铪(Hf)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等)而成的材料等。

[0077] 在此,可以适当地设定铪原子与元素J1的原子个数比。例如,可以将铪原子与钇原子的原子数设定为1:1或其附近。此外,可以适当地设定锆原子与元素J2的原子个数比,例如,可以将锆原子与元素J2的原子个数比设定为1:1或其附近。

[0078] 此外,作为可具有铁电性的材料,也可以使用 PbTiO_x 、钛酸钡锶(BST)、钛酸锶、锆钛酸铅(PZT)、钽酸锶铋(SBT)、铁酸铋(BFO)、钛酸钡等具有钙钛矿结构的压电陶瓷。另外,作为可具有铁电性的材料,例如可以使用选自上述列举的材料中的多个材料或由选自上述列举的材料中的多个材料构成的叠层结构。此外,对氧化铪、氧化锆、 HfZrO_x 及氧化铪添加元素J1而成的材料等的晶体结构(特性)有可能不仅由于沉积条件而且由于各种工艺等而变化,所以在本说明书等中呈现铁电性的材料不仅被称为铁电体而且也被称为可具有铁电性的材料或赋予铁电性的材料。

[0079] 此外,作为可具有铁电性的材料,可以使用氮化铝钪($\text{Al}_{1-a}\text{Sc}_a\text{N}_b$ (a 为大于0且小于0.5的实数, b 为1或其附近的值。以下仅记作AlScN))、Al-Ga-Sc氮化物、Ga-Sc氮化物等。此外,作为可具有铁电性的材料,可以使用包含元素M1、元素M2及氮的金属氮化物。在此,元素M1为选自铝(Al)、镓(Ga)、铟(In)等中的一个或多个。另外,元素M2为选自硼(B)、钪(Sc)、钇(Y)、镧系(镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钷(Pm)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)及镱(Lu))、镧系(镧(Ac)至铪(Lr)的15个元素)、钛(Ti)、锆(Zr)、铪(Hf)、钒(V)、铌(Nb)、钽(Ta)和铬(Cr)等中的一个或多个。此外,可以适当地设定元素M1与元素M2的原子个数比。另外,包含元素M1及氮的金属氧化物即便不包含元素M2也有时具有铁电性。此外,作为可具有铁电性的材料,可以使用对上述金属氮化物添加元素M3的材料。注意,元素M3为选自镁(Mg)、钙(Ca)、锶(Sr)、锌(Zn)、镉(Cd)等中的一个或多个。在此,可以适当地设定元素M1、元素M2与元素M3的原子个数比。注意,因为上述金属氮化物至少包含第13族元素和第15族元素的氮,所以有时将该金属氮化物称为13族-15族铁电体、13族氮化物的铁电体等。

[0080] 另外,作为可具有铁电性的材料,可以使用 SrTaO_2N 、 BaTaO_2N 等钙钛矿型氧氮化物、 κ 型氧化铝的 GaFeO_3 等。

[0081] 此外,作为可具有铁电性的材料,例如,可以使用由选自上述材料中的多个材料构成的混合物或化合物。此外,可具有铁电性的材料可以具有由选自上述材料中的多个材料构成的叠层结构。另外,上述材料有时也被称为可具有铁电性的材料或赋予铁电性的材料。

[0082] 尤其是,作为铁电层,优选使用氧化铪层或包含氧化铪及氧化锆的层,因为它们即

使被加工为几nm的薄膜也可具有铁电性。通过采用可以使其薄膜化的铁电层,可以实现与微型化了的晶体管组合的存储装置。

[0083] 另外,当作为可具有铁电性的材料使用 HfZrO_x 时,优选通过原子层沉积(ALD: Atomic Layer Deposition)法,尤其优选通过热ALD(Thermal ALD)法进行沉积。此外,当通过热ALD法沉积可具有铁电性的材料时,优选作为前驱物使用不包含烃(Hydro Carbon,也称为HC)的材料。当可具有铁电性的材料包含氢和碳中的一方或双方时,可具有铁电性的材料的晶化有时被阻挡。因此,优选的是,如上所述,通过使用不包含烃的前驱物来降低可具有铁电性的材料中的氢和碳中的一方或双方的浓度。例如,作为不包含烃的前驱物可以举出氯类材料。此外,当作为可具有铁电性的材料使用包含氧化铪及氧化锆的材料(HfZrO_x)时,作为前驱物使用 HfCl_4 和 ZrCl_4 中的一方或双方即可。ALD法是交替地导入前驱物及反应物(例如,氧化剂等)进行的沉积方法,由于厚度可以根据反复该循环的次数进行调整,所以可以精密地调整厚度。

[0084] 此外,优选对利用ALD法沉积的膜进行加热处理。加热处理例如可以使用RTA(Rapid Thermal Anneal:快速热退火)装置、电阻加热炉、微波加热装置。尤其是,通过使用RTA装置,有时可以得到铁电性特别优良的膜,所以是优选的。

[0085] 此外,当沉积使用可具有铁电性的材料的膜时,通过彻底排除膜中的杂质,这里是指氢、烃和碳中的至少一个,可以形成高纯度本征的具有铁电性的膜。此外,高纯度本征的具有铁电性的膜与后面的实施方式所示的高纯度本征的氧化物半导体之间的制造工艺整合性非常高。因此,可以提供一种生产率高的存储装置的制造方法。

[0086] 另外,当作为可具有铁电性的材料使用 HfZrO_x 时,优选通过热ALD法以具有1:1的组成的方式交替沉积氧化铪和氧化锆。

[0087] 此外,当通过热ALD法沉积可具有铁电性的材料时,作为氧化剂可以使用 H_2O 或 O_3 。注意,热ALD法中的氧化剂不局限于此。例如,作为热ALD法中的氧化剂,也可以包含选自 O_2 、 O_3 、 N_2O 、 NO_2 、 H_2O 和 H_2O_2 中的任一个或多个。

[0088] 此外,对可具有铁电性的材料的晶体结构没有特别的限制。例如,作为可具有铁电性的材料的晶体结构具有等轴晶系、四方晶系、正交晶系和单斜晶系中的任一个或多个即可。尤其是,当可具有铁电性的材料具有正交晶系晶体结构时呈现铁电性,所以是优选的。或者,作为可具有铁电性的材料也可以采用具有非晶结构和晶体结构的复合结构。

[0089] 布线WBL是被供应对应于写入到存储单元10的数据的信号(数据信号)的布线。布线WBL有时也被称为写入位线。布线WBL可以为与其他布线诸如布线RBL共同的布线。

[0090] 布线WWL是被供应用来对存储单元10写入数据的信号(选择信号)的布线。布线WWL有时也被称为写入字线。

[0091] 布线PL是被供应用来对存储单元10写入数据的信号(控制信号)及从存储单元10读出数据的信号(控制信号)的布线。布线PL具有控制电容器C1所包括的具有铁电体的层的极化状态的功能,有时被称为极化控制线。

[0092] 布线SL是被供应用来从存储单元10读出数据的恒定电位的布线。布线SL具有根据储存在存储单元10中的数据使电流流过布线SL与布线RBL之间的功能,有时被称为源极线。

[0093] 布线RBL是被供应对应于从存储单元10读出的数据的信号的布线。布线RBL有时也被称为读出位线。布线RBL可以为与其他布线诸如布线WBL共同的布线。

[0094] 在图2A所示的存储单元10中以各晶体管为n沟道型晶体管来进行说明。例如,在晶体管M1为n沟道型晶体管的情况下,当布线WWL为高电位(也称为H电平电位、H电平)时,晶体管M1可以成为开启状态(开启)。此外,当布线WWL为低电位(也称为L电平电位、L电平)时,晶体管M1可以成为关闭状态(关闭)。晶体管M3也与此同样。

[0095] 根据因节点SN的电位及布线PL的电位而给电容器C1所包括的具有铁电体的层赋予的电场的方向,对存储单元10写入数据。在将后面说明详细内容,被写入的数据信号对电容器C1施加极化反转电压。电容器C1所包括的铁电层根据数据信号有可能处于不同极化状态。可以根据该极化状态使电容器C1的电容值不同。该极化状态及电容器C1的电容值的不同即使在对电容器C1的电场为0的状态下也维持。

[0096] 通过利用改变布线PL的电位时的电容器C1的电容耦合,从存储单元10读出数据。布线PL的电位设定为施加到电容器C1的电压不使铁电层极化反转的电压。通过使节点SN处于电浮动状态而使布线PL的电位改变,在电容器C1中产生电容耦合。因此,节点SN的电位根据布线PL的电位改变而改变。节点SN的电位改变根据电容器C1的电容值的状态而不同。因此,可以根据所储存的数据而改变晶体管M2的栅极的电位。晶体管的栅极的电位改变,使得流过晶体管M2的源极与漏极间的电流量改变。根据该电流量的不同,可以从存储单元10读出数据。

[0097] 图3A是说明图2A所示的存储单元10中的数据写入工作的时序图。图3A示出存储单元10中的布线WWL、布线WBL、布线PL、节点SN、布线RBL、布线RWL及布线SL的信号或电位。此外,在图3A中,作为写入到存储单元10的数据示出“data1”及“data0”。“data1”表示H电平的信号,“data0”表示L电平的信号。

[0098] 在图3A所示的期间P11,将布线WWL设定为H电平。布线WBL被供应对应于写入到存储单元10的数据data1或data0的信号,对应于该信号的电位供应到节点SN。布线PL为H电平。布线RBL、布线RWL及布线SL为L电平。

[0099] 供应到布线WBL、布线PL及节点SN的H电平的信号表示为电位VPL1,L电平的信号表示为电位0V。电位VPL1为对电容器C1的一个电极施加电位VPL1且对另一个电极施加电位0V而对电容器C1的铁电层施加反转极化电压的电位。电位VPL1优选为2.5V以上。

[0100] 此外,在被供应电位VPL1并将超过反转极化电压的电压施加到电容器C1的情况下,晶体管M1至晶体管M3优选为对高电压的耐性(耐压)优异的晶体管。通过使用具有比Si晶体管高的耐压性的OS晶体管构成晶体管M1至晶体管M3,可以提高存储单元10的改写耐性。

[0101] 在期间P11,在布线PL为H电平且节点SN为H电平时,电容器C1的电极被施加图3B所示的电位。如图3B所示,电容器C1的两端的电极都具有与电位VPL1相等的电位,由此超过反转极化电压的电压不被施加,并不产生对铁电层的电场。另一方面,在期间P11,在布线PL为H电平且节点SN为L电平时,电容器C1的电极被施加图3C所示的电位。如图3C所示,电容器C1的电极被施加成为反转极化电压的电压VPL1,在铁电层中产生电场 E_L 。因此,电容器C1被写入对应于data0的极化状态。

[0102] 在图3A所示的期间P12,与期间P11同样,布线WWL仍是H电平。布线WBL与期间P11同样地被供应对应于写入到存储单元10的数据data1或data0的信号,对应于该信号的电位被供应到节点SN。将布线PL设定为L电平。将布线RBL、布线RWL及布线SL设定为L电平。

[0103] 在期间P12,在布线PL为L电平且节点SN为H电平时,电容器C1的电极被施加图3D所示的电位。如图3D所示,与期间P11相反的方向的电场施加到电容器C1的一对电极,电容器C1的电极被施加成为反转极化电压的电压VPL1,在铁电层中产生电场 E_h 。因此,电容器C1被施加对应于data1的极化状态。另一方面,在期间P12,在布线PL为L电平且节点SN为L电平时,如图3E所示,电容器C1的电极都具有与电位0V相等的电位,因此不会施加超过反转极化电压的电压,并不产生对铁电层的电场。

[0104] 图4是说明图2所示的存储单元10中的数据读出工作的时序图。图4示出存储单元10中的布线WWL、布线WBL、布线PL、节点SN、布线RBL、布线RWL及布线SL的信号或电位。此外,在图4中,作为从存储单元10读出的数据示出“data1”及“data0”。“data1”及“data0”相当于在数据写入工作中作为电容器C1的铁电层的极化状态储存的数据。

[0105] 在图4所示的期间P21,布线WWL为L电平。此外,节点SN处于电浮动状态。布线PL为电位VPL2。布线WBL、布线RWL及布线SL为L电平。在期间P21之前的期间,将布线RBL预充电至由于流过晶体管M2及晶体管M3的电流而使电位变动的电位。例如,预充电至比电位VPL1小的电位。

[0106] 如图5A所示,存储单元10中的节点SN存在有晶体管M2的栅极电容等的寄生电容的电容器C2。当节点SN处于电浮动状态而使电容器C1的一个电极的电位改变时,由于电容器C1与电容器C2的电容耦合而成为节点SN的电位变动的状态。

[0107] 节点SN的电位 V_{SN} 的变化量 ΔV_{SN} 根据电容器C1的电容值 C_{FE} 、电容器C2的电容值 C_S 、相当于电容器C1的电压的电压VPL2的变化量 ΔV_{PL2} 决定,可以由算式(1)表示。

[0108] [算式1]

$$\Delta V_{SN} = \frac{C_{FE}}{(C_{FE} + C_S)} \times \Delta V_{PL2} \quad (1)$$

[0109] 电容器C1的电容值 C_{FE} 取决于电容器C1所包括的铁电层的极化状态。该极化状态根据写入的数据“data1”或“data0”而不同。因此,可以根据写入的数据“data1”或“data0”使节点SN的电位 V_{SN} 不同。节点SN的寄生电容(电容器C2)的电容值 C_S 比包括铁电层的电容器C1的电容值 C_{FE} 小。基于与电容器C1的极化状态对应的电容值的不同的电位差作为Vdata0或Vdata1出现在节点SN的电位 V_{SN} 。

[0110] 在图4所示的期间P22,将布线RWL设定为H电平。晶体管M3的源极与漏极之间成为导通状态。晶体管M2中流过对应节点SN的电位的电流。

[0111] 通过将布线PL设定为电压VPL2,节点SN的电位如图5B及图5C所示有可能处于电位Vdata0或电位Vdata1(>Vdata0)的两个状态。晶体管M2中对应电位Vdata0或Vdata1的电流Idata0或Idata1(>Idata0)流过。通过电流Idata0或Idata1流过,被预充电的布线RBL的电位改变。改变后的布线RBL的电位根据流过晶体管M2的电流(Idata0或Idata1)的大小决定。通过比较改变后的布线RBL的电位与参考电压 V_{REF} 的大小关系,可以判断写入的数据是“data1”还是“data0”,并从存储单元10读出数据。在图4中,在电流Idata0流过晶体管M2时例如布线RBL的电位高于参考电压 V_{REF} ,在电流Idata1流过晶体管M2时例如布线RBL的电位在经过一定时间之后低于参考电压 V_{REF} 。

[0112] 被预充电的布线RBL的电位优选小于电位VPL1。通过采用该结构,可以减少布线RBL的电位的变动。因此,即使包括与布线RBL电连接的晶体管的电路为Si晶体管等微型化

了的晶体管且耐压小,也可以进行工作而无故障。

[0113] 图2A的存储单元10的数据读出工作也可以采用其他结构。例如,也可以如图6A的时序图那样进行工作。在图6A中,与图4不同,在提高布线SL的电位且将布线RBL预充电至0V的状态下使对应节点SN的电位的电流流过。也就是说,如图6B及图6C所示,在晶体管M2中,从布线SL向布线RBL流过对应电位Vdata0或Vdata1的电流Idata0或Idata1(>Idata0)。通过比较布线RBL的电位与参考电压 V_{REF} 的大小关系,可以从存储单元10读出数据。在图6A中,在电流Idata0流过晶体管M2时,例如布线RBL的电位低于参考电压 V_{REF} ,在电流Idata1流过晶体管M2时,例如布线RBL的电位在经过一定时间之后高于参考电压 V_{REF} 。

[0114] 此外,图2A的存储单元10的数据读出工作可以采用其他工作方法。例如,也可以如图7的时序图那样进行工作。

[0115] 图7相当于对图4追加设定节点SN的电位的工作的工作方法。在图7的期间P20,将布线WBL的电位设定为想要设定的电位 V_{PRE_SN} ,将布线WWL设定为H电平。节点SN的电位成为电位 V_{PRE_SN} 。然后,将布线WWL设定为L电平,使节点SN处于电浮动状态。由此,可以容易将在期间P21使布线PL的电位改变时变动的节点SN的电位设定为晶体管M2使电流流过的电流。

[0116] 本实施方式可以与其他实施方式适当地组合。

[0117] (实施方式2)

在本实施方式中,参照附图对本发明的一个方式的半导体装置进行说明。

[0118] 本发明的一个方式涉及一种在衬底上设置有存储层的半导体装置。存储层包括第一晶体管、第二晶体管、第三晶体管以及电容器,由此可以构成存储单元。本发明的一个方式的半导体装置包括存储单元,由此具有储存数据的功能。因此,本发明的一个方式的半导体装置可以被称为存储装置。

[0119] 在本发明的一个方式的半导体装置中,层叠有具有上述结构的多个存储层。也就是说,例如沿着垂直于衬底面的方向设置具有上述结构的多个存储层。由此,与设置一层存储层的情况相比,可以增加半导体装置的存储容量而不增加存储单元的占有面积。因此,可以减少每一位的占有面积,从而可以实现小型的具有大存储容量的半导体装置。在0S晶体管中,可以通过溅射法等薄膜法形成其中形成沟道的半导体层。此外,0S晶体管可以在低温度诸如750°C以下的温度下形成。因此,可以层叠设置多个包括0S晶体管的层。作为层叠设置的多个存储层,可以适当地使用0S晶体管。

[0120] 0S晶体管可以层叠在使用Si晶体管的电路上等而能够自由地配置,因此可以容易进行集成化。作为硅例如可以使用非晶硅(有时称为氢化非晶硅)、微晶硅、多晶硅、单晶硅等。另外,通过使用与Si晶体管相同的制造装置可以制造0S晶体管,由此能够以低成本制造。

[0121] 一个增益单元型存储单元需要至少两个晶体管,难以增加单位面积的能够配置的存储单元的个数,但是通过作为构成存储单元10的晶体管使用0S晶体管,可以将存储单元阵列15层叠为多个。就是说,可以增加单位面积上可储存的数据量。

[0122] 在层叠多个存储层的情况下,写入位线及读出位线例如可以沿着垂直于衬底面的方向设置。例如,在形成包括n层(n为2以上的整数)存储层的半导体装置的情况下,通过以贯通n层存储层的方式设置开口并在该开口内部形成导电体,可以形成写入位线及读出位线。在此,在本发明的一个方式的半导体装置中,以具有与第一导电体的顶面及侧面接触的

区域的方式设置具有用作写入位线的区域的导电体。

[0123] <半导体装置的结构例子>

以下说明本发明的一个方式的半导体装置的结构例子。

[0124] 图8是示出本发明的一个方式的半导体装置的结构例子的截面图。图8所示的半导体装置可以应用于上述实施方式所示的存储单元的电路结构。

[0125] 图8所示的半导体装置包括衬底(未图示)上的绝缘体210、嵌入绝缘体210中的导电体209a及导电体209b、绝缘体210上的绝缘体212、绝缘体212上的绝缘体214、绝缘体214上的n层存储层11、以贯穿n层的层的方式在Z方向(后面说明Z方向)上延伸设置,与导电体209a电连接的导电体240a、与导电体209b电连接的导电体240b、存储层11_n上的绝缘体181、绝缘体181、导电体240a及导电体240b上的绝缘体183以及绝缘体183上的绝缘体185。此外,本实施方式的半导体装置所包括的各构成要素既可以具有单层结构,又可以具有叠层结构。

[0126] 以下在说明用英文字母区别的各构成要素间共同的事项的情况下,有时用省略了英文字母的符号进行说明。例如,在说明导电体209a与导电体209b间共同的事项的情况下,有时记为导电体209。

[0127] 存储层11_1至存储层11_n中各自设置具有多个存储单元的存储单元阵列。存储单元包括晶体管201、晶体管202、晶体管203以及电容器101。此外,导电体240a具有用作写入位线的区域,导电体240b具有用作读出位线的区域。晶体管201、晶体管202、晶体管203及电容器101分别可以对应于上述实施方式所示的存储单元10所包括的晶体管M1、晶体管M2、晶体管M3及电容器C1。此外,导电体240a及导电体240b分别可以对应于布线WBL及布线RBL。

[0128] 在本说明书等中,与附图所示的晶体管的沟道长度方向平行的方向为X方向,与附图所示的晶体管的沟道宽度方向平行的方向为Y方向。X方向与Y方向可以彼此垂直。加上,与X方向及Y方向的双方垂直的方向,即与XY面垂直的方向为Z方向。X方向及Y方向例如可为平行于衬底面的方向,Z方向可为垂直于衬底面的方向。

[0129] 导电体209a及导电体209b被用作如开关、晶体管、电容器、电感器、电阻器以及二极管等电路元件的一部分、布线、电极或端子。

[0130] 图8示出n层存储层中的最下层的存储层11_1、存储层11_1上的存储层11_2以及最上层的存储层11_n。

[0131] 导电体209a及导电体209b与用来驱动设置在存储层11中的存储单元的驱动电路电连接。该驱动电路设置在导电体209a及导电体209b之下。通过增加存储层11的叠层个数(n的数目),可以增加存储装置的存储容量而不增加存储单元的占有面积。因此,可以减少每一位的占有面积,从而可以实现小型的具有大存储容量的半导体装置。

[0132] 晶体管201、晶体管202以及晶体管203设置在绝缘体214上。在此,晶体管202与晶体管203共用一部分层。电容器101设置在晶体管201至晶体管203上方。

[0133] 图9示出包括连接电极240c及连接电极240d代替导电体240a及导电体240b的例子。存储层11包括与晶体管201所包括的导电体242a(图10中详细说明)电连接的导电体233a以及与晶体管203所包括的导电体242e(图10中详细说明)电连接的导电体233b。将第k层(k为1以上且n以下的整数)存储层11的存储层11_k所包括的导电体233a及导电体233b分别表示为导电体233a[k]及导电体233b[k]。连接电极240c包括导电体233a[1]至导电体

233a[n] (未图示), 它们电连接。另外, 连接电极240d包括导电体233b[1]至导电体233b[n] (未图示), 它们电连接。

[0134] 图10A是示出导电体209a、导电体209b、绝缘体210、绝缘体212、绝缘体214以及存储层11_1的结构例子的截面图。如图10A所示, 晶体管201至晶体管203上设置有绝缘体282, 绝缘体282上设置有绝缘体285。

[0135] 晶体管201、晶体管202及晶体管203各自包括绝缘体214上的导电体205a1、导电体205a1上的绝缘体222、绝缘体222上的绝缘体224、绝缘体224上的金属氧化物230 (金属氧化物230a及金属氧化物230b)、覆盖绝缘体224的侧面的一部分及金属氧化物230的顶面的一部分及侧面的一部分的导电体242、金属氧化物230上的绝缘体253、绝缘体253上的绝缘体254以及绝缘体254上的导电体260。在此, 晶体管201包括作为导电体242的导电体242a及导电体242b, 晶体管202包括作为导电体242的导电体242c及导电体242d, 并且晶体管203包括作为导电体242的导电体242d及导电体242e。晶体管202及晶体管203共用金属氧化物230及导电体242d。在图10等中, 将晶体管201、晶体管202及晶体管203所包括的导电体205a1分别记为导电体205a1_1、导电体205a1_2及导电体205a1_3。此外, 晶体管201、晶体管202及晶体管203所包括的导电体260分别记为导电体260_1、导电体260_2及导电体260_3。此外, 将晶体管201所包括的金属氧化物230表示为230_1, 将晶体管202及晶体管202共用的金属氧化物230表示为230_2。绝缘体222具有夹在晶体管201的导电体205a1与金属氧化物230之间且与晶体管201的导电体260重叠的区域、夹在晶体管202的导电体205a1与金属氧化物230之间且与晶体管202的导电体260重叠的区域以及夹在晶体管203的导电体205a1与金属氧化物230之间且与晶体管203的导电体260重叠的区域。此外, 在图10A所示的结构中, 导电体205a1优选具有与绝缘体222的底面接触的区域。

[0136] 具有开口的绝缘体216a设置在绝缘体214上, 导电体205a1嵌入该开口的内部。此外, 在导电体205a1及绝缘体216a上设置绝缘体222。此外, 在导电体242a至导电体242e上设置绝缘体275, 在绝缘体275上设置绝缘体280。绝缘体253、绝缘体254及导电体260嵌入设置在绝缘体280及绝缘体275中的开口的内部。在绝缘体280及导电体260上设置绝缘体282。导电体205a1可以具有与绝缘体216a的侧面接触的区域。此外, 绝缘体253可以具有与导电体242的侧面、绝缘体275的侧面及绝缘体280的侧面中的至少一部分接触的区域。

[0137] 金属氧化物230具有用作晶体管201、晶体管202或晶体管203的沟道形成区域的区域。此外, 晶体管201、晶体管202以及晶体管203也可以使用如单晶硅、多晶硅或非晶硅等半导体代替金属氧化物230, 例如也可以使用低温多晶硅 (LTPS: Low Temperature Poly Silicon)。

[0138] 导电体242a具有用作晶体管201的源电极及漏电极中的一个的区域。导电体242b具有用作晶体管201的源电极及漏电极中的另一个的区域。导电体242c具有用作晶体管202的源电极及漏电极中的一个的区域。导电体242d具有用作晶体管202的源电极及漏电极中的另一个的区域及用作晶体管203的源电极及漏电极中的一个的区域。导电体242e具有用作晶体管203的源电极及漏电极中的另一个的区域。

[0139] 导电体260具有用作晶体管201、晶体管202或晶体管203的第一栅电极的区域。绝缘体253及绝缘体254各自具有用作晶体管201、晶体管202或晶体管203的第一栅极绝缘体的区域。

[0140] 导体205a1具有用作晶体管201、晶体管202或晶体管203的第二栅电极的区域。绝缘体222具有用作晶体管201的第二栅极绝缘体的区域、用作晶体管202的第二栅极绝缘体的区域以及用作晶体管203的第二栅极绝缘体的区域。绝缘体224具有用作晶体管201、晶体管202或晶体管203的第二栅极绝缘体的区域。

[0141] 在本说明书等中,第一栅电极可以被称为前栅电极或者被简称为栅电极,第二栅电极可以被称为背栅电极。此外,第一栅电极也可以被称为背栅电极,第二栅电极也可以被称为前栅电极或者被简称为栅电极。

[0142] 晶体管202和晶体管203相邻,如上所述那样共用金属氧化物230及导体242d。由此,可以在小于两个晶体管的面积的面积(例如,1.5个晶体管的面积)的范围内形成两个晶体管(晶体管202及晶体管203)。由此,与晶体管202和晶体管203不共用金属氧化物230及导体242d的情况相比,可以以高密度配置晶体管,从而可以实现半导体装置中的高集成化。

[0143] 此外,在晶体管202所包括的导体260与晶体管203所包括的导体260之间的区域中配置导体242d。因此,可以在金属氧化物230的与导体242d重叠的区域中形成n型区域(低电阻区域)。尤其是在金属氧化物230b的与导体242d重叠的区域中,可以形成n型区域。此外,也可以使电流通过导体242d流在晶体管202与晶体管203间。因此,与两个Si晶体管串联连接的结构相比,可以尽量减少晶体管202与晶体管203间的电阻成分。

[0144] 此外,导体242d覆盖金属氧化物230的侧面的一部分。例如,虽然未图示,但在包括导体242d的晶体管202的沟道宽度方向的截面中,导体242d覆盖金属氧化物230的侧面。

[0145] 绝缘体282上设置有绝缘体285。到达导体242b的开口设置在绝缘体280、绝缘体282以及绝缘体285中,并且导体231嵌入该开口的内部。此外,在绝缘体282及绝缘体285中设置到达晶体管202所包括的导体260的开口,并在该开口的内部设置导体232。

[0146] 电容器101包括绝缘体285、导体231及导体232上的导体161、导体161上的绝缘体163以及绝缘体163上的导体162。

[0147] 绝缘体163具有夹在导体161与导体162之间的区域。

[0148] 导体161具有用作电容器101的一个电极(也称为下部电极)的区域。绝缘体163具有用作电容器101的介电质的区域。导体162具有用作电容器101的另一个电极(也称为上部电极)的区域。电容器101构成MIM电容器。

[0149] 导体242b与导体161通过导体231电连接。此外,晶体管202所包括的导体260与导体161通过导体232电连接。如此,具有用作晶体管201的源电极及漏电极中的另一个的区域的导体242b通过导体231、导体161以及导体232电连接于具有用作晶体管202的栅电极的区域的导体260。

[0150] 导体162及绝缘体163上设置有绝缘体287。绝缘体287上设置有绝缘体215。绝缘体215上设置有具有开口的绝缘体216b,导体205a2嵌入该开口内部。

[0151] 以下在说明导体205a1与导体205a2间共同的事项的情况下,有时记为导体205a。

[0152] 导体242a、导体242b、导体242c以及导体242e以超过被用作半导体层的金属氧化物230的方式延伸,并覆盖金属氧化物230的顶面及侧面的一部分。由此,导体242a、导体242b、导体242c以及导体242e也被用作布线。例如,以具有与导体242a

的顶面、侧面及底面的一部分接触的区域的方式设置具有用作写入位线的区域的导电体240a。此外,以具有与导电体242e的顶面、侧面及底面的一部分接触的区域的方式设置具有用作读出位线的区域的导电体240b。此外,导电体242d也可以被用作布线。此外,其他布线也有时可以被用作布线。

[0153] 在用作写入位线的导电体240a具有与导电体242a的顶面、侧面及底面的一部分接触的区域时,不需要在写入位线与导电体242a之间另行设置连接用电极。此外,在用作读出位线的导电体240b具有与导电体242e的顶面、侧面及底面的一部分接触的区域时,不需要在读出位线与导电体242e之间另行设置连接用电极。因此,可以缩小存储单元阵列的占有面积。此外,存储单元的集成度得到提高,可以增大存储容量。此外,导电体240a具有与导电体242a的顶面、侧面和底面中的一个以上、优选为两个以上接触的区域,导电体240b具有与导电体242e的顶面、侧面和底面中的一个以上、更优选为两个以上接触的区域。通过使导电体240a与导电体242a的多个面接触,可以降低导电体240a与导电体242a之间的接触电阻,通过使导电体240b与导电体242e的多个面接触,可以降低导电体240b与导电体242e之间的接触电阻。

[0154] 在此,在绝缘体212及绝缘体214中设置具有与导电体209a重叠的区域的开口291a及具有与导电体209b重叠的区域的开口291b。此外,在绝缘体222中设置具有与导电体209a及开口291a重叠的区域的开口292a及具有与导电体209b及开口291b重叠的区域的开口292b。此外,在绝缘体282中设置具有与导电体209a、开口291a以及开口292a重叠的区域的开口293a及具有与导电体209b、开口291b以及开口292b重叠的区域的开口293b。再者,在绝缘体215中设置具有与导电体209a、开口291a、开口292a以及开口293a重叠的区域的开口294a及具有与导电体209b、开口291b、开口292b以及开口293b重叠的区域的开口294b。此外,在开口291a至开口294a的内部设置导电体240a,并在开口291b至开口294b的内部设置导电体240a。此外,也可以不在绝缘体212中设置开口291a。

[0155] 此外,在开口291a及开口291b中,绝缘体212的侧面及绝缘体214的侧面被绝缘体216a覆盖。此外,在开口292a中,绝缘体222的侧面被导电体242a覆盖,并且在开口292b中,绝缘体222的侧面被导电体242b覆盖。此外,在开口293a及开口293b中,绝缘体282的侧面被绝缘体285覆盖。再者,在开口294a及开口294b中,绝缘体215的侧面被绝缘体216b覆盖。

[0156] 由此可以说:以覆盖绝缘体214的顶面及侧面的一部分的方式设置绝缘体216a;以覆盖绝缘体222的顶面及侧面的一部分的方式设置导电体242a及导电体242e;以覆盖绝缘体282的顶面及侧面的一部分的方式设置绝缘体285;以覆盖绝缘体215的顶面及侧面的一部分的方式设置绝缘体216b。

[0157] 在本发明的一个方式的半导体装置具有上述结构的情况下,以具有与绝缘体212的侧面、绝缘体216a的侧面、绝缘体275的侧面、绝缘体285的侧面、绝缘体287的侧面以及绝缘体216b的侧面中的至少一部分接触的区域的方式设置导电体240a及导电体240b。此外,如上所述,以具有与导电体242a的侧面及导电体242e的侧面接触的区域的方式设置导电体240a及导电体240b。再者,以不与绝缘体212、绝缘体214、绝缘体282以及绝缘体215接触的方式设置导电体240a及导电体240b。

[0158] 因为本发明的一个方式的半导体装置具有上述结构,所以当在形成图8所示的存储层11_n之后设置贯穿存储层11₁至存储层11_n且到达导电体209a的开口时,不需要加工

绝缘体212、绝缘体282以及绝缘体215。因此,即使作为绝缘体212、绝缘体282及绝缘体215使用易于加工的条件与其他绝缘体不同的材料,也可以在一个条件下形成上述开口。如此,可以增加可以用于绝缘体的材料的选项。此外,通过在上述开口的内部嵌入导电膜,可以形成导电体240a及导电体240b。

[0159] 图10B是示出图10A所示的晶体管的沟道宽度方向,即Y方向的结构例子的截面图。

[0160] 在图10B所示的例子中,在绝缘体210上设置绝缘体212,在绝缘体212上设置绝缘体214,在绝缘体214上设置绝缘体216a,并且在设置在绝缘体216a中的开口的内部设置导电体205a1。此外,在导电体205a1及绝缘体216a上设置绝缘体222,在绝缘体222上设置绝缘体224及绝缘体275,并且在绝缘体224上设置金属氧化物230。绝缘体224的侧面、金属氧化物230的顶面及侧面被绝缘体253、绝缘体254以及导电体260覆盖。绝缘体253、绝缘体254及导电体260设置在设置在绝缘体275上的绝缘体280中的开口258的内部。在绝缘体253上、绝缘体254上、导电体260上以及绝缘体280上设置绝缘体282,并且在绝缘体282上设置绝缘体285。

[0161] 在此,可以说:具有用作第一栅电极的区域的导电体260不仅覆盖金属氧化物230的顶面,而且还覆盖金属氧化物230的侧面。

[0162] 在本说明书等中,将至少由第一栅电极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel (S-channel) 结构。此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。另一方面,可以将在本说明书等中公开的S-channel结构视为Fin型结构的一种。此外,在本说明书等中,Fin型结构是指以至少包围沟道的两个面以上(具体而言,两个面、三个面或四个面)的方式配置栅电极的结构。通过采用Fin型结构及S-channel结构,可以提高对短沟道效应的耐性,换言之可以实现不容易发生短沟道效应的晶体管。

[0163] 通过作为本实施方式的半导体装置所包括的晶体管采用上述S-channel结构,可以电围绕沟道形成区域。S-channel结构是电围绕沟道形成区域的结构,所以也可以说该结构在实质上与GAA (Gate All Around:全环绕栅极) 结构或LGAA (Lateral Gate All Around:横向全环绕栅极) 结构相同。通过使晶体管具有S-channel结构、GAA结构或LGAA结构,可以将形成在氧化物与栅极绝缘体的界面或其附近的沟道形成区域设置在氧化物的整个块体。因此,可以提高流过晶体管的电流密度,所以可以期待晶体管的通态电流或晶体管的场效应迁移率的提高。

[0164] 注意,作为图10B所示的晶体管示出S-channel结构的晶体管,但是本发明的一个方式的半导体装置不局限于此。例如,作为可用于本发明的一个方式的晶体管的结构,也可以采用选自平面型结构、Fin型结构和GAA结构中的任一个或多个。

[0165] 此外,金属氧化物230的截面形状不局限于图10B所示的结构。例如金属氧化物230也可以在侧面与顶面之间具有弯曲面。由此,可以提高形成在金属氧化物230上的膜的覆盖性。

[0166] 接着,详细说明本实施方式的半导体装置所包括的晶体管。

[0167] 金属氧化物230优选包括绝缘体224上的金属氧化物230a及金属氧化物230a上的金属氧化物230b。当在金属氧化物230b下设置有金属氧化物230a时,可以抑制杂质从形成在金属氧化物230a下方的结构物扩散到金属氧化物230b。

[0168] 此外,虽然在本实施方式中示出金属氧化物230具有金属氧化物230a及金属氧化物230b的两层结构的例子,但是不局限于此。金属氧化物230例如可以具有金属氧化物230b的单层结构,也可以具有三层以上的叠层结构。

[0169] 金属氧化物230b包括晶体管的沟道形成区域以及以夹持沟道形成区域的方式设置的源极区域及漏极区域。沟道形成区域的至少一部分与导电体260重叠。源极区域与一对导电体242中的一个重叠,漏极区域与一对导电体242中的另一个重叠。

[0170] 沟道形成区域是与源极区域及漏极区域相比氧空位少或者杂质浓度低而载流子浓度低的高电阻区域。因此,沟道形成区域可以说是i型(本征)或实质上i型的区域。

[0171] 此外,源极区域及漏极区域因氧空位多或者氢、氮、金属元素等杂质浓度高而是载流子浓度高的低电阻区域。也就是说,与沟道形成区域相比,源极区域及漏极区域是载流子浓度高的n型区域(低电阻区域)。

[0172] 此外,沟道形成区域的载流子浓度优选为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,小于 $1 \times 10^{17} \text{cm}^{-3}$,小于 $1 \times 10^{16} \text{cm}^{-3}$,小于 $1 \times 10^{15} \text{cm}^{-3}$,小于 $1 \times 10^{14} \text{cm}^{-3}$,小于 $1 \times 10^{13} \text{cm}^{-3}$,小于 $1 \times 10^{12} \text{cm}^{-3}$,小于 $1 \times 10^{11} \text{cm}^{-3}$ 或者小于 $1 \times 10^{10} \text{cm}^{-3}$ 。此外,对沟道形成区域的载流子浓度的下限值没有特殊限定,例如,可以将其设定为 $1 \times 10^{-9} \text{cm}^{-3}$ 。

[0173] 此外,在降低金属氧化物230b的载流子浓度时,降低金属氧化物230b中的杂质浓度及缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。此外,有时将载流子浓度低的氧化物半导体(或金属氧化物)称为“高纯度本征”或“实质上高纯度本征”的氧化物半导体(或金属氧化物)。

[0174] 为了使晶体管的电特性稳定,减少金属氧化物230b中的杂质浓度是有效的。此外,为了降低金属氧化物230b中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍及硅等。注意,金属氧化物230b中的杂质例如是指构成金属氧化物230b的主成分以外的成分。例如,浓度小于0.1at.%的元素可以说是杂质。

[0175] 此外,沟道形成区域、源极区域以及漏极区域各自不仅可以形成在金属氧化物230b中,而且还可以形成在金属氧化物230a中。

[0176] 在金属氧化物230中,有时难以明确地观察各区域的边界。在各区域中检测出的金属元素和氢及氮等杂质元素的浓度并不需要按每区域分阶段地变化,也可以在各区域中逐渐地变化。就是说,越接近沟道形成区域,金属元素和氢及氮等杂质元素的浓度越低即可。

[0177] 优选将用作半导体的金属氧化物(以下也称为氧化物半导体)用于金属氧化物230。

[0178] 用作半导体的金属氧化物的带隙优选为2eV以上,更优选为2.5eV以上。通过使用带隙较宽的金属氧化物,可以减小晶体管的关态电流。

[0179] 作为金属氧化物230,例如优选使用铟氧化物、镓氧化物及锌氧化物等金属氧化物。此外,作为金属氧化物230,例如优选使用包含选自铟、元素M和锌中的两个或三个的金属氧化物。元素M是选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锆、锆、钼、镧、铈、钕、钆、钇、钨和镁中的一种或多种。尤其是,元素M优选为选自铝、镓、钇和锡中的一种或多种。有时将包含铟、元素M及锌的金属氧化物记载为In-M-Zn氧化物。

[0180] 金属氧化物230优选具有化学组成互不相同的多个氧化物层的叠层结构。例如,用于金属氧化物230a的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比优

选大于用于金属氧化物230b的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比。此外,用于金属氧化物230a的金属氧化物中的元素M与In的原子个数比优选大于用于金属氧化物230b的金属氧化物中的元素M与In的原子个数比。通过采用这样的结构,可以抑制杂质及氧从形成在金属氧化物230a的下方的结构物向金属氧化物230b扩散。

[0181] 此外,优选的是,用于金属氧化物230b的金属氧化物中的In与元素M的原子个数比大于用于金属氧化物230a的金属氧化物中的In与元素M的原子个数比。通过采用该结构,晶体管可以得到高通态电流以及高频率特性。

[0182] 此外,金属氧化物230a及金属氧化物230b除了氧以外还包含共同元素作为主要成分,所以可以降低金属氧化物230a与金属氧化物230b的界面的缺陷态密度。可以降低金属氧化物230a与金属氧化物230b的界面的缺陷态密度。因此,界面散射对载流子传导带来的影响减少,从而晶体管可以得到高通态电流及高频特性。

[0183] 具体而言,作为金属氧化物230a,使用In:M:Zn=1:3:4[原子个数比]或其附近的组成或者In:M:Zn=1:1:0.5[原子个数比]或其附近的组成的金属氧化物,即可。此外,作为金属氧化物230b,使用In:M:Zn=1:1:1[原子个数比]或其附近的组成、In:M:Zn=1:1:1.2[原子个数比]或其附近的组成、In:M:Zn=1:1:2[原子个数比]或其附近的组成或者In:M:Zn=4:2:3[原子个数比]或其附近的组成的金属氧化物,即可。注意,附近的组成包括所希望的原子个数比的±30%的范围。此外,作为元素M优选使用镓。此外,当作为金属氧化物230设置金属氧化物230b的单层时,作为金属氧化物230b也可以使用可用于金属氧化物230a的金属氧化物。

[0184] 此外,在通过溅射法沉积金属氧化物时,上述原子个数比不局限于所沉积的金属氧化物的原子个数比,而也可以是用于金属氧化物的沉积的溅射靶材的原子个数比。

[0185] 金属氧化物230b优选具有结晶性。尤其是,优选使用CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)作为金属氧化物230b。

[0186] CAAC-OS具有结晶性高的致密结构且是杂质及缺陷(例如,氧空位等)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400°C以上且600°C以下)进行加热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0187] 此外,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性且可靠性高。

[0188] 此外,当作为金属氧化物230b使用CAAC-OS等具有结晶性的氧化物时,可以抑制源电极或漏电极从金属氧化物230b抽出氧。因此,即使进行热处理也可以减少氧从金属氧化物230b被抽出,所以晶体管对制造工序中的高温(所谓热积存:thermal budget)也很稳定。

[0189] 在使用氧化物半导体的晶体管中,如果在氧化物半导体的形成沟道的区域中存在杂质及氧空位,电特性则容易变动,有时降低可靠性。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为 V_OH)而可能会产生成为载流子的电子。因此,当在氧化物半导体的形成沟道的区域中包含氧空位时,晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的形成沟道的区域

中,优选尽量减少杂质、氧空位及 V_0H 。换言之,优选的是,氧化物半导体中的形成沟道的区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0190] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(下面有时称为过剩氧)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及 V_0H 。注意,在对源极区域或漏极区域供应过多的氧时,有可能引起晶体管的通态电流下降或者场效应迁移率的下降。并且,在供应到源极区域或漏极区域的氧量在衬底面内有不均匀时,包括晶体管的半导体装置特性发生不均匀。此外,在从该绝缘体供应给氧化物半导体的氧扩散到栅电极、源电极及漏电极等导电体时,有时该导电体被氧化,这导致导电性的损失,因此对晶体管的电特性及可靠性带来负面影响。

[0191] 因此,优选的是,在氧化物半导体中,沟道形成区域的载流子浓度得到降低且被i型化或实质上被i型化,但是源极区域及漏极区域的载流子浓度优选为高且被n型化。就是说,优选降低氧化物半导体的沟道形成区域的氧空位及 V_0H 。此外,优选的是,防止源极区域及漏极区域被供应过量的氧以及防止源极区域及漏极区域的 V_0H 之量被过度降低。此外,优选采用抑制导电体260及导电体242等的导电率下降的结构。例如,优选采用抑制导电体260及导电体242等的氧化的结构。注意,氧化物半导体中的氢有可能形成 V_0H ,所以为了降低 V_0H 之量需要降低氢浓度。

[0192] 于是,在本实施方式中,半导体装置具有如下结构:降低沟道形成区域的氢浓度,抑制导电体242及导电体260的氧化,并且抑制源极区域及漏极区域中的氢浓度降低。

[0193] 与金属氧化物230b中的沟道形成区域接触的绝缘体253优选具有俘获氢并固定氢的功能。由此,可以降低金属氧化物230b的沟道形成区域中的氢浓度。因此,可以降低沟道形成区域中的 V_0H 来实现沟道形成区域的i型化或实质上的i型化。

[0194] 作为具有俘获氢并固定氢的功能的绝缘体,可以举出具有非晶结构的金属氧化物。例如,作为绝缘体253,优选使用氧化镁或者包含铝和钪中的一个或两个的氧化物等金属氧化物。上述具有非晶结构的金属氧化物有时具有如下性质:氧原子具有悬空键而由该悬空键俘获或固定氢。就是说,可以说具有非晶结构的金属氧化物的俘获或固定氢的能力高。

[0195] 此外,绝缘体253优选使用高介电常数(high-k)材料。作为high-k材料的一个例子,有包含铝和钪中的一个或两个的氧化物。当作为绝缘体253使用high-k材料时,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。此外,可以减少用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。

[0196] 由此,作为绝缘体253,优选使用包含铝和钪中的一个或两个的氧化物,更优选使用具有非晶结构并包含铝和钪中的一个或两个的氧化物,进一步优选使用具有非晶结构的氧化钪。在本实施方式中,作为绝缘体253,使用氧化钪。此时,绝缘体253至少包含氧及钪。此外,该氧化钪具有非晶结构。此时,绝缘体253具有非晶结构。

[0197] 此外,作为绝缘体253,也可以使用如氧化硅或氮化硅等具有热稳定性结构的绝缘体。例如,作为绝缘体253,也可以使用包含氧化铝、氧化铝上的氧化硅或氮化硅的叠层结构。此外,例如,作为绝缘体253,也可以使用包含氧化铝、氧化铝上的氧化硅或氮化硅以及氧化硅或氮化硅上的氧化钪的叠层结构。

[0198] 为了抑制导电体242及导电体260的氧化,优选在导电体242及导电体260各自的附

近设置氧阻挡绝缘体。在本实施方式中说明的半导体装置中,该绝缘体例如为绝缘体253、绝缘体254以及绝缘体275。

[0199] 此外,在本说明书等中,阻挡绝缘体是指具有阻挡性的绝缘体。在本说明书等中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0200] 作为氧阻挡绝缘体,例如可以举出包含铝和镓中的一个或两个的氧化物、氧化镁、氧化镓、镓镓锌氧化物、氮化硅及氮氧化硅。此外,作为包含铝和镓中的一个或两个的氧化物,可以例如举出氧化铝、氧化镓、包含铝及镓的氧化物(铝酸镓)、包含镓及硅的氧化物(硅酸镓)。例如,作为绝缘体253、绝缘体254及绝缘体275采用上述氧阻挡绝缘体的单层结构或叠层结构即可。

[0201] 绝缘体253优选具有氧阻挡性。绝缘体253优选至少比绝缘体280不容易使氧透过。绝缘体253具有与导体242的侧面接触的区域。当绝缘体253具有氧阻挡性时,可以抑制导体242的侧面被氧化而在该侧面上形成氧化膜。因此,可以抑制导致晶体管的通态电流的下降或场效应迁移率的下降。

[0202] 绝缘体253以与金属氧化物230b的顶面及侧面、金属氧化物230a的侧面、绝缘体224的侧面及绝缘体222的顶面接触的方式设置。当绝缘体253具有氧阻挡性时,可以抑制例如在进行热处理时氧从金属氧化物230b的沟道形成区域脱离。因此,可以减少在金属氧化物230a及金属氧化物230b中形成氧空位。

[0203] 此外,反之,即使绝缘体280包含过多的氧,也可以抑制该氧过度供应到金属氧化物230a及金属氧化物230b。因此,可以抑制源极区域及漏极区域被过度氧化而导致晶体管的通态电流的下降或场效应迁移率的下降。

[0204] 因为包含铝和镓中的一个或两个的氧化物具有氧阻挡性,所以可以适当地用作绝缘体253。

[0205] 绝缘体254优选具有氧阻挡性。绝缘体254设置在金属氧化物230的沟道形成区域和导体260之间以及绝缘体280和导体260之间。通过采用该结构,可以抑制金属氧化物230的沟道形成区域中的氧扩散到导体260而在金属氧化物230的沟道形成区域中形成氧空位。此外,可以抑制金属氧化物230中的氧及绝缘体280中的氧扩散到导体260而导致导体260的氧化。绝缘体254优选至少比绝缘体280不容易使氧透过。例如,作为绝缘体254优选使用氮化硅。此时,绝缘体254至少包含氮及硅。

[0206] 此外,绝缘体254优选具有氧阻挡性。由此,可以防止包含在导体260中的氢等杂质扩散到金属氧化物230b。

[0207] 绝缘体275优选具有氧阻挡性。绝缘体275设置于绝缘体280与导体242之间。通过采用该结构,可以抑制包含在绝缘体280中的氧扩散到导体242。因此,可以抑制包含在绝缘体280中的氧导致导体242被氧化使得电阻率增大而通态电流减少。绝缘体275优选至少比绝缘体280不容易使氧透过。例如,作为绝缘体275优选使用氮化硅。此时,作为绝缘体275,使用至少包含氮及硅的绝缘体。

[0208] 为了抑制金属氧化物230的源极区域及漏极区域中的氢浓度降低,优选在源极区域的附近及漏极区域的附近设置氢阻挡绝缘体。在本实施方式所说明的半导体装置中,该氢阻挡绝缘体例如是绝缘体275。当绝缘体275具有氢阻挡性时,可以防止绝缘体253俘获和

固定源极区域及漏极区域中的氢。因此,可以使源极区域及漏极区域n型化。

[0209] 通过采用上述结构,沟道形成区域可以被i型化或实质上被i型化且源极区域及漏极区域可以被n型化,可以提供一种具有良好的电特性的半导体装置。通过采用上述结构,即便使半导体装置微型化或高集成化也可以使其具有良好的电特性。此外,通过使晶体管微型化可以提高高频特性。具体而言,可以提高截止频率。

[0210] 作为氢阻挡绝缘体,可以举出氧化铝、氧化铪、氧化钽等氧化物、以及氮化硅等氮化物。例如,作为绝缘体275采用上述氢阻挡绝缘体的单层结构或叠层结构即可。

[0211] 绝缘体253及绝缘体254各自被用作栅极绝缘体的一部分。绝缘体253及绝缘体254与导电体260一起设置在形成于绝缘体280等中的开口中。为了实现晶体管的微型化,绝缘体253的厚度及绝缘体254的厚度各自优选小。绝缘体253的厚度优选为0.1nm以上且5.0nm以下,更优选为0.5nm以上且5.0nm以下,进一步优选为1.0nm以上且小于5.0nm,更进一步优选为1.0nm以上且3.0nm以下。绝缘体254的厚度优选为0.1nm以上且5.0nm以下,更优选为0.5nm以上且3.0nm以下,进一步优选为1.0nm以上且3.0nm以下。此外,绝缘体253及绝缘体254各自的至少一部分是包括上述厚度的区域即可。

[0212] 为了如上所述地减小绝缘体253的厚度,优选利用原子层沉积(ALD:Atomic Layer Deposition)法进行沉积。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用受到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中,通过利用等离子体可以在更低温下进行沉积,所以有时是优选的。

[0213] ALD法可以按层沉积原子,从而有能够沉积极薄的膜、能够对纵横比高的结构进行沉积、能够以针孔等的缺陷少的方式进行沉积、能够进行覆盖性优良的沉积及能够在低温下进行沉积等效果。因此,可以在形成于绝缘体280等中的开口部的侧面以及导电体242的侧端部等以上述较小的厚度且高覆盖性沉积绝缘体253。

[0214] ALD法中使用的前驱物例如包含碳。因此,利用ALD法形成的膜有时与利用其它的沉积方法形成的膜相比包含更多的碳等杂质。此外,杂质的定量可以利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)、X射线光电子分光法(XPS:X-ray Photoelectron Spectroscopy)或俄歇电子能谱(AES:Auger Electron Spectroscopy)进行。

[0215] 例如,作为绝缘体254使用利用PEALD法沉积的氮化硅即可。

[0216] 此外,通过作为绝缘体253使用氧化铪等具有抑制氢等杂质及氧的透过的功能的绝缘体,绝缘体253可以兼具绝缘体254所具有的功能。在此情况下,通过采用不设置绝缘体254的结构,可以使半导体装置的制造工序简化,可以实现生产率的提高。

[0217] 此外,在本实施方式中,优选的是,半导体装置除了上述结构以外还具有抑制氢混入晶体管的结构。例如,优选的是,以覆盖晶体管的上下之中一个或两个的方式设置具有抑制氢扩散的功能的绝缘体。在本实施方式中说明的半导体装置中,该绝缘体例如为绝缘体212。

[0218] 作为绝缘体212,优选使用具有抑制氢扩散的功能的绝缘体。由此,可以抑制氢从绝缘体212的下方扩散晶体管。作为绝缘体212,可以使用可用于上述绝缘体275的绝缘体。

[0219] 绝缘体212、绝缘体214和绝缘体282中的一个或多个优选被用作抑制水、氢等杂质从衬底一侧或晶体管的上方扩散到晶体管的阻挡绝缘膜。因此,绝缘体212、绝缘体214和绝

缘体282中的一个或多个优选包含具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。此外,优选包含具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0220] 绝缘体212、绝缘体214以及绝缘体282优选各自包含具有抑制水、氢等杂质及氧的扩散的功能的绝缘体,例如可以使用氧化铝、氧化镁、氧化钪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。例如,作为绝缘体212,优选使用氢阻挡性更高的氮化硅。此外,例如,绝缘体212、绝缘体214以及绝缘体282优选各自包含俘获并固定氢的性能高的氧化铝或氧化镁等。由此,可以抑制水、氢等杂质经过绝缘体212及绝缘体214从衬底一侧扩散到晶体管一侧。或者,可以抑制水、氢等杂质从配置在绝缘体282的外方的层间绝缘膜等扩散到晶体管一侧。或者,可以抑制包含在绝缘体224等中的氧扩散到衬底一侧。或者,可以抑制含在绝缘体280等中的氧经过绝缘体282等向晶体管的上方扩散。如此,优选采用由具有抑制水、氢等杂质及氧的扩散的功能的绝缘体围绕晶体管上下的结构。

[0221] 导电体205a以与金属氧化物230及导电体260重叠的方式配置。在此,导电体205a优选以嵌入形成在绝缘体216a的开口部中的方式设置。此外,导电体205a的一部分有时嵌入绝缘体214中。

[0222] 导电体205a可以具有单层结构,又可以具有叠层结构。例如,图10A示出导电体205a具有第一导电体与第二导电体的两层叠层结构的例子。导电体205a的第一导电体以与设置在绝缘体216a中的开口部的底面及侧壁接触的方式设置。导电体205a的第二导电体以嵌入形成在导电体205a的第一导电体的凹部中的方式设置。在此,导电体205a的第二导电体的顶面的高度与导电体205a的第一导电体的顶面的高度及绝缘体216a的顶面的高度大致一致。

[0223] 在此,导电体205a的第一导电体优选包含具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能的导电材料。或者,优选包含具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能的导电材料。

[0224] 通过作为导电体205a的第一导电体使用具有降低氢的扩散的功能的导电材料,可以防止含在导电体205a的第二导电体中的氢等杂质通过绝缘体216a及绝缘体224等扩散到金属氧化物230。此外,通过作为导电体205a的第一导电体使用具有抑制氧的扩散的功能的导电材料,可以抑制导电体205a的第二导电体被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钇、氧化钇等。因此,作为导电体205a的第一导电体使用单层或叠层的上述导电材料即可。例如,导电体205a的第一导电体优选包含氮化钛。

[0225] 此外,导电体205a的第二导电体优选使用以钨、铜或铝为主要成分的导电材料。例如,导电体205a的第二导电体优选包含钨。

[0226] 导电体205a可以被用作第二栅电极。在此情况下,通过独立地改变施加到导电体205a的电位而不使其与施加到导电体260的电位联动,可以控制晶体管的阈值电压(V_{th})。尤其是,通过对导电体205a施加负电位,可以增大晶体管的 V_{th} 而减少关态电流。由此,与不对导电体205a施加负电位的情况相比,在对导电体205a施加负电位的情况下,可以减少对导电体260施加的电位为0V时的漏极电流。

[0227] 此外,导电体205a的电阻率考虑上述施加到导电体205a的电位设计,导电体205a的厚度根据该电阻率设定。此外,绝缘体216a的厚度与导电体205a大致相同。在此,优选在导电体205a的设计允许的范围内减少导电体205a及绝缘体216a的厚度。通过减少绝缘体216a的厚度,可以降低含在绝缘体216a中的氢等杂质的绝对量,所以可以减少该杂质扩散到金属氧化物230。

[0228] 绝缘体222及绝缘体224被用作栅极绝缘体。

[0229] 绝缘体222优选具有抑制氢(例如,氢原子和氢分子等中的至少一个)的扩散的功能。此外,绝缘体222优选具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能。例如,与绝缘体224相比,绝缘体222优选具有抑制氢和氧中的一个或两个的扩散的功能。

[0230] 绝缘体222优选包含作为绝缘材料的包含铝和铅中的一个或两个的氧化物的绝缘体。作为该绝缘体,优选使用氧化铝、氧化铅、包含铝及铅的氧化物(铝酸铅)等。或者,优选使用包含铅及锆的氧化物,例如使用铅锆氧化物。当使用这种材料形成绝缘体222时,绝缘体222被用作抑制氧从金属氧化物230释放到衬底一侧及氢等杂质从晶体管的周围部扩散到金属氧化物230的层。因此,通过设置绝缘体222,可以抑制氢等杂质扩散到晶体管的内侧,而可以抑制在金属氧化物230中生成氧空位。此外,可以抑制导电体205a的第一导电体与绝缘体224及金属氧化物230所包含的氧起反应。

[0231] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇或氧化锆。或者,也可以对上述绝缘体进行氮化处理。此外,作为绝缘体222还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅而使用。

[0232] 此外,作为绝缘体222,例如也可以以单层结构或叠层结构使用包含氧化铝、氧化铅、氧化铋、氧化锆、铅锆氧化物等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。通过作为用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,作为绝缘体222有时可以使用锆钛酸铅(PZT)、钛酸锶(SrTiO_3)、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)等介电常数高的物质。

[0233] 与金属氧化物230接触的绝缘体224例如优选包含氧化硅或氧氮化硅。

[0234] 此外,绝缘体222及绝缘体224各自也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料形成的叠层结构。

[0235] 作为导电体242及导电体260优选各自使用不容易氧化的导电材料或者具有抑制氧扩散的功能的导电材料。作为该导电材料例如可以举出包含氮的导电材料及包含氧的导电材料。由此,可以抑制导电体242及导电体260的导电率降低。在作为导电体242及导电体260使用包含金属及氮的导电材料时,导电体242及导电体260至少包含金属及氮。

[0236] 导电体242既可具有单层结构又可具有叠层结构。此外,导电体260既可具有单层结构又可具有叠层结构。

[0237] 例如在图10A中,导电体242具有第一导电体与第一导电体上的第二导电体的两层结构。此时,作为与金属氧化物230b接触的导电体242的第一导电体,优选使用不容易氧化的导电材料或者具有抑制氧扩散的功能的导电材料。由此,可以抑制导电体242的导电率降低。此外,作为导电体242的第一导电体,优选使用容易吸收氢(容易抽出氢)的材料,由此可

以降低金属氧化物230的氢浓度。

[0238] 此外,导电体242的第二导电体的导电性优选高于导电体242的第一导电体的导电性。例如,导电体242的第二导电体的厚度优选大于导电体242的第一导电体的厚度。

[0239] 例如,作为导电体242的第一导电体,可以使用氮化钽或氮化钛,并且作为导电体242的第二导电体,可以使用钨。

[0240] 为了抑制导电体242的导电率下降,优选使用CAAC-OS等具有结晶性的氧化物作为金属氧化物230b。尤其优选使用包含铟、锌及选自镓、铝和锡中的一个或多个的金属氧化物。通过使用CAAC-OS,可以抑制导电体242从金属氧化物230b抽出氧。此外,可以抑制导电体242的导电率下降。

[0241] 作为导电体242例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用氧化钪、氮化钪、包含锶和钪的氧化物、包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0242] 注意,例如有时包含在金属氧化物230b中的氢扩散到导电体242。尤其是,当作为导电体242使用包含钽的氮化物时,例如有时包含在金属氧化物230b等中的氢容易扩散到导电体242,该扩散的氢与导电体242所包含的氮键合。也就是说,例如有时包含在金属氧化物230b等中的氢被导电体242吸收。

[0243] 此外,导电体260以其顶面的高度与绝缘体254的最上部、绝缘体253的最上部及绝缘体280的顶面的高度大致一致的方式配置。

[0244] 导电体260被用作晶体管的第一栅电极。导电体260优选包括第一导电体及第一导电体上的第二导电体。例如,优选以包围导电体260的第二导电体的底面及侧面的方式配置导电体260的第一导电体。

[0245] 例如,在图10A中,导电体260具有两层结构。此时,作为导电体260的第一导电体,优选使用不容易氧化的导电材料或具有抑制氧的扩散的功能的导电材料。

[0246] 作为导电体260的第一导电体优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子或铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能的导电材料。

[0247] 此外,当导电体260的第一导电体具有抑制氧扩散的功能时,例如可以抑制绝缘体280等所包含的氧使导电体260的第二导电体氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钪或氧化钪等。

[0248] 此外,导电体260优选使用导电性高的导电体。例如,导电体260的第二导电体可以使用钨、铜或铝为主要成分的导电材料。此外,导电体260的第二导电体可以具有叠层结构,例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0249] 此外,在晶体管中,例如以嵌入形成于绝缘体280的开口中的方式自对准地形成导电体260。通过如此形成导电体260,可以在一对导电体242之间的区域中无需对准并确实地配置导电体260。

[0250] 此外,绝缘体216a、绝缘体280、绝缘体285、绝缘体287、绝缘体216b、绝缘体181以及绝缘体185各自的顶面也可以被平坦化。

[0251] 优选降低绝缘体280中的如水及氢等杂质浓度。例如,绝缘体280优选包含如氧化硅或氧氮化硅等包含硅的氧化物。

[0252] 此外,在绝缘体280的开口部,绝缘体280的侧壁既可大致垂直于绝缘体222的顶面又可为锥形形状。通过将侧壁形成为锥形形状,例如可以提高设置在绝缘体280的开口部的绝缘体253的覆盖性来减少空洞等缺陷。

[0253] 注意,在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面或被形成面倾斜地设置的形状。例如,优选具有倾斜的侧面和衬底面或被形成面所形成的角度(以下有时称为锥角)小于 90° 的区域。注意,结构的侧面及衬底面不一定需要为完全的平坦,也可以为具有微小曲率的近似平面状或具有微细凹凸的近似平面状。

[0254] 电容器101所包括的导电体161及导电体162各自可以使用可用于导电体205a、导电体242或导电体260的材料。

[0255] 导电体161及导电体162各自优选使用ALD法或CVD法等覆盖性优良的沉积法而沉积。

[0256] 作为导电体161及导电体162,可以举出铝、钛、铬、镍、铜、钇、锆、钼、银、钽及钨等金属以及以该金属为主要成分的合金等。或者,可以使用以上述元素为成分的金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)等。此外,可以以单层或叠层结构使用包含这些材料的膜。

[0257] 当铁电材料与导电体接触时,在铁电材料中容易发生极化,所以是优选的。作为导电体161及导电体162,优选使用铁电材料中容易发生极化的材料。

[0258] 另外,通过在依次层叠导电体161、绝缘体163及导电体162之后进行加热处理,有时可以提高绝缘体163的铁电性,所以是优选的。例如可以使用RTA装置、电阻加热炉、微波加热装置进行加热处理。尤其是,通过使用RTA装置,有时可以得到铁电性特别优良的膜,所以是优选的。作为RTA装置可以使用GRTA(Gas Rapid Thermal Anneal:气体快速热退火)装置、LRTA(Lamp Rapid Thermal Anneal:灯快速热退火)装置。

[0259] 导电体161及导电体162优选都使用氮化钛。

[0260] 在导电体161中,作为与绝缘体163接触的面(例如图10的结构中为顶面)优选使用氮化钛。就是说,在导电体161具有叠层结构时,最上层优选为氮化钛层。

[0261] 在导电体162中,作为与绝缘体163接触的面(例如图10的结构中为底面)优选使用氮化钛。就是说,在导电体162具有叠层结构的情况下,最下层优选为氮化钛层。

[0262] 作为电容器101所包括的绝缘体163优选使用可具有铁电性的材料。作为可具有铁电性的材料,可以使用上述实施方式所示的材料。

[0263] 在此,铁电层的厚度优选为200nm以下,更优选为150nm以下。

[0264] 另外,在将包含钪、锆及氧的层用作铁电层时,铁电层的厚度例如为100nm以下,优选为50nm以下,更优选为20nm以下,进一步优选为15nm以下,例如可以为2nm以上且15nm以下,或者例如可以为8nm以上且12nm以下。

[0265] 绝缘体163优选利用ALD法或CVD法等覆盖性良好的沉积法沉积,尤其优选利用热ALD法形成。

[0266] 导电体240优选具有第一导电体与第二导电体的叠层结构。例如,如图10A所示,在导电体240中,第一导电体与上述开口部的内壁接触,再者,在其内侧设置第二导电体。导电

体240的第一导体具有与导体209的顶面、绝缘体212的侧面、绝缘体216a的侧面、导体242的顶面及侧面、绝缘体280的侧面、绝缘体285的侧面、绝缘体287的侧面和绝缘体216b的侧面中的至少一部分接触的区域。

[0267] 作为导体240的第一导体,优选使用具有抑制水及氢等杂质透过的功能的导电材料。导体240的第一导体例如可以具有钽、氮化钽、钛、氮化钛、钇和氧化钇中的一个或多个的单层结构或叠层结构。由此,可以抑制水及氢等杂质通过导体240混入金属氧化物230中。

[0268] 此外,因为导体240还被用作布线,所以优选使用导电性高的导体。例如,导体240的第二导体优选使用以钨、铜或铝为主要成分的导电材料。

[0269] 例如,作为导体240的第一导体优选使用氮化钛,作为导体240的第二导体优选使用钨。在此情况下,导体240的第一导体为包含钛及氮的导体,导体240的第二导体为包含钨的导体。

[0270] 此外,导体240也可以具有单层结构或三层以上的叠层结构。此外,例如图8示出导体240的顶面的高度与绝缘体181的顶面的高度一致的例子,但是导体240的顶面的高度例如也可以高于绝缘体181的顶面的高度。

[0271] 绝缘体216a、绝缘体280、绝缘体285、绝缘体287、绝缘体216b、绝缘体181及绝缘体185的介电常数优选都低于绝缘体163。此外,例如绝缘体222的介电常数优选高于绝缘体216a、绝缘体280、绝缘体285、绝缘体287、绝缘体216b、绝缘体181及绝缘体185。通过作为绝缘体216a、绝缘体280、绝缘体285、绝缘体287、绝缘体216b、绝缘体181及绝缘体185使用介电常数低的材料形成层间膜,可以减少产生在布线之间的寄生电容。

[0272] 使用可具有铁电性的材料的绝缘体的介电常数优选高于绝缘体222。例如,绝缘体163的介电常数优选高于绝缘体222。

[0273] 例如,绝缘体216a、绝缘体280、绝缘体285、绝缘体287、绝缘体216b、绝缘体181以及绝缘体185各自优选包含氧化硅、氧氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅和具有空孔的氧化硅中的一个或多个。

[0274] 尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。或者,因为氧化硅、氧氮化硅、具有空孔的氧化硅等材料容易形成包含通过加热脱离的氧的区域,所以是特别优选的。

[0275] 图11所示的存储层11包括电容器101b、晶体管201、晶体管202及晶体管203。图11与图10的不同之处在于:在图11中,存储层11包括导体205b;包括导体160;以及包括绝缘体222F代替绝缘体222;等等。

[0276] 电容器101b可以对应于上述实施方式所示的电容器C1。此外,与图10同样,晶体管201、晶体管202及晶体管203可以分别对应于上述实施方式所示的存储单元10所包括的晶体管M1、晶体管M2及晶体管M3,导体240a及导体240b可以分别对应于布线WBL及布线RBL。

[0277] 在图11中,导体205b嵌入绝缘体216a的开口部中。导体205b具有隔着绝缘体222F与导体242b重叠的区域。绝缘体222F具有夹在导体205b与导体242b之间的区域。此外,在图11所示的结构中,导体205b优选具有与绝缘体222F的底面接触的区域。

[0278] 导体205b具有用作电容器101b的一个电极(也称为下部电极)的区域。绝缘体

222F具有用作电容器101的介电质的区域。导体242b具有用作电容器101b的另一个电极(也称为上部电极)的区域。

[0279] 绝缘体222F优选使用可具有铁电性的材料。此外,作为绝缘体222F,可以参照上述绝缘体163的记载。

[0280] 绝缘体285上设置有绝缘体287。绝缘体287中设置有开口,导体160嵌入该开口内部。此外,导体160及绝缘体287上设置有绝缘体288。绝缘体288上设置有绝缘体215。设置有开口的绝缘体216b设置在绝缘体215上,导体205a2及导体205b嵌入该开口内部。导体160可以具有与绝缘体288的侧面接触的区域。此外,导体205a2及导体205b可以具有与绝缘体216b的侧面接触的区域。

[0281] 绝缘体288的介电常数优选低于绝缘体163。此外,绝缘体214的介电常数例如优选高于绝缘体288。通过作为绝缘体288使用介电常数低的材料形成层间膜,可以减少产生在布线间的寄生电容,并可以抑制对存储单元10的工作性能造成的影响。作为绝缘体288例如可以参照绝缘体216a、绝缘体280、绝缘体285、绝缘体287、绝缘体216b、绝缘体181及绝缘体185的记载。

[0282] 以下在说明导体205a1与导体205a2间共同的事项的情况下,有时记为导体205a。此外,在说明导体205a与导体205b间共同的事项的情况下,有时记为导体205。

[0283] 导体242b与导体160通过导体231电连接。此外,晶体管202所包括的导体260与导体160通过导体232电连接。如此,具有用作晶体管201的源电极及漏电极中的另一个的区域的导体242b通过导体231、导体160以及导体232电连接于具有用作晶体管202的栅电极的区域的导体260。

[0284] 导体160包括第一导体及第一导体上的第二导体。例如,作为导体160的第一导体可以使用通过ALD法而沉积的氮化钛,作为导体160的第二导体可以使用通过CVD法而沉积的钨。此外,当钨的相对于绝缘体285的密接性十分高时,作为导体160也可以采用通过CVD法而沉积的钨的单层结构。

[0285] 注意,有时也可以不设置绝缘体288和绝缘体215中的一个。

[0286] 图12所示的存储层11与图11的不同之处在于:在图12所示的存储层11中,包括绝缘体215F代替绝缘体215;包括绝缘体222代替绝缘体222F;不包括绝缘体288;等等。

[0287] 作为绝缘体215F,优选使用可具有铁电性的材料。此外,作为绝缘体215F,可以参照上述绝缘体163的记载。

[0288] 注意,在图12中,例如有时绝缘体222的厚度优选为绝缘体215F的厚度以上。此外,有时也可以使用绝缘体222F代替绝缘体222。

[0289] 图13及图14分别示出层叠n个图12所示的存储层11的结构的一个例子。图13示出使用图8所示的导体240a及导体240b的结构。另外,图14示出使用图9所示的连接电极240c及连接电极240d的结构。

[0290] 在图12及图13所示的存储层11中,除了形成电容器101以外,导体205b、导体242b以及夹在导体205b与导体242b之间的绝缘体222有时还形成第二电容器。导体205b及导体242b分别可以被用作该第二电容器的电极,绝缘体222可以被用作介电质。在存储层11中,有时形成电容器101和该第二电容器的合成电容。此外,在存储层11中,有时可以看作电容器101的上部电极与上一层的存储层11所包括的该第二电容器的下部电极被共

用。

[0291] 在由电容器101和该第二电容器形成合成电容的情况下,例如,在层叠的多个层的存储层11中,在采用上下相邻的存储层不共用图2所示的布线RBL[i,s]的结构时,有时可以减少该第二电容器的影响。

[0292] 具体而言,例如,可以设置两个布线RBL[i,s](例如,布线RBL[i,s,A]及布线RBL[i,s,B]),在层叠的多个层的存储层11中,奇数层的存储层11可以与布线RBL[i,s,A]连接且偶数层的存储层11可以与布线RBL[i,s,B]连接。或者,奇数层的存储层11可以与布线RBL[i,s,B]连接且偶数层的存储层11可以与布线RBL[i,s,A]连接。

[0293] 例如,存储层11_h所包括的存储单元10[i,j]与布线WBL[i,s]及布线RBL[i,s,A]电连接。此外,存储层11_h所包括的存储单元10[i,j+1]与布线WBL[i,s+1]及布线RBL[i,s,A]电连接。另外,存储层11_h+1所包括的存储单元10[i,j]与布线WBL[i,s]及布线RBL[i,s,B]电连接。此外,存储层11_h+1所包括的存储单元10[i,j+1]与布线WBL[i,s+1]及布线RBL[i,s,B]电连接。

[0294] 作为布线RBL[i,s,A]和布线RBL[i,s,B]中的一个,例如可以使用包括n层的存储层11的各导电体233b中的奇数层的存储层11的导电体233b的连接电极,在该连接电极中,奇数层的存储层11的导电体233b彼此电连接。此外,作为布线RBL[i,s,A]和布线RBL[i,s,B]中的另一个,例如可以使用包括n层的存储层11的各导电体233b中的偶数层的存储层11的导电体233b的连接电极,在该连接电极中偶数层的存储层11的导电体233b彼此电连接。

[0295] 图15是示出本发明的一个方式的半导体装置的结构例子的截面图。在图15所示的半导体装置中,在图8所示的结构之下例如设置有包括晶体管300的层。晶体管300例如可以设置于形成在绝缘体210以上的层中的存储单元的驱动电路。此外,图15中的绝缘体210以上的层的结构与图8同样,由此省略详细说明。

[0296] 图15示出晶体管300。晶体管300设置在衬底311上,并包括:用作栅极的导电体316、用作栅电极的绝缘体315、包括衬底311的一部分的半导体区域313;以及用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型晶体管或n沟道型晶体管。作为衬底311,例如可以使用单晶硅衬底。

[0297] 在此,在图15所示的晶体管300中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管300也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI(Silicon on Insulator:绝缘体上硅)衬底进行加工来形成具有凸形状的半导体膜。

[0298] 注意,图15所示的晶体管300的结构只是一个例子,不局限于上述结构,可以根据电路结构或驱动方法使用适当的晶体管。

[0299] 各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,有时导电体的一部分被用作布线,有时导电体的一部分被用作插头。

[0300] 例如,在晶体管300上,作为层间膜依次层叠地设置有绝缘体320、绝缘体322、绝缘体324及绝缘体326。此外,导电体328等嵌入绝缘体320及绝缘体322中。此外,导电体330等嵌入绝缘体324及绝缘体326中。此外,导电体328及导电体330被用作接触插头或布线。

[0301] 此外,用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,其顶面也可以例如通过利用化学机械抛光(CMP: Chemical Mechanical Polishing)法等平坦化处理被平坦化。

[0302] 图16A及图16B是示出具有图10A所示的结构 of 的半导体装置的一个例子的平面图,并示出XY平面的结构例子。

[0303] 图16A示出晶体管201、晶体管202、晶体管203、导电体240a及导电体240b。图16B示出对图16A追加电容器101的结构。在图16B中,由晶体管201、晶体管202、晶体管203及电容器101构成存储单元10。此外,在图16A及图16B中,省略导电体以外的构成要素。

[0304] 在图16A中,晶体管201所包括的导电体260具有夹在导电体242a与导电体242b之间的区域。另外,晶体管202所包括的导电体260具有夹在导电体242c与导电体242d之间的区域。另外,晶体管203所包括的导电体260具有夹在导电体242d与导电体242e之间的区域。

[0305] 图17A及图17B示出导电体162的形状与图16B不同的例子。图17A所示的导电体162可以减少与导电体205a1重叠的面积。因此,例如可以降低导电体162与导电体205a1的寄生电容。此外,在图17A中,在俯视时,导电体162的宽度变化,而在图16B中,可以增大导电体162的宽度,由此可以降低布线电阻。此外,如图17B所示,也可以使导电体162的宽度变窄来减少导电体162与导电体205a1重叠的区域。

[0306] <半导体装置的制造方法>

用来形成绝缘体的绝缘材料、用来形成导电体的导电材料或用来形成半导体的半导体材料可以适当地使用溅射法、CVD法、MBE法、PLD法、ALD法等沉积。

[0307] 作为溅射法,可以举出将高频电源用于溅射电源的RF溅射法、利用直流电源的DC溅射法、以脉冲方式改变施加到电极的电压的脉冲DC溅射法。RF溅射法主要在沉积绝缘膜时使用,DC溅射法主要在沉积金属导电膜时使用。此外,脉冲DC溅射法主要在利用反应性溅射法沉积氧化物、氮化物或碳化物等化合物时使用。

[0308] 注意,CVD法可以分为利用等离子体的等离子体CVD法(PECVD)、利用热的热CVD(TCVD: Thermal CVD)法、利用光的光CVD(Photo CVD)法等。再者,可以根据使用的源气体分为金属CVD(MCVD: Metal CVD)法、有机金属CVD(MOCVD: Metal Organic CVD)法。

[0309] 通过利用等离子体增强CVD法,可以以较低的温度得到高品质的膜。此外,因为在热CVD法中不使用等离子体,所以能够减少对被处理物造成的等离子体损伤。例如,包括在半导体装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而产生电荷积聚。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极、元件等受损伤。另一方面,因为在不使用等离子体的热CVD法的情况下不产生上述等离子体损伤,所以能够提高半导体装置的成品率。此外,在热CVD法中,不产生沉积时的等离子体损伤,因此能够得到缺陷较少的膜。

[0310] 作为ALD法,采用只利用热能使前驱物及反应物起反应的热ALD法、使用受到等离子体激发的反应物的PEALD法等。

[0311] CVD法及ALD法不同于从靶材等中被释放的粒子沉积的溅射法。因此,CVD法及ALD

法是具有良好的台阶覆盖性而不易受被处理物的形状的影响的沉积方法。尤其是,ALD法具有良好的台阶覆盖性和厚度均匀性,所以ALD法例如适合用于形成覆盖纵横比高的开口部的表面的膜等。但是,ALD法的沉积速率比较慢,所以有时优选与沉积速率快的CVD法等其他沉积方法组合而使用。

[0312] 此外,当使用CVD法时,可以根据源气体的流量比沉积任意组成的膜。例如,当使用CVD法时,可以通过在进行沉积的同时改变源气体的流量比来沉积其组成连续变化的膜。当在改变源气体的流量比的同时进行沉积时,因为不需要传送或调整压力所需的时间,所以与使用多个沉积室进行沉积的情况相比可以缩短沉积时间。因此,有时可以提高半导体装置的生产率。

[0313] 当使用ALD法时,通过同时导入不同的多种前驱物,可以沉积任意组成的膜。或者,在导入不同的多种前驱物时,通过控制各前驱物的循环次数可以沉积任意组成的膜。

[0314] 绝缘体222例如可以通过溅射法、CVD法、MBE法、PLD法或ALD法而沉积。在本实施方式中,作为绝缘体222利用ALD法沉积氧化铪。此外,绝缘体222也可以具有通过PEALD法沉积的氮化硅与通过ALD法沉积的氧化铪的叠层结构。

[0315] 可以在沉积绝缘体222之后进行加热处理。加热处理的温度优选为250°C以上且650°C以下,更优选为300°C以上且500°C以下,进一步优选为320°C以上且450°C以下。加热处理优选在氮气体或非活性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。

[0316] 金属氧化物230a及金属氧化物230b各自例如可以利用溅射法、CVD法、MBE法、PLD法或ALD法而沉积。在本实施方式中,在金属氧化物230a及金属氧化物230b的沉积中利用溅射法。

[0317] 例如,在利用溅射法沉积金属氧化物230a以及金属氧化物230b的情况下,作为溅射气体使用氧或者氧和稀有气体的混合气体。通过提高溅射气体所包含的氧的比率,可以增加沉积的氧化膜中的过剩氧。此外,在利用溅射法沉积金属氧化物230a及金属氧化物230b的情况下,例如可以使用In-M-Zn氧化物靶材。

[0318] 绝缘体253例如可以利用ALD法、溅射法、CVD法、MBE法或PLD法而沉积。

[0319] 此外,当利用ALD法沉积成为绝缘体253的绝缘膜时,作为氧化剂可以使用臭氧(O₃)、氧(O₂)或水(H₂O)等。通过使用不包含氢的臭氧(O₃)或氧(O₂)等作为氧化剂,可以减少扩散到金属氧化物230b的氢。

[0320] 本实施方式可以与其他实施方式适当地组合。此外,在本说明书中,在一个实施方式中示出多个结构例子的情况下,可以适当地组合该结构例子。

[0321] (实施方式3)

在本实施方式中,参照附图说明安装有本发明的一个方式的存储装置的芯片的一个例子。

[0322] 在图18A和图18B所示的芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0323] 如图18A所示,芯片1200包括CPU1211、GPU1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0324] 在芯片1200上设置有凸块(未图示),该凸块如图18B所示那样与封装衬底1201的

第一面连接。此外,在封装衬底1201的第一面的背面设置有多个凸块1202,该凸块1202与 motherboard 1203连接。

[0325] 此外,也可以在 motherboard 1203上设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的存储电路应用于DRAM1221。由此,可以实现DRAM1221的大容量化、高速化以及低功耗化。

[0326] CPU1211优选具有多个CPU核心。此外,GPU1212优选具有多个GPU核心。此外,CPU1211和GPU1212可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述存储电路应用于该存储器。此外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过作为GPU1212设置使用OS晶体管的图像处理电路或积和运算电路,可以以低功耗执行图像处理或积和运算。

[0327] 此外,因为在同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所包括的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0328] 模拟运算部1213具有A/D(模拟/数字)转换电路和D/A(数字/模拟)转换电路中的一个或两个。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0329] 存储控制器1214具有用作DRAM1221的控制器的电路及用作闪存1222的接口的电路。

[0330] 接口1215具有与如显示装置、扬声器、麦克风、影像拍摄装置、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)、HDMI(High-Definition Multimedia Interface:高清晰度多媒体接口)(注册商标)等。

[0331] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以具有网络安全用电路。

[0332] 上述电路(系统)可以经同一制造工序形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工序,可以以低成本制造芯片1200。

[0333] 可以将包括设置有具有GPU1212的芯片1200的封装衬底1201、DRAM1221以及闪存1222的 motherboard 1203称为GPU模块1204。

[0334] GPU模块1204因具有使用SoC技术的芯片1200而可以减少其尺寸。此外,GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外,通过利用使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、循环神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者,可以将GPU模块1204用作AI系统模块。

[0335] 本实施方式可以与其他实施方式适当地组合。

[0336] (实施方式4)

本实施方式示出安装有本发明的一个方式的存储装置等的电子构件及电子设备的一个例子。

[0337] [电子构件]

图19A示出电子构件700及安装有电子构件700的基板(电路板704)的立体图。图19A所示的电子构件700在模子711内包括作为本发明的一个方式的存储装置的存储装置100。在图19A中,省略电子构件700的一部分以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于存储装置100。电子构件700例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0338] 如上述实施方式所示,存储装置100包括驱动电路层50及存储层11(包括存储单元阵列15)。

[0339] 图19B示出电子构件730的立体图。电子构件730是SiP(System in Package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置100。

[0340] 电子构件730示出将存储装置100用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以使用CPU、GPU、FPGA等集成电路(半导体装置)。

[0341] 封装衬底732例如可以使用陶瓷衬底、塑料衬底、玻璃环氧衬底等。插板731例如可以使用硅插板、树脂插板等。

[0342] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。此外,插板731具有将设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时将插板也称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。此外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0343] 作为插板731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以比集成电路更低的成本制造。另一方面,硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0344] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0345] 此外,在使用硅插板的SiP及MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0346] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使存储装置100与半导体装置735的高度一致。

[0347] 为了将电子构件730安装在其他衬底上,也可以在封装衬底732的底部设置电极733。图19B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵

列)的安装。

[0348] 电子构件730可以通过各种安装方法安装在其他衬底上,而不局限于BGA及PGA。作为安装方法,例如可以举出SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)。

[0349] 本实施方式可以与其他实施方式适当地组合。

[0350] (实施方式5)

在本实施方式中说明本发明的一个方式的存储装置的应用例子。

[0351] 本发明的一个方式的存储装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器终端、数码相机、录像再现装置、导航系统、游戏机等)的存储装置。此外,可以用于图像传感器、IoT(Internet of Things:物联网)以及医疗等。这里,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。

[0352] 将说明具有本发明的一个方式的存储装置的电子设备的一个例子。图20A至图20J、图21A至图21E示出具有该存储装置的电子构件700或电子构件730包括在各电子设备中的情况。

[0353] [移动电话机]

图20A所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入界面在显示部5511中包括触控面板,并且在外壳5510上设置有按钮。

[0354] 通过将本发明的一个方式的存储装置应用于信息终端5500,可以储存在执行程序时暂时生成的文档(例如,使用网页浏览器时的缓存)。

[0355] [可穿戴终端]

图20B示出可穿戴终端的一个例子的信息终端5900。信息终端5900包括外壳5901、显示部5902、操作开关5903、操作开关5904以及表带5905。

[0356] 与上述信息终端5500同样,通过将本发明的一个方式的存储装置应用于可穿戴终端,可以储存在执行程序时暂时生成的文档。

[0357] [信息终端]

图20C示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示部5302及键盘5303。

[0358] 与上述信息终端5500同样,通过将本发明的一个方式的存储装置应用于台式信息终端5300,可以储存在执行程序时暂时生成的文档。

[0359] 虽然在图20A至图20C中作为电子设备示出智能手机、可穿戴终端及台式信息终端,但是作为其他信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0360] [电器产品]

图20D示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。例如,电冷藏冷冻箱5800是对应于物联网(IoT)的电冷藏冷冻箱。

[0361] 可以将本发明的一个方式的存储装置应用于电冷藏冷冻箱5800。例如,通过利用互联网,可以使电冷藏冷冻箱5800对信息终端等发送储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等的信息。电冷藏冷冻箱5800可以在本发明的一个方式的存储装置中储存在发送该信息时暂时生成的文档。

[0362] 在图20D中,作为电器产品说明电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0363] [游戏机]

图20E示出游戏机的一个例子的便携式游戏机5200。便携式游戏机5200包括外壳5201、显示部5202、按钮5203等。

[0364] 此外,图20F示出游戏机的一个例子的固定式游戏机7500。尤其是,固定式游戏机7500可以说是家用固定式游戏机。固定式游戏机7500包括主体7520及控制器7522。主体7520可以以无线方式或有线方式与控制器7522连接。此外,虽然在图20F中未图示,但是控制器7522可以包括显示游戏的图像的显示部、作为按钮以外的输入接口的触摸面板及控制杆、旋转式抓手、滑动式抓手等。此外,控制器7522不局限于图20F所示的形状,也可以根据游戏的种类改变控制器7522的形状。例如,在FPS(First Person Shooter,第一人称射击类游戏)等射击游戏中,作为扳机使用按钮,可以使用模仿枪的形狀的控制器。此外,例如,在音乐游戏等中,可以使用模仿乐器、音乐器件等的形狀的控制器。再者,固定式游戏机也可以设置照相机、深度传感器、麦克风等中的一个或多个,由游戏玩者的手势或声音等操作以代替控制器。

[0365] 此外,上述游戏机的影像可以由电视装置、个人计算机用显示器、游戏用显示器、头戴显示器等显示装置输出。

[0366] 通过将本发明的一个方式的存储装置用于便携式游戏机5200或固定式游戏机7500,可以降低功耗。此外,借助于低功耗化,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0367] 并且,通过将本发明的一个方式的存储装置用于便携式游戏机5200或固定式游戏机7500,可以储存在执行游戏时暂时生成的运算用文档。

[0368] 在图20E及图20F中,作为游戏机的例子示出便携式游戏机及家用固定式游戏机,但是作为其他游戏机,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0369] [移动体]

本发明的一个方式的存储装置可以应用于作为移动体的汽车及汽车的驾驶座位附近。

[0370] 图20G示出作为移动体的一个例子的汽车5700。

[0371] 汽车5700的驾驶座位附近设置有显示速度表、转速计、行驶距离、加油量、排档状态、空调的设定等各种信息的仪表盘。此外,驾驶座位附近也可以设置有表示上述信息的存储装置。

[0372] 尤其是,通过将由设置在汽车5700上的摄像装置(未图示)拍摄的影像显示在上述显示装置上,可以弥补被支柱等遮挡的视野、驾驶座位的死角等,从而可以提高安全性。也

就是说,通过显示设置在汽车5700外侧的拍摄装置所拍摄的图像,可以补充视野来避免死角,以提高安全性。

[0373] 本发明的一个方式的存储装置能够暂时储存数据,例如,可以将该存储装置应用于汽车5700的自动驾驶系统、进行导航、危险预测等的系统等来暂时储存必要数据。此外,本发明的一个方式的存储装置也可以储存安装在汽车5700上的行车记录仪的录像。

[0374] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等。

[0375] [照相机]

本发明的一个方式的存储装置可以应用于照相机。

[0376] 图20H示出摄像装置的一个例子的数码相机6240。数码相机6240包括外壳6241、显示部6242、操作开关6243以及快门按钮6244,并且安装有可装卸的镜头6246。在此,数码相机6240采用能够从外壳6241拆卸下镜头6246的结构,但是镜头6246及外壳6241也可以被形成为一体。此外,数码相机6240还可以包括另外安装的闪光灯装置及取景器等。

[0377] 通过将本发明的一个方式的存储装置用于数码相机6240,可以降低功耗。此外,借助于低功耗化,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0378] [视频摄像机]

本发明的一个方式的存储装置可以应用于视频摄像机。

[0379] 图20I示出摄像装置的一个例子的视频摄像机6300。视频摄像机6300包括第一外壳6301、第二外壳6302、显示部6303、操作开关6304、镜头6305以及连接部6306。操作开关6304及镜头6305设置在第一外壳6301上,显示部6303设置在第二外壳6302上。第一外壳6301与第二外壳6302由连接部6306连接,第一外壳6301与第二外壳6302间的角度可以由连接部6306改变。显示部6303的图像也可以根据连接部6306中的第一外壳6301与第二外壳6302间的角度切换。

[0380] 当记录由视频摄像机6300拍摄的图像时,需要进行根据数据记录方式的编码。借助于本发明的一个方式的存储装置,上述视频摄像机6300可以储存在进行编码时暂时生成的文档。

[0381] [ICD]

可以将本发明的一个方式的存储装置应用于埋藏式心律转复除颤器(ICD)。

[0382] 图20J是示出ICD的一个例子的截面示意图。ICD主体5400至少包括电池5401、电子构件700、调节器、控制电路、天线5404、向右心房的金属丝5402、向右心室的金属丝5403。

[0383] ICD主体5400通过手术设置在体内,两个金属丝穿过人体的锁骨下静脉5405及上腔静脉5406,并且其一方金属丝的先端设置于右心室,另一方金属丝的先端设置于右心房。

[0384] ICD主体5400具有心脏起搏器的功能,并在心律在规定范围之外时对心脏进行起搏。此外,在即使进行起搏也不改善心律时(快速的心室频脉或心室颤动等)进行利用去颤的治疗。

[0385] 为了适当地进行起搏及去颤,ICD主体5400需要经常监视心律。因此,ICD主体5400包括用来检测心律的传感器。此外,ICD主体5400可以在电子构件700中储存通过该传感器

测得的心律的数据、利用起搏进行治疗的次数、时间等。

[0386] 此外,因为由天线5404接收电力,且该电力被充电到电池5401。此外,通过使ICD主体5400包括多个电池,可以提高安全性。具体而言,即使ICD主体5400中的部分电池产生故障,其他电池可以起作用而被用作辅助电源。

[0387] 此外,除了能够接收电力的天线5404,还可以包括能够发送生理信号的天线,例如,也可以构成能够由外部的监视装置确认脉搏、呼吸数、心律、体温等生理信号的监视心脏活动的系统。

[0388] [PC用扩展装置]

本发明的一个方式的存储装置可以应用于PC(Personal Computer;个人计算机)等计算机、信息终端用扩展装置。

[0389] 图21A示出该扩展装置的一个例子的可以携带且安装有能够储存数据的芯片的设置在PC的外部的扩展装置6100。扩展装置6100例如通过由USB(Universal Serial Bus;通用串行总线)等连接于PC,可以储存数据。注意,虽然图21A示出可携带的扩展装置6100,但是根据本发明的一个方式的扩展装置不局限于此,例如也可以采用安装冷却风机等的较大结构的扩展装置。

[0390] 扩展装置6100包括外壳6101、盖子6102、USB连接器6103及衬底6104。衬底6104被容纳在外壳6101中。衬底6104设置有驱动本发明的一个方式的存储装置等的电路。例如,衬底6104安装有电子构件700、控制器芯片6106。USB连接器6103被用作连接于外部装置的接口。

[0391] [SD卡]

本发明的一个方式的存储装置可以应用于能够安装在信息终端或数码相机等电子设备上的SD卡。

[0392] 图21B是SD卡的外观示意图,图21C是SD卡的内部结构的示意图。SD卡5110包括外壳5111、连接器5112及衬底5113。连接器5112具有连接到外部装置的接口的功能。衬底5113被容纳在外壳5111中。衬底5113设置有存储装置及驱动该存储装置的电路。例如,衬底5113安装有电子构件700、控制器芯片5115。此外,电子构件700及控制器芯片5115的各电路结构不局限于上述记载,可以根据情况适当地改变电路结构。例如,电子构件所包括的写入电路、行驱动器、读出电路等也可以不安装在电子构件700上而安装在控制器芯片5115上。

[0393] 通过在衬底5113的背面一侧也设置电子构件700,可以增大SD卡5110的容量。此外,也可以将具有无线通信功能的无线芯片设置于衬底5113。由此,可以进行外部装置与SD卡5110之间的无线通信,可以进行电子构件700的数据的读出及写入。

[0394] [SSD]

本发明的一个方式的存储装置可以应用于能够安装在信息终端等电子设备上的固态驱动器(SSD)。

[0395] 图21D是SSD的外观示意图,图21E是SSD的内部结构的示意图。SSD5150包括外壳5151、连接器5152及衬底5153。连接器5152具有连接到外部装置的接口的功能。衬底5153被容纳在外壳5151中。衬底5153设置有存储装置及驱动该存储装置的电路。例如,衬底5153安装有电子构件700、存储器芯片5155、控制器芯片5156。通过在衬底5153的背面一侧也设置电子构件700,可以增大SSD5150的容量。存储器芯片5155中安装有工作存储器。例如,可以

将DRAM芯片用于存储器芯片5155。控制器芯片5156中安装有处理器、ECC (Error-Correcting Code: 纠错码) 电路等。注意, 电子构件700、存储器芯片5155及控制器芯片5115的各电路结构不局限于上述记载, 可以根据情况适当地改变电路结构。例如, 控制器芯片5156中也可以设置用作工作存储器的存储器。

[0396] [计算机]

图22A所示的计算机5600是大型计算机的例子。在计算机5600中, 多个机架式计算机5620收纳在机架5610中。

[0397] 计算机5620例如可以具有图22B所示的立体图的结构。在图22B中, 计算机5620包括母板5630, 母板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算机卡5621。并且, 个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625, 它们连接到母板5630。

[0398] 图22C所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外, 板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意, 图22C示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置, 关于这些半导体装置的说明, 参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明。

[0399] 连接端子5629具有可以插入母板5630的插槽5631的形状, 连接端子5629被用作连接个人计算机卡5621与母板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0400] 连接端子5623、连接端子5624及连接端子5625例如可以被用作用来对个人计算机卡5621供电或输入信号等的接口。此外, 例如, 可以被用作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB (通用串行总线)、SATA (串行ATA)、SCSI (小型计算机系统接口) 等。此外, 当从连接端子5623、连接端子5624、连接端子5625输出视频信号时, 作为各规格可以举出HDMI (注册商标) 等。

[0401] 半导体装置5626包括进行信号的输入及输出的端子(未图示), 通过将该端子插入板5622所包括的插座(未图示), 可以电连接半导体装置5626与板5622。

[0402] 半导体装置5627包括多个端子, 通过将该端子以回流焊方式焊接到板5622所包括的布线, 可以电连接半导体装置5627与板5622。作为半导体装置5627, 例如, 可以举出FPGA、GPU、CPU等。作为半导体装置5627, 例如可以使用电子构件730。

[0403] 半导体装置5628包括多个端子, 通过将该端子以回流焊方式焊接到板5622所包括的布线, 可以电连接半导体装置5628与板5622。作为半导体装置5628, 例如, 可以举出存储装置等。作为半导体装置5628, 例如可以使用电子构件700。

[0404] 计算机5600可以用作并行计算机。通过将计算机5600用作并行计算机, 例如可以进行人工智能的学习及推论所需要的大规模计算。

[0405] 通过将本发明的一个方式的存储装置用于上述各种电子设备等, 可以实现电子设备的小型化及低功耗化。此外, 本发明的一个方式的存储装置的耗电量少, 由此可以降低电路发热。由此, 可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外, 通过使用本发明的一个方式的存储装置, 可以实现高温环境下也稳定工作的电子设备。由此,

可以提高电子设备的可靠性。

[0406] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0407] (实施方式6)

在本实施方式中,使用图23说明将本发明的一个方式的半导体装置应用于太空设备的情况的具体例子。

[0408] 本发明的一个方式的半导体装置包括0S晶体管。0S晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在有可能入射辐射线的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用0S晶体管。

[0409] 在图23中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。此外,图23示出在宇宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所示的宇宙空间也可以包括热层、中间层和平流层中的一个或多个。

[0410] 此外,宇宙空间是其辐射剂量为地面的100倍以上的环境。作为辐射线,例如可以举出:以X射线及 γ 射线为代表的电磁波(电磁辐射线);以及以 α 射线、 β 射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0411] 在阳光照射到太阳能电池板6802时生成人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量较少的情况下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力较少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。此外,有时将太阳能电池板称为太阳能电池模块。

[0412] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0413] 此外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。此外,作为控制装置6807优选使用包括本发明的一个方式的0S晶体管的半导体装置。与Si晶体管相比,0S晶体管的因被照射辐射线而导致的电特性变动小。也就是说,0S晶体管在有可能入射辐射线的环境下也具有高可靠性且可以适当地使用。

[0414] 此外,人造卫星6800可以包括传感器。例如、通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0415] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的半导体装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

符号说明

[0416] 10:存储单元、11:存储层、15:存储单元阵列、22:PSW、23:PSW、31:外围电路、32:控制电路、33:电压生成电路、41:外围电路、42:行译码器、43:行驱动器、44:列译码器、45:列驱动器、46:读出放大器、47:输入电路、48:输出电路、50:驱动电路层、100:存储装置、101:

电容器、101b:电容器、160:导体、161:导体、162:导体、163:绝缘体、181:绝缘体、183:绝缘体、185:绝缘体、201:晶体管、202:晶体管、203:晶体管、205a:导体、205b:导体、205:导体、209a:导体、209b:导体、209:导体、210:绝缘体、212:绝缘体、214:绝缘体、215:绝缘体、215F:绝缘体、216a:绝缘体、216b:绝缘体、222:绝缘体、222F:绝缘体、224:绝缘体、230a:金属氧化物、230b:金属氧化物、230:金属氧化物、231:导体、232:导体、233a:导体、233b:导体、240a:导体、240b:导体、240c:连接电极、240d:连接电极、240:导体、242a:导体、242b:导体、242c:导体、242d:导体、242e:导体、242:导体、253:绝缘体、254:绝缘体、258:开口、260:导体、275:绝缘体、280:绝缘体、282:绝缘体、285:绝缘体、287:绝缘体、288:绝缘体、291a:开口、291b:开口、292a:开口、292b:开口、293a:开口、293b:开口、294a:开口、294b:开口、300:晶体管、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导体、330:导体、700:电子构件、702:印刷电路板、704:电路板、711:模子、712:连接盘、713:电极焊盘、714:引线、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、1200:芯片、1201:封装衬底、1202:凸块、1203:母板、1204:GPU模块、1211:CPU、1212:GPU、1213:模拟运算部、1214:存储器控制器、1215:接口、1216:网络电路、1221:DRAM、1222:快闪存储器、5110:SD卡、5111:外壳、5112:连接器、5113:衬底、5115:控制器芯片、5150:SSD、5151:外壳、5152:连接器、5153:衬底、5155:存储器芯片、5156:控制器芯片、5200:便携式游戏机、5201:外壳、5202:显示部、5203:按钮、5300:台式信息终端、5301:主体、5302:显示部、5303:键盘、5400:ICD主体、5401:电池、5402:金属丝、5403:金属丝、5404:天线、5405:锁骨下静脉、5406:上腔静脉、5500:信息终端、5510:外壳、5511:显示部、5600:计算机、5610:机架、5620:计算机、5621:个人计算机卡、5622:板、5623:连接端子、5624:连接端子、5625:连接端子、5626:半导体装置、5627:半导体装置、5628:半导体装置、5629:连接端子、5630:母板、5631:插槽、5700:汽车、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门、5900:信息终端、5901:外壳、5902:显示部、5903:操作开关、5904:操作开关、5905:表带、6100:扩展装置、6101:外壳、6102:盖子、6103:USB连接器、6104:衬底、6106:控制器芯片、6240:数码相机、6241:外壳、6242:显示部、6243:操作开关、6244:快门按钮、6246:镜头、6300:视频摄像机、6301:第一外壳、6302:第二外壳、6303:显示部、6304:操作开关、6305:镜头、6306:连接部、6800:人造卫星、6801:主体、6802:太阳能电池板、6803:天线、6804:行星、6805:二次电池、6807:控制装置、7500:固定式游戏机、7520:主体、7522:控制器

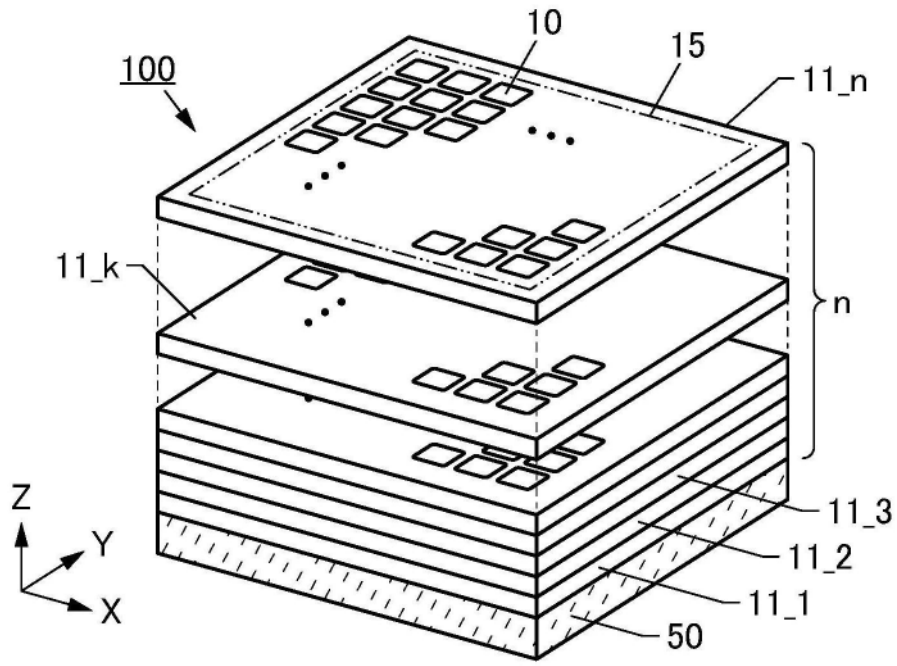


图1A

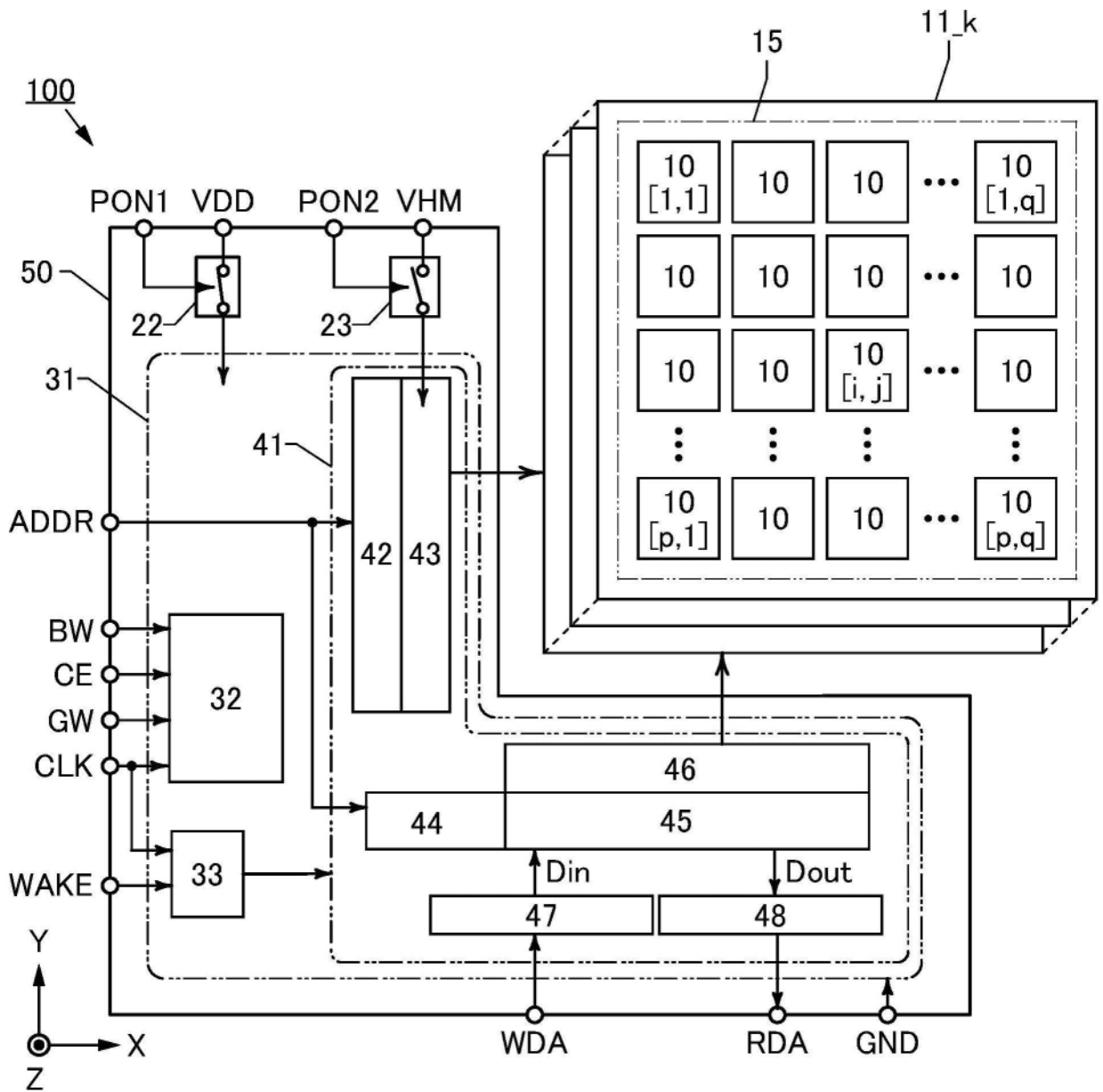


图1B

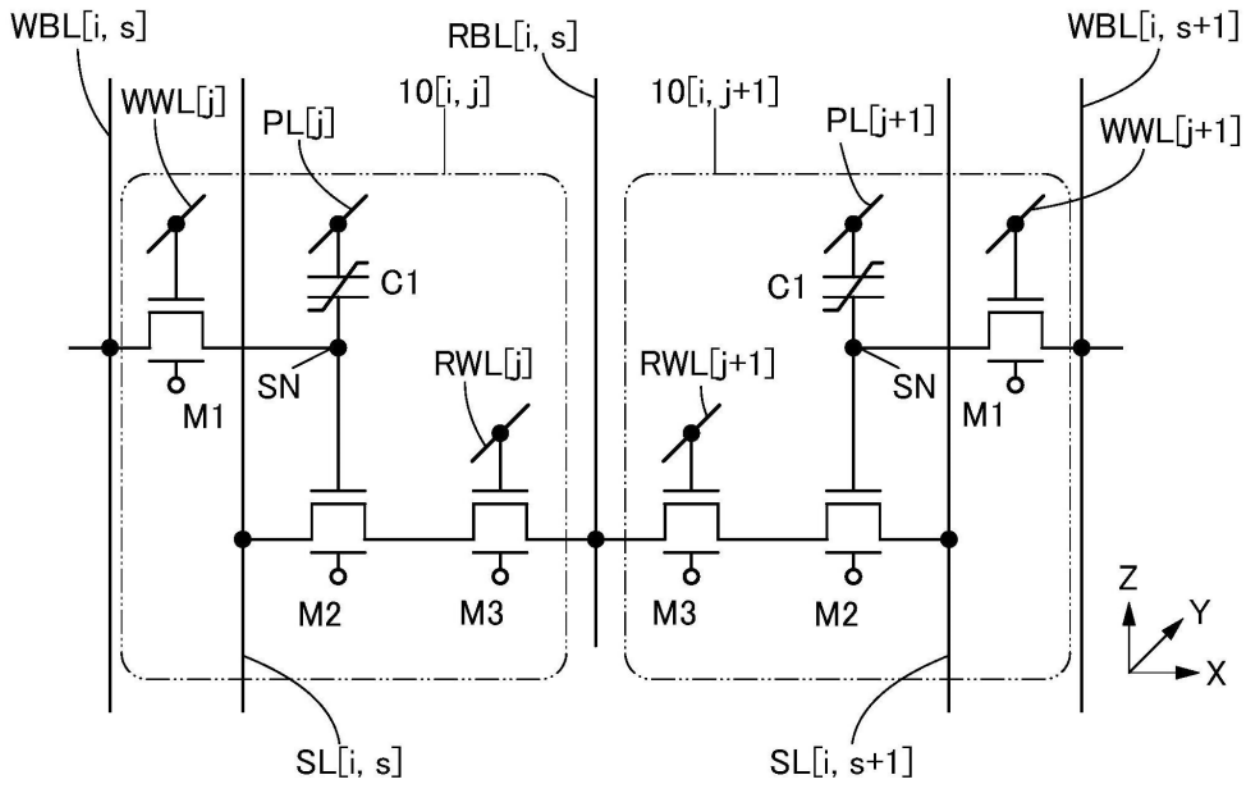


图2A

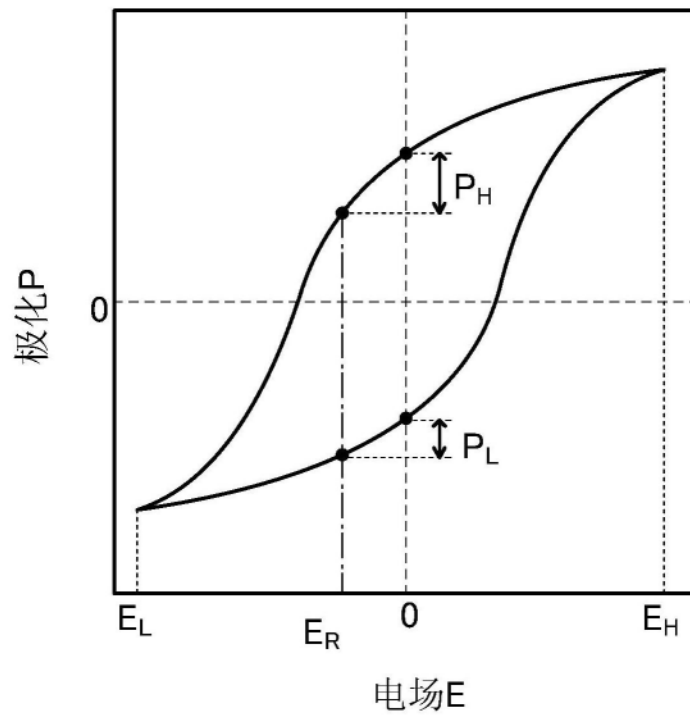


图2B

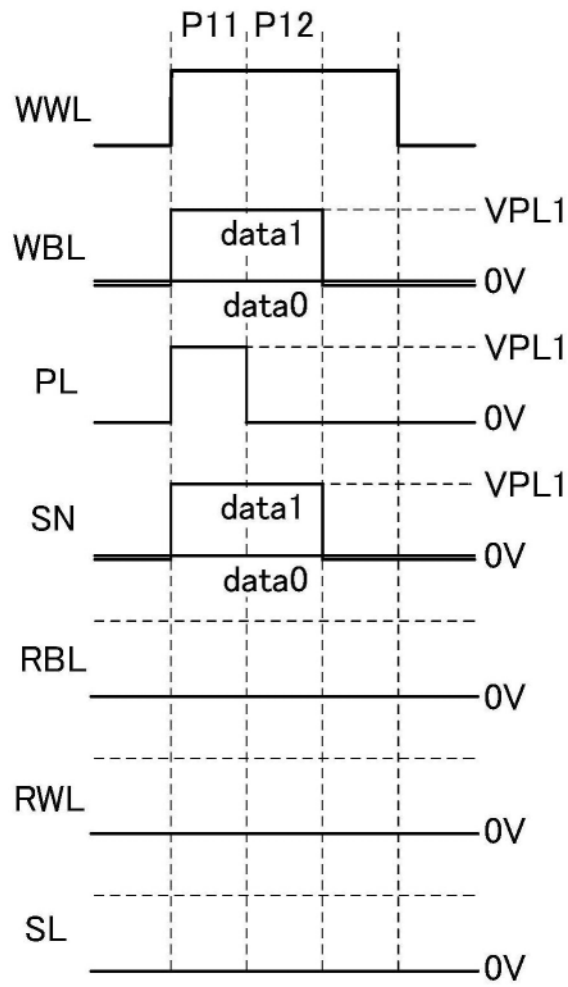


图3A

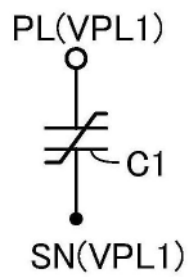


图3B

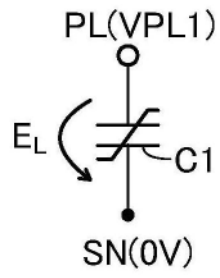


图3C

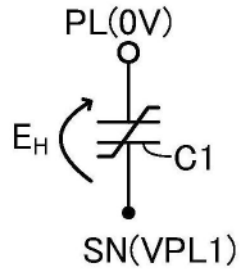


图3D

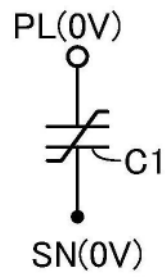


图3E

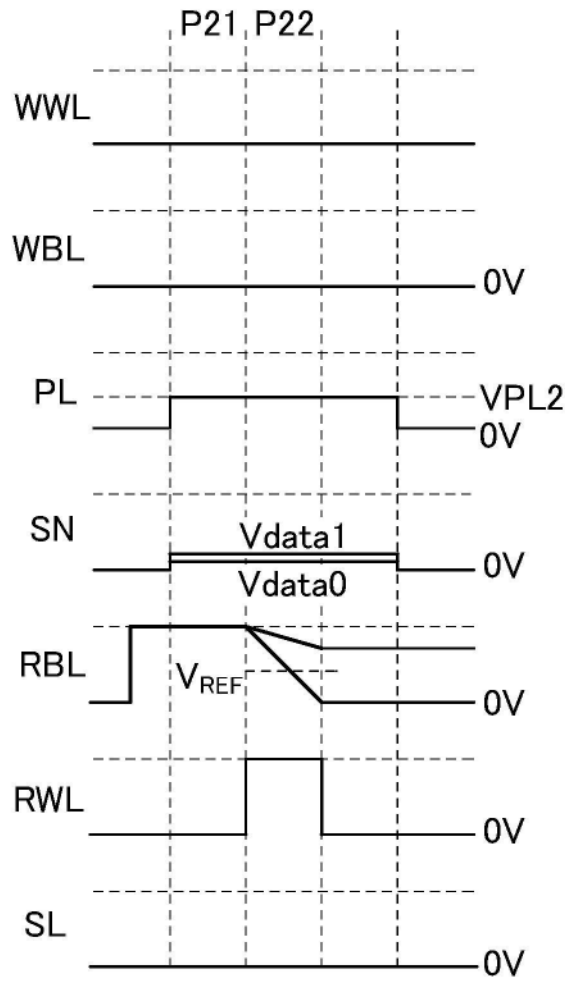


图4

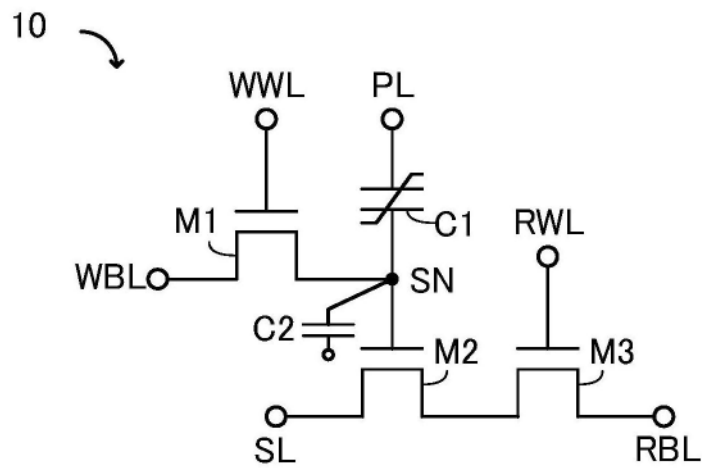


图5A

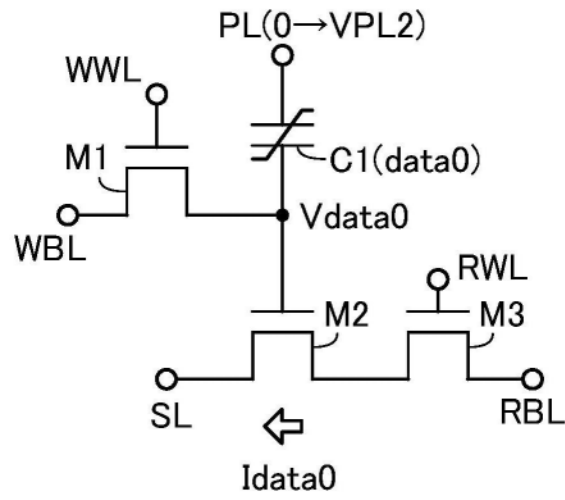


图5B

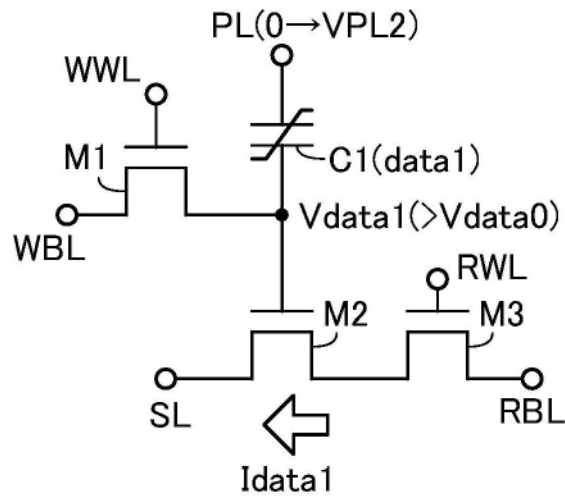


图5C

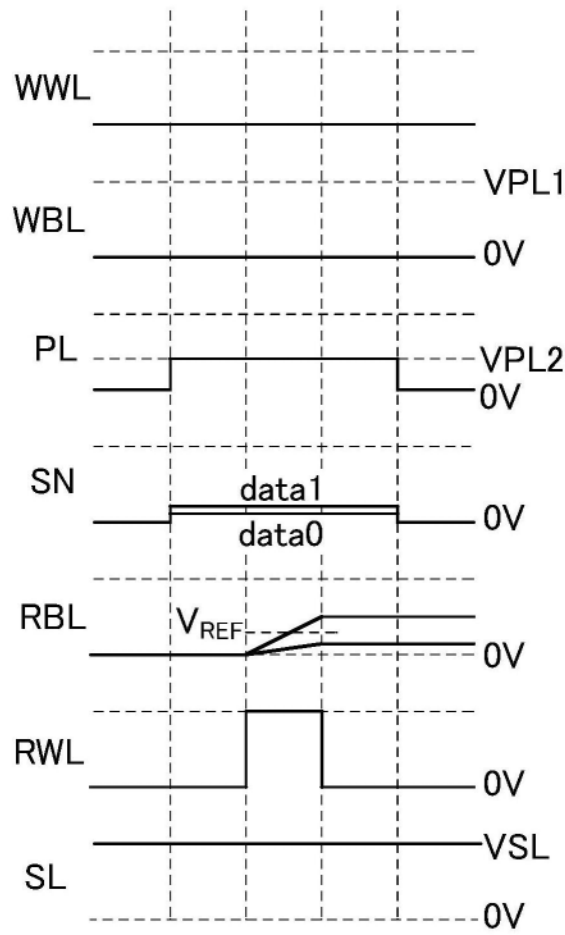


图6A

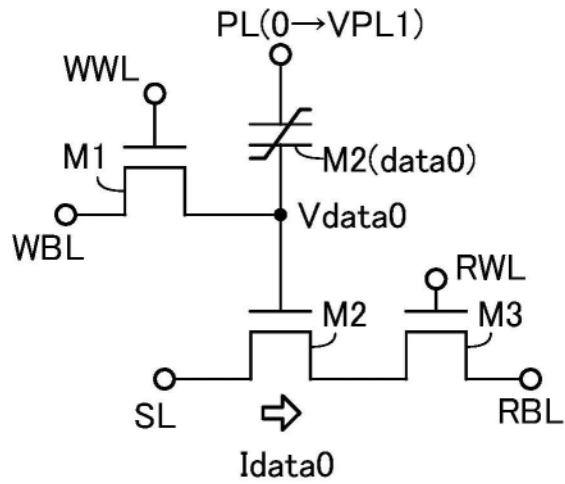


图6B

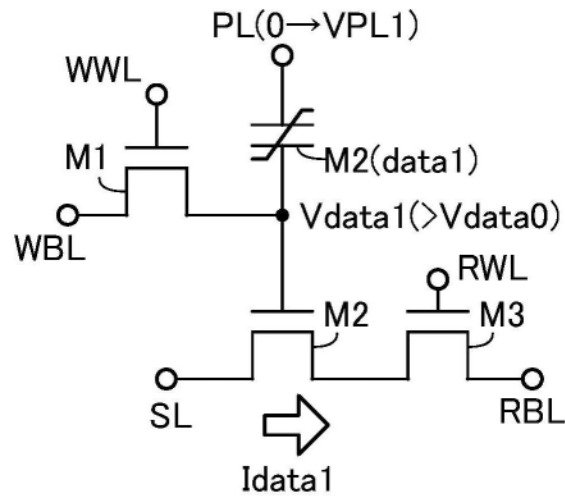


图6C

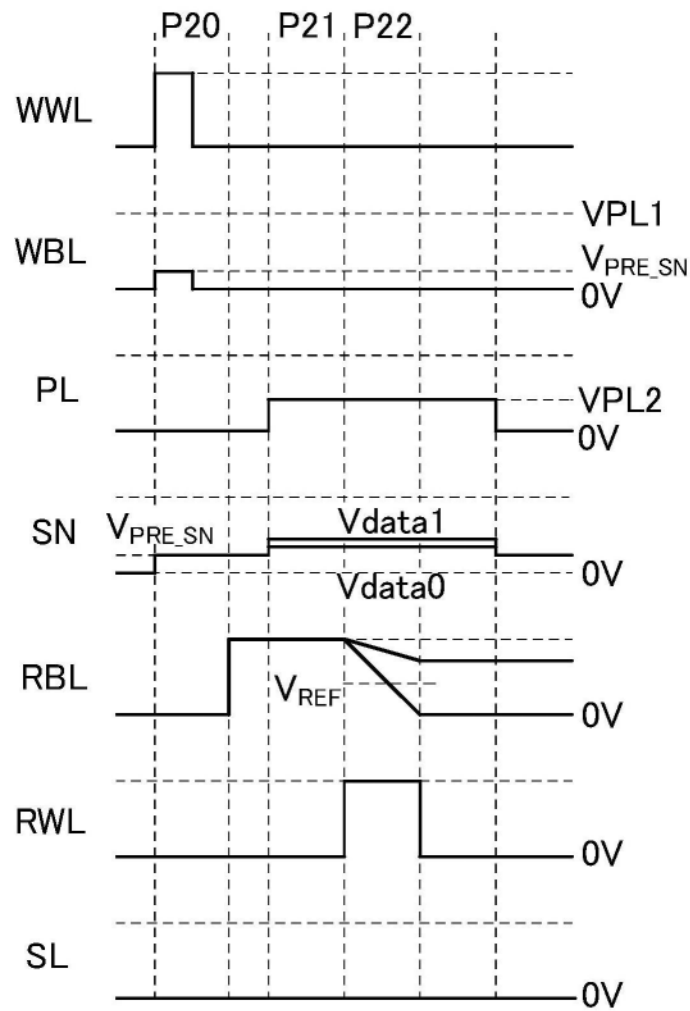


图7

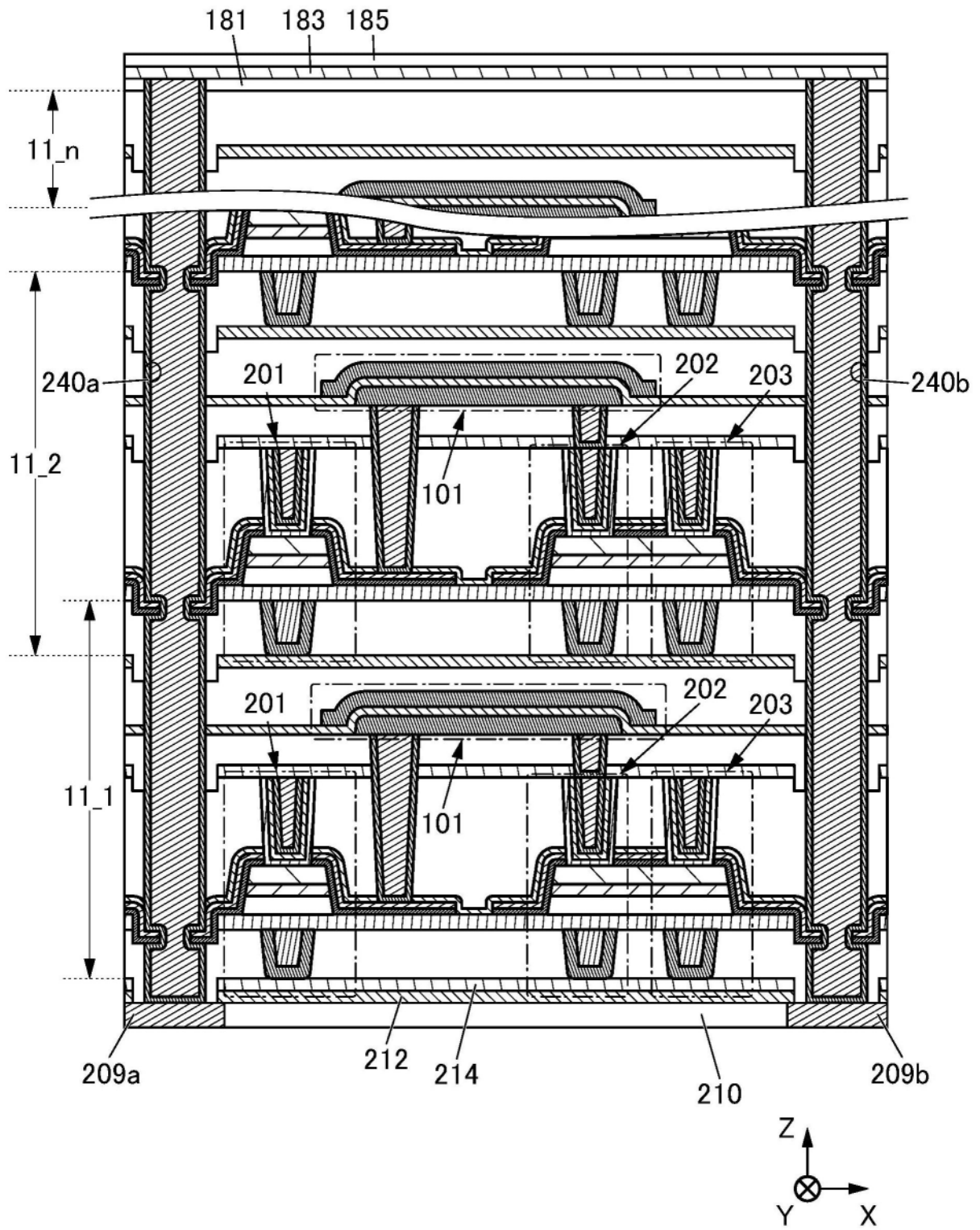


图8

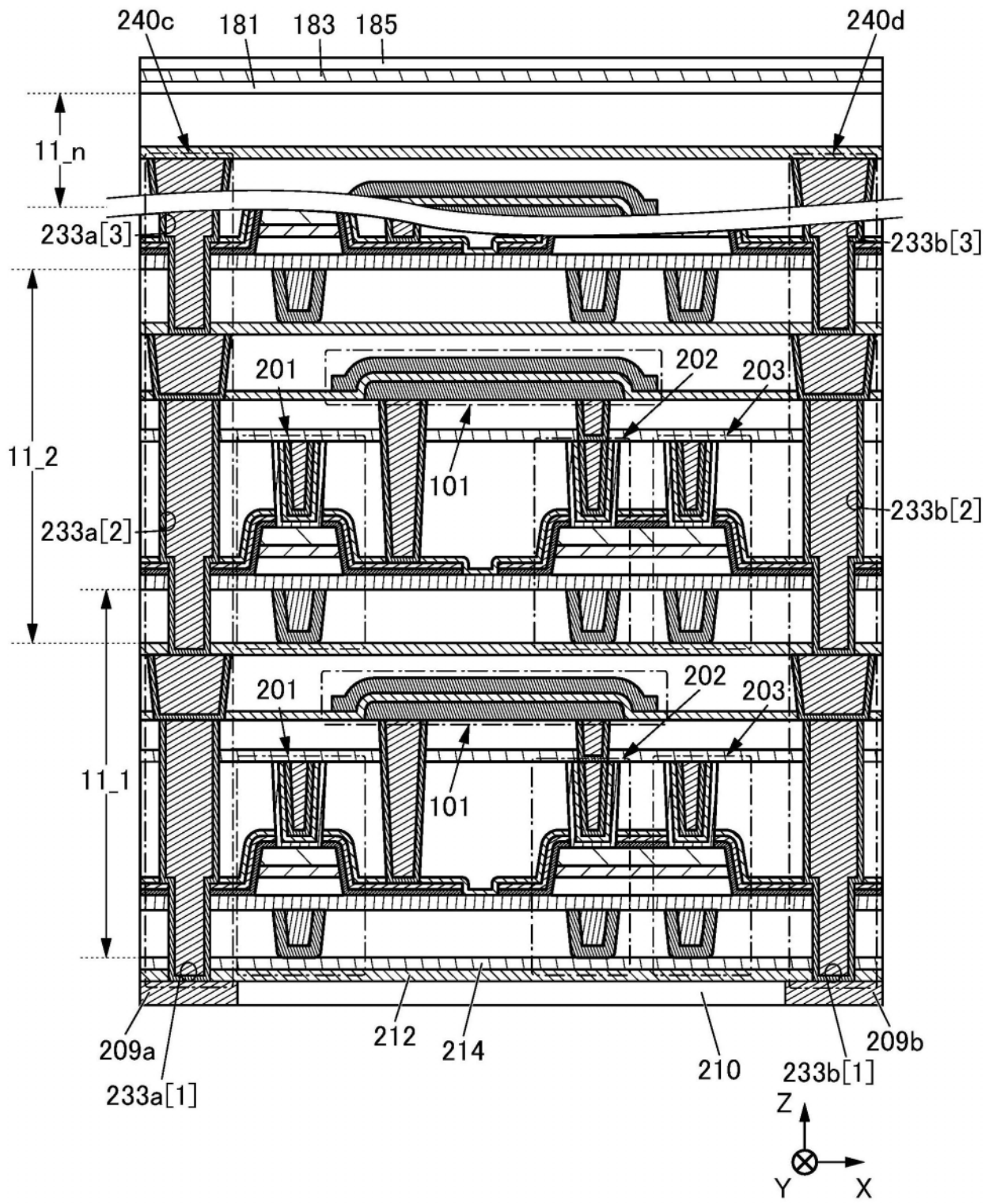


图9

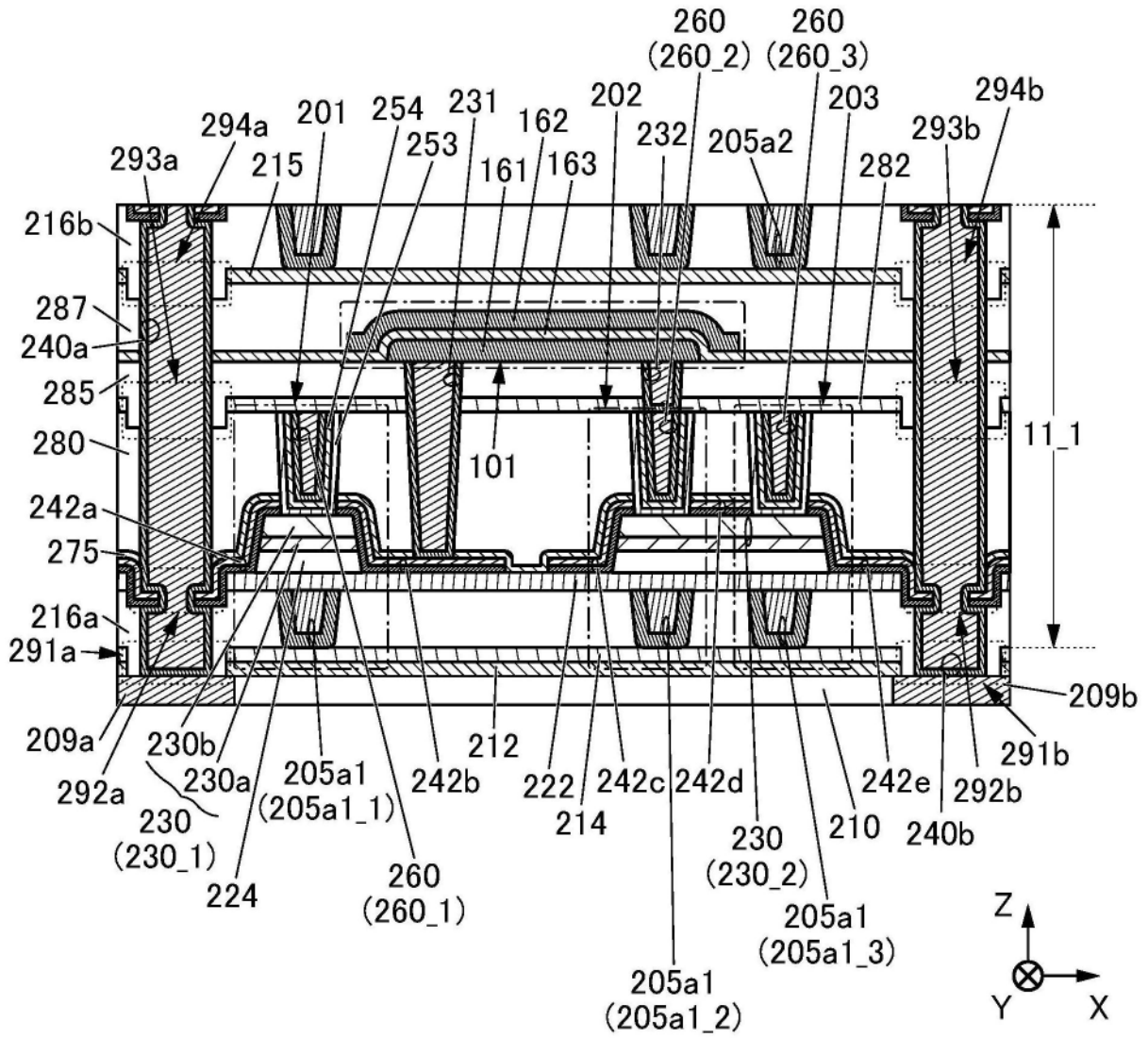


图10A

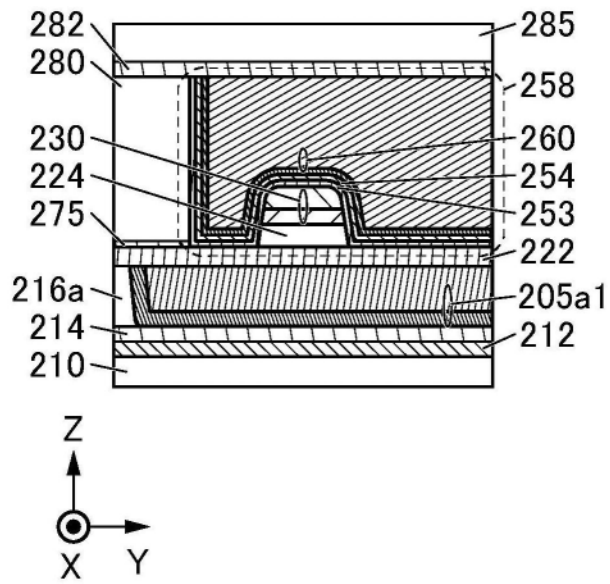


图10B

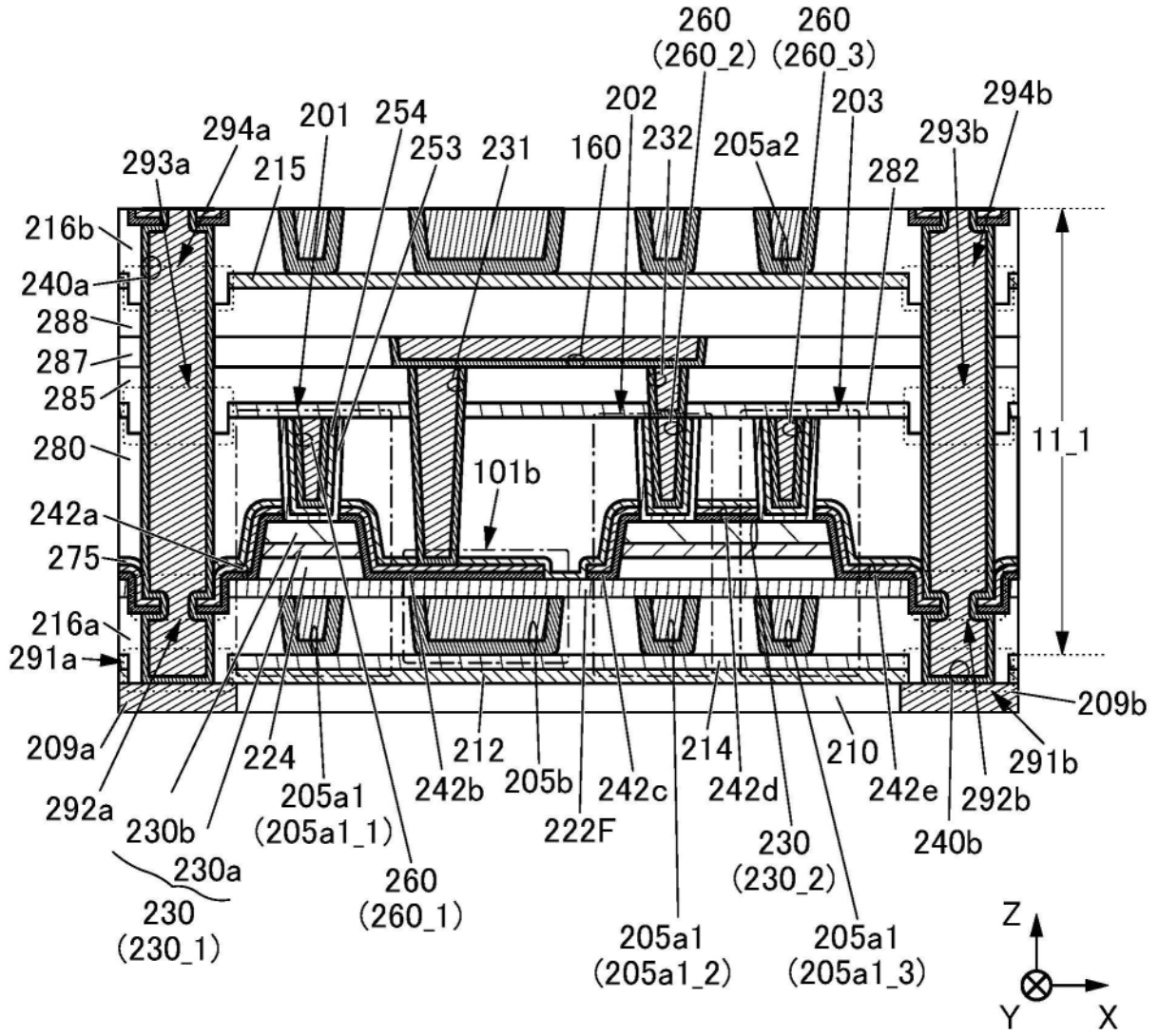


图11

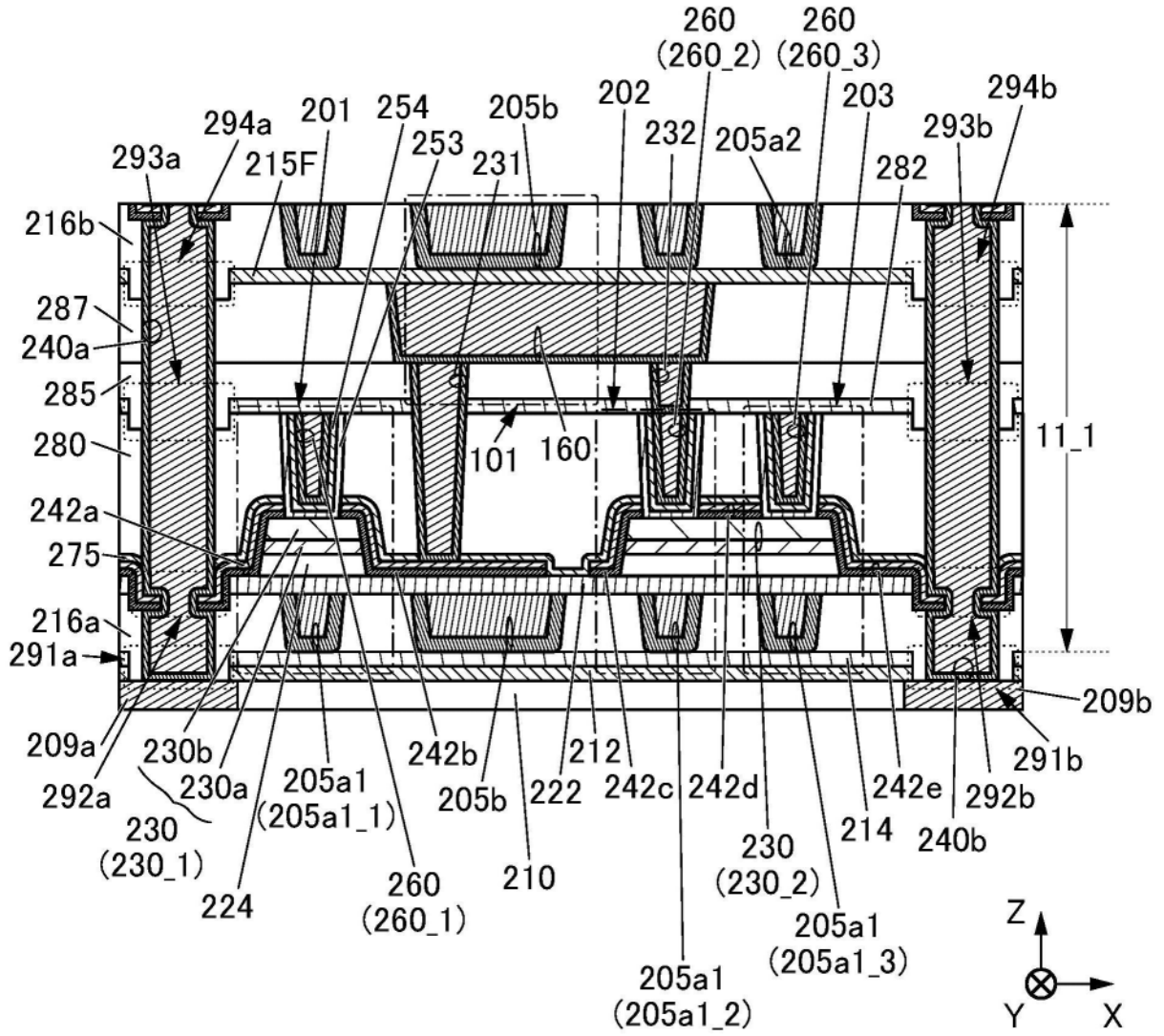


图12

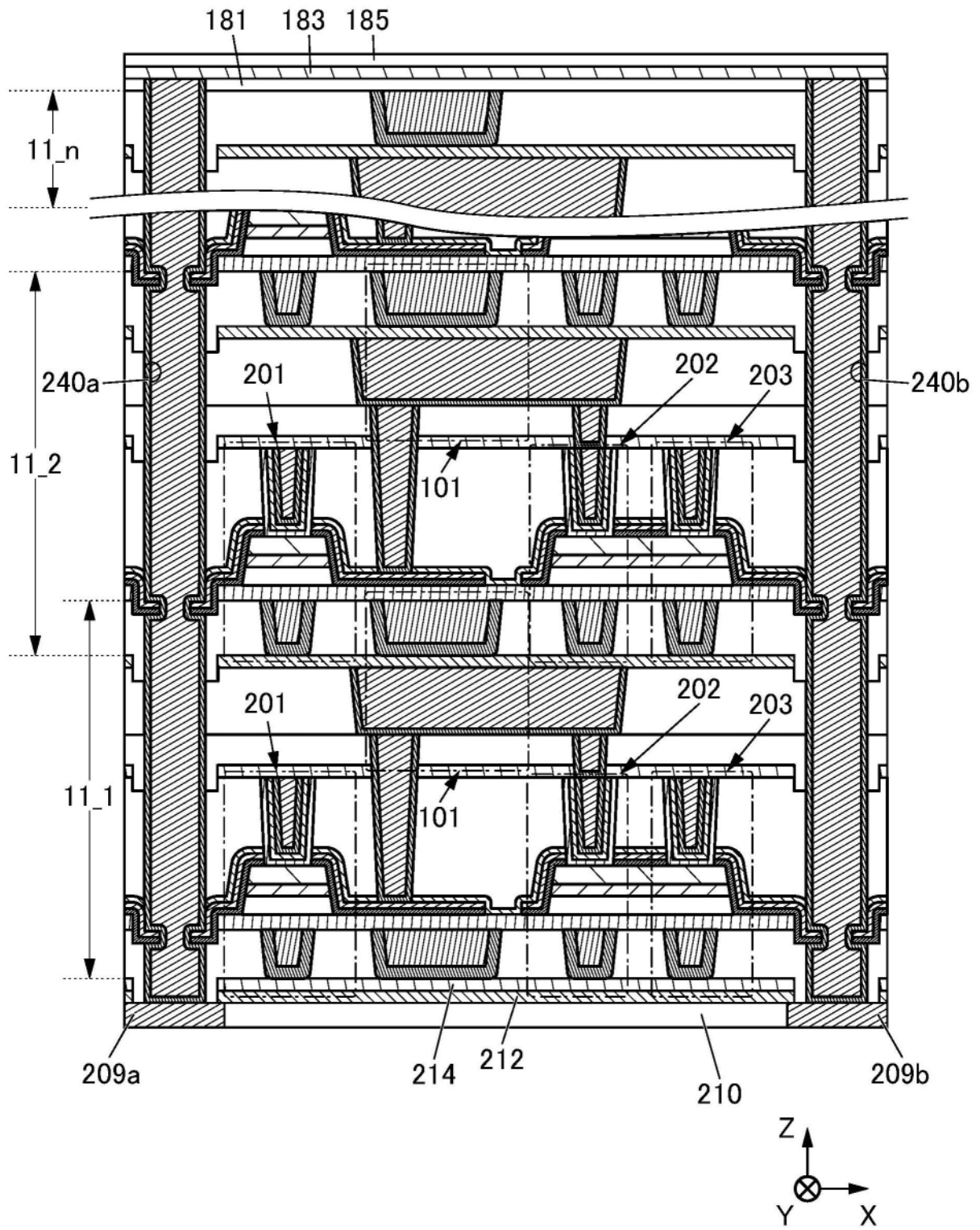


图13

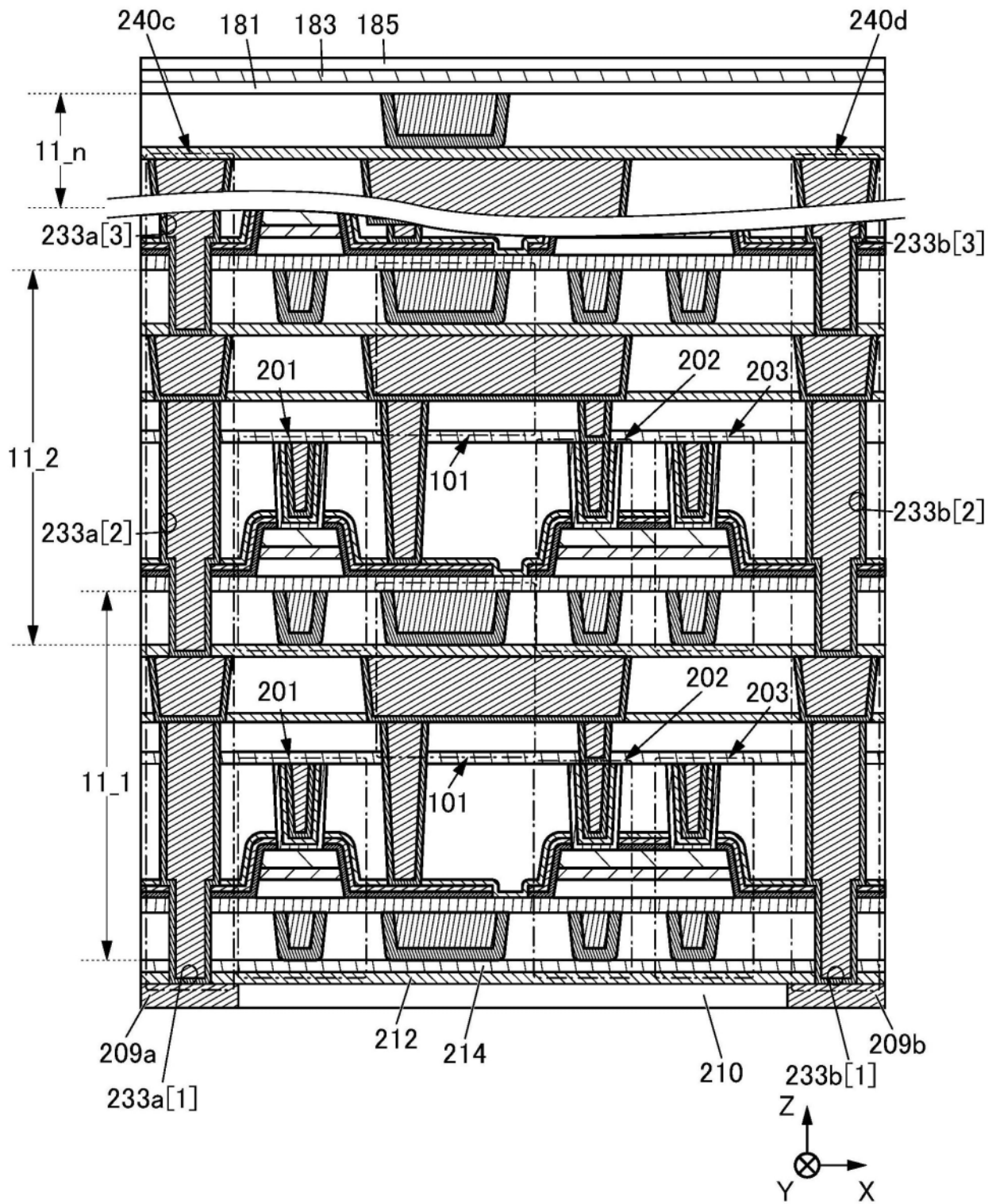


图14

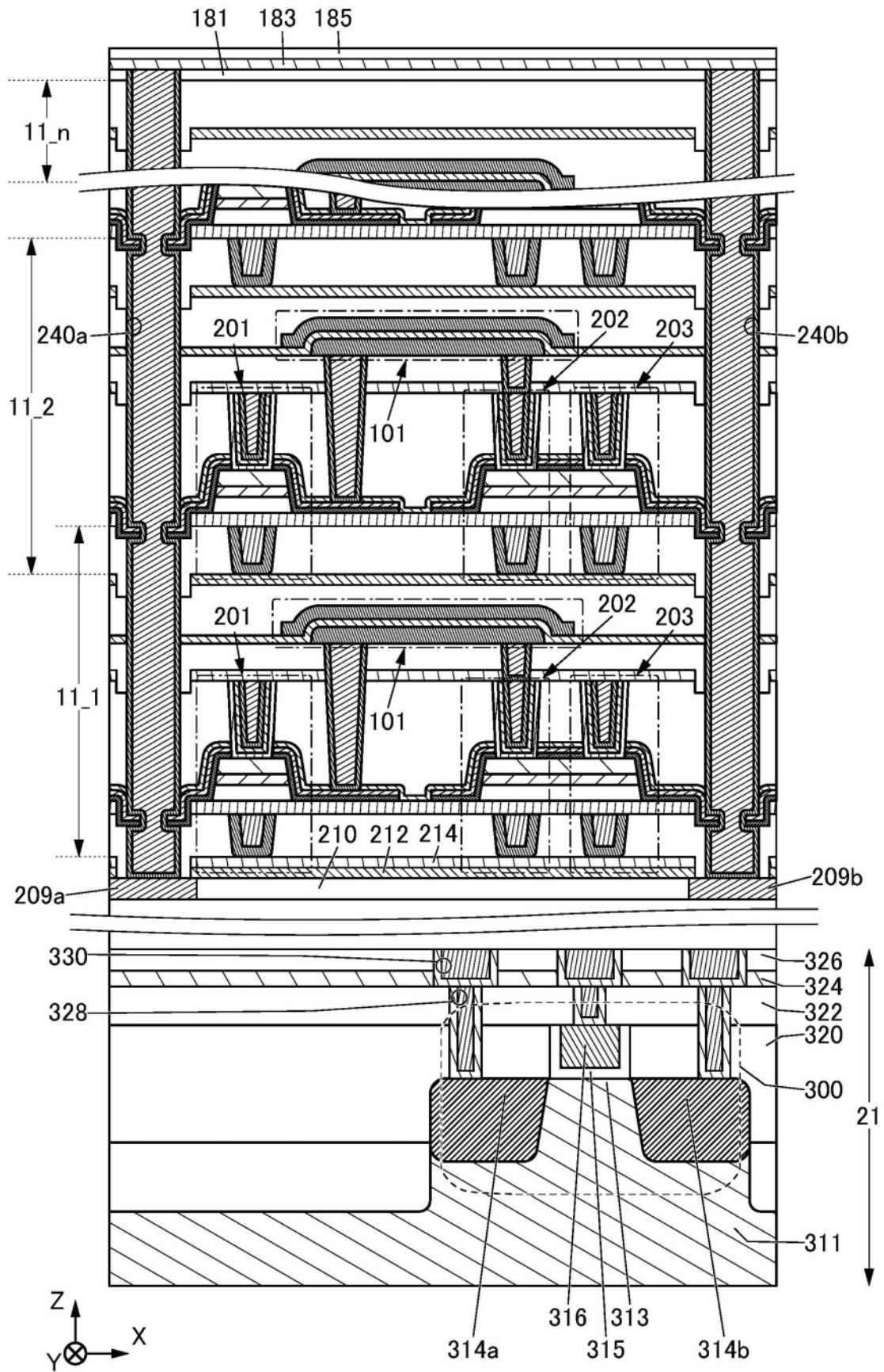


图15

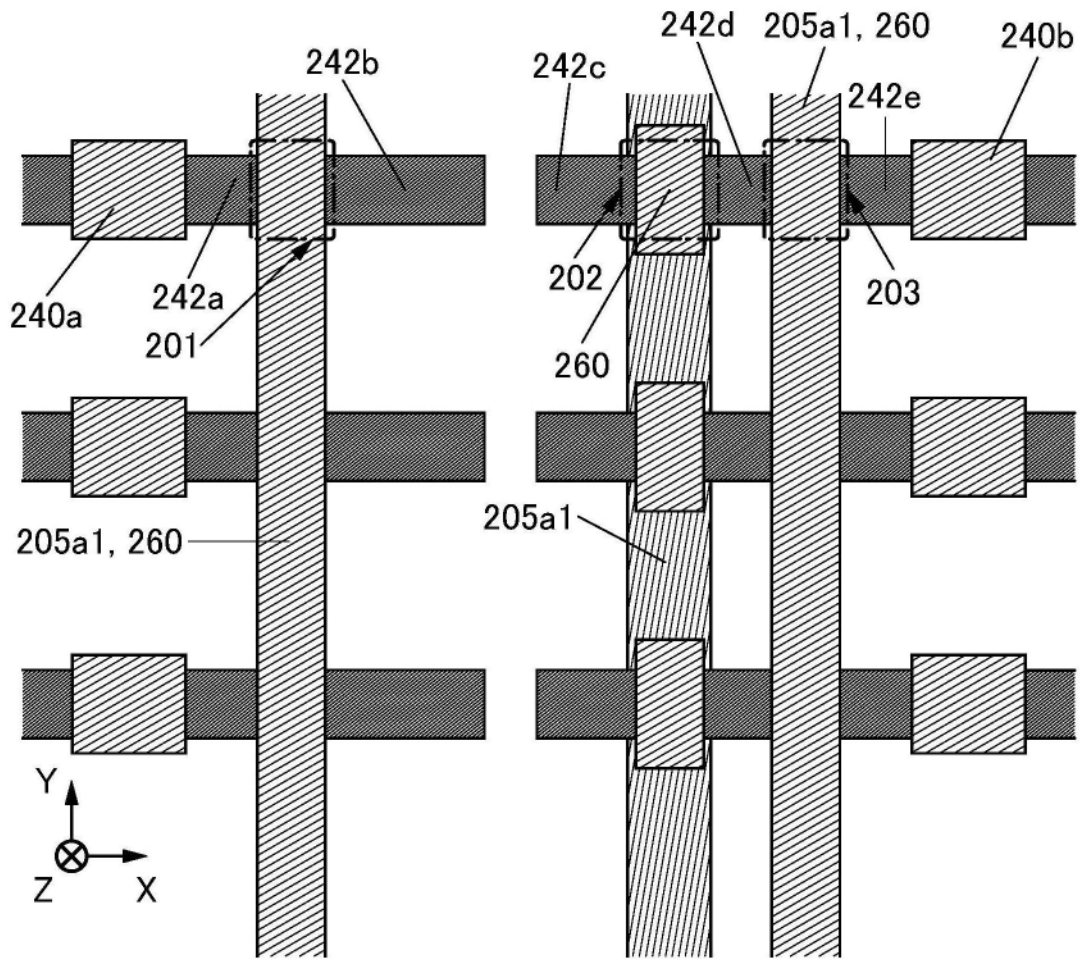


图16A

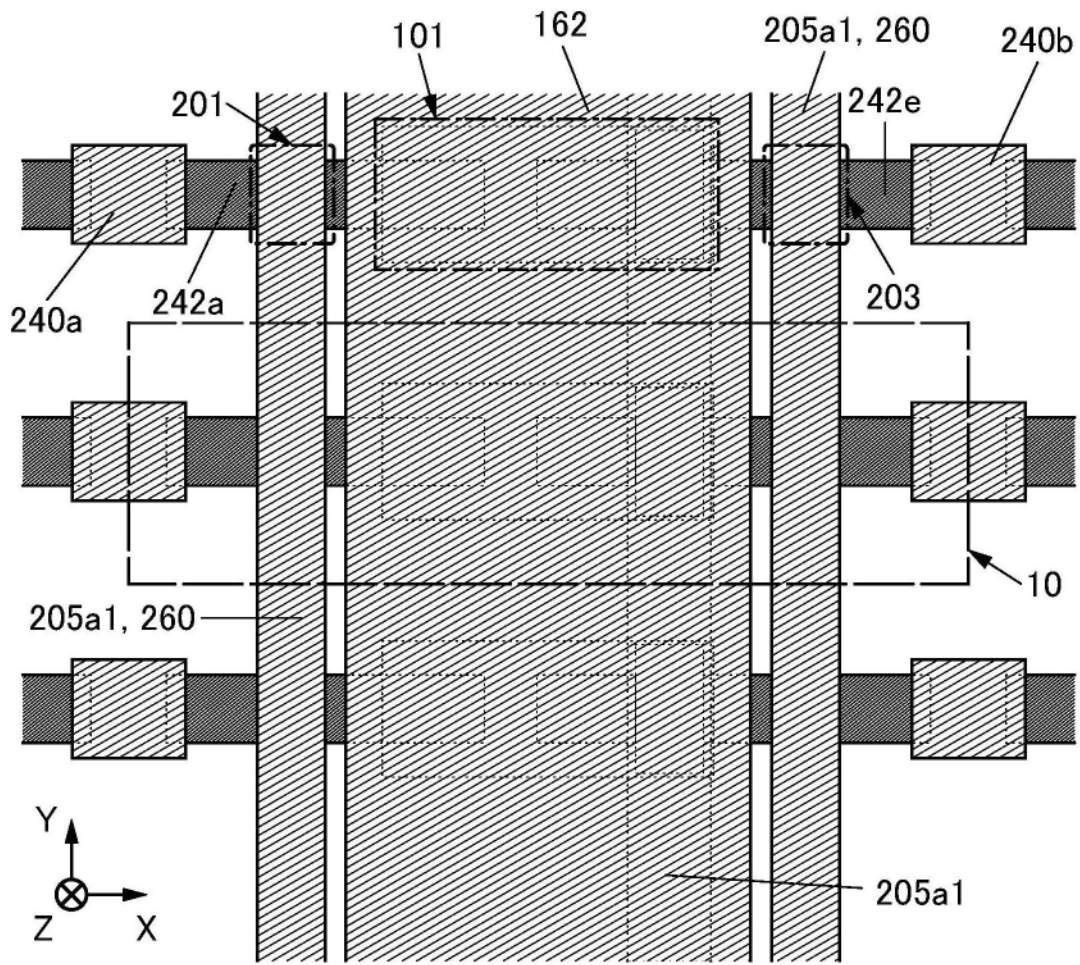


图16B

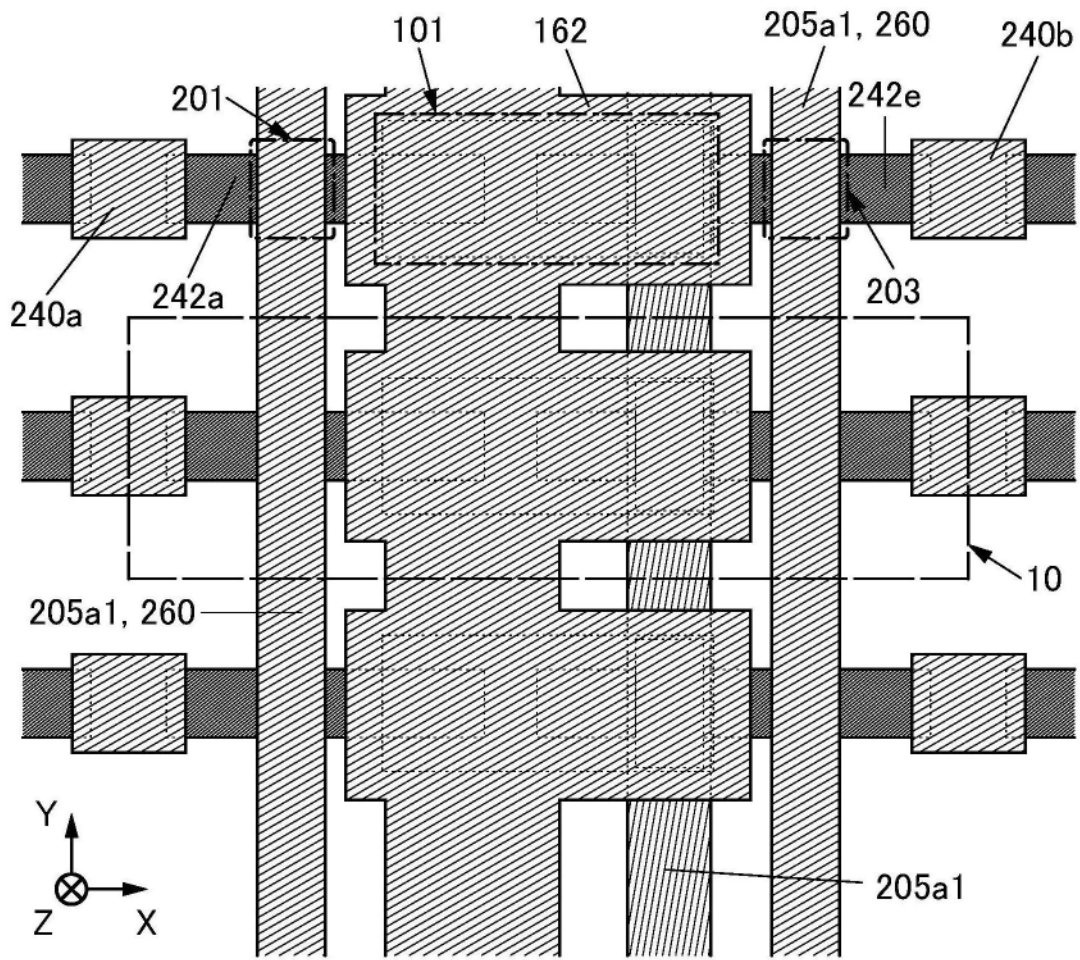


图17A

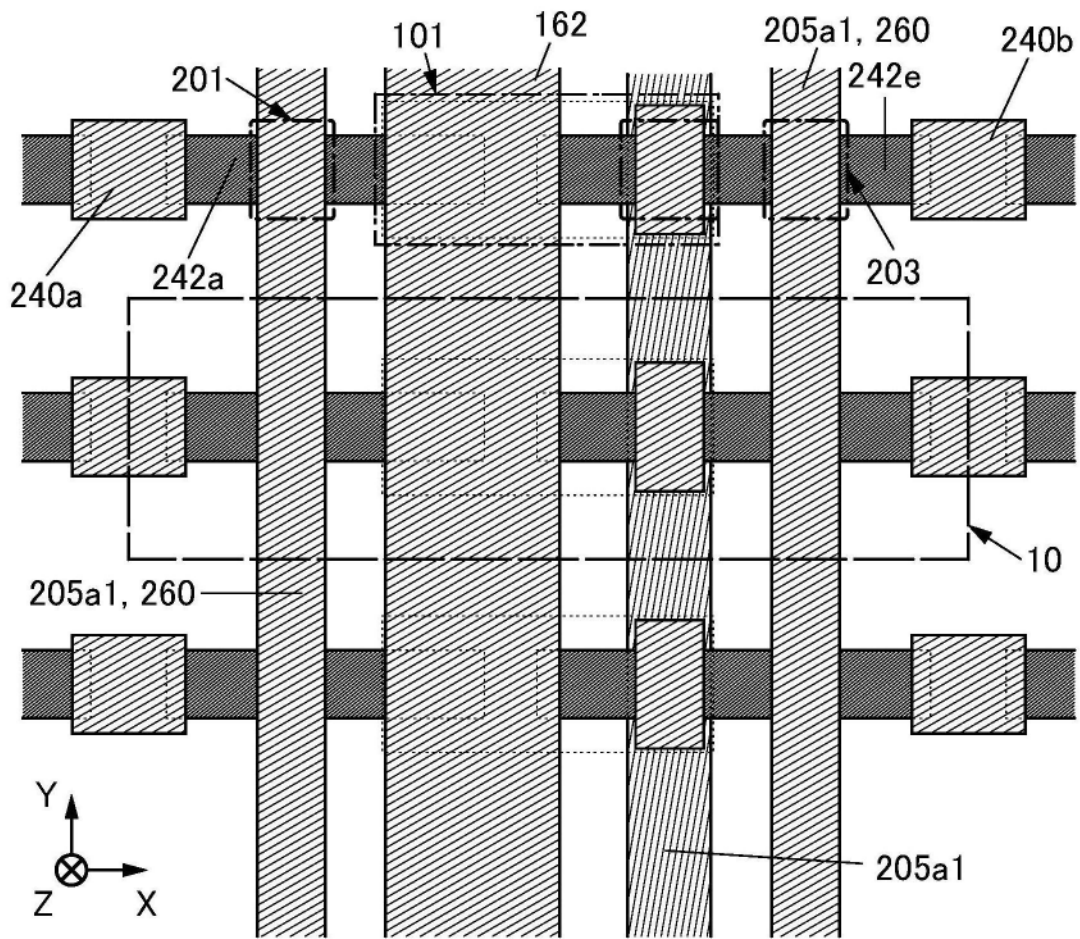


图17B

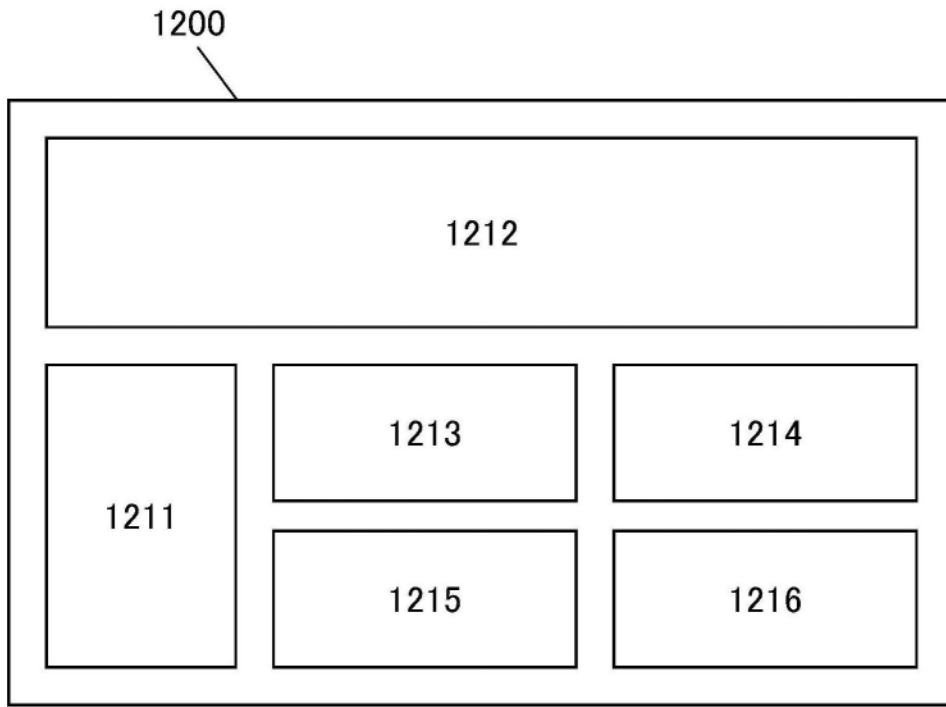


图18A

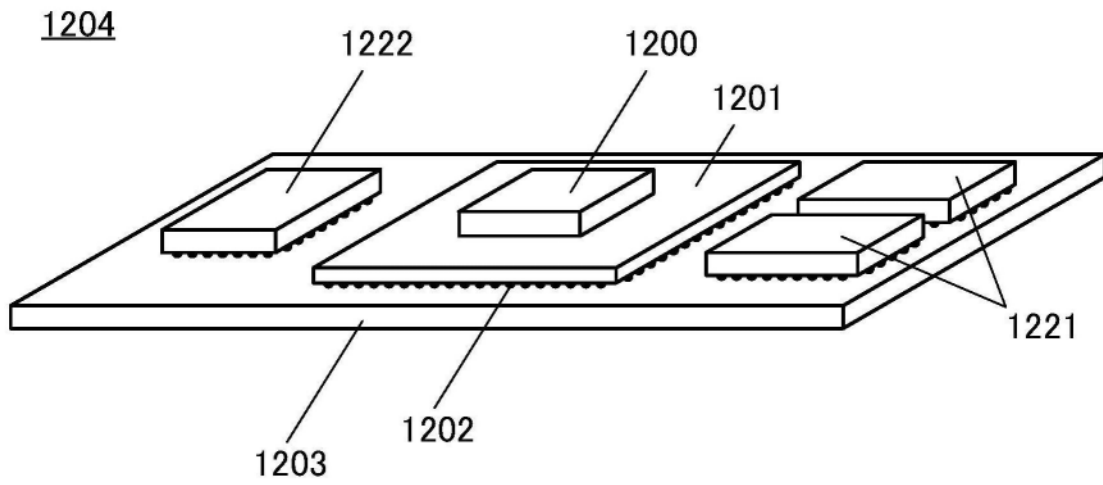


图18B

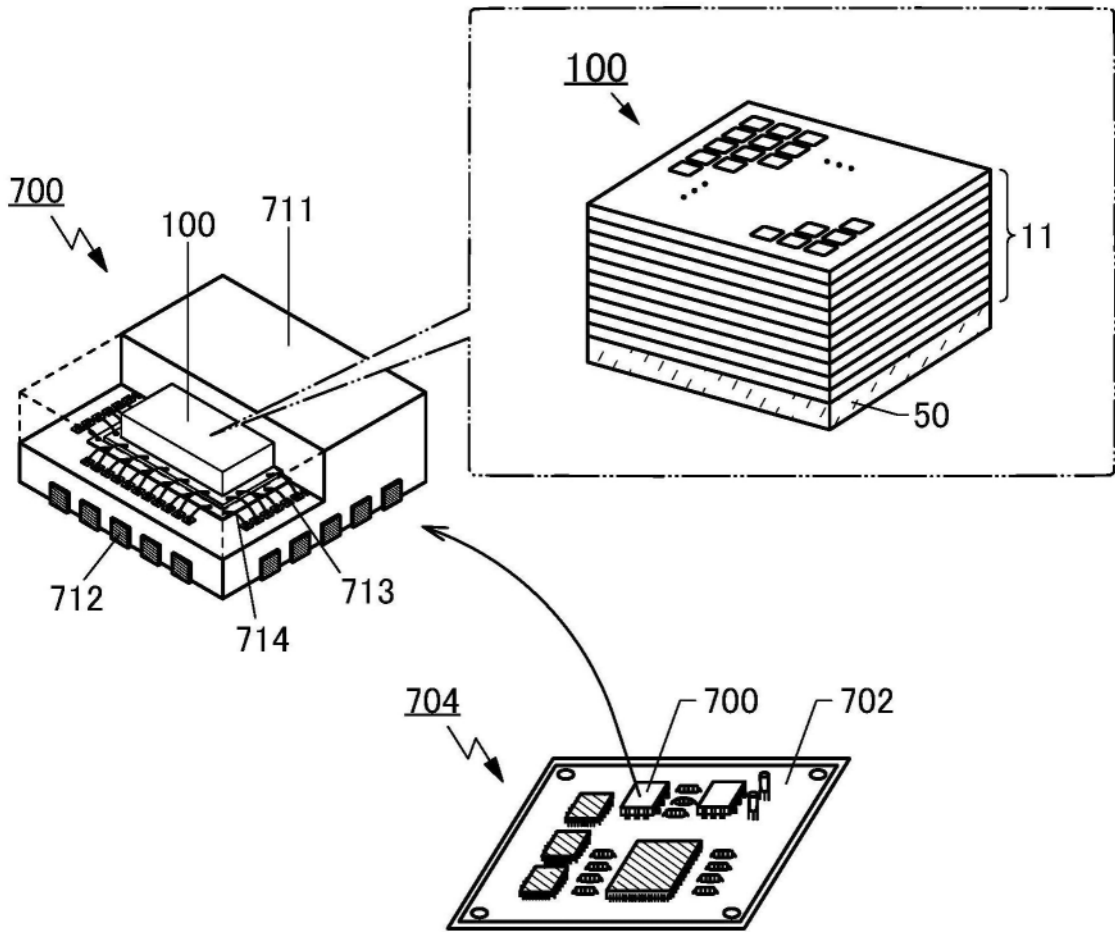


图19A

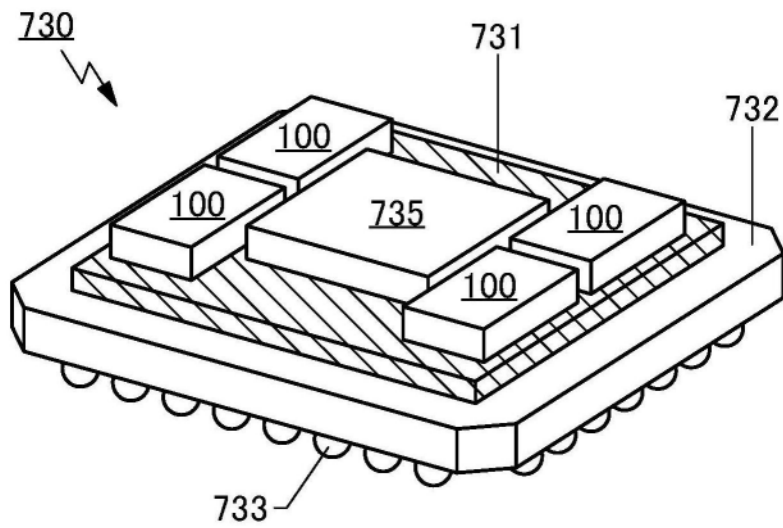


图19B

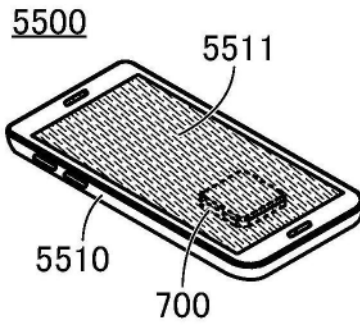


图20A

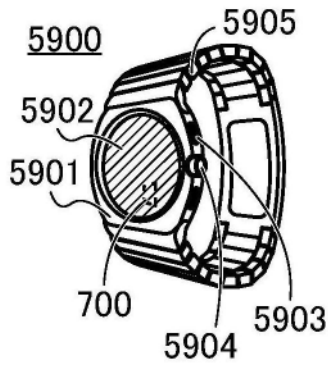


图20B

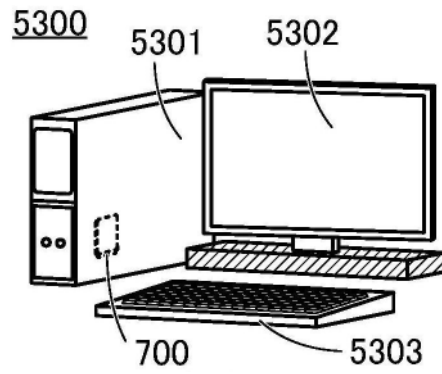


图20C

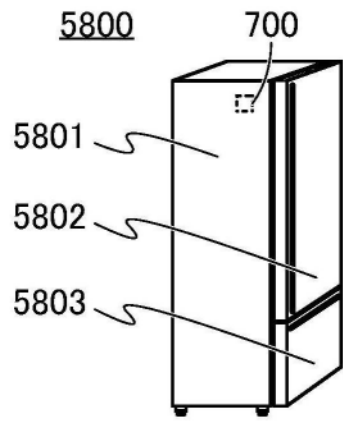


图20D

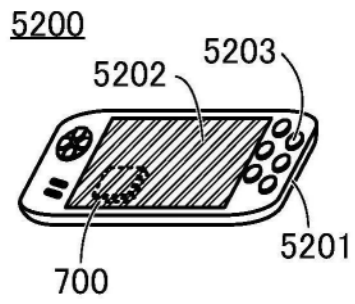


图20E

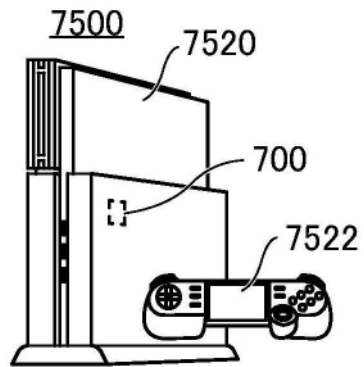


图20F

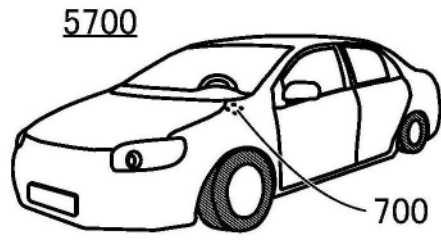


图20G

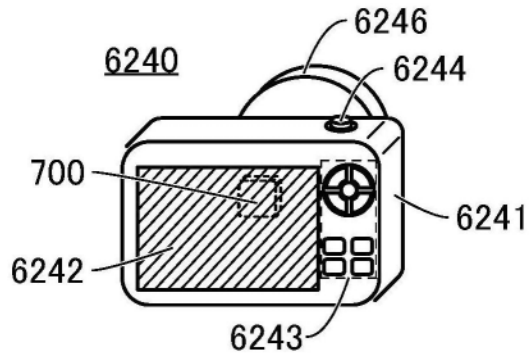


图20H

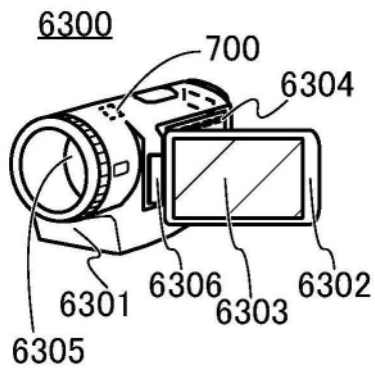


图20I

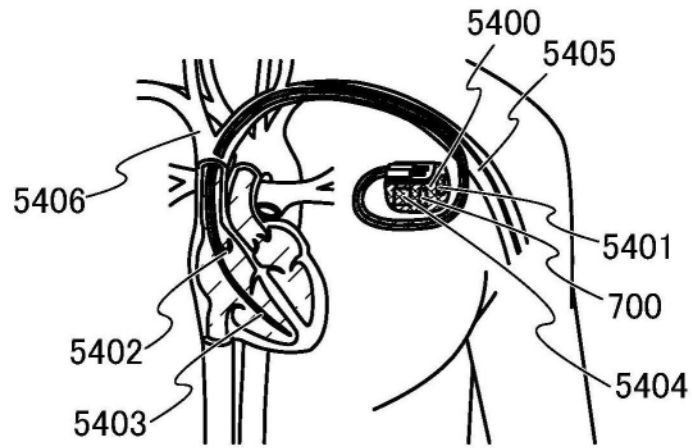


图20J

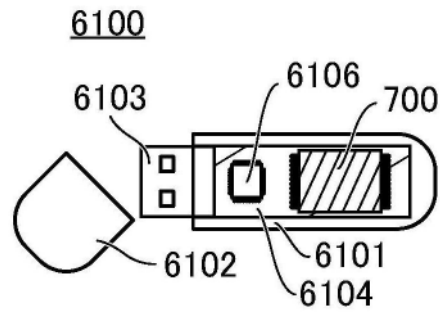


图21A

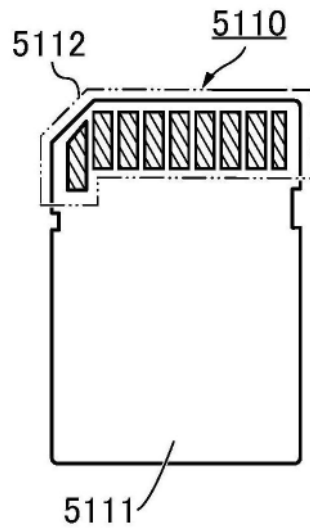


图21B

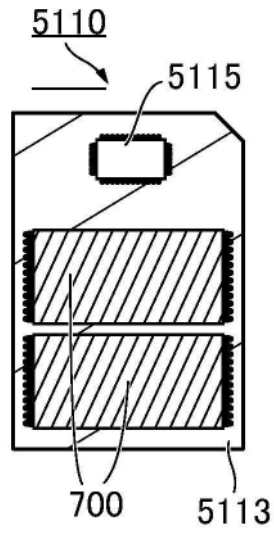


图21C

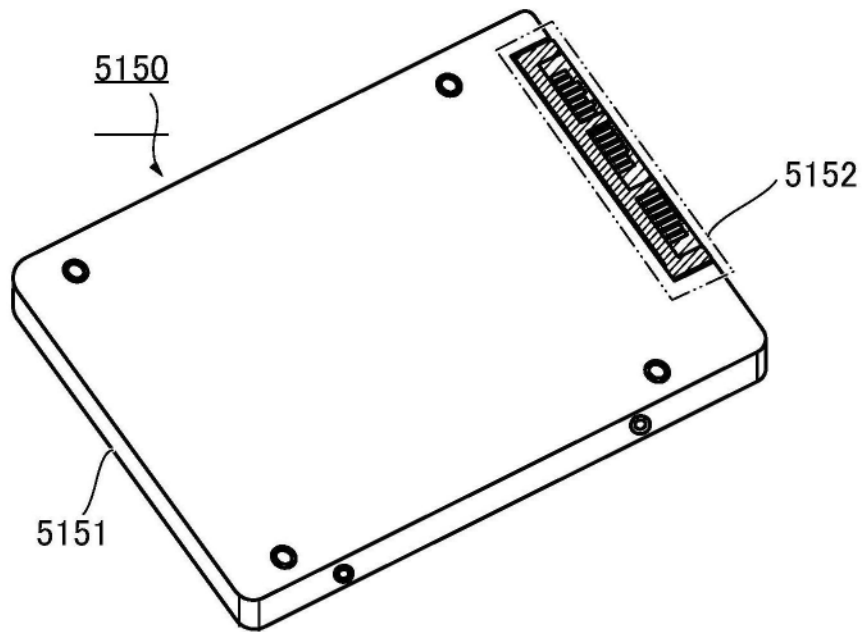


图21D

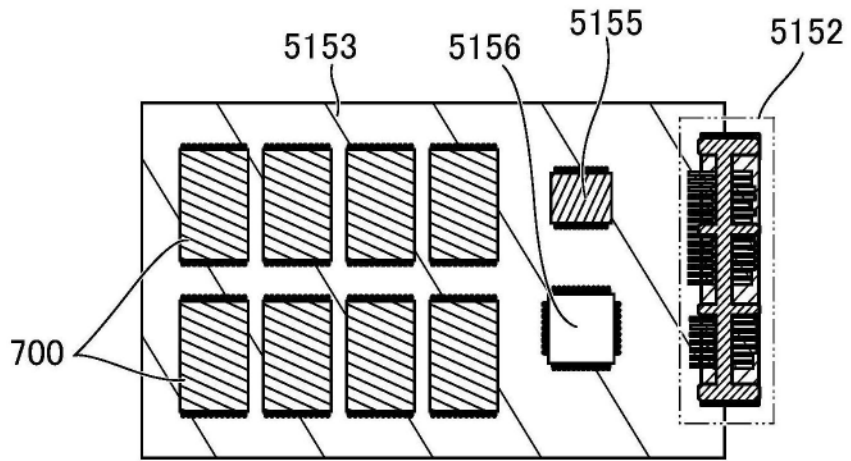


图21E

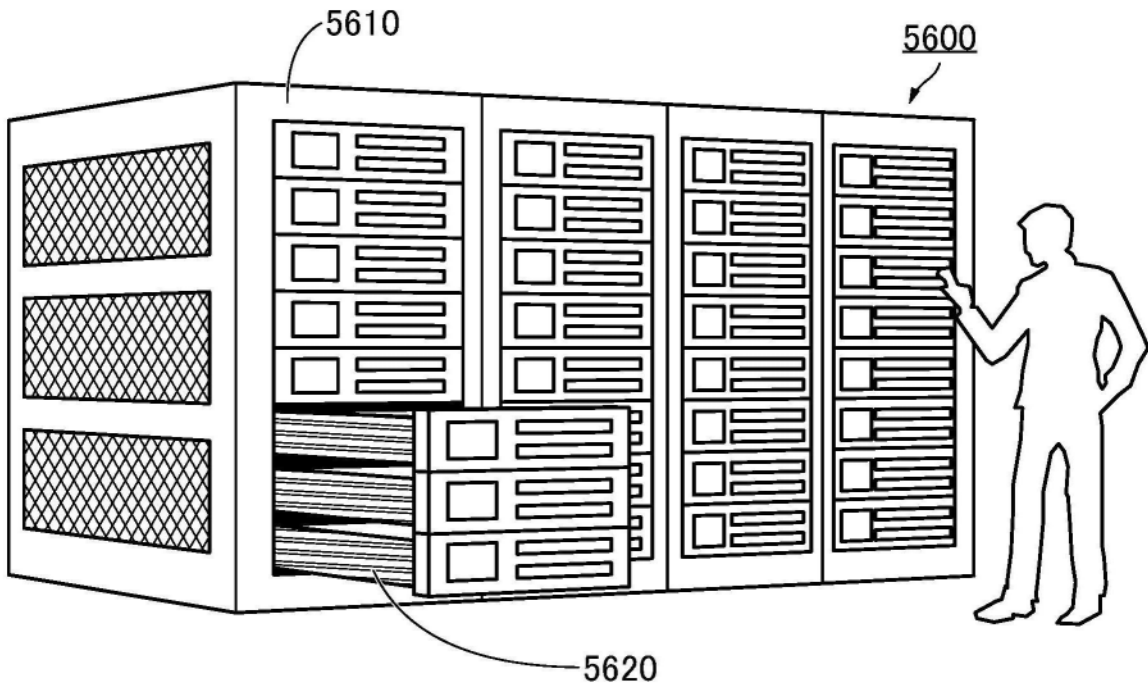


图22A

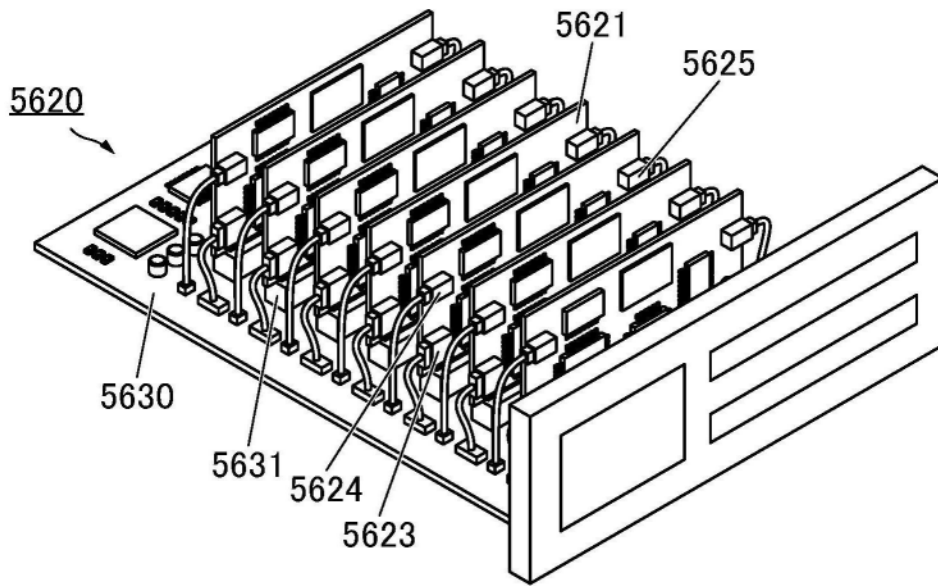


图22B

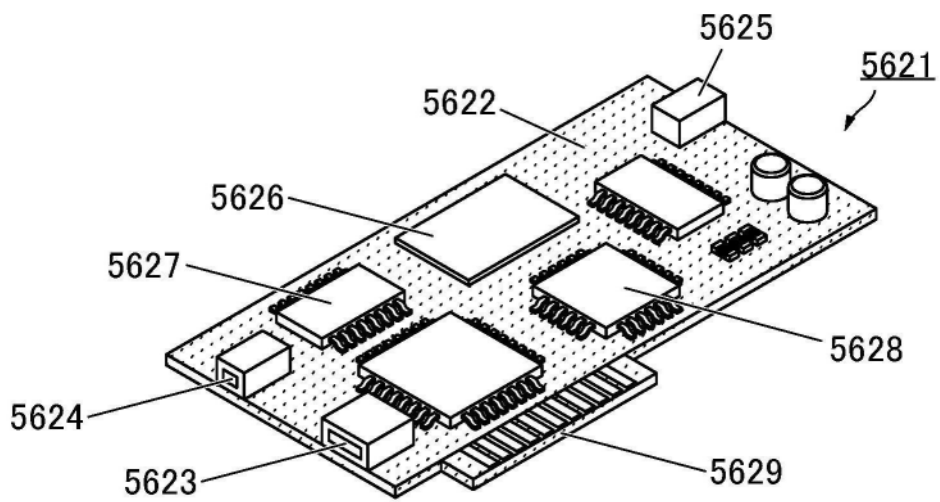


图22C

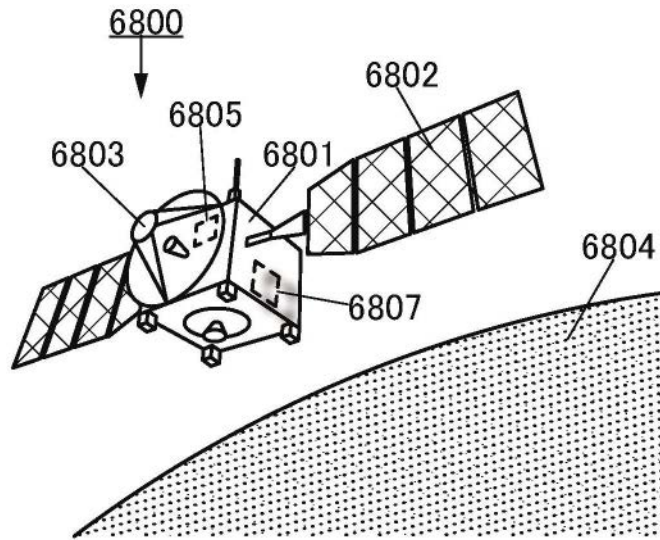


图23