

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7169171号

(P7169171)

(45)発行日 令和4年11月10日(2022.11.10)

(24)登録日 令和4年11月1日(2022.11.1)

(51)国際特許分類

F I

G 0 1 C 3/06 (2006.01)

G 0 1 C 3/06 1 2 0 Q

H 0 3 K 5/26 (2006.01)

H 0 3 K 5/26 G

H 0 3 M 1/12 (2006.01)

H 0 3 M 1/12 C

H 0 3 M 1/60 (2006.01)

H 0 3 M 1/60

請求項の数 12 (全17頁)

(21)出願番号 特願2018-216715(P2018-216715)
 (22)出願日 平成30年11月19日(2018.11.19)
 (65)公開番号 特開2020-85537(P2020-85537A)
 (43)公開日 令和2年6月4日(2020.6.4)
 審査請求日 令和3年8月4日(2021.8.4)

(73)特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73)特許権者 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74)代理人 100091982
 弁理士 永井 浩之
 (74)代理人 100091487
 弁理士 中村 行孝
 (74)代理人 100082991
 佐藤 泰和
 (74)代理人 100105153
 弁理士 朝倉 悟
 (74)代理人 100107582

最終頁に続く

(54)【発明の名称】 半導体装置及び距離計測装置

(57)【特許請求の範囲】

【請求項1】

第1入力信号に応じて周波数が変調された発振信号を出力する発振器と、
 前記発振信号の周期数を計測する周期数計測器と、
 クロック信号の第1クロック周期に、前記周期数計測器で計測された第1周期数に基づいて、前記第1入力信号をデジタル変換した第1デジタル信号を出力する第1演算器と、
 前記クロック信号の基準時点から第2入力信号が遷移するタイミングまでの期間に、前記周期数計測器で計測された第2周期数に基づいて、第2デジタル信号を出力する第2演算器と、を備える、半導体装置。

【請求項2】

前記第1入力信号の物理量を基準値と比較することにより、前記第2入力信号を生成する比較器を備える、請求項1に記載の半導体装置。

【請求項3】

前記第1デジタル信号及び前記第2デジタル信号に基づいて、光信号を出射してから前記光信号が物体で反射された反射光信号が受光されるまでの時間を計測し、前記時間に基づいて前記物体までの距離を算出する算出器を備える、請求項1又は2に記載の半導体装置。

【請求項4】

第1入力信号に応じて周波数が変調された発振信号を出力する発振器と、
 クロック信号のクロック周期に前記発振信号の位相をサンプリングした第1位相デジタ

10

20

ル信号を出力する第 1 位相サンブラと、

第 2 入力信号が遷移したタイミングで前記発振信号の位相をサンプリングした第 2 位相デジタル信号を出力する第 2 位相サンブラと、

前記第 2 入力信号が遷移したタイミングで前記クロック信号の位相をサンプリングした第 3 位相デジタル信号を出力する第 3 位相サンブラと、

前記第 1 位相デジタル信号に基づいて、前記第 1 入力信号をデジタル変換した第 1 デジタル信号を生成する第 1 演算器と、

前記第 1、第 2 及び第 3 位相デジタル信号に基づいて、前記第 2 入力信号が遷移するタイミングまでの期間に応じた第 2 デジタル信号を生成する第 2 演算器と、を備える、半導体装置。

10

【請求項 5】

前記第 1 演算器は、前記第 1 位相デジタル信号を時間微分することにより、前記第 1 デジタル信号を生成し、

前記第 2 演算器は、前記第 2 位相デジタル信号に近接した 2 以上の前記第 1 位相デジタル信号を内挿する処理と前記第 3 位相デジタル信号とに基づいて、前記第 2 デジタル信号を生成する、請求項 4 に記載の半導体装置。

【請求項 6】

前記第 2 演算器は、前記 2 以上の前記第 1 位相デジタル信号の多項式補間により前記第 2 位相デジタル信号に対応する小数時間を求めるとともに、前記第 3 位相デジタル信号に基づいて整数時間を求め、前記小数時間及び前記整数時間に基づいて前記第 2 デジタル信号を生成する、請求項 5 に記載の半導体装置。

20

【請求項 7】

前記第 2 入力信号を遅延させる遅延器を備え、

前記第 2 位相サンブラは、前記遅延器で遅延された第 2 入力信号が遷移したタイミングで前記第 2 位相デジタル信号を出力し、

前記第 3 位相サンブラは、前記遅延された第 2 入力信号が遷移したタイミングで前記第 3 位相デジタル信号を出力する、請求項 4 乃至 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記第 1 入力信号を遅延させる遅延器を備え、

前記発振器は、前記遅延器で遅延された第 1 入力信号の信号レベルに応じて周波数が変調された前記発振信号を出力する、請求項 4 乃至 6 のいずれか一項に記載の半導体装置。

30

【請求項 9】

前記第 1 入力信号の物理量を基準値と比較することにより、前記第 2 入力信号を生成する比較部を備える、請求項 4 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記物理量は、前記第 1 入力信号の電力、包絡線形状、周波数、積分値、又はパルス幅である、請求項 9 に記載の半導体装置。

【請求項 11】

前記第 1 位相デジタル信号を位相アナログ信号に変換する D/A 変換器と、

前記第 1 入力信号と前記位相アナログ信号との差信号を積分した信号を前記第 1 入力信号の代わりに前記発振器に入力するループフィルタと、を備える請求項 4 乃至 10 のいずれか一項に記載の半導体装置。

40

【請求項 12】

開始信号のタイミングに合わせて第 1 光信号を出射する光源と、

前記第 1 光信号が物体で反射された反射光信号を含む第 2 光信号を受光して、電気信号である前記第 1 入力信号に変換する光検出器と、

請求項 1 乃至 11 のいずれか一項に記載の半導体装置を有し、前記第 1 入力信号に基づいて、前記反射光信号の受光タイミングを表す前記第 1 デジタル信号及び前記第 2 デジタル信号を出力するフロントエンド部と、

前記第 1 デジタル信号及び前記第 2 デジタル信号に基づいて、前記開始信号のタイミン

50

グから前記第 2 入力信号が入力されるまでの時間を計測し、計測された時間に基づいて、前記物体までの距離を計測する距離演算部と、を備える、距離計測装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置及び距離計測装置に関する。

【背景技術】

【0002】

自動運転技術に関する研究及び開発が進められている。自動運転技術では、乗物とその周囲の物体までの距離を精度よく計測する必要がある。距離計測は、乗物から光信号を放射してから、物体で反射された反射光信号が受光されるまでの時間を計測することにより行われる。上記の時間は、A/D変換器（以下、ADC）で大まかに計測し、時間デジタル変換器（以下、TDC）で高精度に計測するのが一般的である。

10

【0003】

従来、距離計測装置用のADCとTDCは、機能がそれぞれ異なることから、別々の回路で構成されており、これら回路を同一のチップ内に実装する際に、実装面積が大きくなり、消費電力も増える要因になっていた。

【先行技術文献】

【特許文献】

【0004】

20

【文献】特開平 1 - 170221 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態は、回路規模を縮小でき、かつ消費電力も削減できる半導体装置及び距離計測装置を提供するものである。

【課題を解決するための手段】

【0006】

本実施形態によれば、第 1 入力信号に応じて周波数が変調された発振信号を出力する発振器と、前記発振信号の周期数を計測する周期数計測器と、クロック信号の第 1 クロック周期に、前記周期数計測器で計測された第 1 周期数に基づいて、前記第 1 入力信号をデジタル変換した第 1 デジタル信号を出力する第 1 演算器と、前記クロック信号の基準時点から第 2 入力信号が遷移するタイミングまでの期間に、前記周期数計測器で計測された第 2 周期数に基づいて、第 2 デジタル信号を出力する第 2 演算器と、を備える、半導体装置が提供される。

30

【図面の簡単な説明】

【0007】

【図 1】第 1 の実施形態による半導体装置の概略構成を示すブロック図。

【図 2】図 1 の半導体装置の動作を説明する波形図。

【図 3】図 1 の半導体装置に比較器と算出器を設けた半導体装置の概略構成を示すブロック図。

40

【図 4】開始信号と第 1 入力信号との関係を説明する図。

【図 5】光源から出射される光信号と反射光信号の一例を示す波形図。

【図 6】図 2 の時刻 t_{trg} のときに第 2 入力信号が遷移した場合の距離に対応する時間の計測方法を説明する図。

【図 7】第 2 の実施形態による半導体装置の概略構成を示すブロック図。

【図 8】VCO の一例を示す回路図。

【図 9】第 1 位相サンブラの内部構成を示すブロック図。

【図 10】第 2 の実施形態による半導体装置の入出力タイミングを示す信号波形図。

【図 11】補間部の動作を説明する図。

50

【図 1 2】第 3 の実施形態による半導体装置を内蔵する距離計測装置 2 0 の概略構成を示すブロック図。

【図 1 3】第 4 の実施形態による半導体装置の概略構成を示すブロック図。

【図 1 4】クロック周期内に発振周波数が変化する例を示す波形図。

【図 1 5】第 5 の実施形態による半導体装置の概略構成を示すブロック図。

【図 1 6】第 5 の実施形態による半導体装置の入出力タイミングを示す信号波形図。

【図 1 7】図 1 5 の一変形例による半導体装置の概略構成を示すブロック図。

【図 1 8】第 6 の実施形態による半導体装置の概略構成を示すブロック図。

【発明を実施するための形態】

【0008】

10

以下、図面を参照して本発明の実施形態を説明する。以下の実施形態では、半導体装置及び距離計測装置内の特徴的な構成および動作を主に説明するが、半導体装置及び距離計測装置には以下の説明で省略した構成および動作が存在しうる。

【0009】

(第 1 の実施形態)

図 1 は第 1 の実施形態による半導体装置 1 の概略構成を示すブロック図である。図 1 の半導体装置 1 は、同一の半導体基板上に実装される回路構成を示している。図 1 の半導体装置 1 は、発振器 2 と、周期数計測器 3 と、第 1 演算器 4 と、第 2 演算器 5 とを備えている。本明細書では、第 1 演算器 4 と第 2 演算器 5 を総称して演算器 1 0 と呼ぶ。

【0010】

20

発振器 2 は、第 1 入力信号に応じて周波数が変調された発振信号を出力する。発振器 2 は、例えば電圧制御型発振器 2 (以下、VCO: Voltage Controlled Oscillator) である。VCO 2 は、第 1 入力信号の信号レベルに応じて周波数が変調された発振信号を出力する。

【0011】

周期数計測器 3 は、発振信号の周期数を計測する。より具体的には、周期数計測器 3 は、クロック信号 CLK のクロック周期ごとに、クロック周期に含まれる発振信号の周期数を計測する。クロック信号 CLK は、VCO 2 の発振信号とは非同期の信号である。VCO 2 の発振信号の周期は変動するが、クロック信号 CLK の各クロック周期は同一である。

【0012】

30

第 1 演算器 4 は、クロック信号 CLK の第 1 クロック周期に、周期数計測器 3 で計測された第 1 周期数に基づいて第 1 入力信号をデジタル変換した第 1 デジタル信号を出力する。第 1 デジタル信号は、各クロック周期ごとに、VCO 2 の発振周波数をデジタル変換した信号である。VCO 2 の発振周波数は第 1 入力信号の信号レベルに依存するため、第 1 デジタル信号は第 1 入力信号をデジタル変換した信号になる。

【0013】

周期数計測器 3 は、例えばカウンタ 3 a を有する。カウンタ 3 a は、各クロック周期ごとに、各クロック周期に含まれる発振信号の周期数をカウントする。カウンタ 3 a は、クロック信号 CLK が遷移するタイミングでカウント値をリセットする。クロック信号 CLK が遷移するタイミングとは、例えば、クロック信号 CLK がローからハイになるタイミングである。

40

【0014】

第 1 演算器 4 は、例えばフリップフロップ (以下、FF) 4 a を有する。FF 4 a は、クロック信号 CLK が遷移するタイミングで、カウンタ 3 a のカウント値を保持する。FF 4 a の保持信号が第 1 デジタル信号になる。このように、周期数計測器 3 と第 1 演算器 4 は、AD 変換器 (以下、ADC: Analog Digital Converter) として機能する。

【0015】

第 2 演算器 5 は、クロック信号の基準時点から第 2 入力信号が遷移するタイミングまでの期間に周期数計測器 3 で計測された第 2 周期数に基づいて第 2 デジタル信号を出力する。第 2 演算器 5 は、例えば FF 5 a を有する。FF 5 a は、第 2 入力信号が遷移するタイ

50

ミングで、カウンタ 3 a のカウント値を保持する。F F 5 a の保持信号が第 2 デジタル信号になる。このように、周期数計測器 3 と第 2 演算器 5 は、時間デジタル変換器（以下、T D C : Time to Digital Converter）として機能する。

【 0 0 1 6 】

以上に説明したように、図 1 の半導体装置 1 は、発振器 2、A D C 及び T D C を統合させた回路構成を備えている。特に、A D C と T D C で発振器 2 とカウンタ 3 a を共有するため、A D C と T D C が個別に発振器 2 とカウンタ 3 a を備える必要がなくなり、回路規模と消費電力を削減できる。

【 0 0 1 7 】

図 2 は図 1 の半導体装置 1 の動作を説明する波形図であり、V C O 2 の発振信号の波形を示している。V C O 2 の発振信号の発振周波数は、第 1 入力信号の信号レベルに応じて変化する。図 2 の破線で区切られた各区間は、クロック信号 C L K の各クロック周期である。図 2 では、簡略化のため、V C O 2 の発振信号の発振周波数が各クロック周期ごとに変化する例を示しているが、実際には、1 つのクロック周期内でも、V C O 2 の発振信号の発振周波数が変化することがある。

10

【 0 0 1 8 】

図 2 の例では、時刻 t 1 ~ t 2、t 2 ~ t 3、t 3 ~ t 4、t 4 ~ t 5、t 5 ~ t 6、t 6 ~ t 7 の各クロック周期では、カウンタ 3 a は、カウント値 = 4、4、6、9、9、5 をそれぞれカウントする。これらのカウント値はそれぞれ、時刻 t 2、t 3、t 4、t 5、t 6、t 7 のときに F F 4 a に保持される。よって、第 1 デジタル信号は、クロック周期ごとに、4、4、6、9、9、5 の順に変化する。

20

【 0 0 1 9 】

仮に、時刻 t 4 と t 5 の間の t t r g のときに第 2 入力信号が遷移したとすると、F F 4 a は、時刻 t t r g にカウンタ 3 a のカウント値を保持する。この場合のカウント値は 4 であることから、第 2 デジタル信号は 4 になる。

【 0 0 2 0 】

図 3 は図 1 の半導体装置 1 に比較器 6 と算出器 7 を設けた半導体装置 1 の概略構成を示すブロック図である。

【 0 0 2 1 】

比較器 6 は、第 1 入力信号の物理量を基準値と比較することにより、第 2 入力信号を生成する。物理量とは、第 1 入力信号の電力、包絡線、周波数、積分値、又はパルス幅などであり、第 1 入力信号の特性を定量的に評価できる物理量であればよく、その具体的な内容は問わない。比較器 6 は、例えば、物理量が基準量を超えた場合に、第 2 入力信号を遷移させる。物理量が信号レベルの場合、比較器 6 は、第 1 入力信号の信号レベルが所定の閾値を超えた場合に第 2 入力信号を遷移させる。第 2 入力信号を遷移させるとは、例えば第 2 入力信号をローからハイに変化させることである。このように、第 2 入力信号はトリガ信号として機能し、比較器 6 はトリガ生成部として機能する。

30

【 0 0 2 2 】

算出器 7 は、第 1 デジタル信号及び第 2 デジタル信号に基づいて、光信号を出射してから光信号が物体で反射された反射光信号が受光されるまでの時間を計測し、計測された時間に基づいて物体までの距離を算出する。

40

【 0 0 2 3 】

図 4 は開始信号と第 1 入力信号との関係を説明する図である。開始信号のタイミングに応じて、光源 2 2 からレーザ光等の光信号が出射され、光信号が乗物等の物体に当たって反射された反射光信号が受光センサ等の光検出器 2 3 に入射されて、電気信号である第 1 入力信号に変換される。

【 0 0 2 4 】

図 5 は光源 2 2 から出射される光信号と反射光信号の一例を示す波形図である。反射光信号は、太陽光などの環境光とともに光検出器 2 3 に受光される。反射光信号の伝搬距離が長いほど、反射光信号の光強度は弱くなり、環境光との識別が困難になる。図 5 では、

50

反射光信号を太字で示している。

【 0 0 2 5 】

比較器 6 は、例えば、第 1 入力信号の信号レベルが所定の閾値を超えた場合に、第 2 入力信号を遷移させる。算出器 7 は、開始信号のタイミングから、反射光信号が受光されて第 1 入力信号に変換されて発振器 2 に入力されるタイミングまでの時間を計測して、距離に変換する。

【 0 0 2 6 】

図 6 は図 2 の時刻 t_{trg} のときに第 2 入力信号が遷移した場合の距離に対応する時間 ($T_o F$: Time of Flight) の計測方法を説明する図である。時刻 t_1 は、開始信号のタイミングである。時刻 $t_4 \sim t_5$ のクロック周期の間に第 1 演算器 4 から出力される第 1 デジタル信号は 9 であり、第 2 演算器 5 から出力される第 2 デジタル信号は 4 である。また、時刻 $t_1 \sim t_4$ までに 3 クロック周期あるため、算出器 7 は、開始信号のタイミングから第 2 入力信号の遷移タイミングまでの時間 $T_o F$ は $3 + (4 / 9)$ と計測し、この時間 $T_o F$ から、光の速度を用いて距離を算出する。

10

【 0 0 2 7 】

このように、第 1 の実施形態では、A D C として機能する第 1 演算器 4 と、T D C として機能する第 2 演算器 5 が、発振器 2 とカウンタ 3 a を共有するため、A D C と T D C が専用の発振器 2 とカウンタ 3 a を備える必要がなくなり、回路規模と消費電力を削減できる。

【 0 0 2 8 】

20

(第 2 の実施形態)

第 2 の実施形態は、第 1 の実施形態による半導体装置 1 の構成をより具体化したものである。

【 0 0 2 9 】

図 7 は第 2 の実施形態による半導体装置 1 の概略構成を示すブロック図である。図 7 の半導体装置 1 は、発振器 2 と、第 1 位相サンプラ 1 1 と、第 2 位相サンプラ 1 2 と、第 3 位相サンプラ 1 3 と、第 1 演算器 4 と、第 2 演算器 5 とを備えている。第 1 演算器 4 と第 2 演算器 5 で演算器 1 0 を構成している。

【 0 0 3 0 】

発振器 2 は、第 1 入力信号に応じて周波数が変調された発振信号を出力する。発振器 2 は、例えば V C O 2 である。図 8 は V C O 2 の一例を示す回路図である。図 8 の V C O 2 は、リング発振器 1 4 と、P M O S トランジスタ 1 5 とを有する。リング発振器 1 4 は、遅延時間を制御可能な複数の可変遅延インバータ 1 4 a をリング状に接続したものである。P M O S トランジスタ 1 5 は、第 1 入力信号の信号レベルに応じた電源電圧を複数の可変遅延インバータ 1 4 a に供給する。各可変遅延インバータ 1 4 a は、電源電圧レベルに応じて信号伝搬遅延時間を切り替える。各可変遅延インバータ 1 4 a の信号伝搬遅延時間が変わると、リング発振器 1 4 の発振周波数も変化する。これにより、図 8 の V C O 2 は、第 1 入力信号の信号レベル、例えば電圧又は電流レベルに基づいて発振周波数を変調する。

30

【 0 0 3 1 】

40

第 1 位相サンプラ 1 1 は、クロック信号 C L K の周期ごとに、V C O 2 の発振信号の位相をサンプリングした第 1 位相デジタル信号 D P A を出力する。第 2 位相サンプラ 1 2 は、第 2 入力信号が遷移したタイミングで、V C O 2 の発振信号の位相をサンプリングした第 2 位相デジタル信号 D P T を出力する。第 3 位相サンプラ 1 3 は、第 2 入力信号が遷移したタイミングでクロック信号 C L K の位相をサンプリングした第 3 位相デジタル信号を出力する。

【 0 0 3 2 】

第 1 演算器 4 は、クロック信号 C L K のクロック周期ごとに、第 1 位相デジタル信号 D P A に基づいて第 1 入力信号をデジタル変換した第 1 デジタル信号を出力する。第 1 位相サンプラ 1 1 と第 1 演算器 4 は、A D C として機能する。

50

【 0 0 3 3 】

第 2 演算器 5 は、第 2 入力信号が遷移するタイミングまでの期間に応じた第 2 デジタル信号を出力する。第 1 位相サンプラ 1 1 と、第 2 位相サンプラ 1 2 と、第 2 演算器 5 は T D C として動作する。

【 0 0 3 4 】

図 9 は第 1 位相サンプラ 1 1 の内部構成を示すブロック図である。図 9 に示すように、第 1 位相サンプラ 1 1 は、カウンタ 1 1 a と、F F 1 1 b と、複数の F F 1 1 c と、エンコーダ 1 1 d と、加算器 1 1 e とを有する。

【 0 0 3 5 】

カウンタ 1 1 a は、例えば、V C O 2 の発振信号の遷移タイミングでカウントアップを行うアップカウンタ 1 1 a である。V C O 2 の発振信号の遷移タイミングとは、例えば発振信号がローからハイになるタイミングである。F F 1 1 b は、カウンタ 1 1 a のカウント値をクロック周期ごとに保持する。F F 1 1 b に保持された値は、V C O 2 の発振信号の整数位相デジタル信号に対応する。

【 0 0 3 6 】

複数の F F 1 1 c は、リング発振器 1 4 内の複数の可変遅延インバータ 1 4 a の各出力信号を、クロック信号 C L K の遷移タイミングに同期させて保持する。エンコーダ 1 1 d は、各 F F 1 1 c が保持した信号を小数位相デジタル信号にエンコードして出力する。リング発振器 2 内の各可変遅延インバータ 1 4 a の各出力信号をクロック信号 C L K の遷移タイミングで保持することにより、V C O 2 の発振信号をカウンタ 1 1 a で計測した値よりも高い分解能での位相デジタル信号を取得できる。

【 0 0 3 7 】

加算器 1 1 e は、F F 1 1 b に保持された整数位相デジタル信号と、エンコーダ 1 1 d でエンコードされた小数位相デジタル信号とを加算して、第 1 位相デジタル信号 D P A を生成する。

【 0 0 3 8 】

第 2 位相サンプラ 1 2 は、例えば図 9 と同様のブロック構成を有する。図 9 のクロック信号 C L K の代わりに、第 2 入力信号が入力される。この場合、エンコーダ 1 1 d は、第 2 入力信号が遷移するタイミングで、V C O 2 の発振信号の小数位相デジタル信号を出力する。

【 0 0 3 9 】

図 1 0 は第 2 の実施形態による半導体装置 1 の入出力タイミングを示す信号波形図である。時刻 t 1 は開始信号のタイミングである。時刻 t 1 ~ t 2 の間は、第 1 入力信号の信号レベルは所定の基底レベルである。なお、図 1 0 では、環境光等のノイズ信号は第 1 入力信号に含まれていないものとしている。第 1 入力信号の信号レベルが基底レベルのときは、V C O 2 は基底レベルに応じた固定の発振周波数で発振する。したがって、カウンタ 3 a のカウント値は、線形に増加する。図 1 0 の破線は、クロック信号 C L K が遷移するタイミングを示しており、各破線の間隔はクロック周期である。

【 0 0 4 0 】

第 1 位相サンプラ 1 1 は、クロック信号 C L K が遷移するタイミングに同期して、V C O 2 の発振信号の位相をデジタル化した第 1 位相デジタル信号 D P A を出力する。

【 0 0 4 1 】

時刻 t 2 ~ t 5 にかけて、第 1 入力信号の信号レベルが変化したとすると、その信号レベルに応じて V C O 2 の発振信号の発振周波数が変化する。図 1 0 の例では、時刻 t 4 のときに第 2 入力信号が遷移した例を示している。第 2 位相サンプラ 1 2 は、第 2 入力信号が遷移したタイミングに同期させて、V C O 2 の発振信号の位相をデジタル化した第 2 位相デジタル信号 D P T を出力する。第 3 位相サンプラ 1 3 は、第 2 入力信号が遷移したタイミングに同期させて、クロック信号 C L K の位相をデジタル化した第 3 位相デジタル信号を出力する。この第 3 位相デジタル信号は、クロック信号 C L K の整数時間を表している。

10

20

30

40

50

【 0 0 4 2 】

第 1 演算器 4 は、第 1 位相サンブラ 1 1 から出力された第 1 位相デジタル信号 D P A を時間微分した第 1 デジタル信号を出力する。この第 1 デジタル信号は、クロック周期ごとの V C O 2 の発振信号の発振周波数をデジタル化した信号である。V C O 2 の発振信号の発振周波数は、第 1 入力信号に依存するため、第 1 デジタル信号は第 1 入力信号に依存する信号である。例えば、第 1 デジタル信号は、第 1 入力信号の信号レベルをデジタル化した信号になる。

【 0 0 4 3 】

第 2 演算器 5 は、第 2 位相デジタル信号 D P T に近接した 2 以上の第 1 位相デジタル信号 D P A を内挿する処理と第 3 位相デジタル信号とに基づいて、第 2 デジタル信号を生成する。より具体的には、第 2 演算器 5 は、2 以上の第 1 位相デジタル信号 D P A を多項式補間により第 2 位相デジタル信号 D P T に対応する小数時間を求めるとともに、第 3 位相デジタル信号に基づいて整数時間を求め、小数時間及び整数時間に基づいて第 2 デジタル信号を生成する。

10

【 0 0 4 4 】

第 2 演算器 5 は、例えば補間部 5 a と、加算器 5 b とを有する。補間部 5 a は、第 1 位相デジタル信号 D P A と第 2 位相デジタル信号 D P T とに基づいて、小数時間信号を生成する。加算器 5 b は、第 3 位相サンブラ 1 3 で生成された、整数時間信号である第 3 位相デジタル信号と、補間部 5 a で生成された小数時間信号とを加算して、第 2 デジタル信号を生成する。第 2 デジタル信号は、開始信号のタイミングから、第 2 入力信号が遷移するタイミングまでの時間 - デジタル信号である。

20

【 0 0 4 5 】

図 1 1 は補間部 5 a の動作を説明する図である。図 1 1 は、横軸を時間、縦軸を第 1 位相デジタル信号 D P A と第 2 位相デジタル信号 D P T のデータ値として、第 1 位相デジタル信号 D P A をプロットした図である。第 2 位相デジタル信号 D P T の近傍の 3 つの第 1 位相デジタル信号 D P A [t 1]、D P A [t 2]、D P A [t 3] をプロットし、これら 3 つのプロットを通る 2 次補間曲線を生成する。そして、第 2 位相デジタル信号 D P T をこの 2 次補間曲線上に置いて、第 2 位相デジタル信号 D P T の時間を求める。求めた時間が第 2 入力信号が遷移するタイミング、すなわちトリガタイミングである。

【 0 0 4 6 】

2 次補間曲線は、例えば、以下の (1) 式で表される。

$$f(t) = at^2 + bt + c \quad \dots (1)$$

30

【 0 0 4 7 】

補間部 5 a は、(1) 式の 2 次補間曲線から、以下の (2) 式に基づいて小数時間を逆算する。

$$\text{小数時間} = f^{-1}(DPT) \quad \dots (2)$$

【 0 0 4 8 】

なお、補間部 5 a が行う補間処理は、上述した 2 次多項式補間以外に、ラグランジュ補間やニュートン補間など、任意の補間を行うことができる。補間部 5 a の補間処理は、V C O 2 の発振周波数が変化している間にも行うことができ、高精度の小数時間を計測できる。

40

【 0 0 4 9 】

上述したように、第 2 演算器 5 は、第 2 入力信号の遷移時間を基準としてクロック信号 C L K の位相を検出することにより整数時間を求め、かつ第 2 入力信号の遷移時間を基準として V C O 2 の発振信号の位相を検出することにより小数時間を求めることで、高精度の時間 - デジタル変換を行うことができる。

【 0 0 5 0 】

このように、第 2 の実施形態による半導体装置 1 は、A D C として機能する第 1 演算器 4 と、T D C として機能する第 2 演算器 5 とが V C O 2 と第 1 位相サンブラ 1 1 を共有するため、回路規模と消費電力を削減できる。

50

【 0 0 5 1 】

(第 3 の実施形態)

図 1 2 は第 3 の実施形態による半導体装置 1 を内蔵する距離計測装置 2 0 の概略構成を示すブロック図である。図 1 2 の距離計測装置 2 0 は、制御部 2 1 と、光源 2 2 と、光検出器 2 3 と、アナログフロントエンド (以下、A F E : Analog Front End) 部 2 4 と、算出器 2 5 とを備えている。

【 0 0 5 2 】

制御部 2 1 は、光源 2 2 の出射タイミングを制御する。制御部 2 1 が開始信号を光源 2 2 に送ると、光源 2 2 は光信号を出射する。光源 2 2 は、レーザダイオードや L E D (Light Emitting Device) である。光源 2 2 から出射された光信号 (以下、第 1 光信号) は、監視領域内の物体 1 9 によって散乱され、その散乱光が距離計測装置 2 0 に入射される。太陽光などの光源 2 2 以外の環境光も、直接光又は物体 1 9 からの反射光として、距離計測装置 2 0 に入射される。

10

【 0 0 5 3 】

距離計測装置 2 0 に入射された光は、光検出器 2 3 によって電気信号に変換される。光検出器 2 3 は、例えばフォトダイオード、アバランシェ・フォトダイオード、シングルフォトン・アバランシェ・フォトダイオード等で構成することができる。光検出器 2 3 は、光源 2 2 から出射された第 1 光信号が物体 1 9 で反射された反射光信号を含む第 2 光信号を受光して、電気信号である第 1 入力信号に変換する。

【 0 0 5 4 】

光検出器 2 3 で変換された電気信号である第 1 入力信号は、A F E 部 2 4 に入力され、その電気信号の振幅情報及び時間情報がデジタル値に変換される。ここで、時間情報とは、電気信号の振幅がある閾値を超えたタイミングであり、出射光の出射タイミングから散乱光が光検出器 2 3 を介して A F E 部 2 4 で検出されるまでの時間 T o F を表している。A F E 部 2 4 は、例えば第 2 の実施形態の半導体装置 1 で構成可能である。A F E 部 2 4 は、第 1 入力信号に基づいて、反射光信号の受光タイミングを表す第 1 デジタル信号及び第 2 デジタル信号を出力する。

20

【 0 0 5 5 】

算出器 2 5 は、第 1 光信号を反射した物体 1 9 までの距離を計測する。より具体的には、算出器 2 5 は、開始信号のタイミングから第 2 入力信号が遷移されるまでの時間を計測し、この時間に基づいて物体 1 9 までの距離を計測する。

30

【 0 0 5 6 】

図 1 2 の距離計測装置 2 0 内の各部は、一つの半導体基板に実装可能であり、ワンチップ化することができる。あるいは、光源 2 2 だけを別チップにしてもよいし、光源 2 2 と光検出器 2 3 を別チップにしてもよい。

【 0 0 5 7 】

このように、第 3 の実施形態では、第 2 の実施形態による半導体装置 1 を用いて距離計測装置 2 0 を構成することができる。

【 0 0 5 8 】

(第 4 の実施形態)

図 1 3 は第 4 の実施形態による半導体装置 1 の概略構成を示すブロック図である。図 1 3 の半導体装置 1 は、図 7 の半導体装置 1 の構成に加えて、比較器 6 を備えている。比較器 6 は、第 1 入力信号に基づいて第 2 入力信号を生成する。より具体的には、比較器 6 は、第 1 入力信号の物理量を所定の基準量と比較することにより、第 2 入力信号を生成する。物理量が信号レベルの場合、比較器 6 は、第 1 入力信号の信号レベルが所定の基準レベルを超えた場合に、第 2 入力信号を遷移させてもよい。このように、比較器 6 は、トリガ信号である第 2 入力信号を生成するトリガ生成部として機能する。

40

【 0 0 5 9 】

比較器 6 は、環境光の中に埋もれた反射光を適切に抽出するために、基準量や基準レベルを設定して、第 1 入力信号に含まれる反射光成分を検出する。反射光成分が検出される

50

と、第 2 入力信号を遷移させる。

【 0 0 6 0 】

図 1 3 の半導体装置 1 は、図 1 2 の距離計測装置 2 0 内の A F E 部 2 4 に用いることができる。

【 0 0 6 1 】

このように、第 4 の実施形態では、比較器 6 を設けて、第 1 入力信号から第 2 入力信号を生成するため、距離計測装置 2 0 に入射された光から物体 1 9 の反射光を適切に抽出して、第 2 入力信号を生成できる。

【 0 0 6 2 】

(第 5 の実施形態)

V C O 2 の発振信号は、第 1 入力信号に応じて周波数変調されている。よって、図 1 4 に示すように、1 つのクロック周期内でも、発振信号の発振周波数が大きく変化することがありうる。特に、第 1 入力信号に含まれる反射光成分に対応する信号領域は、短い時間幅で信号振幅が急激に大きくなることがある。このような場合、V C O 2 の発振信号の発振周波数が急激に大きくなって、その後すぐに発振周波数が急激に小さくなり、発振周波数が不安定になる。

【 0 0 6 3 】

上述した第 1 ~ 第 3 の実施形態による半導体装置 1 では、安定していない発振信号が入力されると、補完処理の精度が劣化する恐れがある。そこで、第 5 の実施形態による半導体装置 1 は、安定していない発振信号に対する対策を施すものである。

【 0 0 6 4 】

図 1 5 は第 5 の実施形態による半導体装置 1 の概略構成を示すブロック図、図 1 6 は第 5 の実施形態による半導体装置 1 の入出力タイミングを示す信号波形図である。図 1 5 の半導体装置 1 は、図 1 3 の半導体装置 1 の構成に加えて、遅延器 2 6 を備えている。遅延器 2 6 は、比較器 6 から出力された第 2 入力信号を所定時間遅延させる。所定時間とは、第 1 入力信号に含まれる反射光成分に対応する信号領域が終わるまでの時間である必要がある。より具体的には、所定時間は、反射光成分を含む信号領域が終わって、V C O 2 の発振信号の発振周波数が安定するまでの時間であるのが望ましい。

【 0 0 6 5 】

遅延器 2 6 で第 2 入力信号を所定時間遅延させることで、本来は図 1 6 の時刻 t 1 で第 2 信号が遷移する（トリガ信号が出る）のに対して、時刻 t 1 から所定時間遅延した時刻 t 2 で第 2 信号が遷移する（トリガ信号が出る）。時刻 t 2 での発振信号がクロック周期内でそれほど周波数が変化せず安定している場合には、第 1 位相サンプラ 1 1 と第 2 位相サンプラ 1 2 は、第 1 位相デジタル信号 D P A と第 2 位相デジタル信号 D P T を精度よく生成することができる。

【 0 0 6 6 】

図 1 7 は図 1 5 の一変形例による半導体装置 1 の概略構成を示すブロック図である。図 1 7 の半導体装置 1 は、図 1 3 の半導体装置 1 の構成に加えて、V C O 2 の前段側に遅延器 2 6 を追加したものである。遅延器 2 6 は、第 1 入力信号を所定時間遅延させた後に V C O 2 に入力する。V C O 2 は、第 1 入力信号を所定時間遅延させた遅延入力信号に基づいて周波数変調された発振信号を出力する。

【 0 0 6 7 】

比較器 6 は、遅延されていない元の第 1 入力信号に基づいて第 2 入力信号を生成する。第 1 位相サンプラ 1 1 と第 2 位相サンプラ 1 2 は、遅延入力信号に基づいて周波数変調された発振信号に基づいて第 1 位相デジタル信号 D P A と第 2 位相デジタル信号 D P T を出力する。第 1 位相デジタル信号 D P A と第 2 位相デジタル信号 D P T は、第 2 入力信号の遷移タイミングよりも所定時間遅れている。よって、第 1 位相デジタル信号 D P A と第 2 位相デジタル信号 D P T は、安定化した発振信号に基づいて生成されるため、図 1 5 と同様に、発振信号が安定化した後に第 1 位相デジタル信号 D P A と第 2 位相デジタル信号 D P T を生成できる。

10

20

30

40

50

【 0 0 6 8 】

このように、第 5 の実施形態では、遅延器 2 6 を設けて、比較器 6 で生成した第 2 入力信号を所定時間遅延させるか、あるいは V C O 2 に入力される第 1 入力信号を所定時間遅延させるため、V C O 2 の発振信号の発振周波数が安定化した後に、第 1 位相サンプラ 1 1 と第 2 位相サンプラ 1 2 により、第 1 位相デジタル信号 D P A と第 2 位相デジタル信号 D P T を生成できる。

【 0 0 6 9 】

(第 6 の実施形態)

図 1 8 は第 6 の実施形態による半導体装置 1 の概略構成を示すブロック図である。図 1 8 の半導体装置 1 は、図 7 の半導体装置 1 の構成に加えて、D A 変換器 (D A C : Digital Analog Converter) 2 7 と、差分器 2 8 と、ループフィルタ 2 9 とを備えている。D A C 2 7 は、第 1 位相サンプラ 1 1 から出力された第 1 位相デジタル信号 D P A を位相アナログ信号に変換する。差分器 2 8 は、第 1 入力信号と D A C 2 7 の出力信号と第 1 入力信号との差信号を出力する。ループフィルタ 2 9 は、この差信号を積分した信号を、第 1 入力信号の代わりに V C O 2 に入力する。ループフィルタ 2 9 は積分器として機能する。

【 0 0 7 0 】

図 1 8 の半導体装置 1 では、V C O 2 と第 1 位相サンプラ 1 1 とで、デルタ - シグマ A D 変換器を構成している。第 1 位相デジタル信号 D P A を D A C 2 7 とループフィルタ 2 9 にて、V C O 2 の入力側に帰還させるため、A D 変換時の量子化雑音をより低減できる。

【 0 0 7 1 】

なお、図 1 8 の D A C 2 7 と差分器 2 8 は、図 1 5 や図 1 7 の半導体装置 1 に付加してもよい。

【 0 0 7 2 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 0 7 3 】

1 半導体装置、2 発振器、3 周期数計測器、3 a カウンタ、4 第 1 演算器、4 a F F、5 第 2 演算器、5 a F F、6 比較器、7 算出器、1 0 演算器、1 1 第 1 位相サンプラ、1 2 第 2 位相サンプラ、1 3 第 3 位相サンプラ、1 4 リング発振器、1 5 P M O S トランジスタ、1 9 物体、2 0 距離計測装置、2 1 制御部、2 2 光源、2 3 光検出器、2 4 A F E 部、2 5 算出器、2 6 遅延器

10

20

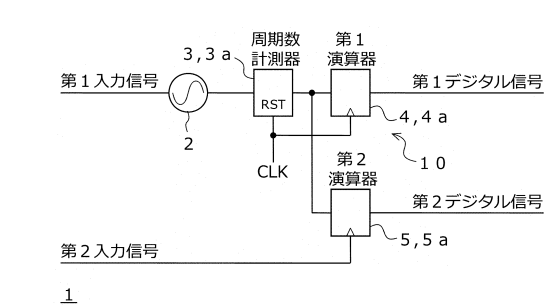
30

40

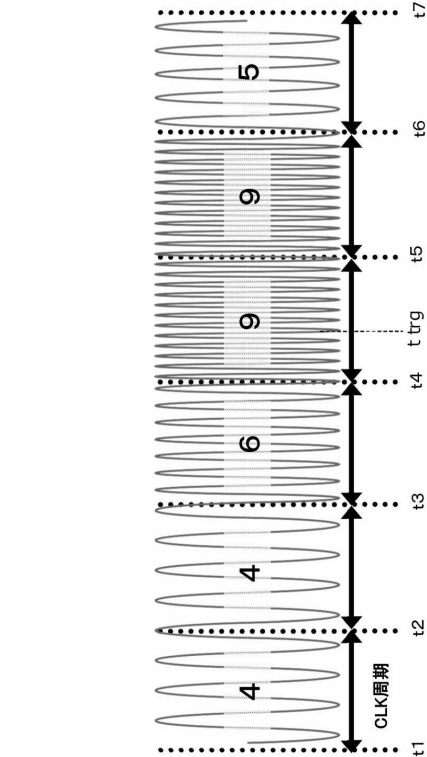
50

【図面】

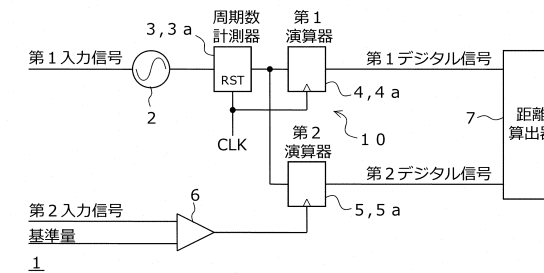
【図 1】



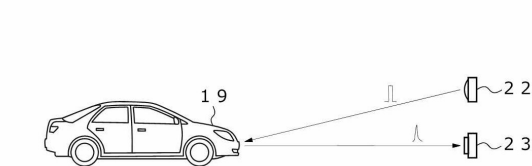
【図 2】



【図 3】



【図 4】



10

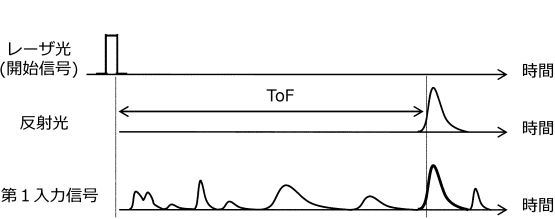
20

30

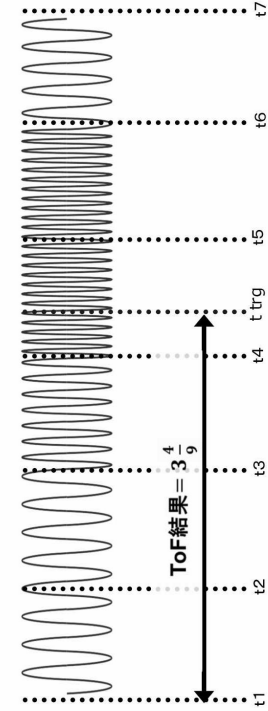
40

50

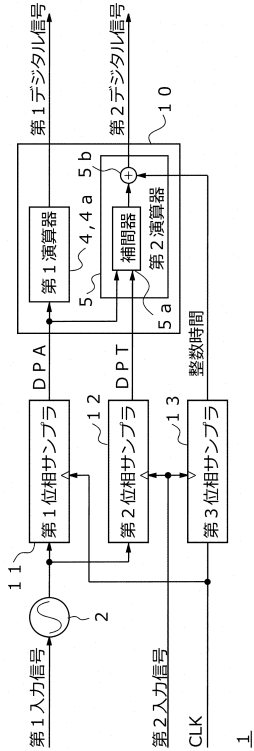
【図 5】



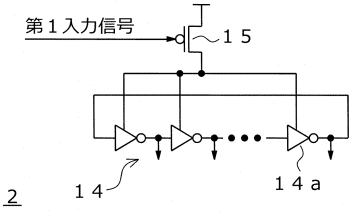
【図 6】



【図 7】



【図 8】



10

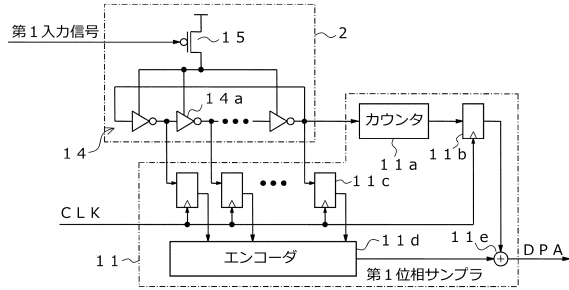
20

30

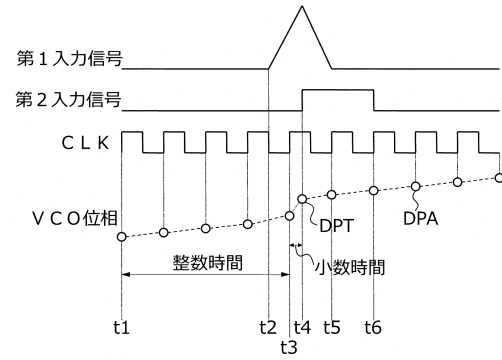
40

50

【 図 9 】

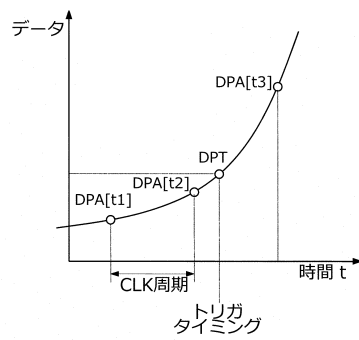


【 図 1 0 】

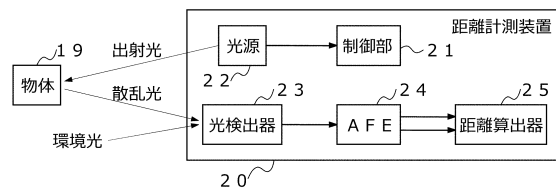


10

【 図 1 1 】



【圖 1 2】



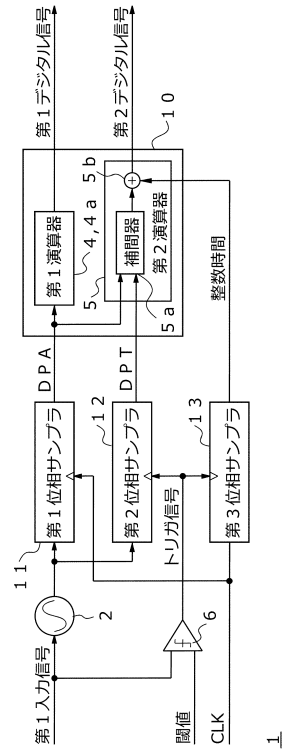
20

30

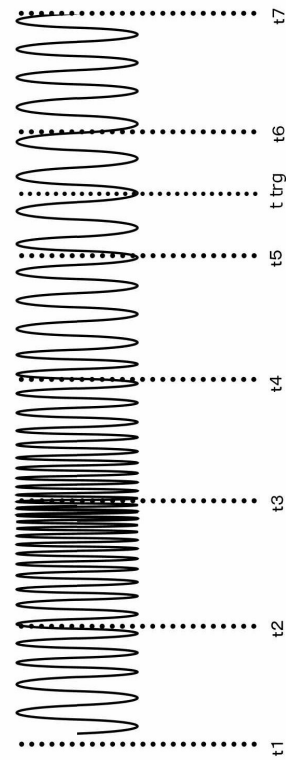
40

50

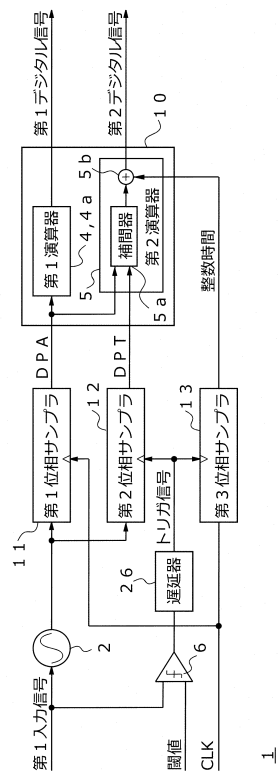
【 図 1 3 】



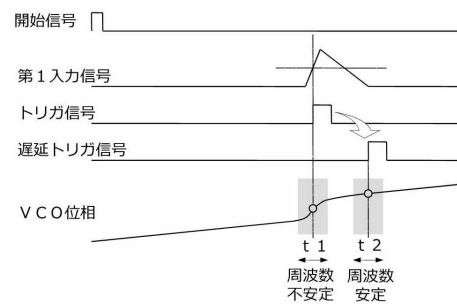
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

- 弁理士 関根 毅
(74)代理人 100118876
弁理士 鈴木 順生
(74)代理人 100103263
弁理士 川崎 康
(72)発明者 近藤 智史
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
(72)発明者 大國 英徳
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
(72)発明者 タ トァン タン
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
(72)発明者 崔 明秀
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内
審査官 山 崎 和子
(56)参考文献 特開平 0 1 - 2 0 8 0 2 4 (J P , A)
特開 2 0 1 7 - 0 6 3 4 3 3 (J P , A)
特開 2 0 0 3 - 1 3 9 8 5 7 (J P , A)
特開 2 0 0 0 - 0 2 8 7 2 1 (J P , A)
特開平 0 4 - 0 1 5 5 9 3 (J P , A)
(58)調査した分野 (Int.Cl. , D B 名)
G 0 1 C 3 / 0 0 - 3 / 3 2
G 0 1 S 7 / 4 8 - 7 / 5 1
1 7 / 0 0 - 1 7 / 9 5
H 0 3 K 5 / 0 0 - 5 / 0 2
5 / 0 8 - 5 / 1 2 5 4
5 / 1 5 - 5 / 2 6
9 9 / 0 0
H 0 3 M 1 / 0 0 - 1 / 8 8