

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 7 月 27 日 (27.07.2017)



(10) 国际公布号
WO 2017/124597 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2016/074227
- (22) 国际申请日: 2016 年 2 月 22 日 (22.02.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610040439.6 2016 年 1 月 21 日 (21.01.2016) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 赵莽 (ZHAO, Mang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新

区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: GATE DRIVE CIRCUIT AND LIQUID CRYSTAL DISPLAY THEREFOR

(54) 发明名称: 一种栅极驱动电路及其液晶显示器

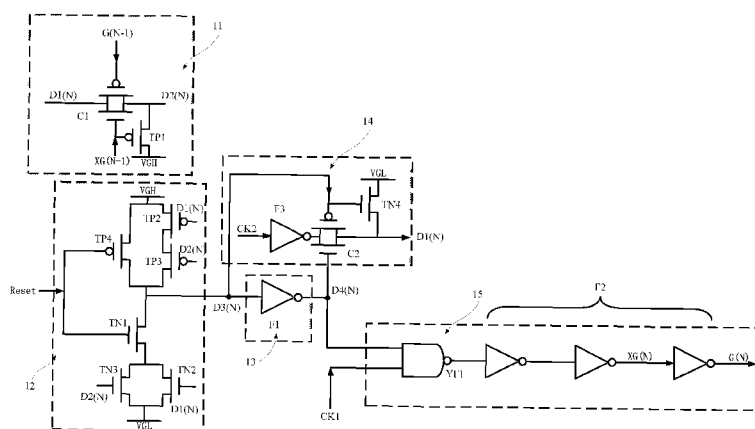


图 1

(57) Abstract: A gate drive circuit and a liquid crystal display therefor. An input circuit (11) generates a second control signal (D2(N)) according to an upper-stage non-inverting and inverting scanning drive signal (G(N-1) and XG(N-1)) and a first control signal (D1(N)) output by a latch circuit (14); a reset and control circuit (12) generates a third control signal (D3(N)) according to a reset signal (Reset), the first and second control signal (D1(N)) and (D2(N)); an inverting circuit (13) conducts inversion processing on the third control signal (D3(N)) for at least once and generates a fourth control signal (D4(N)); an output circuit (15) generates a current-stage non-inverting and inverting scanning drive signal (G(N) and XG(N)) according to the fourth control signal (D4(N)) and a first clock signal (CK1); and the latch circuit (14) generates the first control signal (D1(N)) according to the third control signal (D3(N)) and a second clock signal (CK2), and then latches or changes a voltage state of the third control signal (D3(N)) according to the second clock signal (CK2). By changing the structural design of a circuit, the drive capability of an intermediate transmission signal of a gate drive circuit is improved, and the generation delay of a current-stage scanning drive signal is reduced.

(57) 摘要:

[见续页]

WO 2017/124597 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种栅极驱动电路及其液晶显示器。其中，输入电路（11）根据上级正相及反相扫描驱动信号（G(N-1)及XG(N-1)）以及锁存电路（14）输出的第一控制信号（D1(N)）产生第二控制信号（D2(N)），复位及控制电路（12）根据复位信号（Reset）、第一及第二控制信号（D1(N)及D2(N)）产生第三控制信号（D3(N)），反相电路（13）对第三控制信号（D3(N)）进行至少一次反相处理，并产生第四控制信号（D4(N)），输出电路（15）根据第四控制信号（D4(N)）和第一时钟信号（CK1）产生本级正相及反相扫描驱动信号（G(N)及XG(N)），锁存电路（14）根据第三控制信号（D3(N)）和第二时钟信号（CK2）产生第一控制信号（D1(N)），进而根据第二时钟信号（CK2）锁存或改变第三控制信号（D3(N)）的电压状态。通过改变电路的结构设计，提高了栅极驱动电路的中间传输信号的驱动能力，降低本级扫描驱动信号的产生延迟。

一种栅极驱动电路及其液晶显示器

[1] **【技术领域】**

[2] 本发明涉及一种液晶显示技术领域的装置，特别是涉及一种蓝相液晶显示面板。

[3] **【背景技术】**

[4] Gate Driver On

Array，简称GOA，也就是利用现有薄膜晶体管液晶显示器Array制程将Gate行扫描驱动信号电路制作在Array基板上，实现对Gate逐行扫描的驱动方式的一项技术。

[5] 随着低温多晶硅（LTPS）半导体薄膜晶体管的发展，而且由于LTPS半导体本身超高载流子迁移率的特性，相应的面板周边集成电路也成为大家关注的焦点，并且很多人投入到System on Panel（SOP）的相关技术研究，并逐步成为现实。

[6] 在现有的栅极驱动电路中，通过控制输出电路的输入节点的电压来产生本级扫描驱动信号，但该输入节点的电压一般由高参考电路通路产生，高参考电位经若干晶体管的分压而造成损失，进而会影响本级扫描驱动信号的产生速度，进而影响面板的正常驱动，严重时会造成整个驱动电路的失效。

[7] **【发明内容】**

[8] 本发明主要解决的技术问题是提供一种栅极驱动电路及其液晶显示器，能够提高中间传输信号的驱动能力，降低本级扫描驱动信号的产生延迟。

[9] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种栅极驱动电路，包括：输入电路、复位及控制电路、反相电路、锁存电路以及输出电路，输入电路根据上级正相扫描驱动信号、上级反相扫描驱动信号以及锁存电路输出的第一控制信号产生第二控制信号，复位及控制电路根据复位信号、第一控制信号和第二控制信号产生第三控制信号，反相电路对第三控制信号进行至少一次反相处理，并产生第四控制信号，输出电路根据第四控制信号和第一时钟信

号产生本级正相扫描驱动信号和本级反相扫描驱动信号，锁存电路根据第三控制信号和第二时钟信号产生第一控制信号，进而根据第二时钟信号锁存或改变第三控制信号的电压状态；

[10] 其中，输入电路包括第一传输门以及第一P型开关管；

[11] 第一传输门的N型控制端接收上级反相扫描驱动信号，第一传输门的P型控制端接收上级正相扫描驱动信号，第一传输门的第一传输端接收第一控制信号，第一传输门的第二传输端输出第二控制信号；

[12] 第一P型开关管的控制端接收上级反相扫描驱动信号，第一P型开关管的第一传输端连接高参考电位，第一P型开关管的第二传输端连接第一传输门的第二传输端；

[13] 其中，输出电路包括与非门以及串联设置的多个第二反相器；

[14] 与非门的第一输入端接收第一时钟信号，与非门的第二输入端接收第四控制信号，与非门的输出端连接串联设置的多个第二反相器的上游输入端，串联设置的多个第二反相器中的第偶数个第二反相器的输出端输出本级反相扫描驱动信号，串联设置的多个第二反相器中的第奇数个第二反相器的输出端输出本级正相扫描驱动信号。

[15] 为解决上述技术问题，本发明还提供了一种栅极驱动电路，包括：输入电路、复位及控制电路、反相电路、锁存电路以及输出电路，输入电路根据上级正相扫描驱动信号、上级反相扫描驱动信号以及锁存电路输出的第一控制信号产生第二控制信号，复位及控制电路根据复位信号、第一控制信号和第二控制信号产生第三控制信号，反相电路对第三控制信号进行至少一次反相处理，并产生第四控制信号，输出电路根据第四控制信号和第一时钟信号产生本级正相扫描驱动信号和本级反相扫描驱动信号，锁存电路根据第三控制信号和第二时钟信号产生第一控制信号，进而根据第二时钟信号锁存或改变第三控制信号的电压状态。

[16] 其中，输入电路包括第一传输门以及第一P型开关管；

[17] 第一传输门的N型控制端接收上级反相扫描驱动信号，第一传输门的P型控制端接收上级正相扫描驱动信号，第一传输门的第一传输端接收第一控制信号，

第一传输门的第二传输端输出第二控制信号；

[18] 第一P型开关管的控制端接收上级反相扫描驱动信号，第一P型开关管的第一传输端连接高参考电位，第一P型开关管的第二传输端连接第一传输门的第二传输端。

[19] 其中，复位及控制电路包括第二P型开关管、第三P型开关管、第四P型开关管、第一N型开关管、第二N型开关管以及第三N型开关管；第二P型开关管的第一传输端连接高参考电位；第三P型开关管的第一传输端连接第二P型开关管的第二传输端，第二P型开关管的控制端和第三P型开关管的控制端中的一个接收第一控制信号，第二P型开关管的控制端和第三P型开关管的控制端中的另一个接收第二控制信号；第四P型开关管的控制端接收复位信号，第四P型开关管的第一传输端连接高参考电位，第四P型开关管的第二传输端连接第三P型开关管的第二传输端；第一N型开关管的控制端接收复位信号，第一N型开关管的第一传输端连接第三P型开关管的第二传输端和第四P型开关管的第二传输端的连接节点；第二N型开关管的控制端接收第一控制信号，第二N型开关管的第一传输端连接第一N型开关管的第二传输端，第二N型开关管的第二传输端连接低参考电位；第三N型开关管的控制端接收第二控制信号，第三N型开关管的第一传输端连接第一N型开关管的第二传输端，第三N型开关管的第二传输端连接低参考电位；

[20] 其中，第三控制信号从第三P型开关管的第二传输端和第四P型开关管的第二传输端的连接节点输出。

[21] 其中，反相电路包括第一反相器；第一反相器的输入端接收第三控制信号，第一反相器的输出端输出第四控制信号。

[22] 其中，输出电路包括与非门以及串联设置的多个第二反相器；

[23] 与非门的第一输入端接收第一时钟信号，与非门的第二输入端接收第四控制信号，与非门的输出端连接串联设置的多个第二反相器的上游输入端，串联设置的多个第二反相器中的第偶数个第二反相器的输出端输出本级反相扫描驱动信号，串联设置的多个第二反相器中的第奇数个第二反相器的输出端输出本级正相扫描驱动信号。

- [24] 其中，锁存电路包括第二传输门以及第四N型开关管；第二传输门的P型控制端接收第三控制信号，第二传输门的N型控制端接收第四控制信号，第二传输门的第一传输端接收第二时钟信号，第二传输门的第二传输端输出第一控制信号；第四N型开关管的控制端接收第三控制信号，第四N型开关管的第一传输端连接低参考电位，第四N型开关管的第一传输端连接第二传输门的第二传输端。
- [25] 其中，锁存电路进一步包括第三反相器，第三反相器的输入端接收第二时钟信号，第三反相器的输出端连接第二传输门的第一传输端。
- [26] 其中，输入电路包括第一传输门以及第一N型开关管；
- [27] 第一传输门的N型控制端接收上级反相扫描驱动信号，第一传输门的P型控制端接收上级正相扫描驱动信号，第一传输门的第一传输端接收第一控制信号，第一传输门的第二传输端输出第二控制信号；
- [28] 第一N型开关管的控制端接收上级正相扫描驱动信号，第一N型开关管的第一传输端连接低参考电位，第一N型开关管的第二传
- [29] 复位及控制电路包括第二N型开关管、第三N型开关管、第四N型开关管、第一P型开关管、第二P型开关管、第三P型开关管；
- [30] 第二N型开关管的第一传输端连接低参考电位；
- [31] 第三N型开关管的第一传输端与第二N型开关管的第二传输端连接，第二N型开关管的控制端和第三N型开关管中的一个接收第一控制信号，第二N型开关管的控制端和第三N型开关管中的另一个接收第三控制信号；
- [32] 第四N型开关管的控制端接收复位信号，第四N型开关管的第一传输端连接低参考电位，第四N型开关管的第二传输端连接第三N型开关管的第二传输端；
- [33] 第一P型开关管的控制端接收复位信号，第一P型开关管的第一传输端连接高参考电位；
- [34] 第二P型开关管的控制端接收第一控制信号，第二P型开关管的第一传输端连接第一P型开关管的第二传输端，第二P型开关管的第二传输端连接第三N型开关管的第二传输端与第四N型开关管的第二传输端的连接节点；
- [35] 第三P型开关管的控制端接收第二控制信号，第三P型开关管的第一传输端连接第一P型开关管的第二传输端，第三P型开关管的第二传输端连接第三N型开关管

的第二传输端与第四N型开关管的第二传输端的连接节点；

[36] 其中，第三控制信号从第三N型开关管的第二传输端与第四N型开关管的第二传输端的连接节点输出。

[37] 其中，反相电路包括第一反相器和第二反相器；

[38] 第一反相器的输入端接收第三控制信号；

[39] 第二反相器的输入端连接第一反相器的输入端，第二反相器的输入端输出第四控制信号；

[40] 输出电路包括与非门以及串联设置的多个第三反相器；

[41] 与非门的第一输入端接收第一时钟信号，与非门的第二输入端接收第四控制信号，与非门的输出端连接串联设置的多个第二反相器的上游输入端，串联设置的多个第二反相器中的第偶数个第二反相器的输出端输出本级反相扫描驱动信号，串联设置的多个第二反相器中的第奇数个第二反相器的输出端输出本级正相扫描驱动信号；

[42] 锁存电路包括第二传输门以及第四P型开关管；

[43] 第二传输门的N型控制端接收第三控制信号，第二传输门的P型控制端接收第四控制信号，第二传输门的第一传输端接收第二时钟信号，第二传输门的第二传输端输出第一控制信号；

[44] 第四P型开关管的控制端接收第三控制信号，第四P型开关管的第一传输端连接低参考电位，第四P型开关管的第一传输端连接第二传输门的第二传输端。

[45] 为了解决上述问题，本发明还提供了一种液晶显示器，液晶显示器包括多个级联设置的栅极驱动电路，栅极驱动电路包括：输入电路、复位及控制电路、反相电路、锁存电路以及输出电路，输入电路根据上级正相扫描驱动信号、上级反相扫描驱动信号以及锁存电路输出的第一控制信号产生第二控制信号，复位及控制电路根据复位信号、第一控制信号和第二控制信号产生第三控制信号，反相电路对第三控制信号进行至少一次反相处理，并产生第四控制信号，输出电路根据第四控制信号和第一时钟信号产生本级正相扫描驱动信号和本级反相扫描驱动信号，锁存电路根据第三控制信号和第二时钟信号产生第一控制信号，进而根据第二时钟信号锁存或改变第三控制信号的电压状态。

- [46] 其中，输入电路包括第一传输门以及第一P型开关管；
- [47] 第一传输门的N型控制端接收上级反相扫描驱动信号，第一传输门的P型控制端接收上级正相扫描驱动信号，第一传输门的第一传输端接收第一控制信号，第一传输门的第二传输端输出第二控制信号；
- [48] 第一P型开关管的控制端接收上级反相扫描驱动信号，第一P型开关管的第一传输端连接高参考电位，第一P型开关管的第二传输端连接第一传输门的第二传输端。
- [49] 其中，复位及控制电路包括第二P型开关管、第三P型开关管、第四P型开关管、第一N型开关管、第二N型开关管以及第三N型开关管；
- [50] 第二P型开关管的第一传输端连接高参考电位；
- [51] 第三P型开关管的第一传输端连接第二P型开关管的第二传输端，第二P型开关管的控制端和第三P型开关管的控制端中的一个接收第一控制信号，第二P型开关管的控制端和第三P型开关管的控制端中的另一个接收第二控制信号；
- [52] 第四P型开关管的控制端接收复位信号，第四P型开关管的第一传输端连接高参考电位，第四P型开关管的第二传输端连接第三P型开关管的第二传输端；
- [53] 第一N型开关管的控制端接收复位信号，第一N型开关管的第一传输端连接第三P型开关管的第二传输端和第四P型开关管的第二传输端的连接节点；
- [54] 第二N型开关管的控制端接收第一控制信号，第二N型开关管的第一传输端连接第一N型开关管的第二传输端，第二N型开关管的第二传输端连接低参考电位；
- [55] 第三N型开关管的控制端接收第二控制信号，第三N型开关管的第一传输端连接第一N型开关管的第二传输端，第三N型开关管的第二传输端连接低参考电位；
- [56] 其中，第三控制信号从第三P型开关管的第二传输端和第四P型开关管的第二传输端的连接节点输出。
- [57] 其中，反相电路包括第一反相器；
- [58] 第一反相器的输入端接收第三控制信号，第一反相器的输出端输出第四控制信号。

- [59] 其中，输出电路包括与非门以及串联设置的多个第二反相器；
- [60] 与非门的第一输入端接收第一时钟信号，与非门的第二输入端接收第四控制信号，与非门的输出端连接串联设置的多个第二反相器的上游输入端，串联设置的多个第二反相器中的第偶数个第二反相器的输出端输出本级反相扫描驱动信号，串联设置的多个第二反相器中的第奇数个第二反相器的输出端输出本级正相扫描驱动信号。
- [61] 其中，锁存电路包括第二传输门以及第四N型开关管；
- [62] 第二传输门的P型控制端接收第三控制信号，第二传输门的N型控制端接收第四控制信号，第二传输门的第一传输端接收第二时钟信号，第二传输门的第二传输端输出第一控制信号；
- [63] 第四N型开关管的控制端接收第三控制信号，第四N型开关管的第一传输端连接低参考电位，第四N型开关管的第一传输端连接第二传输门的第二传输端。
- [64] 其中，锁存电路进一步包括第三反相器，第三反相器的输入端接收第二时钟信号，第三反相器的输出端连接第二传输门的第一传输端。
- [65] 其中，输入电路包括第一传输门以及第一N型开关管；
- [66] 第一传输门的N型控制端接收上级反相扫描驱动信号，第一传输门的P型控制端接收上级正相扫描驱动信号，第一传输门的第一传输端接收第一控制信号，第一传输门的第二传输端输出第二控制信号；
- [67] 第一N型开关管的控制端接收上级正相扫描驱动信号，第一N型开关管的第一传输端连接低参考电位，第一N型开关管的第二传输端连接低参考电位；
- [68] 复位及控制电路包括第二N型开关管、第三N型开关管、第四N型开关管、第一P型开关管、第二P型开关管、第三P型开关管；
- [69] 第二N型开关管的第一传输端连接低参考电位；
- [70] 第三N型开关管的第一传输端与第二N型开关管的第二传输端连接，第二N型开关管的控制端和第三N型开关管中的一个接收第一控制信号，第二N型开关管的控制端和第三N型开关管中的另一个接收第三控制信号；
- [71] 第四N型开关管的控制端接收复位信号，第四N型开关管的第一传输端连接低参考电位，第四N型开关管的第二传输端连接第三N型开关管的第二传输端；

- [72] 第一P型开关管的控制端接收复位信号，第一P型开关管的第一传输端连接高参考电位；
- [73] 第二P型开关管的控制端接收第一控制信号，第二P型开关管的第一传输端连接第一P型开关管的第二传输端，第二P型开关管的第二传输端连接第三N型开关管的第二传输端与第四N型开关管的第二传输端的连接节点；
- [74] 第三P型开关管的控制端接收第二控制信号，第三P型开关管的第一传输端连接第一P型开关管的第二传输端，第三P型开关管的第二传输端连接第三N型开关管的第二传输端与第四N型开关管的第二传输端的连接节点；
- [75] 其中，第三控制信号从第三N型开关管的第二传输端与第四N型开关管的第二传输端的连接节点输出。
- [76] 其中，反相电路包括第一反相器和第二反相器；
- [77] 第一反相器的输入端接收第三控制信号；
- [78] 第二反相器的输入端连接第一反相器的输入端，第二反相器的输入端输出第四控制信号；
- [79] 输出电路包括与非门以及串联设置的多个第三反相器；
- [80] 与非门的第一输入端接收第一时钟信号，与非门的第二输入端接收第四控制信号，与非门的输出端连接串联设置的多个第三反相器的上游输入端，串联设置的多个第三反相器中的第偶数个第三反相器的输出端输出本级反相扫描驱动信号，串联设置的多个第三反相器中的第奇数个第三反相器的输出端输出本级正相扫描驱动信号；
- [81] 锁存电路包括第二传输门以及第四P型开关管；
- [82] 第二传输门的N型控制端接收第三控制信号，第二传输门的P型控制端接收第四控制信号，第二传输门的第一传输端接收第二时钟信号，第二传输门的第二传输端输出第一控制信号；
- [83] 第四P型开关管的控制端接收第三控制信号，第四P型开关管的第一传输端连接低参考电位，第四P型开关管的第一传输端连接第二传输门的第二传输端。
- [84] 本发明的有益效果是：区别于现有技术的情况，本发明栅极驱动电路通过改变原来的电路设计，改变原有的“与或非”逻辑，替换成“或与非”逻辑，提高了中间

传输信号的驱动能力，降低本级扫描驱动信号的产生延迟。

[85] **【附图说明】**

[86] 图1是本发明栅极驱动电路第一实施方式的电路结构示意图；

[87] 图2是本发明栅极驱动电路第一实施方式工作的波形时序图；

[88] 图3是本发明栅极驱动电路第二实施方式的电路结构示意图；

[89] 图4是本发明栅极驱动电路第二实施方式工作的波形时序图；

[90] 图5是本发明液晶显示器一实施方式的结构示意图。

[91] **【具体实施方式】**

[92] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应该可以理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[93] 参阅图1，是本发明栅极驱动电路第一实施方式的电路结构示意图，该栅极驱动电路包括：输入电路11、复位及控制电路12、反相电路13、锁存电路14以及输出电路15，输入电路11根据上级正相扫描驱动信号 $G(N-1)$ 、上级反相扫描驱动信号 $XG(N-1)$ 以及锁存电路14输出的第一控制信号 $D1(N)$ 产生第二控制信号 $D2(N)$ ，复位及控制电路12根据复位信号Reset、第一控制信号 $D1(N)$ 和第二控制信号 $D2(N)$ 产生第三控制信号 $D3(N)$ ，反相电路13对第三控制信号 $D3(N)$ 进行至少一次反相处理，并产生第四控制信号 $D4(N)$ ，输出电路15根据第四控制信号 $D4(N)$ 和第一时钟信号CK1产生本级正相扫描驱动信号 $G(N)$ 和本级反相扫描驱动信号 $XG(N)$ ，锁存电路14根据第三控制信号 $D3(N)$ 和第二时钟信号CK2产生第一控制信号 $D1(N)$ ，进而根据第二时钟信号CK2锁存或改变第三控制信号 $D3(N)$ 的电压状态。

[94] 其中，输入电路11包括第一传输门C1以及第一P型开关管TP1；其中第一输入门C1可以是CMOS传输门，由一个NMOS管TN和一个PMOS管TP并联构成，由于MOS管的结构是对称的，即源极和漏极可以互换使用，因此，传输门的输入端和输出端可以互换使用，即CMOS传输门具有双向性，故又称为可控双向开关。

。此外，本发明中所提到的开关管可以是一种薄膜晶体管。

- [95] 第一传输门C1的N型控制端接收上级反相扫描驱动信号XG(N-1)，第一传输门的P型控制端接收上级正相扫描驱动信号G(N-1)，第一传输门的第一传输端接收第一控制信号D1(N)，第一传输门C1的第二传输端输出第二控制信号D2(N)；
- [96] 第一P型开关管TP1的控制端接收上级反相扫描驱动信号XG(N-1)，第一P型开关管的第一传输端连接高参考电位VGH，第一P型开关管TP1的第二传输端连接第一传输门C1的第二传输端。
- [97] 其中，复位及控制电路12包括第二P型开关管TP2、第三P型开关管TP3、第四P型开关管TP4、第一N型开关管TN1、第二N型开关管TN2以及第三N型开关管TN3。第二P型开关管TP2的第一传输端连接高参考电位VGH，第三P型开关管TP3的第一传输端连接第二P型开关管TP2的第二传输端，第二P型开关管TP2的控制端和第三P型开关管TP3的控制端中的一个接收第一控制信号D1(N)，第二P型开关管TP2的控制端和第三P型开关管TP3的控制端中的另一个接收第二控制信号D2(N)。在本实施例中，第二P型开关管TP2接收第一控制信号D1(N)，第三P型开关管TP3的控制端接收第二控制信号D2(N)，反之亦然。
- [98] 第四P型开关管TP4的控制端接收复位信号Reset，第四P型开关管TP4的第一传输端连接高参考电位VGH，第四P型开关管TP4的第二传输端连接第三P型开关管TP3的第二传输端。第一N型开关管TN1的控制端接收复位信号Reset，第一N型开关管TN1的第一传输端连接第三P型开关管TP3的第二传输端和第四P型开关管TP4的第二传输端的连接节点。第二N型开关管TN2的控制端接收第一控制信号D1(N)，第二N型开关管TN2的第一传输端连接第一N型开关管TN1的第二传输端，第二N型开关管TN2的第二传输端连接低参考电位VGL。第三N型开关管TN3的控制端接收第二控制信号D2(N)，第三N型开关管TN3的第一传输端连接第一N型开关管TN1的第二传输端，第三N型开关管TN3的第二传输端连接低参考电位VGL。
- [99] 第三控制信号D3(N)从第三P型开关管TP3的第二传输端和第四P型开关管TP4的第二传输端的连接节点输出。
- [100] 其中，反相电路13包括第一反相器F1；第一反相器F1的输入端接收第三控制信

号D3(N)，第一反相器F1的输出端输出第四控制信号D4(N)。反相器可以将输入信号的相位反转180度，这种电路应用在模拟电路，比如说音频放大，时钟振荡器等，反相器可以是TTL非门，也可以是一种CMOS反相器。

[101] 其中，输出电路15包括与非门YF1以及串联设置的多个第二反相器F2。与非门YF1的第一输入端接收第一时钟信号CK1，与非门YF1的第二输入端接收第四控制信号D4(N)，与非门YF1的输出端连接串联设置的多个第二反相器F2的上游输入端，串联设置的多个第二反相器F2中的第偶数个第二反相器F2的输出端输出本级反相扫描驱动信号XG(N)，串联设置的多个第二反相器F2中的第奇数个第二反相器F2的输出端输出本级正相扫描驱动信号G(N)。

[102] 其中，锁存电路14包括第二传输门C2以及第四N型开关管TN4；第二传输门C2的P型控制端接收第三控制信号D3(N)，第二传输门C2的N型控制端接收第四控制信号D4(N)，第二传输门C2的第一传输端接收第二时钟信号CK2，第二传输门C2的第二传输端输出第一控制信号D1(N)。第四N型开关管TN4的控制端接收第三控制信号D3(N)，第四N型开关管TN4的第一传输端连接低参考电位VGL，第四N型开关管TN4的第二传输端连接第二传输门C2的第二传输端。

[103] 其中，锁存电路14进一步包括第三反相器F3，第三反相器F3的输入端接收第二时钟信号CK2，第三反相器F3的输出端连接第二传输门C2的第一传输端。

[104] 参阅图2，为本发明栅极驱动电路第一实施方式工作的波形时序图，当复位信号Reset变为低电位脉冲信号时，复位及控制电路12进行复位处理，其中第四P型开关管TP4打开，从第三P型开关管TP3的第二传输端和第四P型开关管TP4的第二传输端的连接节点输出的第三控制信号D3(N)为高电位信号，反相电路13的第一反相器F1对第三控制信号D3(N)进行反相处理，得到低电位的第四控制信号D4(N)，锁存电路14中的第四N型开关管(TN4)打开，该锁存电路14输出的第一控制信号D1(N)为低电位，输入电路11第一传输门C1的第一传输端接收到第一控制信号D1(N)，由于此时第一传输门C1的N型控制端接收的上级反相扫描驱动信号XG(N-1)为高电位信号，第一传输门的P型控制端接收的上级正相扫描驱动信号G(N-1)为低电位信号，所以第一传输门C1导通，而第一P型开关管TP1关闭，第一传输门C1的第二传输端输出的第二控制信号D2(N)等于第一控制信号D2(N)，即都

为低电位信号，使得复位与控制电路中的第二P型开关管TP2和第三P型开关管打开，输出的第三控制信号D3(N)被所存在高电位。

- [105] 而当上级正相扫描驱动信号G(N-1)为高电位信号时，即上级反相扫描驱动信号XG(N-1)为低电位信号，输入电路11的第一传输门C1关闭，第一P型开关管TP1打开，输出的第二控制信号D2(N)为高电位信号，复位及控制电路12的第二N型开关管(TN2)打开，此时复位信号RESET为高电位信号，使得第一N型开关管(TN1)打开，则输出低电位的第三控制信号D3(N)，经过反相电路13中的第一反相器F1输出第四控制信号D4(N)，进而经由输出电路15输出本级正相扫描驱动信号G(N)和本级反相扫描驱动信号XG(N)。而当CK2为高电位信号时，锁存电路14中的第二传输门C2在第三控制信号D3(N)和第四控制信号D4(N)的控制下打开，输出高电压的第一控制信号D1(N)，此时G(N-1)为低电位信号，第一传输门C1打开，第二控制信号D2(N)也为高电压信号，则复位及控制电路中12中的第二N型开关管TN2和第三N型开关管TN3打开，此时复位信号Reset为高电位信号，所以第一N型开关管TN1也打开，则输出的第三控制信号被锁存在低电位。

- [106] 本发明第一实施方式通过改变电路结构首先得到低电位的第三控制信号D3(N)，再经过反相器反相得到第四控制信号D4(N)，从而避免信号的电压损失，降低了本级正相扫描驱动信号G(N)的产生延迟。

- [107] 参照图3，为本发明栅极驱动电路第二实施方式的电路结构示意图，该栅极驱动电路包括：输入电路31、复位及控制电路32、反相电路33、锁存电路34以及输出电路35，输入电路31根据上级正相扫描驱动信号G(N-1)、上级反相扫描驱动信号XG(N-1)以及锁存电路34输出的第一控制信号D1(N)产生第二控制信号D2(N)，复位及控制电路32根据复位信号Reset、第一控制信号D1(N)和第二控制信号D2(N)产生第三控制信号D3(N)，反相电路33对第三控制信号D3(N)进行至少一次反相处理，并产生第四控制信号D4(N)，输出电路35根据第四控制信号D4(N)和第一时钟信号CK1产生本级正相扫描驱动信号G(N)和本级反相扫描驱动信号XG(N)，锁存电路34根据第三控制信号D3(N)和第二时钟信号CK2产生第一控制信号D1(N)，进而根据第二时钟信号CK2锁存或改变第三控制信号D3(N)的电压状态。

- [108] 输入电路31包括第一传输门C1以及第一N型开关管TN1；其中第一输入门C1可以是CMOS传输门，由一个NMOS管TN和一个PMOS管TP并联构成，由于MOS管的结构是对称的，即源极和漏极可以互换使用，因此，传输门的输入端和输出端可以互换使用，即CMOS传输门具有双向性，故又称为可控双向开关。
- [109] 第一传输门C1的N型控制端接收上级反相扫描驱动信号XG(N-1)，第一传输门的P型控制端接收上级正相扫描驱动信号G(N-1)，第一传输门C1的第一传输端接收第一控制信号D1(N)，第一传输门C1的第二传输端输出第二控制信号D2(N)；
- [110] 第一N型开关管TN1的控制端接收上级正相扫描驱动信号G(N-1)，第一N型开关管TN1的第一传输端连接低参考电位VGL，第一N型开关管TN1的第二传输端连接第一传输门C1的第二传输
- [111] 复位及控制电路32包括第二N型开关管TN2、第三N型开关管TN3、第四N型开关管TN4、第一P型开关管TP1、第二P型开关管TP2、第三P型开关管TP3；
- [112] 第二N型开关管TN2的第一传输端连接低参考电位VGL；
- [113] 第三N型开关管TN3的第一传输端与第二N型开关管TN2的第二传输端连接，第二N型开关管TN2的控制端和第三N型开关管TN3中的一个接收第一控制信号，第二N型开关管TN2的控制端和第三N型开关管TN3中的另一个接收第三控制信号；
- [114] 第四N型开关管TN4的控制端接收复位信号Reset，第四N型开关管TN4的第一传输端连接低参考电位VGL，第四N型开关管TN4的第二传输端连接第三N型开关管TN3的第二传输端；
- [115] 第一P型开关管TP3的控制端接收所述复位信号Reset，第一P型开关管TP1的第一传输端连接高参考电位VGH；
- [116] 第二P型开关管TP2的控制端接收第一控制信号D1(N)，第二P型开关管TP2的第一传输端连接第一P型开关管TP1的第二传输端，第二P型开关管TP2的第二传输端连接第三N型开关管TN3的第二传输端与第四N型开关管TN4的第二传输端的连接节点；
- [117] 第三P型开关管TP3的控制端接收第二控制信号D2(N)，第三P型开关管TP3的第一传输端连接第一P型开关管TP1的第二传输端，第三P型开关管TP3的第二传输

端连接第三N型开关管TN3的第二传输端与第四N型开关管的第二传输端的连接节点；

[118] 其中，第三控制信号从第三N型开关管TN3的第二传输端与第四N型开关管TN4的第二传输端的连接节点输出。

[119] 其中，反相电路33包括第一反相器F1和第二反相器F2；

[120] 第一反相器F1的输入端接收第三控制信号D3(N)；

[121] 第二反相器F2的输入端连接第一反相器F1的输入端，第二反相器F2的输入端输出第四控制信号D4(N)；

[122] 输出电路35包括与非门YF1以及串联设置的多个第三反相器F3；

[123] 与非门YF1的第一输入端接收第一时钟信号D1(N)，与非门YF1的第二输入端接收第四控制信号D4(N)，与非门YF1的输出端连接串联设置的多个第三反相器F3的上游输入端，串联设置的多个第三反相器F3中的第偶数个第三反相器F3的输出端输出本级反相扫描驱动信号XG(N)，串联设置的多个第三反相器F3中的第奇数个第三反相器F3的输出端输出本级正相扫描驱动信号G(N)；

[124] 锁存电路34包括第二传输门C2以及第四P型开关管TP4；

[125] 第二传输门C2的N型控制端接收第三控制信号D3(N)，第二传输门C2的P型控制端接收第四控制信号D4(N)，第二传输门C2的第一传输端接收第二时钟信号CK2，第二传输门C2的第二传输端输出第一控制信号D1(N)；

[126] 第四P型开关管TP4的控制端接收第三控制信号D3(N)，第四P型开关管TP4的第一传输端连接低参考电位VGL，第四P型开关管TP4的第一传输端连接第二传输门C2的第二传输端。

[127] 参阅图4，为本发明栅极驱动电路第二实施方式工作的波形时序图，当复位信号Reset变为高电位脉冲信号时，复位及控制电路33的第四N型开关管TN4打开，该电路输出低电位的第三控制信号D3(N)，锁存电路34中第四P型开关管TP4打开，该锁存电路34输出高电位的第一控制信号D1(N)，此时上级正相扫描驱动信号G(N-1)为低电位信号，上级反相扫描驱动信号G(N-1)为高电位信号，第一传输门C1打开，第一N型开关管TN1关闭，则第二控制信号D2(N)为高电位信号，因此复位及控制电路32中的第二N型开关管和第三N型开关管打开，使输出的第三控

制信号D3(N)锁存在低电位。

- [128] 而当上级正相扫描驱动信号G(N-1)为高电位信号时，即上级反相扫描驱动信号G(N-1)为低电位信号，输入电路31中的第一传输门C1关闭，第一N型开关管TN1打开，输出第二控制信号D2(N)为低电位信号，此时复位信号为低电位信号，所以复位及控制电路32中的第一P型开关管打开，第三P型开关管打开，所以输出的第三控制信号D3(N)为高电位信号，锁存电路34中的第二传输门2在第三控制信号D3(N)及其反相信号的控制下打开，如图4，此时第二时钟信号CK2也为高电位信号，因此锁存电路34输出的第一控制信号D1(N)也为高电位信号；而反相电路33中的第一反相器F1和第二反相器F2对第三控制信号D3(N)进行两次反相后得到第四控制信号D4(N)，最终由输出电路35输出本级正相扫描驱动信号G(N)和本级反相扫描驱动信号XG(N)。
- [129] 在本发明第二实施方式中，通过改变电路结构，首先得到高电位的第三控制信号D3(N)，再经过反相器多次反相得到第四控制信号D4(N)，从而避免信号的电压损失，降低了本级正相扫描驱动信号G(N)的产生延迟。
- [130] 参阅图5，为本发明一种液晶显示器一实施例的结构示意图，该液晶显示器包括显示面板501及背光502，显示面板501中包括多个级联设置的栅极驱动电路，其中栅极驱动电路为本发明栅极驱动电路第一实施方式以及可能的组合中的栅极驱动电路。
- [131] 在本发明液晶显示器的后续实施例中，液晶显示器中的栅极驱动电路为本发明栅极驱动电路第二实施方式以及可能的组合中的栅极驱动电路。
- [132] 此外，本发明实施例中所述的栅极驱动电路不仅仅局限应用于液晶显示器，本领域技术人员可以知道，还可以应用于OLED显示面板等领域，以及应用于手机、显示器、电视的栅极驱动领域。
- [133] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种栅极驱动电路，其中，包括：输入电路、复位及控制电路、反相电路、锁存电路以及输出电路，所述输入电路根据上级正相扫描驱动信号、上级反相扫描驱动信号以及所述锁存电路输出的第一控制信号产生第二控制信号，所述复位及控制电路根据复位信号、所述第一控制信号和所述第二控制信号产生第三控制信号，所述反相电路对所述第三控制信号进行至少一次反相处理，并产生第四控制信号，所述输出电路根据所述第四控制信号和第一时钟信号产生本级正相扫描驱动信号和本级反相扫描驱动信号，所述锁存电路根据所述第三控制信号和第二时钟信号产生所述第一控制信号，进而根据所述第二时钟信号锁存或改变所述第三控制信号的电压状态；

其中，所述输入电路包括第一传输门以及第一P型开关管；

所述第一传输门的N型控制端接收所述上级反相扫描驱动信号，所述第一传输门的P型控制端接收上级正相扫描驱动信号，所述第一传输门的第一传输端接收所述第一控制信号，所述第一传输门的第二传输端输出所述第二控制信号；

所述第一P型开关管的控制端接收所述上级反相扫描驱动信号，所述第一P型开关管的第一传输端连接高参考电位，所述第一P型开关管的第二传输端连接所述第一传输门的第二传输端；

其中，所述输出电路包括与非门以及串联设置的多个第二反相器；

所述与非门的第一输入端接收第一时钟信号，所述与非门的第二输入端接收第四控制信号，所述与非门的输出端连接所述串联设置的多个第二反相器的上游输入端，所述串联设置的多个第二反相器中的第偶数个第二反相器的输出端输出所述本级反相扫描驱动信号，所述串联设置的多个第二反相器中的第奇数个第二反相器的输出端输出所述本级正相扫描驱动信号。

- [权利要求 2] 一种栅极驱动电路，其中，包括：输入电路、复位及控制电路、反相电路、锁存电路以及输出电路，所述输入电路根据上级正相扫描驱动信号、上级反相扫描驱动信号以及所述锁存电路输出的第一控制信号产生第二控制信号，所述复位及控制电路根据复位信号、所述第一控制信号和所述第二控制信号产生第三控制信号，所述反相电路对所述第三控制信号进行至少一次反相处理，并产生第四控制信号，所述输出电路根据所述第四控制信号和第一时钟信号产生本级正相扫描驱动信号和本级反相扫描驱动信号，所述锁存电路根据所述第三控制信号和第二时钟信号产生所述第一控制信号，进而根据所述第二时钟信号锁存或改变所述第三控制信号的电压状态。
- [权利要求 3] 根据权利要求2所述的栅极驱动电路，其中，所述输入电路包括第一传输门以及第一P型开关管；
所述第一传输门的N型控制端接收所述上级反相扫描驱动信号，所述第一传输门的P型控制端接收上级正相扫描驱动信号，所述第一传输门的第一传输端接收所述第一控制信号，所述第一传输门的第二传输端输出所述第二控制信号；
所述第一P型开关管的控制端接收所述上级反相扫描驱动信号，所述第一P型开关管的第一传输端连接高参考电位，所述第一P型开关管的第二传输端连接所述第一传输门的第二传输端。
- [权利要求 4] 根据权利要求3所述的栅极驱动电路，其中，所述复位及控制电路包括第二P型开关管、第三P型开关管、第四P型开关管、第一N型开关管、第二N型开关管以及第三N型开关管；
所述第二P型开关管的第一传输端连接高参考电位；
所述第三P型开关管的第一传输端连接所述第二P型开关管的第二传输端，所述第二P型开关管的控制端和所述第三P型开关管的控制端中的一个接收所述第一控制信号，所述第二P型开关管的控制端和所述第三P型开关管的控制端中的另一个接收所述第二控制信

号;

所述第四P型开关管的控制端接收所述复位信号, 所述第四P型开关管的第一传输端连接高参考电位, 所述第四P型开关管的第二传输端连接所述第三P型开关管的第二传输端;

所述第一N型开关管的控制端接收所述复位信号, 所述第一N型开关管的第一传输端连接所述第三P型开关管的第二传输端和所述第四P型开关管的第二传输端的连接节点;

所述第二N型开关管的控制端接收所述第一控制信号, 所述第二N型开关管的第一传输端连接所述第一N型开关管的第二传输端, 所述第二N型开关管的第二传输端连接低参考电位;

所述第三N型开关管的控制端接收所述第二控制信号, 所述第三N型开关管的第一传输端连接所述第一N型开关管的第二传输端, 所述第三N型开关管的第二传输端连接低参考电位;

其中, 所述第三控制信号从所述第三P型开关管的第二传输端和所述第四P型开关管的第二传输端的连接节点输出。

[权利要求 5]

根据权利要求4所述的栅极驱动电路, 其中, 所述反相电路包括第一反相器;

所述第一反相器的输入端接收所述第三控制信号, 所述第一反相器的输出端输出所述第四控制信号。

[权利要求 6]

根据权利要求2所述的栅极驱动电路, 其中, 所述输出电路包括与非门以及串联设置的多个第二反相器;

所述与非门的第一输入端接收第一时钟信号, 所述与非门的第二输入端接收第四控制信号, 所述与非门的输出端连接所述串联设置的多个第二反相器的上游输入端, 所述串联设置的多个第二反相器中的第偶数个第二反相器的输出端输出所述本级反相扫描驱动信号, 所述串联设置的多个第二反相器中的第奇数个第二反相器的输出端输出所述本级正相扫描驱动信号。

[权利要求 7]

根据权利要求5所述的栅极驱动电路, 其中, 所述锁存电路包括第

二传输门以及第四N型开关管；

所述第二传输门的P型控制端接收所述第三控制信号，所述第二传输门的N型控制端接收所述第四控制信号，所述第二传输门的第一传输端接收所述第二时钟信号，所述第二传输门的第二传输端输出所述第一控制信号；

所述第四N型开关管的控制端接收所述第三控制信号，所述第四N型开关管的第一传输端连接低参考电位，所述第四N型开关管的第一传输端连接所述第二传输门的第二传输端。

[权利要求 8]

根据权利要求7所述的栅极驱动电路，其中，所述锁存电路进一步包括第三反相器，所述第三反相器的输入端接收第二时钟信号，所述第三反相器的输出端连接所述第二传输门的第一传输端。

[权利要求 9]

根据权利要求2所述的栅极驱动电路，其中，所述输入电路包括第一传输门以及第一N型开关管；

所述第一传输门的N型控制端接收所述上级反相扫描驱动信号，所述第一传输门的P型控制端接收所述上级正相扫描驱动信号，所述第一传输门的第一传输端接收所述第一控制信号，所述第一传输门的第二传输端输出所述第二控制信号；

所述第一N型开关管的控制端接收所述上级正相扫描驱动信号，所述第一N型开关管的第一传输端连接低参考电位，所述第一

所述复位及控制电路包括第二N型开关管、第三N型开关管、第四N型开关管、第一P型开关管、第二P型开关管、第三P型开关管；

所述第二N型开关管的第一传输端连接低参考电位；

所述第三N型开关管的第一传输端与所述第二N型开关管的第二传输端连接，所述第二N型开关管的控制端和所述第三N型开关管中的一个接收所述第一控制信号，所述第二N型开关管的控制端和所述第三N型开关管中的另一个接收所述第三控制信号；

所述第四N型开关管的控制端接收所述复位信号，所述第四N型开关管的第一传输端连接低参考电位，所述第四N型开关管的第二传

输端连接所述第三N型开关管的第二传输端；

所述第一P型开关管的控制端接收所述复位信号，所述第一P型开关管的第一传输端连接高参考电位；

所述第二P型开关管的控制端接收所述第一控制信号，所述第二P型开关管的第一传输端连接所述第一P型开关管的第二传输端，所述第二P型开关管的第二传输端连接所述第三N型开关管的第二传输端与所述第四N型开关管的第二传输端的连接节点；

所述第三P型开关管的控制端接收所述第二控制信号，所述第三P型开关管的第一传输端连接所述第一P型开关管的第二传输端，所述第三P型开关管的第二传输端连接所述第三N型开关管的第二传输端与所述第四N型开关管的第二传输端的连接节点；

其中，所述第三控制信号从所述第三N型开关管的第二传输端与所述第四N型开关管的第二传输端的连接节点输出。

[权利要求 10]

根据权利要求9所述的栅极驱动电路，其中，所述反相电路包括第一反相器和第二反相器；

所述第一反相器的输入端接收所述第三控制信号；

所述第二反相器的输入端连接所述第一反相器的输入端，所述第二反相器的输入端输出所述第四控制信号；

所述输出电路包括与非门以及串联设置的多个第三反相器；

所述与非门的第一输入端接收第一时钟信号，所述与非门的第二输入端接收第四控制信号，所述与非门的输出端连接所述串联设置的多个第三反相器的上游输入端，所述串联设置的多个第三反相器中的第偶数个第三反相器的输出端输出所述本级反相扫描驱动信号，所述串联设置的多个第三反相器中的第奇数个第三反相器的输出端输出所述本级正相扫描驱动信号；

所述锁存电路包括第二传输门以及第四P型开关管；

所述第二传输门的N型控制端接收所述第三控制信号，所述第二传输门的P型控制端接收所述第四控制信号，所述第二传输门的第一

传输端接收所述第二时钟信号，所述第二传输门的第二传输端输出所述第一控制信号；

所述第四P型开关管的控制端接收所述第三控制信号，所述第四P型开关管的第一传输端连接低参考电位，所述第四P型开关管的第一传输端连接所述第二传输门的第二传输端。

[权利要求 11]

一种液晶显示器，其中，所述液晶显示器包括多个级联设置的栅极驱动电路，所述栅极驱动电路包括：输入电路、复位及控制电路、反相电路、锁存电路以及输出电路，所述输入电路根据上级正相扫描驱动信号、上级反相扫描驱动信号以及所述锁存电路输出的第一控制信号产生第二控制信号，所述复位及控制电路根据复位信号、所述第一控制信号和所述第二控制信号产生第三控制信号，所述反相电路对所述第三控制信号进行至少一次反相处理，并产生第四控制信号，所述输出电路根据所述第四控制信号和第一时钟信号产生本级正相扫描驱动信号和本级反相扫描驱动信号，所述锁存电路根据所述第三控制信号和第二时钟信号产生所述第一控制信号，进而根据所述第二时钟信号锁存或改变所述第三控制信号的电压状态。

[权利要求 12]

根据权利要求11所述的液晶显示器，其中，所述输入电路包括第一传输门以及第一P型开关管；

所述第一传输门的N型控制端接收所述上级反相扫描驱动信号，所述第一传输门的P型控制端接收上级正相扫描驱动信号，所述第一传输门的第一传输端接收所述第一控制信号，所述第一传输门的第二传输端输出所述第二控制信号；

所述第一P型开关管的控制端接收所述上级反相扫描驱动信号，所述第一P型开关管的第一传输端连接高参考电位，所述第一P型开关管的第二传输端连接所述第一传输门的第二传输端。

[权利要求 13]

根据权利要求12所述的液晶显示器，其中，所述复位及控制电路包括第二P型开关管、第三P型开关管、第四P型开关管、第一N型

开关管、第二N型开关管以及第三N型开关管；

所述第二P型开关管的第一传输端连接高参考电位；

所述第三P型开关管的第一传输端连接所述第二P型开关管的第二传输端，所述第二P型开关管的控制端和所述第三P型开关管的控制端中的一个接收所述第一控制信号，所述第二P型开关管的控制端和所述第三P型开关管的控制端中的另一个接收所述第二控制信号；

所述第四P型开关管的控制端接收所述复位信号，所述第四P型开关管的第一传输端连接高参考电位，所述第四P型开关管的第二传输端连接所述第三P型开关管的第二传输端；

所述第一N型开关管的控制端接收所述复位信号，所述第一N型开关管的第一传输端连接所述第三P型开关管的第二传输端和所述第四P型开关管的第二传输端的连接节点；

所述第二N型开关管的控制端接收所述第一控制信号，所述第二N型开关管的第一传输端连接所述第一N型开关管的第二传输端，所述第二N型开关管的第二传输端连接低参考电位；

所述第三N型开关管的控制端接收所述第二控制信号，所述第三N型开关管的第一传输端连接所述第一N型开关管的第二传输端，所述第三N型开关管的第二传输端连接低参考电位；

其中，所述第三控制信号从所述第三P型开关管的第二传输端和所述第四P型开关管的第二传输端的连接节点输出。

[权利要求 14]

根据权利要求13所述的液晶显示器，其中，所述反相电路包括第一反相器；

所述第一反相器的输入端接收所述第三控制信号，所述第一反相器的输出端输出所述第四控制信号。

[权利要求 15]

根据权利要求11所述的液晶显示器，其中，所述输出电路包括与非门以及串联设置的多个第二反相器；

所述与非门的第一输入端接收第一时钟信号，所述与非门的第二

输入端接收第四控制信号，所述与非门的输出端连接所述串联设置的多个第二反相器的上游输入端，所述串联设置的多个第二反相器中的第偶数个第二反相器的输出端输出所述本级反相扫描驱动信号，所述串联设置的多个第二反相器中的第奇数个第二反相器的输出端输出所述本级正相扫描驱动信号。

[权利要求 16]

根据权利要求14所述的液晶显示器，其中，所述锁存电路包括第二传输门以及第四N型开关管；

所述第二传输门的P型控制端接收所述第三控制信号，所述第二传输门的N型控制端接收所述第四控制信号，所述第二传输门的第一传输端接收所述第二时钟信号，所述第二传输门的第二传输端输出所述第一控制信号；

所述第四N型开关管的控制端接收所述第三控制信号，所述第四N型开关管的第一传输端连接低参考电位，所述第四N型开关管的第一传输端连接所述第二传输门的第二传输端。

[权利要求 17]

根据权利要求16所述的液晶显示器，其中，所述锁存电路进一步包括第三反相器，所述第三反相器的输入端接收第二时钟信号，所述第三反相器的输出端连接所述第二传输门的第一传输端。

[权利要求 18]

根据权利要求11所述的液晶显示器，其中，所述输入电路包括第一传输门以及第一N型开关管；

所述第一传输门的N型控制端接收所述上级反相扫描驱动信号，所述第一传输门的P型控制端接收所述上级正相扫描驱动信号，所述第一传输门的第一传输端接收所述第一控制信号，所述第一传输门的第二传输端输出所述第二控制信号；

所述第一N型开关管的控制端接收所述上级正相扫描驱动信号，所述第一N型开关管的第一传输端连接低参考电位，所述第一N型开关管的第一传输端连接低参考电位，所述复位及控制电路包括第二N型开关管、第三N型开关管、第四N型开关管、第一P型开关管、第二P型开关管、第三P型开关管；所述第二N型开关管的第一传输端连接低参考电位；

所述第三N型开关管的第一传输端与所述第二N型开关管的第二传输端连接，所述第二N型开关管的控制端和所述第三N型开关管中的一个接收所述第一控制信号，所述第二N型开关管的控制端和所述第三N型开关管中的另一个接收所述第三控制信号；

所述第四N型开关管的控制端接收所述复位信号，所述第四N型开关管的第一传输端连接低参考电位，所述第四N型开关管的第二传输端连接所述第三N型开关管的第二传输端；

所述第一P型开关管的控制端接收所述复位信号，所述第一P型开关管的第一传输端连接高参考电位；

所述第二P型开关管的控制端接收所述第一控制信号，所述第二P型开关管的第一传输端连接所述第一P型开关管的第二传输端，所述第二P型开关管的第二传输端连接所述第三N型开关管的第二传输端与所述第四N型开关管的第二传输端的连接节点；

所述第三P型开关管的控制端接收所述第二控制信号，所述第三P型开关管的第一传输端连接所述第一P型开关管的第二传输端，所述第三P型开关管的第二传输端连接所述第三N型开关管的第二传输端与所述第四N型开关管的第二传输端的连接节点；

其中，所述第三控制信号从所述第三N型开关管的第二传输端与所述第四N型开关管的第二传输端的连接节点输出。

[权利要求 19]

根据权利要求18所述的液晶显示器，其中，所述反相电路包括第一反相器和第二反相器；

所述第一反相器的输入端接收所述第三控制信号；

所述第二反相器的输入端连接所述第一反相器的输入端，所述第二反相器的输入端输出所述第四控制信号；

所述输出电路包括与非门以及串联设置的多个第三反相器；

所述与非门的第一输入端接收第一时钟信号，所述与非门的第二输入端接收第四控制信号，所述与非门的输出端连接所述串联设置的多个第三反相器的上游输入端，所述串联设置的多个第三反

相器中的第偶数个第三反相器的输出端输出所述本级反相扫描驱动信号，所述串联设置的多个第三反相器中的第奇数个第三反相器的输出端输出所述本级正相扫描驱动信号；

所述锁存电路包括第二传输门以及第四P型开关管；

所述第二传输门的N型控制端接收所述第三控制信号，所述第二传输门的P型控制端接收所述第四控制信号，所述第二传输门的第一传输端接收所述第二时钟信号，所述第二传输门的第二传输端输出所述第一控制信号；

所述第四P型开关管的控制端接收所述第三控制信号，所述第四P型开关管的第一传输端连接低参考电位，所述第四P型开关管的第一传输端连接所述第二传输门的第二传输端。

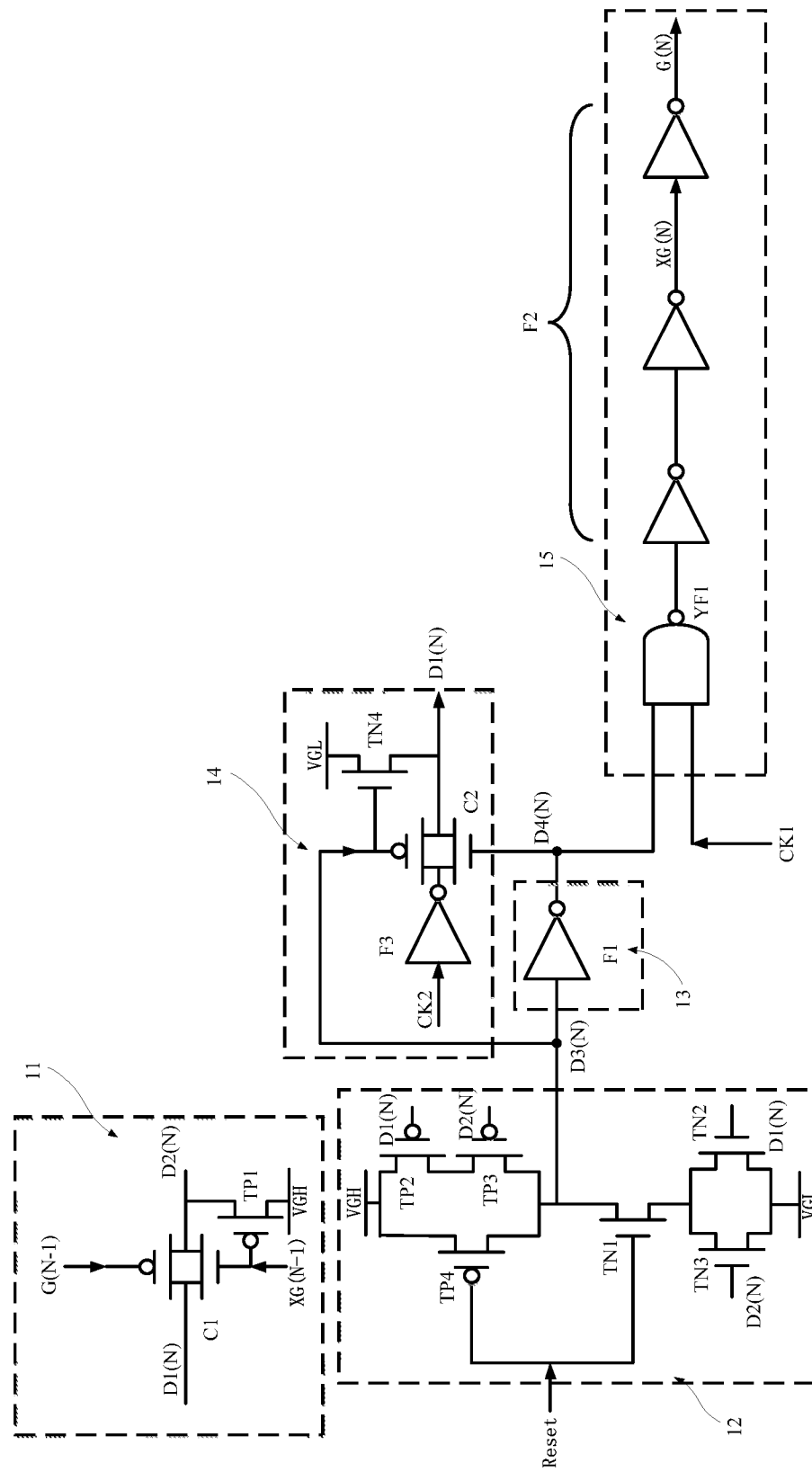


图 1

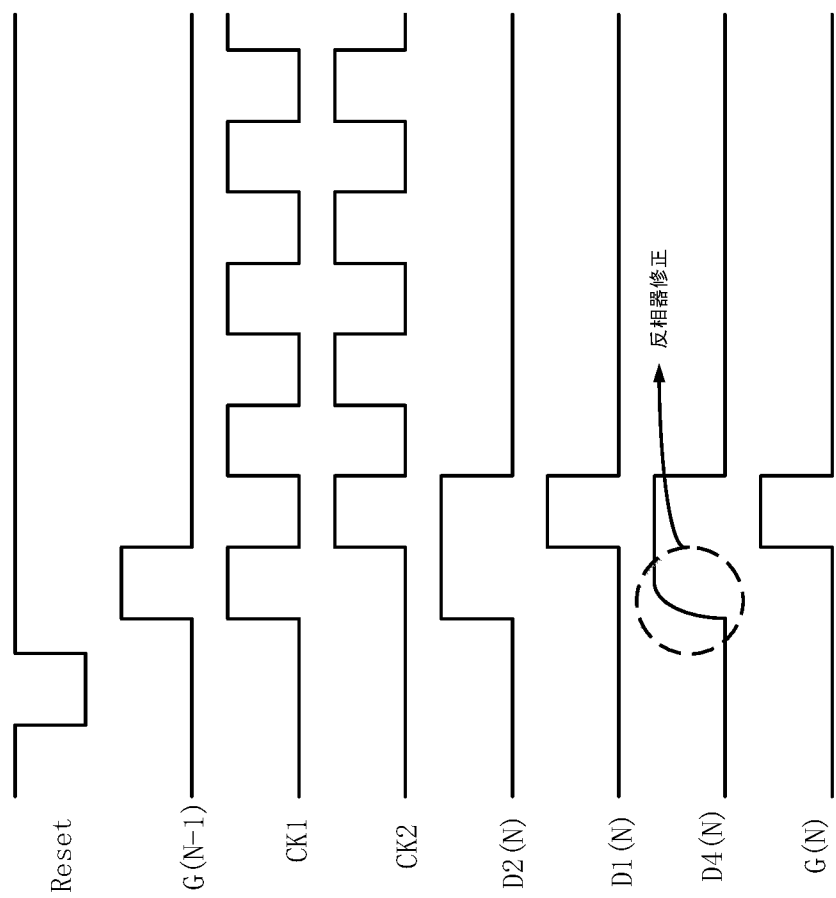


图 2

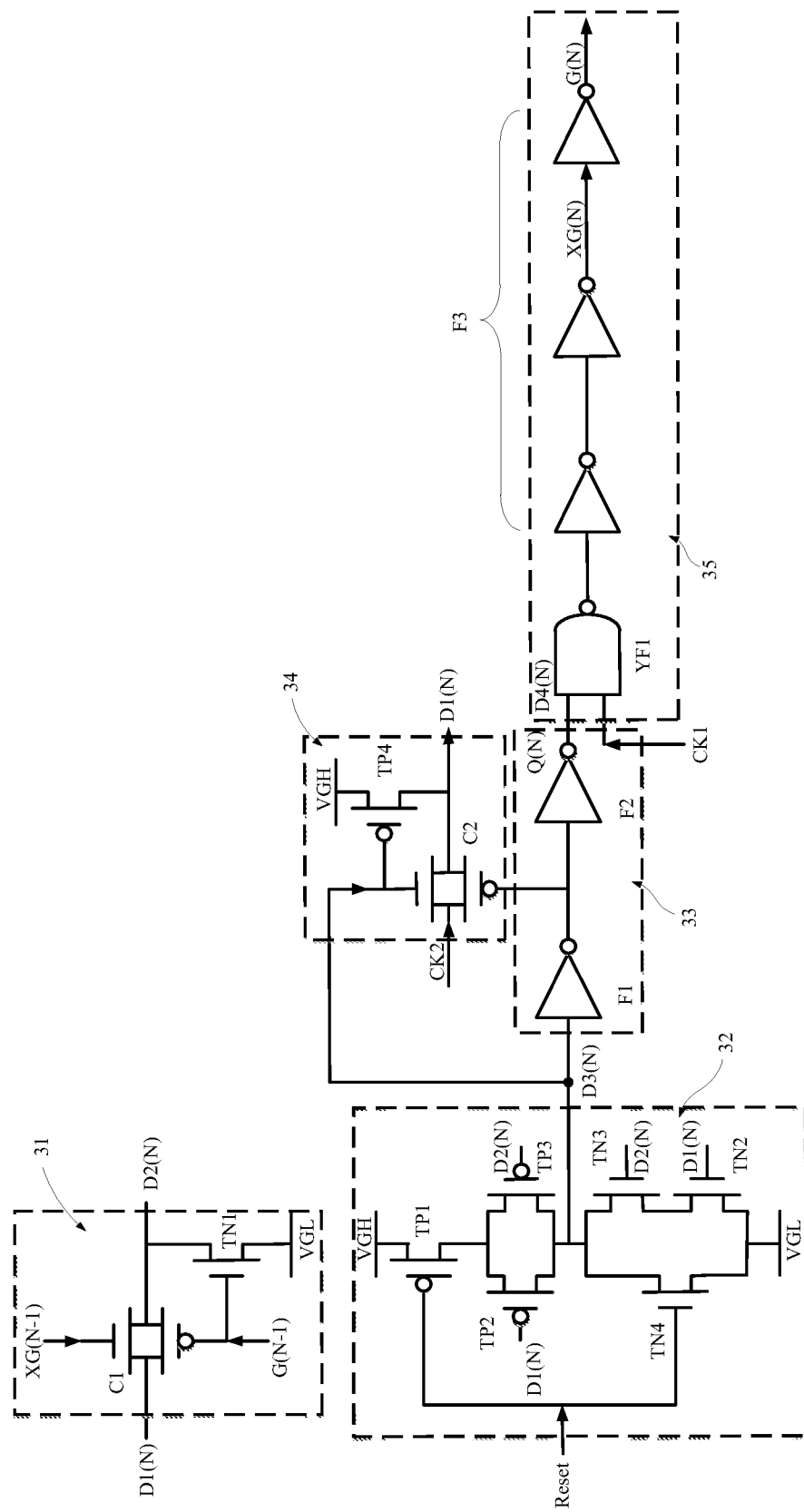


图 3

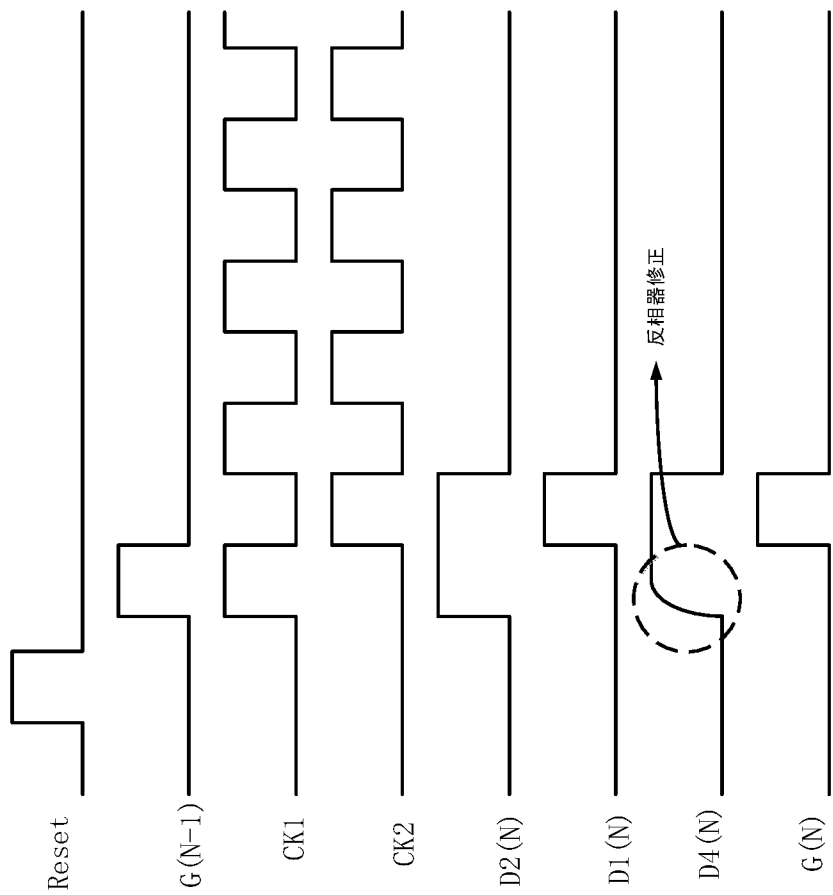


图 4

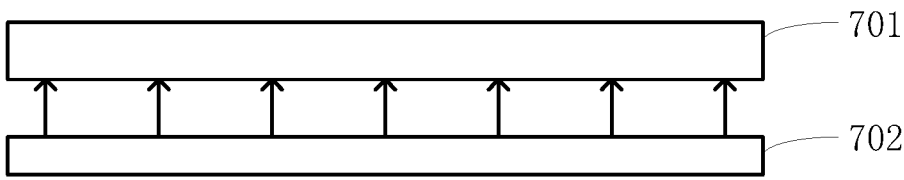


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/074227

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: CHINA STAR OPTOELECTRONICS; ZHAO, Mang; GOA, NOR, reversed-phase, G(N-1), XG(N-1), display+, gate, driv+, NAND, revers+, latch+, input, output, reset, control+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104361853 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 18 February 2015 (18.02.2015), description, paragraphs 73-114, and figures 1-7	1-19
A	CN 105096891 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 25 November 2015 (25.11.2015), the whole document	1-19
A	CN 104485080 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 01 April 2015 (01.04.2015), the whole document	1-19
A	CN 104992660 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 21 October 2015 (21.10.2015), the whole document	1-19
A	CN 105185338 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 23 December 2015 (23.12.2015), the whole document	1-19
A	KR 100205233 B1 (FAIRCHILD KOREA SEMICONDUCTOR CO., LTD. et al.), 01 July 1999 (01.07.1999), the whole document	1-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19 July 2016 (19.07.2016)	Date of mailing of the international search report 12 August 2016 (12.08.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Leyan Telephone No.: (86-10) 61648487

International application No.
PCT/CN2016/074227

Form PCT/ISA/210 (patent family annex) (July 2009)

A. 主题的分类 G09G 3/20(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPDOC: 华星光电, 赵莽, 显示, 栅极, 驱动, GOA, 与非, 或非, 反相, 锁存, 输入, 输出, 复位, 控制, G(N-1), XG(N-1), display+, gate, driv+, NAND, revers+, latch+, input, output, reset, control+																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 104361853 A (京东方科技集团股份有限公司 等) 2015年 2月 18日 (2015 - 02 - 18) 说明书第73-114段、图1-7</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 105096891 A (深圳市华星光电技术有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 104485080 A (深圳市华星光电技术有限公司) 2015年 4月 1日 (2015 - 04 - 01) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 104992660 A (武汉华星光电技术有限公司) 2015年 10月 21日 (2015 - 10 - 21) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 105185338 A (武汉华星光电技术有限公司) 2015年 12月 23日 (2015 - 12 - 23) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>KR 100205233 B1 (FAIRCHILD KOREA SEMICONDUCTOR CO., LTD. 等) 1999年 7月 1日 (1999 - 07 - 01) 全文</td> <td>1-19</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 104361853 A (京东方科技集团股份有限公司 等) 2015年 2月 18日 (2015 - 02 - 18) 说明书第73-114段、图1-7	1-19	A	CN 105096891 A (深圳市华星光电技术有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-19	A	CN 104485080 A (深圳市华星光电技术有限公司) 2015年 4月 1日 (2015 - 04 - 01) 全文	1-19	A	CN 104992660 A (武汉华星光电技术有限公司) 2015年 10月 21日 (2015 - 10 - 21) 全文	1-19	A	CN 105185338 A (武汉华星光电技术有限公司) 2015年 12月 23日 (2015 - 12 - 23) 全文	1-19	A	KR 100205233 B1 (FAIRCHILD KOREA SEMICONDUCTOR CO., LTD. 等) 1999年 7月 1日 (1999 - 07 - 01) 全文	1-19
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 104361853 A (京东方科技集团股份有限公司 等) 2015年 2月 18日 (2015 - 02 - 18) 说明书第73-114段、图1-7	1-19																					
A	CN 105096891 A (深圳市华星光电技术有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-19																					
A	CN 104485080 A (深圳市华星光电技术有限公司) 2015年 4月 1日 (2015 - 04 - 01) 全文	1-19																					
A	CN 104992660 A (武汉华星光电技术有限公司) 2015年 10月 21日 (2015 - 10 - 21) 全文	1-19																					
A	CN 105185338 A (武汉华星光电技术有限公司) 2015年 12月 23日 (2015 - 12 - 23) 全文	1-19																					
A	KR 100205233 B1 (FAIRCHILD KOREA SEMICONDUCTOR CO., LTD. 等) 1999年 7月 1日 (1999 - 07 - 01) 全文	1-19																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2016年 7月 19日		国际检索报告邮寄日期 2016年 8月 12日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 王乐妍 电话号码 (86-10)61648487																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/074227

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104361853	A	2015年 2月 18日	无			
CN	105096891	A	2015年 11月 25日	无			
CN	104485080	A	2015年 4月 1日	US	2016188074	A1	2016年 6月 30日
				WO	2016106795	A1	2016年 7月 7日
CN	104992660	A	2015年 10月 21日	无			
CN	105185338	A	2015年 12月 23日	无			
KR	100205233	B1	1999年 7月 1日	KR	980006868	A	1998年 3月 30日