(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年12 月11 日 (11.12.2008)

PCT

(10) 国際公開番号
WO 2008/149799 A1

(51) 国際特許分類:
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2008/060006

(22) 国際出願日: 2008 年5 月30 日 (30.05.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-143217 2007 年5 月30 日 (30.05.2007) JP
特願2007-150444 2007 年6 月6 日 (06.06.2007) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 高石 昌 (TAKAISHI, Masaru) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP).

(74) 代理人: 佐野 静夫 , 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館 Osaka (JP).

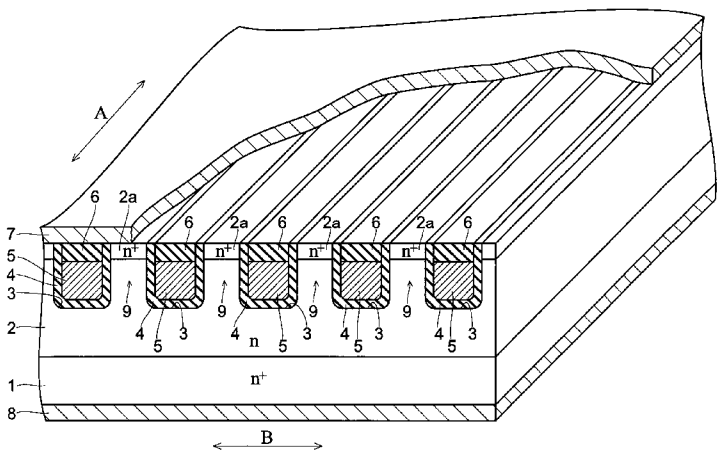
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: Provided is a semiconductor device wherein on-resistance is remarkably reduced. The semiconductor device is provided with an n-type epitaxial layer (2) wherein each region between adjacent trenches (3) operates as a channel (9), and a plurality of embedded electrodes (5) each of which is formed on an inner surface of each trench (3) through a silicon oxide film (4). A current flowing each region between the adjacent trenches (3) is interrupted by blocking each region between the adjacent trenches (3) with all the depletion layers (10) formed at the peripheries of the trenches (3), and a current is permitted to flow through each region between the adjacent trenches (3) by eliminating all the depletion layers (10) formed at the peripheries of the trenches (3).

(57) 要約: オン抵抗を大幅に低減することが可能な半導体装置を提供する。この半導体装置は、隣接するトレンチ（３）間の各領域がチャネル（９）となるｎ型エピタキシャル層（２）と、複数のトレンチ（３）の各々の内面上にシリコン酸化膜（４）を介して形成された複数の埋め込み電極（５）とを備えている。そして、複数のトレンチ（３）の各々の周辺に形成される全ての空乏層（１０）で隣接するトレンチ（３）間の各領域を塞ぐことにより、

[続葉有]

WO 2008/149799 A1

SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

隣接するトレンチ（３）間の各領域を流れる電流が遮断される一方、複数のトレンチ（３）の各々の周辺に形成された全ての空乏層（１０）を消滅させることにより、隣接するトレンチ（３）間の各領域を介して電流が流れるように構成されている。

明 細 書

半導体装置

技術分野

[0001] この発明は、半導体装置に関し、特に、スイッチング機能を有する半導体装置に関する。

背景技術

[0002] 従来、スイッチング機能を有する半導体装置として、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)が知られている(たとえば、特許文献1参照)。この特許文献1には、半導体層に形成されたトレンチにゲート電極が埋め込まれたトレンチゲート型のMOSFET(半導体装置)が開示されている。

[0003] 図15は、上記特許文献1に開示された従来のMOSFET(半導体装置)の構造を示した断面図である。図15を参照して、従来のMOSFET(半導体装置)では、n^+型の半導体基板101の上面上に、エピタキシャル層(半導体層)102が形成されている。このエピタキシャル層102には、半導体基板101側から順に、n^-型不純物領域(ドレイン領域)102a、p型不純物領域102bおよびn^+型不純物領域(ソース領域)102cが形成されている。

[0004] また、エピタキシャル層102には、n^+型不純物領域102cおよびp型不純物領域102bを貫通してn^-型不純物領域102aの途中の深さにまで達するトレンチ103が形成されている。このトレンチ103には、ゲート絶縁膜104を介して、ゲート電極105が埋め込まれている。また、エピタキシャル層102の上面上には、トレンチ103の開口端を塞ぐ層間絶縁膜106が形成されている。

[0005] また、エピタキシャル層102の上面上には、層間絶縁膜106を覆うように、ソース電極107が形成されている。また、半導体基板101の裏面上には、ドレイン電極108が形成されている。

[0006] 上記のように構成された従来のMOSFETでは、ゲート電極105に対する印加電圧を変化させることによりオン/オフの制御が行われる。

[0007] 具体的には、ゲート電極105に対して所定の正電位を印加すると、p型不純物領域

102bの少数キャリア(電子)がトレンチ103側に引き寄せられることによって、n^-型不純物領域(ドレイン領域)102aとn^+型不純物領域(ソース領域)102cとを接続するような反転層109が形成される。これにより、反転層109を介して、ソース電極107とドレイン電極108との間に電流を流すことができる。その結果、MOSFETがオン状態となる。

[0008] このように、従来のMOSFETでは、n^-型不純物領域(ドレイン領域)102aとn^+型不純物領域(ソース領域)102cとを接続するように形成される反転層109をチャネルとして機能させている。

[0009] また、上記した状態からゲート電極105に対する所定の正電位の印加を解除すると、反転層(チャネル)109が消滅するので、ソース電極107とドレイン電極108との間に流れる電流を遮断することができる。その結果、MOSFETがオフ状態となる。

[0010] 特許文献1:特開2001－7149号公報

発明の開示

発明が解決しようとする課題

[0011] しかしながら、図15に示した従来の構造では、オン時に形成される反転層(チャネル)109が非常に薄いため、反転層(チャネル)109を流れる電流に対する抵抗を低減するのが困難であるという不都合がある。その結果、オン抵抗の改善を図るのが困難であるという問題点がある。

[0012] この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、オン抵抗を大幅に低減することが可能な新しい動作原理に基づく半導体装置を提供することである。

課題を解決するための手段

[0013] 上記目的を達成するために、この発明の第1の局面による半導体装置は、互いに所定の間隔を隔てて配列された複数のトレンチを有し、隣接するトレンチ間の各領域がチャネルとなる一導電型の半導体層と、複数のトレンチの各々を埋め込むように、複数のトレンチの各々の内面上に絶縁膜を介して形成された複数の埋め込み電極とを備えている。そして、複数のトレンチの各々の周辺に形成される全ての空乏層で隣接するトレンチ間の各領域を塞ぐことにより、隣接するトレンチ間の各領域を流れる電

流が遮断される一方、複数のトレンチの各々の周辺に形成された全ての空乏層を消滅させることにより、隣接するトレンチ間の各領域を介して電流が流れるように構成されている。

[0014] この第1の局面による半導体装置では、上記のように、複数のトレンチの各々の周辺に形成される全ての空乏層で隣接するトレンチ間の各領域(チャネル)を塞ぐことにより、隣接するトレンチ間の各領域(チャネル)を流れる電流が遮断される一方、複数のトレンチの各々の周辺に形成された全ての空乏層を消滅させることにより、隣接するトレンチ間の各領域(チャネル)を介して電流が流れるように構成することによって、トレンチの周辺に形成される空乏層の形成状態は埋め込み電極に対する印加電圧に応じて変化するので、埋め込み電極に対する印加電圧を制御することにより、オフ状態(隣接するトレンチ間の各領域を流れる電流が遮断される状態)からオン状態(隣接するトレンチ間の各領域を介して電流が流れる状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、隣接するトレンチ間の各領域の空乏層が消滅した部分の全てをチャネルとして機能させることができるので、非常に薄い反転層をチャネルとして機能させる従来のMOSFET(半導体装置)と比べて、チャネルを流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、非常に薄い反転層をチャネルとして機能させる従来のMOSFET(半導体装置)と比べて、オン抵抗を大幅に低減することができる。

[0015] 上記第1の局面による半導体装置において、好ましくは、埋め込み電極に対して所定電圧が印加されることにより、トレンチの周辺に形成された空乏層が消滅し、埋め込み電極に対する所定電圧の印加が解除されることにより、トレンチの周辺に空乏層が形成されるように構成されている。このように構成すれば、埋め込み電極に対する印加電圧を制御することにより、容易に、オフ状態からオン状態への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。

[0016] 上記第1の局面による半導体装置において、好ましくは、隣接するトレンチ間の各領域を流れる電流を遮断する場合に、隣接するトレンチの各々の周辺に形成された空乏層が互いに連結された状態になるように構成されている。このように構成すれば

、オフ時において、確実に、隣接するトレンチ間の各領域(チャネル)を空乏層で塞ぐことができる。

[0017] 上記第1の局面による半導体装置において、好ましくは、隣接するトレンチ間の距離は、隣接するトレンチの各々の周辺に形成された空乏層の一部が互いに重なるように設定されている。このように構成すれば、容易に、隣接するトレンチの各々の周辺に形成された空乏層を互いに連結させることができる。

[0018] 上記第1の局面による半導体装置において、好ましくは、トレンチの開口端を覆うように、半導体層の上面上に形成された電極層と、埋め込み電極と電極層との間の絶縁を行うための層間絶縁膜とをさらに備え、埋め込み電極は、トレンチの途中の深さまでを埋め込んでおり、層間絶縁膜は、層間絶縁膜の上面が半導体層の上面に対して面一となるように、トレンチの埋め込み電極が埋め込まれていない残りの部分に埋め込まれている。このように構成すれば、隣接するトレンチ間の距離を小さくしたとしても、半導体層の上面側の部分(隣接するトレンチ間の領域の上端部)が層間絶縁膜で覆われてしまうことがない。これにより、隣接するトレンチ間の距離を小さくすることができるので、隣接するトレンチの各々の周辺に形成された空乏層を互いに連結させやすくすることができる。

[0019] この発明の第2の局面による半導体装置は、互いに所定の間隔を隔てて配列され、かつ、各々の開口端が上面側に位置している複数のトレンチを有し、隣り合うトレンチ間の各領域が電流通路となる一導電型の半導体層と、半導体層の複数のトレンチの各々を埋め込むように、複数のトレンチの各々の内面上に絶縁膜を介して形成された複数の埋め込み電極と、半導体層の上面上および下面上のいずれか一方に設けられ、半導体層とショットキー接触する電極層とを備えている。そして、トレンチの周辺に形成される空乏層で半導体層の隣り合うトレンチ間の各領域が塞がれることにより電流の流れが遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流が流れるように構成されており、電極層は、半導体層の上面側に形成されている場合には、半導体層の隣り合うトレンチ間の各領域の上面に対してショットキー接触している一方、半導体層の下面側に形成されている場合には、半導体層の下面に対してショットキー接触している。なお、本発明の半導体層は、

半導体基板を含む。

[0020] この第2の局面による半導体装置では、上記のように、トレンチの周辺に形成される空乏層で半導体層の隣り合うトレンチ間の各領域が塞がれることにより電流の流れが遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流が流れるように構成することによって、トレンチの周辺に形成される空乏層の形成状態は埋め込み電極に対する印加電圧に応じて変化するので、埋め込み電極に対する印加電圧を制御することにより、オン状態(半導体層の隣り合うトレンチ間の各領域を介して電流が流れる状態)からオフ状態(半導体層の隣り合うトレンチ間の各領域を介して流れる電流が遮断される状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置にスイッチ機能を持たせることができる。そして、上記した構成では、オン時において、半導体層の隣り合うトレンチ間の各領域の空乏層が消滅した部分の全てを電流通路として機能させることができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFET(半導体装置)と比べて、電流に対する抵抗を大幅に低減することが可能となる。これにより、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFET(半導体装置)と比べて、オン抵抗を大幅に低減することができる。

[0021] また、第2の局面による半導体装置では、上記のように、半導体層の上面上および下面上のいずれか一方に、半導体層とショットキー接触する電極層を形成するとともに、半導体層の上面側に電極層を形成する場合には、半導体層の隣り合うトレンチ間の各領域の上面に対してショットキー接触するように形成する一方、半導体層の下面側に電極層を形成する場合には、半導体層の下面に対してショットキー接触するように形成することによって、半導体層の隣り合うトレンチ間の各領域の上面側、または、半導体層の下面側にショットキーバリアダイオードを形成することができる。ここで、電極層と半導体層とをオーミック接触させる場合には、半導体層の電極層と接触する領域の不純物濃度を高濃度にしておく必要があるのに対して、電極層と半導体層とをショットキー接触させる場合には、半導体層の電極層と接触する領域の不純物濃度は低濃度のままでよい。したがって、ショットキーバリアダイオードの形成に際しては、半導体層に不純物を高濃度に導入する工程が不要となるので、その分、製造工

数を削減することができる。すなわち、ショットキーバリアダイオードを形成することによって、半導体装置を安価に製造することができる。

[0022] また、上記した構成では、トレンチの周辺に形成される空乏層で半導体層の隣り合うトレンチ間の各領域を塞ぐことができるので、ショットキーバリアダイオードを流れる電流を遮断することができる。これにより、ショットキーバリアダイオードにおけるリーク電流の発生を抑制することができる。その一方、トレンチの周辺に形成された空乏層を消滅させることにより、ショットキーバリアダイオードを電流が流れるようにすることができる。その結果、半導体装置のオン／オフの制御によって、ショットキーバリアダイオードを流れる電流を制御することができる。

[0023] 上記第2の局面による半導体装置において、好ましくは、電極層は、少なくとも、半導体層と接触するバリアメタル層を含む。このように構成すれば、電極層を、半導体層と良好にショットキー接触させることができるので、ショットキーバリアダイオードを容易に形成することができる。

[0024] 上記第2の局面による半導体装置において、好ましくは、隣り合うトレンチ間の距離は、隣り合うトレンチの各々の周辺に形成された空乏層の一部が互いに重なる距離に設定されている。このように構成すれば、確実に、隣り合うトレンチの各々の周辺に形成された空乏層を互いに連結させることができる。

[0025] 上記第2の局面による半導体装置において、好ましくは、埋め込み電極の上面上に形成される層間絶縁膜をさらに備え、埋め込み電極は、トレンチの途中の深さまでを埋め込んでおり、層間絶縁膜は、層間絶縁膜の上面が半導体層の上面に対して面一となるように、トレンチの埋め込み電極が埋め込まれていない残りの部分に埋め込まれている。このように構成すれば、隣り合うトレンチ間の距離を小さくしたとしても、半導体層の上面側の部分（半導体層の隣り合うトレンチ間の領域の上端部）が層間絶縁膜で覆われてしまうことがない。これにより、隣り合うトレンチ間の距離を小さくすることができるので、隣り合うトレンチの各々の周辺に形成された空乏層を互いに連結させやすくすることが可能となる。

発明の効果

[0026] 以上のように、本発明によれば、オン抵抗を大幅に低減することが可能な新しい動

作原理に基づく半導体装置を容易に得ることができる。

図面の簡単な説明

[0027] [図1]本発明の第1実施形態による半導体装置を示した断面斜視図である。

[図2]図1に示した第1実施形態による半導体装置の埋め込み電極の接続位置を説明するための断面図である。

[図3]本発明の第1実施形態による半導体装置の動作を説明するための断面図である。

[図4]本発明の第1実施形態による半導体装置の動作を説明するための断面図である。

[図5]本発明の第2実施形態による半導体装置を示した断面斜視図である。

[図6]図5に示した第2実施形態による半導体装置の埋め込み電極の接続位置を説明するための断面図である。

[図7]図5に示した第2実施形態による半導体装置の等価回路図である。

[図8]本発明の第2実施形態による半導体装置の動作を説明するための断面図である。

[図9]本発明の第2実施形態による半導体装置の動作を説明するための断面図である。

[図10]本発明の第2実施形態による半導体装置を用いたDC／DCコンバータの一例を示した回路図である。

[図11]本発明の第3実施形態による半導体装置の埋め込み電極の接続位置を説明するための断面図である。

[図12]本発明の第3実施形態による半導体装置の動作を説明するための断面図である。

[図13]本発明の第3実施形態による半導体装置の動作を説明するための断面図である。

[図14]本発明の第2および第3実施形態の変形例による半導体装置を示した断面斜視図である。

[図15]従来のMOSFET（半導体装置）の構造を示した断面図である。

符号の説明

[0028] 1 n^+型シリコン基板(半導体層)

2 n型エピタキシャル層(半導体層)

3、12、12a、12b トレンチ

4、13 シリコン酸化膜(絶縁膜)

5、14、14a、14b 埋め込み電極

6、15 層間絶縁膜

7 ソース電極(電極層)

9、18 チャネル

10、19、19a、19b 空乏層

11 n型シリコン基板(半導体層)

17 ドレイン電極(電極層)

17a バリアメタル層

20、30、40 半導体装置

発明を実施するための最良の形態

[0029] (第1実施形態)

以下に、図1および図2を参照して、第1実施形態による半導体装置の構造について説明する。なお、第1実施形態の半導体装置は、ノーマリオフ型のスイッチ装置として機能するように構成されている。

[0030] 第1実施形態の半導体装置では、図1および図2に示すように、n^+型シリコン基板1の上面上に、約1μmの厚みを有するn型シリコンからなるn型エピタキシャル層2が形成されている。n^+型シリコン基板1には、後述するドレイン電極8との間で良好なオーミック接触を得るために、n型不純物が高濃度で導入されている。また、n型エピタキシャル層2には、n型不純物がn^+型シリコン基板1よりも低い濃度(約$5\times10^{15}cm^{-3}$～約$1\times10^{18}cm^{-3}$)で導入されている。なお、n^+型シリコン基板1およびn型エピタキシャル層2は、本発明の「一導電型の半導体層」の一例である。

[0031] また、n型エピタキシャル層2は、その厚み方向に掘られた複数のトレンチ3を有している。この複数のトレンチ3は、n型エピタキシャル層2の所定領域がその上面(主表

面）側からエッチングされることによって形成されている。すなわち、複数のトレンチ3の各々の開口端は、n型エピタキシャル層2の上面側に位置している。

[0032] また、複数のトレンチ3は、その各々がn型エピタキシャル層2の上面に対して平行な所定方向（A方向）に沿って延びるように細長状に形成されている。また、複数のトレンチ3は、n型エピタキシャル層2の上面に対して平行で、かつ、トレンチ3が延びる方向（A方向）と直交する方向（B方向）に互いに約0．05μm～約0．3μmの間隔を隔てて配列されている。さらに、複数のトレンチ3の各々の溝深さは、n型エピタキシャル層2の厚み（約1μm～約10μm）よりも小さくなるように、約0．5μm～約5μmに設定されている。また、複数のトレンチ3の各々のB方向の幅は、約0．1μm～約1μmに設定されている。

[0033] また、複数のトレンチ3の各々の内面上には、n型エピタキシャル層2を構成するn型シリコンを熱酸化処理することによって得られるシリコン酸化膜4が約10nm～約100nmの厚みで形成されている。なお、シリコン酸化膜4は、本発明の「絶縁膜」の一例である。

[0034] また、複数のトレンチ3の各々の内面上には、シリコン酸化膜4を介して、p型ポリシリコンからなる埋め込み電極（ゲート電極）5が形成されている。この複数の埋め込み電極（ゲート電極）5は、その各々に同じ電圧が印加されるように、互いに電気的に接続されている。また、複数の埋め込み電極（ゲート電極）5の各々は、対応するトレンチ3の途中の深さまでを埋め込んでいる。なお、埋め込み電極（ゲート電極）5の構成材料としては、p型ポリシリコン以外に、金属などを用いることもできる。

[0035] 第1実施形態では、上記のような複数の埋め込み電極（ゲート電極）5を設けることによって、複数の埋め込み電極（ゲート電極）5に対する印加電圧を制御すれば、複数のトレンチ3の各々の周辺に空乏層を形成したり、その形成された空乏層を消滅させたりすることが可能となる。そして、第1実施形態では、隣接するトレンチ3間の距離は、複数のトレンチ3の各々の周辺に空乏層を形成した時に、隣接するトレンチ3の各々に形成された空乏層の一部が互いに重なるように設定されている。すなわち、複数のトレンチ3の各々の周辺に空乏層を形成した場合には、隣接するトレンチ3の各々の周辺に形成された空乏層が互いに連結される。このため、第1実施形態では、

複数のトレンチ3の各々の周辺に空乏層を形成すれば、隣接するトレンチ3間の各領域を空乏層によって塞ぐことができる。

[0036] また、複数のトレンチ3の各々の埋め込み電極(ゲート電極)5が埋め込まれていない残りの部分(埋め込み電極5よりも上方の部分)には、シリコン酸化膜からなる層間絶縁膜6が埋め込まれている。この複数の層間絶縁膜6の各々は、対応する埋め込み電極(ゲート電極)5と後述するソース電極7との間で絶縁を行うために設けられている。また、複数の層間絶縁膜6の各々の厚みは、対応するトレンチ3の埋め込み電極(ゲート電極)5が埋め込まれていない残りの部分(埋め込み電極5よりも上方の部分)の深さと同じになるように設定されている。したがって、複数の層間絶縁膜6の各々の上面は、n型エピタキシャル層2の上面(隣接するトレンチ3間の各領域の上端部の上面)に対して面一となっている。

[0037] また、n型エピタキシャル層2の上面側の部分(隣接するトレンチ3間の各領域の上端部)には、n型エピタキシャル層2の上面に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域2aが形成されている。このn型エピタキシャル層2の高濃度領域2aの濃度は、後述するソース電極7との間で良好なオーミック接触を得ることが可能なように設定されており、n型エピタキシャル層2の他の部分の濃度よりも高くなっている。また、n型エピタキシャル層2の高濃度領域2aの厚み(イオン注入深さ)は、層間絶縁膜6の厚みよりも小さくなるように設定されている。すなわち、n型エピタキシャル層2の高濃度領域2aの下端部は、埋め込み電極5の上端部よりも上方に位置していることになる。

[0038] また、n型エピタキシャル層2の上面上には、複数のトレンチ3の各々の開口端を覆うように、Al層からなるソース電極7が形成されている。このソース電極7は、n型エピタキシャル層2の高濃度領域(隣接するトレンチ3間の各領域の上端部)2aに対してオーミック接触している。なお、ソース電極7は、本発明の「電極層」の一例である。また、n^+型シリコン基板1の裏面上には、複数の金属層が積層された多層構造体からなるドレイン電極8が形成されている。このドレイン電極8は、n^+型シリコン基板1に対してオーミック接触している。

[0039] 上記した構成では、ソース電極7とドレイン電極8との間に電圧を印加した場合に、

ソース電極7とドレイン電極8との間を流れる電流（n型エピタキシャル層2の厚み方向に流れる電流）は、n型エピタキシャル層2の隣接するトレンチ3間の各領域を通過することになる。すなわち、上記した構成では、n型エピタキシャル層2の隣接するトレンチ3間の各領域がチャネル9として機能することになる。

[0040] 次に、図3および図4を参照して、第1実施形態のスイッチ装置として機能する半導体装置の動作について説明する。図3には、スイッチ装置として機能する半導体装置がオフ状態となっている場合を図示しており、図4には、スイッチ装置として機能する半導体装置がオン状態となっている場合を図示している。

[0041] なお、以下の説明では、ソース電極7に負電位が印加され、ドレイン電極8に正電位が印加されているとする。すなわち、スイッチ装置として機能する半導体装置がオン状態の場合には、ドレイン電極8からソース電極7（図4の矢印の方向）に電流が流れる。

[0042] まず、スイッチ装置として機能する半導体装置がオフ状態の場合には、図3に示すように、埋め込み電極（ゲート電極）5が埋め込まれたトレンチ3の周辺に存在する多数キャリアが減少するように、埋め込み電極（ゲート電極）5に対する印加電圧が制御されている。これにより、トレンチ3の周辺には、空乏層10が形成されている。

[0043] この際、隣接するトレンチ3間の領域において、隣接するトレンチ3の各々の周辺に形成された空乏層10の一部が互いに重なる。すなわち、隣接するトレンチ3間の領域において、隣接するトレンチ3の各々の周辺に形成された空乏層10が互いに連結された状態となる。これにより、チャネル9が空乏層10によって塞がれた状態となるので、チャネル9を流れる電流を遮断することができる。したがって、スイッチ装置として機能する半導体装置がオフ状態となる。

[0044] 次に、スイッチ装置として機能する半導体装置をオフ状態からオン状態に切り替える場合には、図4に示すように、埋め込み電極（ゲート電極）5に対して所定の正電位（所定電圧）を印加することによって、トレンチ3の周辺に形成された空乏層10（図3参照）を消滅させる。すなわち、チャネル9を塞いでいた空乏層10（図3参照）を消滅させる。これにより、チャネル9を介して電流を流すことができるので、スイッチ装置として機能する半導体装置をオン状態にすることが可能となる。

[0045] また、スイッチ装置として機能する半導体装置をオン状態からオフ状態に切り替える場合には、埋め込み電極(ゲート電極)5に対する所定の正電位(所定電圧)の印加を解除する。これにより、図3に示した状態に戻るので、スイッチ装置として機能する半導体装置をオフ状態にすることが可能となる。

[0046] 第1実施形態では、上記のように、複数のトレンチ3の各々の周辺に形成される全ての空乏層10でチャネル(隣接するトレンチ3間の各領域)9を塞ぐことにより、チャネル(隣接するトレンチ3間の各領域)9を流れる電流が遮断される一方、複数のトレンチ3の各々の周辺に形成された全ての空乏層10を消滅させることにより、チャネル(隣接するトレンチ3間の各領域)9を介して電流が流れるように構成することによって、トレンチ3の周辺に形成される空乏層10の形成状態は埋め込み電極5に対する印加電圧に応じて変化するので、埋め込み電極5に対する印加電圧を制御することにより、オフ状態(チャネル9を流れる電流が遮断される状態)からオン状態(チャネル9を介して電流が流れる状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、隣接するトレンチ3間の各領域の空乏層10が消滅した部分の全てをチャネル9として機能させることができるので、非常に薄い反転層をチャネルとして機能させる従来のMOSFET(半導体装置)と比べて、チャネル9を流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、非常に薄い反転層をチャネルとして機能させる従来のMOSFET(半導体装置)と比べて、オン抵抗を大幅に低減することができる。

[0047] また、第1実施形態では、上記のように、埋め込み電極(ゲート電極)5に対して所定の正電位が印加されることにより、トレンチ3の周辺に形成された空乏層10が消滅し、埋め込み電極(ゲート電極)5に対する所定の正電位の印加が解除されることにより、トレンチ3の周辺に空乏層10が形成されるように構成することによって、埋め込み電極(ゲート電極)5に対する印加電圧を制御することにより、容易に、オフ状態からオン状態への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。

[0048] また、第1実施形態では、上記のように、オフ時において、隣接するトレンチ3の各々の周辺に形成された空乏層10が互いに連結された状態になるように構成すること

によって、確実に、チャネル（隣接するトレンチ3間の各領域）9を空乏層10で塞ぐことができる。

[0049] また、第1実施形態では、上記のように、隣接するトレンチ3間の距離を、隣接するトレンチ3の各々の周辺に形成された空乏層10の一部が互いに重なるように設定することによって、容易に、隣接するトレンチ3の各々の周辺に形成された空乏層10を互いに連結させることができる。

[0050] また、第1実施形態では、上記のように、層間絶縁膜6の上面がn型エピタキシャル層2の上面に対して面一となるように、層間絶縁膜6をトレンチ3に埋め込むことによって、隣接するトレンチ3間の距離を小さくしたとしても、n型エピタキシャル層2の上面側の部分（隣接するトレンチ3間の領域の上端部）が層間絶縁膜6で覆われてしまうことがない。これにより、隣接するトレンチ3間の距離を小さくすることができるので、隣接するトレンチ3の各々の周辺に形成された空乏層10を互いに連結させやすくすることができる。

[0051] （第2実施形態）

次に、図5～図7を参照して、本発明の第2実施形態による半導体装置20の構造について説明する。なお、第2実施形態の半導体装置20は、ノーマリオフ型のスイッチ装置として機能するように構成されている。また、図7では、便宜上、MOSFETで一般的に用いられている回路記号を用いて、第2実施形態による半導体装置20の等価回路を図示している。

[0052] 第2実施形態による半導体装置20では、図5および図6に示すように、約10μmの厚みを有するとともに、n型不純物が低濃度（たとえば、約$5\times10^{15}cm^{-3}$～約$1\times10^{18}cm^{-3}$）で導入されたn型シリコン基板11に、複数のトレンチ12が形成されている。この複数のトレンチ12は、n型シリコン基板11の所定領域がその上面（主表面）側から厚み方向にエッチングされることによって形成されている。すなわち、複数のトレンチ12の各々の開口端は、n型シリコン基板11の上面側に位置している。なお、n型シリコン基板11は、本発明の「一導電型の半導体層」の一例である。

[0053] また、複数のトレンチ12は、その各々がn型シリコン基板11の上面に対して平行な所定方向（Y方向）に沿って延びるように細長状に形成されている。また、複数のトレ

ンチ12は、n型シリコン基板11の上面に対して平行で、かつ、トレンチ12が延びる方向（Y方向）と直交する方向（X方向）に互いに約0．05μm～約0．3μmの距離を隔てて配列されている。さらに、複数のトレンチ12の各々の溝深さは、約0．5μm～約5μmに設定されている。また、複数のトレンチ12の各々のX方向の幅は、約0．1μm～約1μmに設定されている。

[0054] また、複数のトレンチ12の各々の内面上には、n型シリコン基板11を構成するn型シリコンを熱酸化処理することによって得られるシリコン酸化膜13が約10nm～約100nmの厚みで形成されている。なお、シリコン酸化膜13は、本発明の「絶縁膜」の一例である。

[0055] また、複数のトレンチ12の各々の内面上には、シリコン酸化膜13を介して、p型ポリシリコンからなる埋め込み電極（ゲート電極）14が形成されている。この複数の埋め込み電極（ゲート電極）14は、図6に示すように、その各々に同じ電圧が印加されるように、互いに電気的に接続されている。また、複数の埋め込み電極（ゲート電極）14の各々は、対応するトレンチ12の途中の深さまでを埋め込んでいる。なお、埋め込み電極（ゲート電極）14の構成材料としては、p型ポリシリコン以外に、金属などを用いることもできる。

[0056] 第2実施形態では、上記のような複数の埋め込み電極（ゲート電極）14を設けることによって、複数の埋め込み電極（ゲート電極）14に対する印加電圧を制御すれば、複数のトレンチ12の各々の周辺に空乏層を形成したり、その形成された空乏層を消滅させたりすることが可能となる。そして、第2実施形態では、隣り合うトレンチ12間の距離は、複数のトレンチ12の各々の周辺に空乏層を形成した時に、隣り合うトレンチ12の各々に形成された空乏層の一部が互いに重なるように設定されている。すなわち、複数のトレンチ12の各々の周辺に空乏層を形成した場合には、隣り合うトレンチ12の各々の周辺に形成された空乏層が互いに連結される。このため、第2実施形態では、複数のトレンチ12の各々の周辺に空乏層を形成すれば、隣り合うトレンチ12間の各領域を空乏層によって塞ぐことができる。

[0057] また、図5および図6に示すように、複数のトレンチ12の各々の埋め込み電極（ゲート電極）14が埋め込まれていない残りの部分（埋め込み電極14よりも上方の部分）に

は、シリコン酸化膜からなる層間絶縁膜15が埋め込まれている。この複数の層間絶縁膜15の各々は、対応する埋め込み電極（ゲート電極）14と後述するソース電極16との間で絶縁を行うために設けられている。また、複数の層間絶縁膜15の各々の厚みは、対応するトレンチ12の埋め込み電極（ゲート電極）14が埋め込まれていない残りの部分（埋め込み電極14よりも上方の部分）の深さと同じになるように設定されている。したがって、複数の層間絶縁膜15の各々の上面は、n型シリコン基板11の上面（隣り合うトレンチ12間の各領域の上端部の上面）に対して面一となっている。

[0058] また、n型シリコン基板11の上面側の部分（隣り合うトレンチ12間の各領域の上端部）には、n型シリコン基板11の上面に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域11aが形成されている。このn型シリコン基板11の高濃度領域11aは、後述するソース電極16との間で良好なオーミック接触を得ることが可能なように設定されており、n型シリコン基板11の他の部分の濃度よりも高くなっている。また、n型シリコン基板11の高濃度領域11aの厚み（イオン注入による拡散後の深さ）は、層間絶縁膜15の厚みよりも小さくなるように設定されている。すなわち、n型シリコン基板11の高濃度領域11aの下端部は、埋め込み電極（ゲート電極）14の上端部よりも上方に位置していることになる。

[0059] また、n型シリコン基板11の上面上には、複数のトレンチ12の各々の開口端を覆うように、Al層からなるソース電極16が形成されている。このソース電極16は、n型シリコン基板11の高濃度領域（隣り合うトレンチ12間の各領域の上端部）1aに対してオーミック接触している。また、n型シリコン基板11の下面（裏面）上には、ドレイン電極17が形成されている。なお、ドレイン電極17は、本発明の「電極層」の一例である。

[0060] ここで、第2実施形態では、ドレイン電極17は、n型シリコン基板11の下面（裏面）とショットキー接触するように形成されている。具体的には、n型シリコン基板11の下面（裏面）は、低濃度領域となっており、この低濃度領域に接触するようにドレイン電極17がn型シリコン基板11の下面（裏面）上に形成されている。また、ドレイン電極17は、複数の金属層が積層された多層構造体から構成されている。具体的には、ドレイン電極17は、TiNなどから構成されるバリアメタル層17aと、その他の金属層17bとから構成されている。また、バリアメタル層17aは、多層構造体の最もn型シリコン基板11

側に配置されており、その上面全面が、n型シリコン基板11の下面（裏面）と直接接触するように形成されている。これにより、第2実施形態による半導体装置20では、n型シリコン基板11の下面側に、ドレイン電極17をアノード電極とするショットキーバリアダイオードが形成されている。そして、上記した構造を有する第2実施形態の半導体装置20は、図7に示すような等価回路で表すことができる。

[0061] 上記した構成では、ソース電極16とドレイン電極17との間に電圧を印加した場合に、ソース電極16とドレイン電極17との間を流れる電流（n型シリコン基板11の厚み方向に流れる電流）は、n型シリコン基板11の隣り合うトレンチ12間の各領域を通過することになる。すなわち、上記した構成では、n型シリコン基板11の隣り合うトレンチ12間の各領域がチャネル18として機能することになる。

[0062] 次に、図8および図9を参照して、第2実施形態のスイッチ装置として機能する半導体装置20の動作について説明する。図8には、スイッチ装置として機能する半導体装置がオフ状態となっている場合を図示しており、図9には、スイッチ装置として機能する半導体装置がオン状態となっている場合を図示している。

[0063] なお、以下の説明では、ソース電極16に負電位が印加され、ドレイン電極17に正電位が印加されているとする。

[0064] まず、スイッチ装置として機能する半導体装置20がオフ状態の場合には、図8に示すように、埋め込み電極（ゲート電極）14が埋め込まれたトレンチ12の周辺に存在する多数キャリアが減少するように、埋め込み電極（ゲート電極）14に対する印加電圧が制御されている。これにより、トレンチ12の周辺には、空乏層19が形成されている。

[0065] この際、隣り合うトレンチ12間の領域において、隣り合うトレンチ12の各々の周辺に形成された空乏層19の一部が互いに重なる。すなわち、隣り合うトレンチ12間の領域において、隣り合うトレンチ12の各々の周辺に形成された空乏層19が互いに連結された状態となる。これにより、チャネル18が空乏層19によって塞がれた状態となるので、チャネル18を流れる電流を遮断することができる。したがって、スイッチ装置として機能する半導体装置20がオフ状態となる。同時に、ショットキー接触している部分（ショットキーバリアダイオード）におけるリーク電流の発生が抑制される。

[0066] 次に、スイッチ装置として機能する半導体装置20をオフ状態からオン状態に切り替える場合には、図9に示すように、埋め込み電極（ゲート電極）14に対して所定の正電位（所定電圧）を印加することによって、トレンチ12の周辺に形成された空乏層19（図8参照）を消滅させる。すなわち、チャネル18を塞いでいた空乏層19（図8参照）を消滅させる。これにより、ショットキー接触している部分（ショットキーバリアダイオード）を通過した電流は、チャネル（電流通路）18を介して図9中の矢印方向に流れることになる。したがって、スイッチ装置として機能する半導体装置20をオン状態にすることが可能となる。

[0067] また、スイッチ装置として機能する半導体装置20をオン状態からオフ状態に切り替える場合には、埋め込み電極（ゲート電極）14に対する所定の正電位（所定電位）の印加を解除する。これにより、図8に示した状態に戻るので、スイッチ装置として機能する半導体装置20をオフ状態にすることが可能となる。

[0068] なお、第2実施形態による半導体装置20は、図10に示すように、DC／DCコンバータを構成する部品の一部として用いることができる。第2実施形態による半導体装置20を、DC／DCコンバータを構成する部品の一部として用いることによって、DC／DCコンバータの電源効率を向上させることが可能となる。ここで、図10中の符号21は、コイルであり、符号22は、コンデンサ（キャパシタ）である。

[0069] 第2実施形態では、上記のように、複数のトレンチ12の各々の周辺に形成される全ての空乏層19でチャネル（隣り合うトレンチ12間の各領域）18が塞がれることにより、電流の流れが遮断される一方、複数のトレンチ12の各々の周辺に形成された全ての空乏層19が消滅することにより電流が流れるように構成することによって、トレンチ12の周辺に形成される空乏層19の形成状態は埋め込み電極（ゲート電極）14に対する印加電圧に応じて変化するので、埋め込み電極（ゲート電極）14に対する印加電圧を制御することにより、オン状態（チャネル18を介して電流が流れる状態）からオフ状態（チャネル18を介して流れる電流が遮断される状態）への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置20にスイッチ機能を持たせることができる。そして、上記した構成では、オン時において、隣り合うトレンチ12間の各領域の空乏層19が消滅した部分の全てを電流通路として機

能させることができるので、非常に薄い反転層をチャネル（電流通路）として機能させる従来のMOSFET（半導体装置）と比べて、チャネル18を流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、非常に薄い反転層をチャネル（電流通路）として機能させる従来のMOSFET（半導体装置）と比べて、オン抵抗を大幅に低減することができる。

[0070] また、第2実施形態では、上記のように、n型シリコン基板11の下面上に、n型シリコン基板11の下面とショットキー接触するようにドレイン電極17を形成することによって、n型シリコン基板11の下面側にショットキーバリアダイオードを形成することができる。ここで、ドレイン電極17とn型シリコン基板11とをオーミック接触させる場合には、n型シリコン基板11の下面側に高濃度領域を形成する必要があるのに対して、ドレイン電極17とn型シリコン基板11とをショットキー接触させる場合には、n型シリコン基板11の下面側は低濃度領域のままでよい。したがって、ショットキーバリアダイオードの形成に際しては、n型シリコン基板11の下面側に高濃度領域を形成する必要がないため、不純物を高濃度に導入する工程が不要となる。これにより、製造工数を削減することができる。すなわち、ショットキーバリアダイオードを形成することによって、半導体装置20を安価に製造することができる。

[0071] また、第2実施形態では、上記のように、トレンチ12の周辺に形成される空乏層19でチャネル（隣り合うトレンチ12間の各領域）18を塞ぐことができるので、ショットキーバリアダイオードを流れる電流を遮断することができる。これにより、ショットキーバリアダイオードにおけるリーク電流の発生を抑制することができる。その一方、トレンチ12の周辺に形成された空乏層19を消滅させることにより、ショットキーバリアダイオードに電流が流れるようにすることができる。その結果、半導体装置20のオン／オフの制御によって、ショットキーバリアダイオードを流れる電流を制御することができる。

[0072] また、第2実施形態では、上記のように、ドレイン電極17を、n型シリコン基板11と直接接触するバリアメタル層17aを含む多層構造体から構成することによって、ドレイン電極17を、n型シリコン基板11の下面と良好にショットキー接触させることができるので、ショットキーバリアダイオードを容易に形成することができる。

[0073] また、第2実施形態では、上記のように、隣り合うトレンチ12間の距離を、隣り合うト

レンチ12の各々の周辺に形成された空乏層19の一部が互いに重なる距離に設定することによって、確実に、隣り合うトレンチ12の各々の周辺に形成された空乏層19を互いに連結させることができる。

[0074] また、第2実施形態では、上記のように、層間絶縁膜15を、その上面がn型シリコン基板11の上面に対して面一となるように、トレンチ12の埋め込み電極(ゲート電極)14が埋め込まれていない残りの部分に埋め込むことによって、隣り合うトレンチ12間の距離を小さくしたとしても、n型シリコン基板11の上面側の部分(n型シリコン基板11の隣り合うトレンチ12間の領域の上端部)が層間絶縁膜15で覆われてしまうことがない。これにより、隣り合うトレンチ12間の距離を小さくすることができるので、隣り合うトレンチ12の各々の周辺に形成された空乏層19を互いに連結させやすくすることが可能となる。

[0075] (第3実施形態)

図11を参照して、この第3実施形態による半導体装置30では、埋め込み電極(ゲート電極)14が、互いに別個に電圧が印加される2種類の埋め込み電極14aおよび14bに分けられている。一方の埋め込み電極14aは、所定の制御信号に対する電圧が印加されるように構成されている。また、他方の埋め込み電極14bは、ソース電極16に電気的に接続されている。すなわち、他方の埋め込み電極14bは、ソース電極16と同電位となるように構成されている。また、埋め込み電極14aおよび14bは、X方向に1つずつ交互に配置されている。したがって、2つの埋め込み電極14a(14b)の間に1つの埋め込み電極14b(14a)が配置されていることになる。

[0076] なお、第3実施形態による半導体装置30のその他の構成は、上記第2実施形態と同様である。

[0077] 次に、図12および図13を参照して、第3実施形態のスイッチ装置として機能する半導体装置30の動作について説明する。図12には、スイッチ装置として機能する半導体装置がオフ状態となっている場合を図示しており、図13には、スイッチ装置として機能する半導体装置がオン状態となっている場合を図示している。

[0078] まず、図12および図13に示すように、ソース電極16およびドレイン電極17の各々に負電位および正電位が印加されているとすると、埋め込み電極14bがソース電極1

6に電気的に接続されているため、埋め込み電極14bに対して負電位が印加されることになる。したがって、埋め込み電極14bが埋め込まれたトレンチ12(以下、トレンチ12bと言う)の周辺には、多数キャリアが減少した状態となっている。すなわち、トレンチ12bの周辺には、オン状態およびオフ状態にかかわらず、空乏層19(19b)が形成されている。

[0079] そして、図12に示すように、半導体装置30がオフ状態の場合には、埋め込み電極14aが埋め込まれたトレンチ12(以下、トレンチ12aと言う)の周辺に存在する多数キャリアが減少するように、埋め込み電極14aに対する印加電圧が制御されている。これにより、トレンチ12aの周辺には、トレンチ12bの周辺に形成された空乏層19(19b)と同様の空乏層19(19a)が形成されている。

[0080] この際、トレンチ12aとトレンチ12bとの間の領域では、トレンチ12aおよび12bの各々の周辺に形成された空乏層19aおよび19bの一部が互いに重なる。すなわち、トレンチ12aとトレンチ12bとの間の領域では、空乏層19aおよび19bが互いに連結された状態となる。これにより、チャネル(電流通路)18が空乏層19aおよび19bによって塞がれた状態となるので、チャネル18を介して流れる電流を遮断することができる。したがって、スイッチ装置として機能する半導体装置30がオフ状態となる。同時に、ショットキー接触している部分(ショットキーバリアダイオード)におけるリーク電流の発生が抑制される。

[0081] 次に、図13に示すように、スイッチ装置として機能する半導体装置30をオフ状態からオン状態に切り替える場合には、埋め込み電極14aに対して所定の正電位(所定電圧)を印加することによって、トレンチ12aの周辺に形成された空乏層19a(図12参照)を消滅させる。すなわち、チャネル18の埋め込み電極14a側を塞いでいた空乏層19a(図12参照)を消滅させる。これにより、ショットキー接触している部分(ショットキーバリアダイオード)を通過した電流は、チャネル(電流通路)18の埋め込み電極14a側の部分を介して図13中の矢印方向に流れることになる。したがって、スイッチ装置として機能する半導体装置30をオン状態にすることが可能となる。

[0082] また、スイッチ装置として機能する半導体装置30をオン状態からオフ状態に切り替える場合には、埋め込み電極14aに対する所定の正電位(所定電位)の印加を解除

する。これにより、図12に示した状態に戻るので、スイッチ装置として機能する半導体装置30をオフ状態にすることが可能となる。

[0083] 第3実施形態では、上記のように、複数のトレンチ12の各々の周辺に形成される空乏層19でチャネル(隣り合うトレンチ12間の各領域)18が塞がれることにより、電流の流れが遮断される一方、複数のトレンチ12の周辺に形成された空乏層19の少なくとも一部(トレンチ12aの周辺に形成された空乏層19a)が消滅することにより電流が流れるように構成することによって、トレンチ12の周辺に形成される空乏層19の形成状態は埋め込み電極14に対する印加電圧に応じて変化するので、埋め込み電極14に対する印加電圧を制御することにより、オン状態(チャネル18を介して電流が流れる状態)からオフ状態(チャネル18を介して流れる電流が遮断される状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置30にスイッチ機能を持たせることができる。そして、上記した構成では、オン時において、隣り合うトレンチ12間の各領域の空乏層19が消滅した部分の全てを電流通路として機能させることができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFETと比べて、チャネル18を流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、非常に薄い反転層をチャネル(電流通路)として機能させる従来のMOSFETと比べて、オン抵抗を大幅に低減することができる。

[0084] なお、第3実施形態による半導体装置30のその他の効果は、上記第2実施形態と同様である。

[0085] 図14を参照して、第2および第3実施形態の変形例による半導体装置40では、n型シリコン基板11の上面側に、ソース電極46をアノード電極とするショットキーバリアダイオードが形成されている。具体的には、第2および第3実施形態の変形例による半導体装置40では、上記した第2および第3実施形態による半導体装置20および30と異なり、n型シリコン基板11の上面側の部分(隣り合うトレンチ12間の各領域の上端部)には高濃度領域11a(図5および図11参照)が形成されておらず、隣り合うトレンチ12間の各領域の上面は低濃度領域となっている。そして、ソース電極46がn型シリコン基板11の上面上に形成されることによって、ソース電極46が、n型シリコン基

板11の隣り合うトレンチ12間の各領域の上面に対してショットキー接触している。なお、ソース電極46は、本発明の「電極層」の一例である。また、ソース電極46は、図示しないバリアメタル層を含んでおり、このバリアメタル層（図示せず）とn型シリコン基板11とが直接接触することによって、ショットキーバリアダイオードが形成されている。

[0086] 一方、n型シリコン基板11の下面側の部分には、n型シリコン基板11の下面に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域11bが形成されている。このn型シリコン基板11の高濃度領域11bは、後述するドレイン電極47との間で良好なオーミック接触を得ることが可能なように設定されており、n型シリコン基板11の他の部分の濃度よりも高くなっている。そして、n型シリコン基板11の下面（裏面）上には、複数の金属層が積層された多層構造体からなるドレイン電極47が形成されている。このドレイン電極47は、n型シリコン基板11に対してオーミック接触している。

[0087] 第2および第3実施形態の変形例による半導体装置40のその他の構成は、上記第2および第3実施形態と同様である。

[0088] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

[0089] たとえば、上記第1実施形態では、複数のトレンチをn型エピタキシャル層に形成し、そのn型エピタキシャル層の隣接するトレンチ間の各領域をチャネルとして機能させるようにしたが、本発明はこれに限らず、複数のトレンチをp型エピタキシャル層に形成し、そのp型エピタキシャル層の隣接するトレンチ間の各領域をチャネルとして機能させるようにしてもよい。

[0090] また、上記第1実施形態では、トレンチの溝深さがn型エピタキシャル層の厚みよりも小さくなるように構成したが、本発明はこれに限らず、トレンチがn型エピタキシャル層を貫通してn^+型シリコン基板にまで達していてもよい。

[0091] また、上記第1実施形態では、層間絶縁膜の上面がn型エピタキシャル層の上面に対して面一となるように構成したが、本発明はこれに限らず、層間絶縁膜の上面がn

型エピタキシャル層の上面よりも上方に位置していてもよいし、層間絶縁膜の上面がn型エピタキシャル層の上面よりも下方に位置していてもよい。

[0092] また、上記第2および第3実施形態では、n型シリコン基板にトレンチなどを形成した例を示したが、本発明はこれに限らず、n型シリコン基板上にn型エピタキシャル層を形成するとともに、形成したn型エピタキシャル層にトレンチなどを形成するようにしてもよい。また、その後、n型シリコン基板を研磨等で除去するようにしてもよい。

[0093] また、上記第2および第3実施形態では、埋め込み電極の上面上に形成された層間絶縁膜を、その上面がn型シリコン基板の上面と面一となるように形成した例を示したが、本発明はこれに限らず、埋め込み電極の上面上に形成された層間絶縁膜を、その上面がn型シリコン基板の上面から突出するように形成してもよいし、その上面がn型シリコン基板の上面よりも下方(トレンチ内部側)に位置するように形成してもよい。

[0094] また、上記第2および第3実施形態では、n型のシリコン基板(半導体層)を用いて半導体装置を構成した例を示したが、本発明はこれに限らず、p型のシリコン基板(半導体層)を用いて半導体装置を構成してもよい。すなわち、導電型を全て逆にした構成にしてもよい。

[0095] また、上記第2および第3実施形態では、基板にシリコン基板を用いた例を示したが、本発明はこれに限らず、SiCなどから構成される基板(半導体基板)を用いるようにしてもよい。

請求の範囲

[1] 互いに所定の間隔を隔てて配列された複数のトレンチを有し、隣接する前記トレンチ間の各領域がチャネルとなる一導電型の半導体層と、

前記複数のトレンチの各々を埋め込むように、前記複数のトレンチの各々の内面上に絶縁膜を介して形成された複数の埋め込み電極とを備え、

前記複数のトレンチの各々の周辺に形成される全ての空乏層で前記隣接するトレンチ間の各領域を塞ぐことにより、前記隣接するトレンチ間の各領域を流れる電流が遮断される一方、前記複数のトレンチの各々の周辺に形成された全ての空乏層を消滅させることにより、前記隣接するトレンチ間の各領域を介して電流が流れるように構成されていることを特徴とする半導体装置。

[2] 前記埋め込み電極に対して所定電圧が印加されることにより、前記トレンチの周辺に形成された空乏層が消滅し、前記埋め込み電極に対する前記所定電圧の印加が解除されることにより、前記トレンチの周辺に空乏層が形成されるように構成されていることを特徴とする請求項1に記載の半導体装置。

[3] 前記隣接するトレンチ間の各領域を流れる電流を遮断する場合に、前記隣接するトレンチの各々の周辺に形成された空乏層が互いに連結された状態になるように構成されていることを特徴とする請求項1に記載の半導体装置。

[4] 前記隣接するトレンチ間の距離は、前記隣接するトレンチの各々の周辺に形成された空乏層の一部が互いに重なるように設定されていることを特徴とする請求項1に記載の半導体装置。

[5] 前記トレンチの開口端を覆うように、前記半導体層の上面上に形成された電極層と、

前記埋め込み電極と前記電極層との間の絶縁を行うための層間絶縁膜とをさらに備え、

前記埋め込み電極は、前記トレンチの途中の深さまでを埋め込んでおり、

前記層間絶縁膜は、前記層間絶縁膜の上面が前記半導体層の上面に対して面一となるように、前記トレンチの前記埋め込み電極が埋め込まれていない残りの部分に埋め込まれていることを特徴とする請求項1に記載の半導体装置。

[6] 互いに所定の間隔を隔てて配列され、かつ、各々の開口端が上面側に位置している複数のトレンチを有し、隣り合う前記トレンチ間の各領域が電流通路となる一導電型の半導体層と、

前記半導体層の前記複数のトレンチの各々を埋め込むように、前記複数のトレンチの各々の内面上に絶縁膜を介して形成された複数の埋め込み電極と、

前記半導体層の上面上および下面上のいずれか一方に設けられ、前記半導体層とショットキー接触する電極層とを備え、

前記トレンチの周辺に形成される空乏層で前記半導体層の隣り合うトレンチ間の各領域が塞がれることにより電流の流れが遮断される一方、前記トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流が流れるように構成されており、

前記電極層は、前記半導体層の上面側に形成されている場合には、前記半導体層の隣り合うトレンチ間の各領域の上面に対してショットキー接触している一方、前記半導体層の下面側に形成されている場合には、前記半導体層の下面に対してショットキー接触していることを特徴とする半導体装置。

[7] 前記電極層は、少なくとも、前記半導体層と接触するバリアメタル層を含むことを特徴とする請求項6に記載の半導体装置。

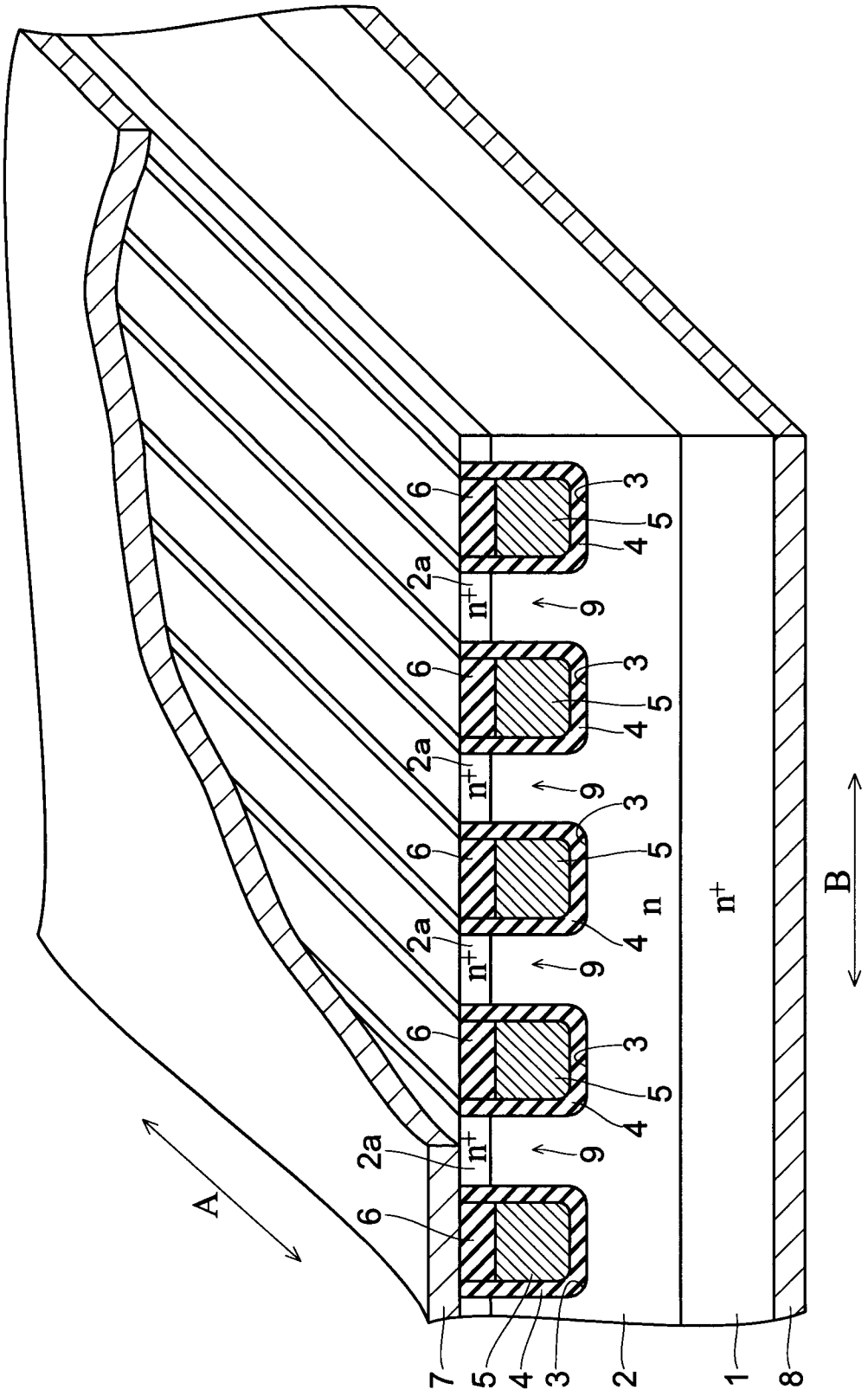
[8] 前記隣り合うトレンチ間の距離は、前記隣り合うトレンチの各々の周辺に形成された空乏層の一部が互いに重なる距離に設定されていることを特徴とする請求項6に記載の半導体装置。

[9] 前記埋め込み電極の上面上に形成される層間絶縁膜をさらに備え、

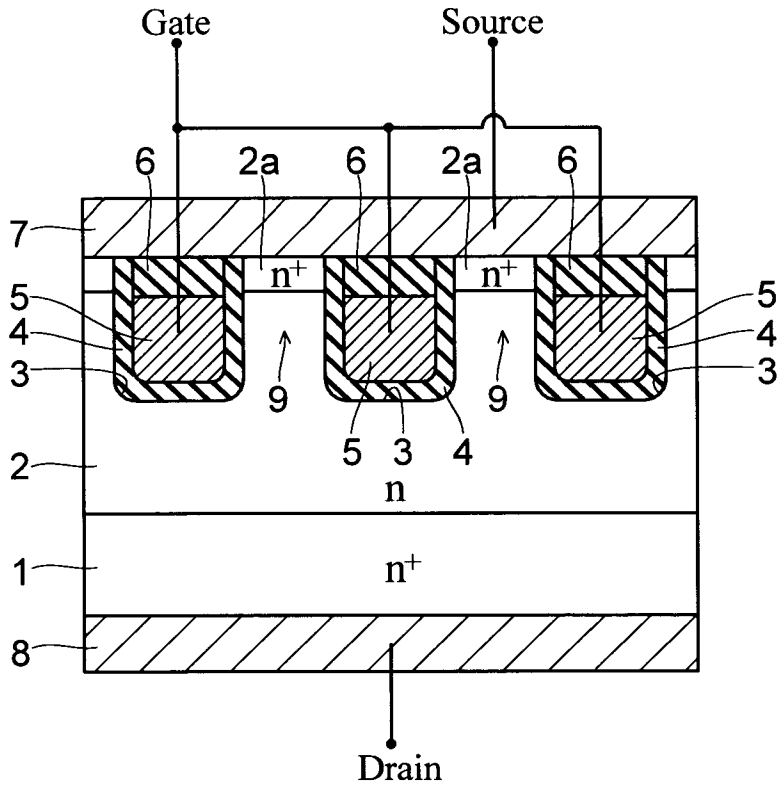
前記埋め込み電極は、前記トレンチの途中の深さまでを埋め込んでおり、

前記層間絶縁膜は、前記層間絶縁膜の上面が前記半導体層の上面に対して面一となるように、前記トレンチの前記埋め込み電極が埋め込まれていない残りの部分に埋め込まれていることを特徴とする請求項6に記載の半導体装置。

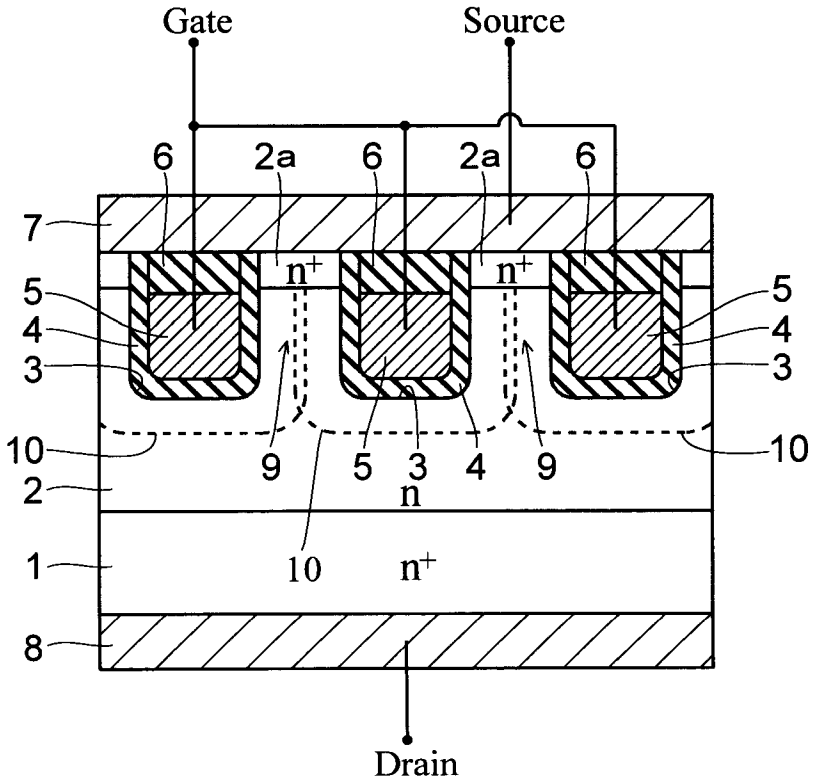
[図1]



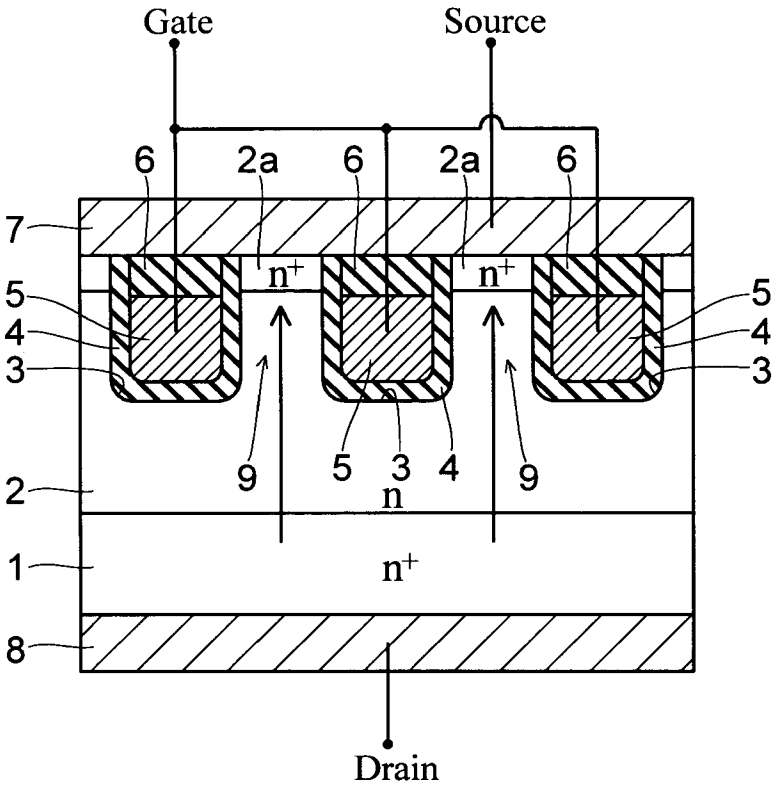
[図2]


Gate
Source
6
2a
6
2a
6
7
n+
n+
5
4
3
5
4
3
9
9
5
3
4
2
n
1
n+
8
Drain

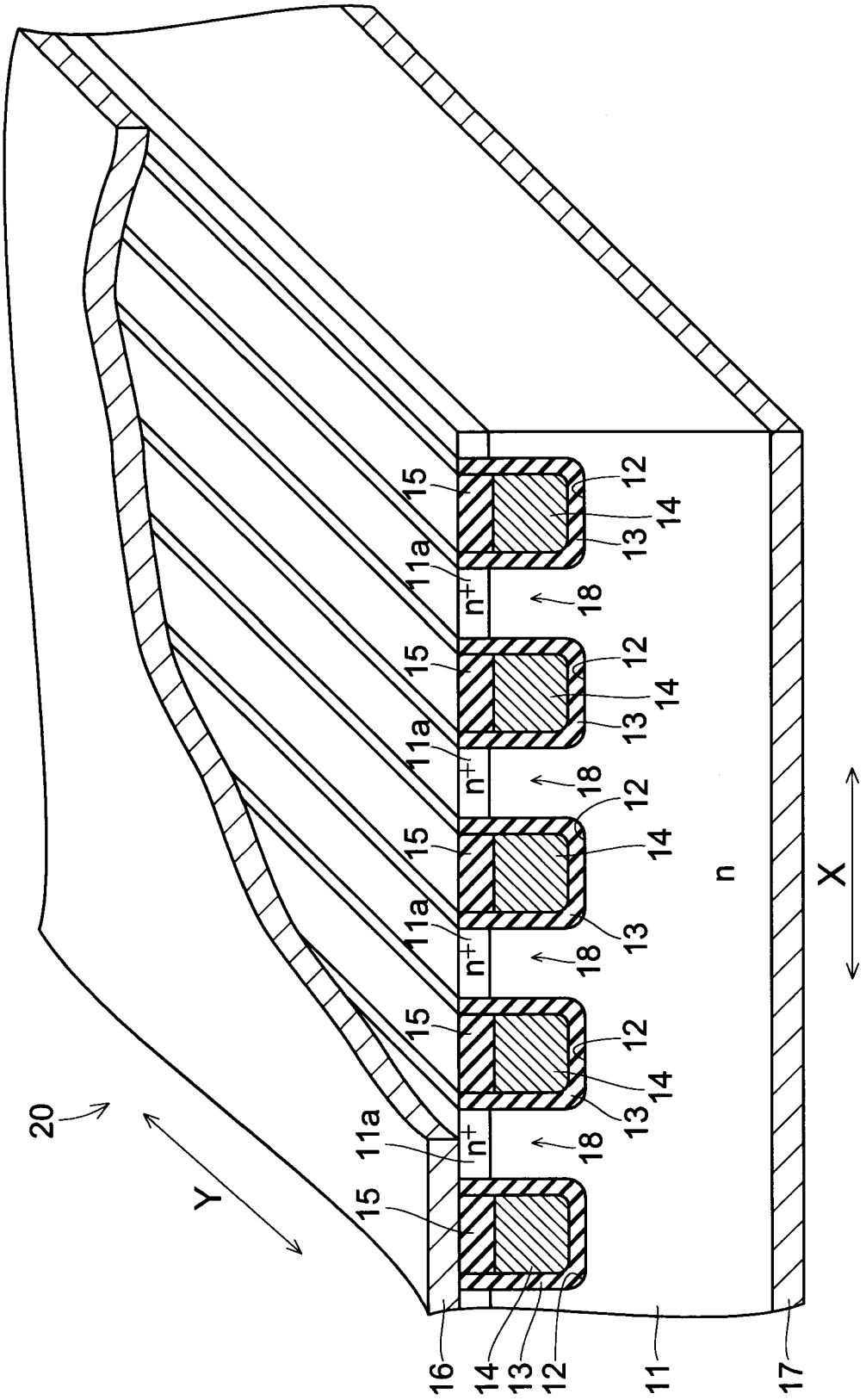
[図3]


Gate
Source
6
2a
6
2a
6
7
n+
n+
5
4
3
5
4
3
10
10
9
5
3
4
9
2
n
1
10
n+
8
Drain

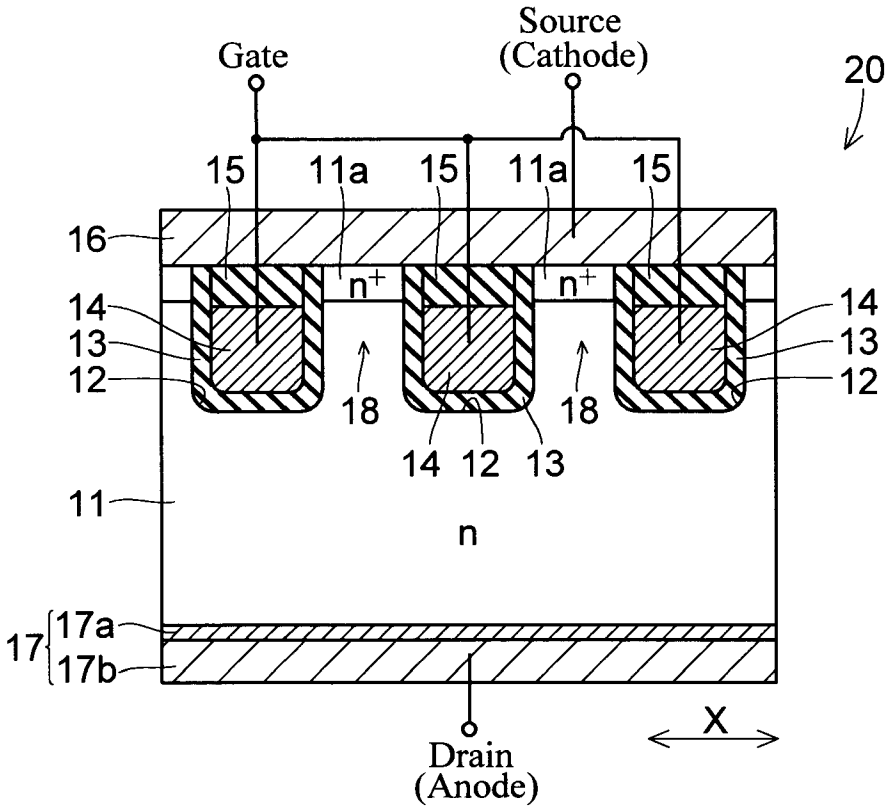
[図4]



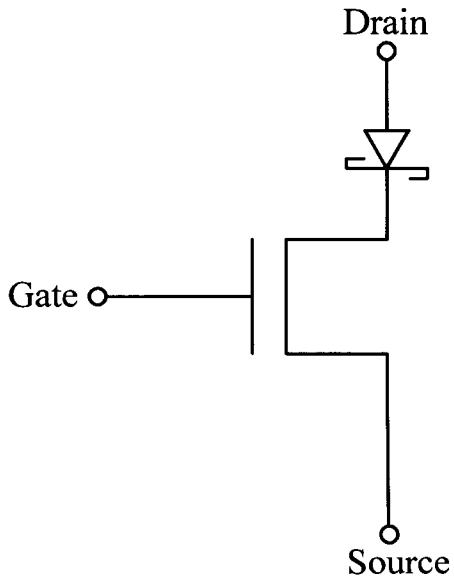
[図5]



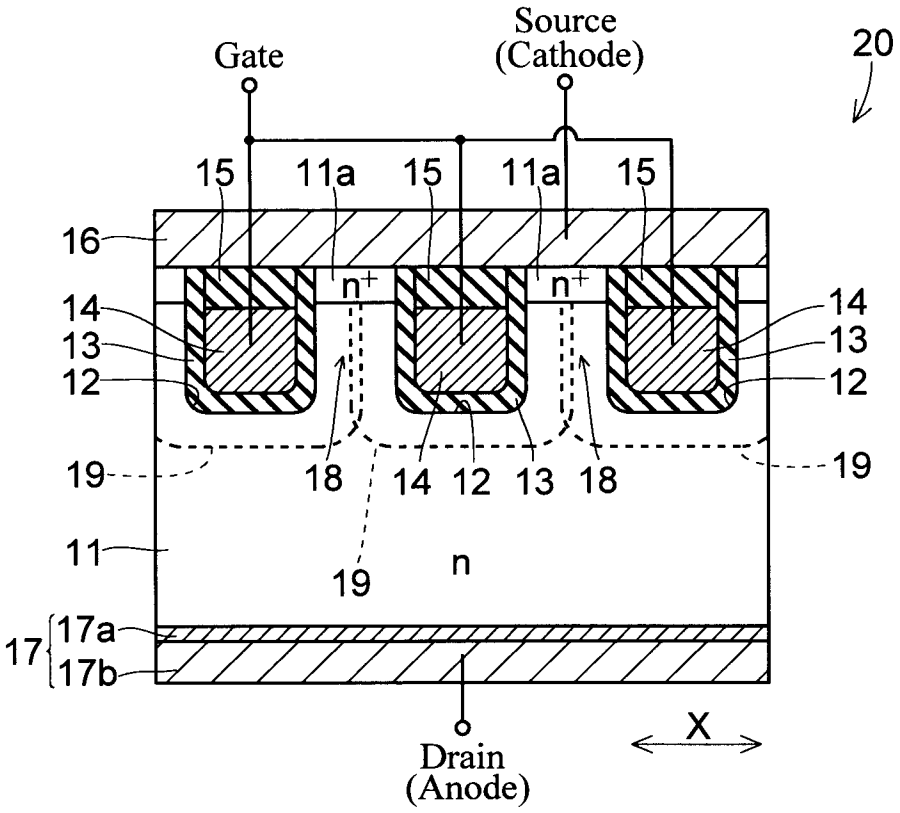
[図6]


Gate
Source
(Cathode)
20
15
11a
15
11a
15
16
n+
n+
14
13
12
14
13
12
18
18
14
12
13
11
n
17
17a
17b
Drain
(Anode)
X

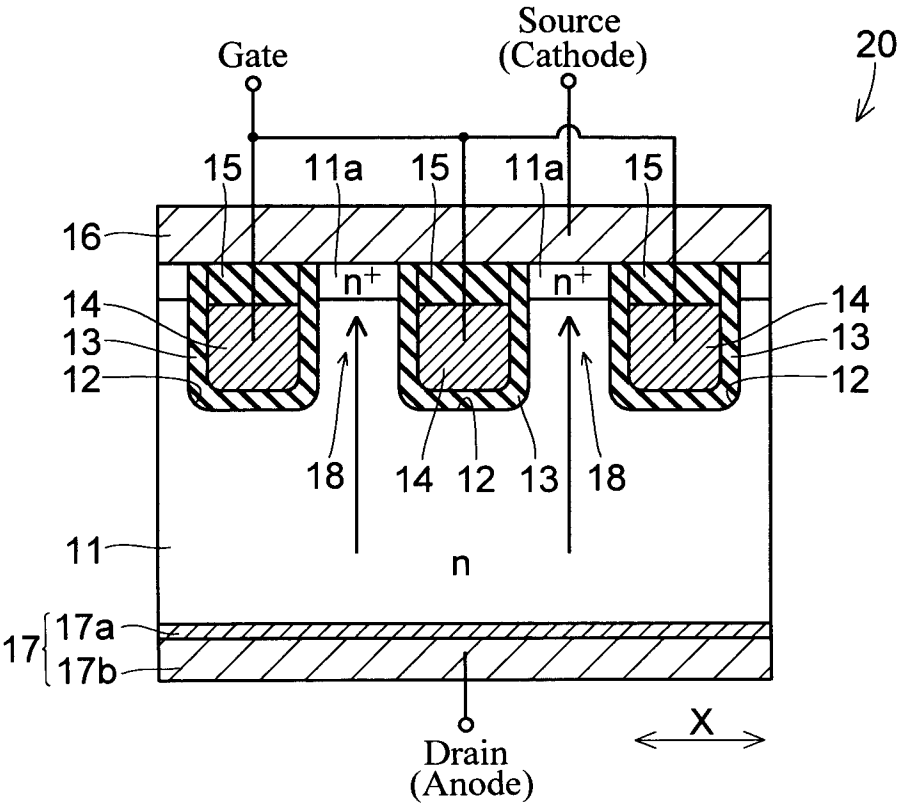
[図7]


Drain
Gate
Source

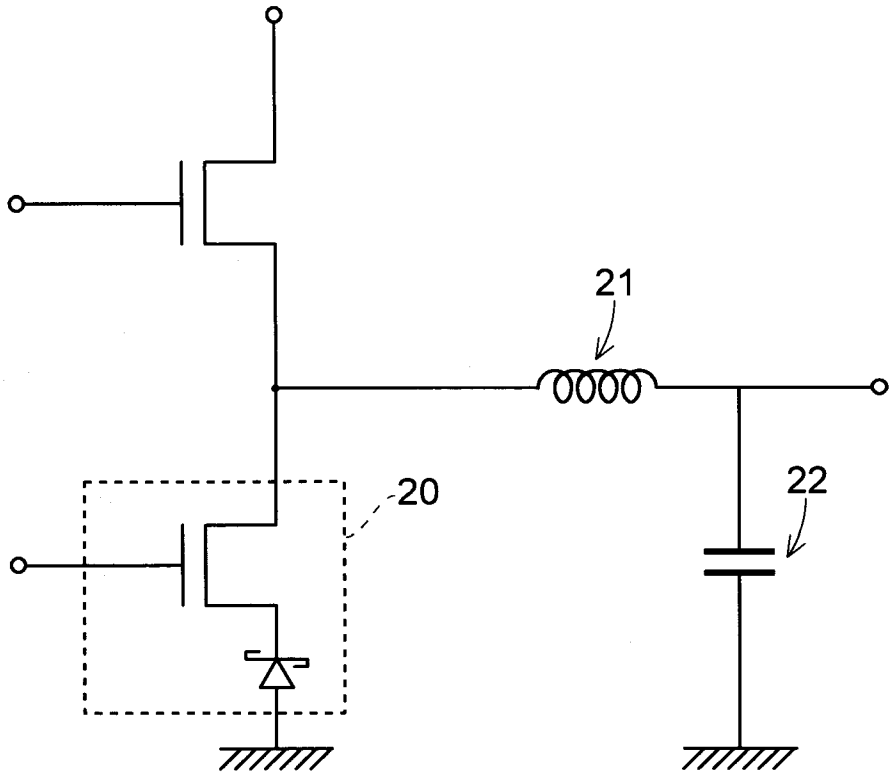
[図8]


Gate
Source
(Cathode)
20
15
11a
15
11a
15
16
n+
n+
14
13
12
14
13
12
19
18
14
12
13
18
19
19
11
n
17
17a
17b
Drain
(Anode)
X

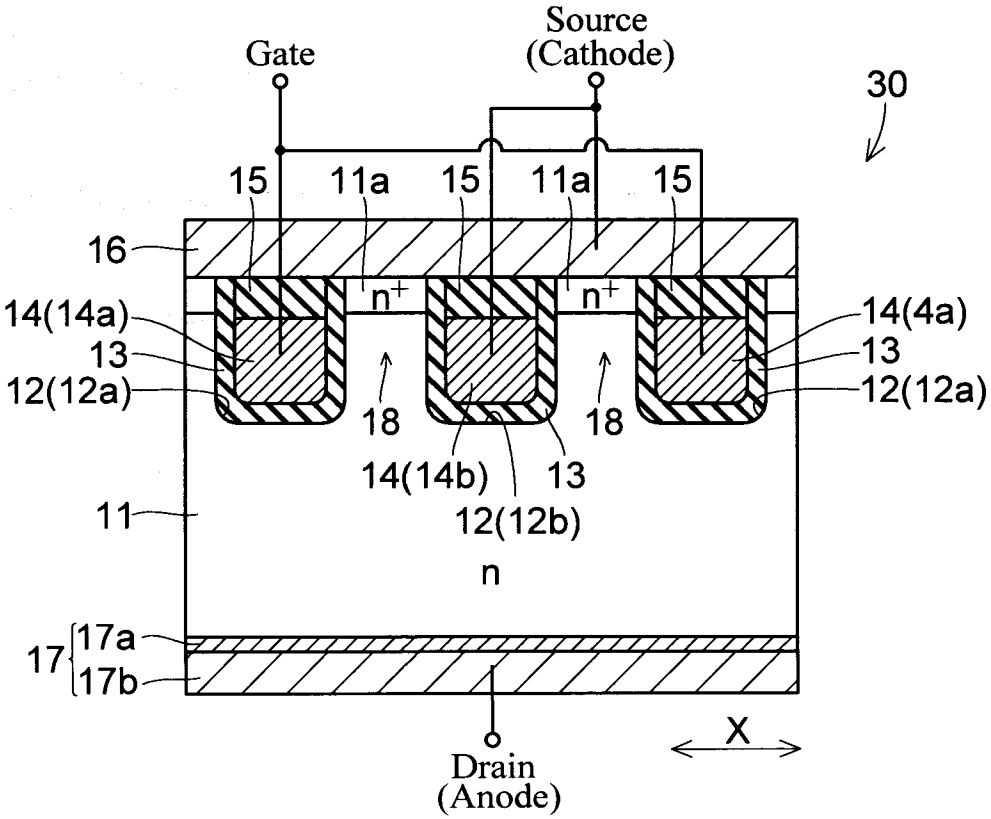
[図9]


Gate
Source
(Cathode)
20
15
11a
15
11a
15
16
n+
n+
14
13
12
14
13
12
18
14
12
13
18
11
n
17
17a
17b
Drain
(Anode)
X

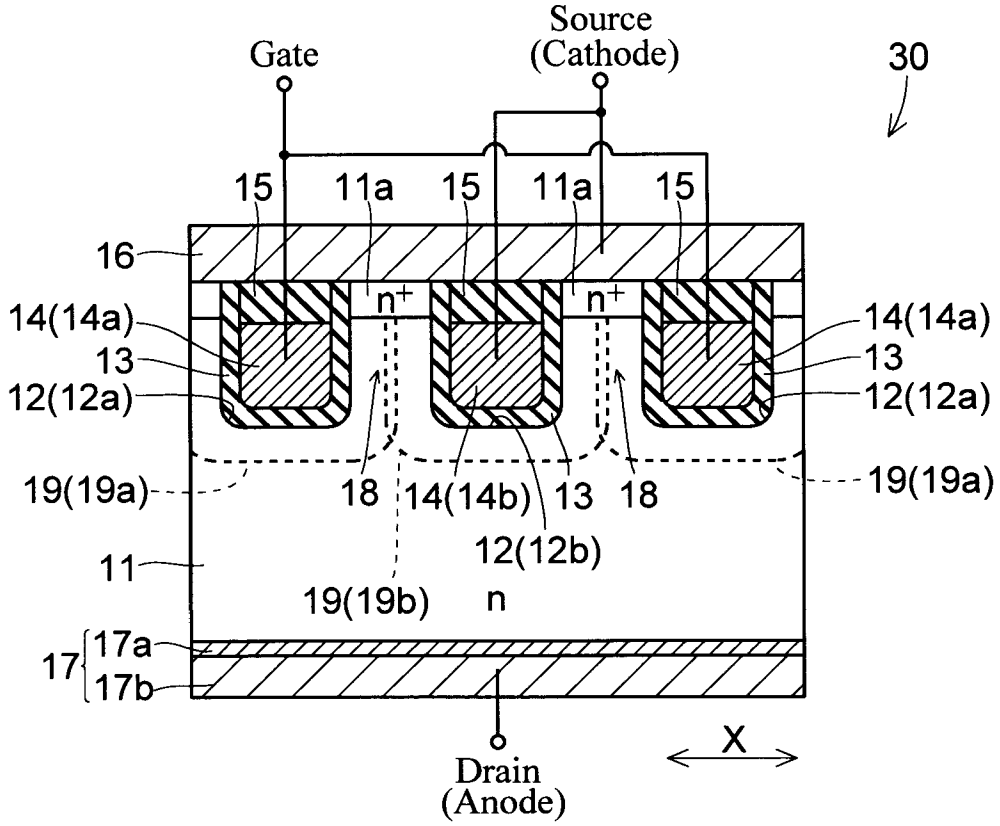
[図10]


21
20
22

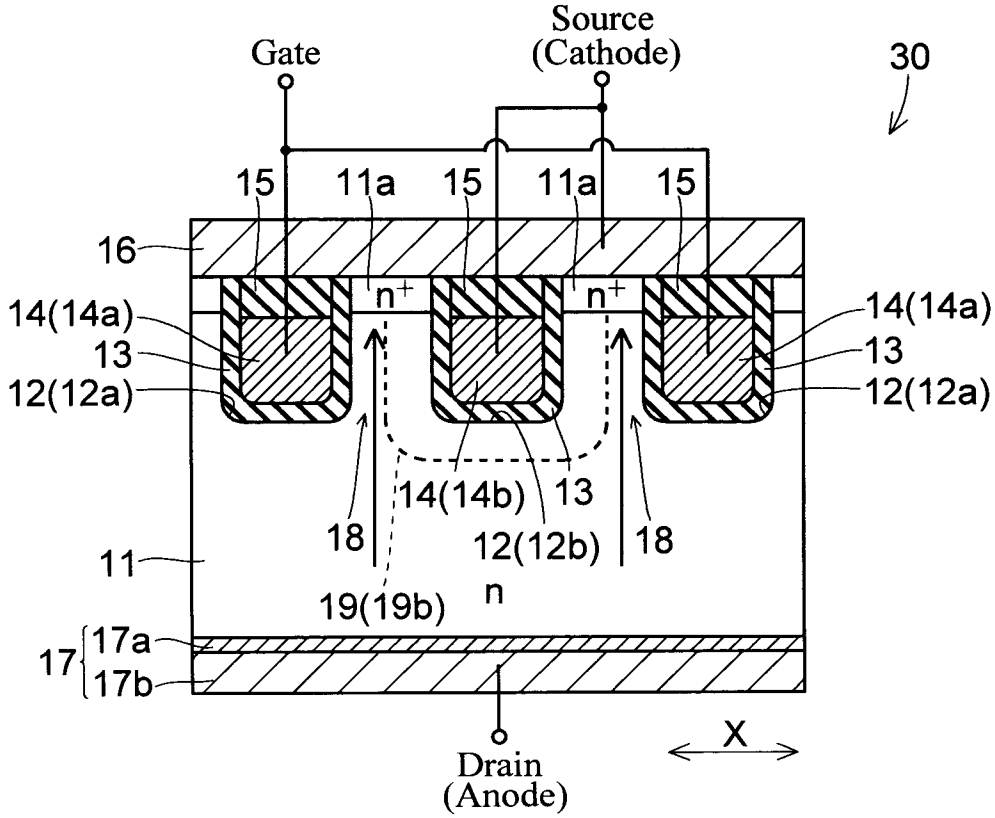
[図11]


Gate
Source
(Cathode)
30
15
11a
15
11a
15
16
n+
n+
14(14a)
13
12(12a)
14(4a)
13
12(12a)
18
18
14(14b)
13
12(12b)
11
n
17
17a
17b
X
Drain
(Anode)

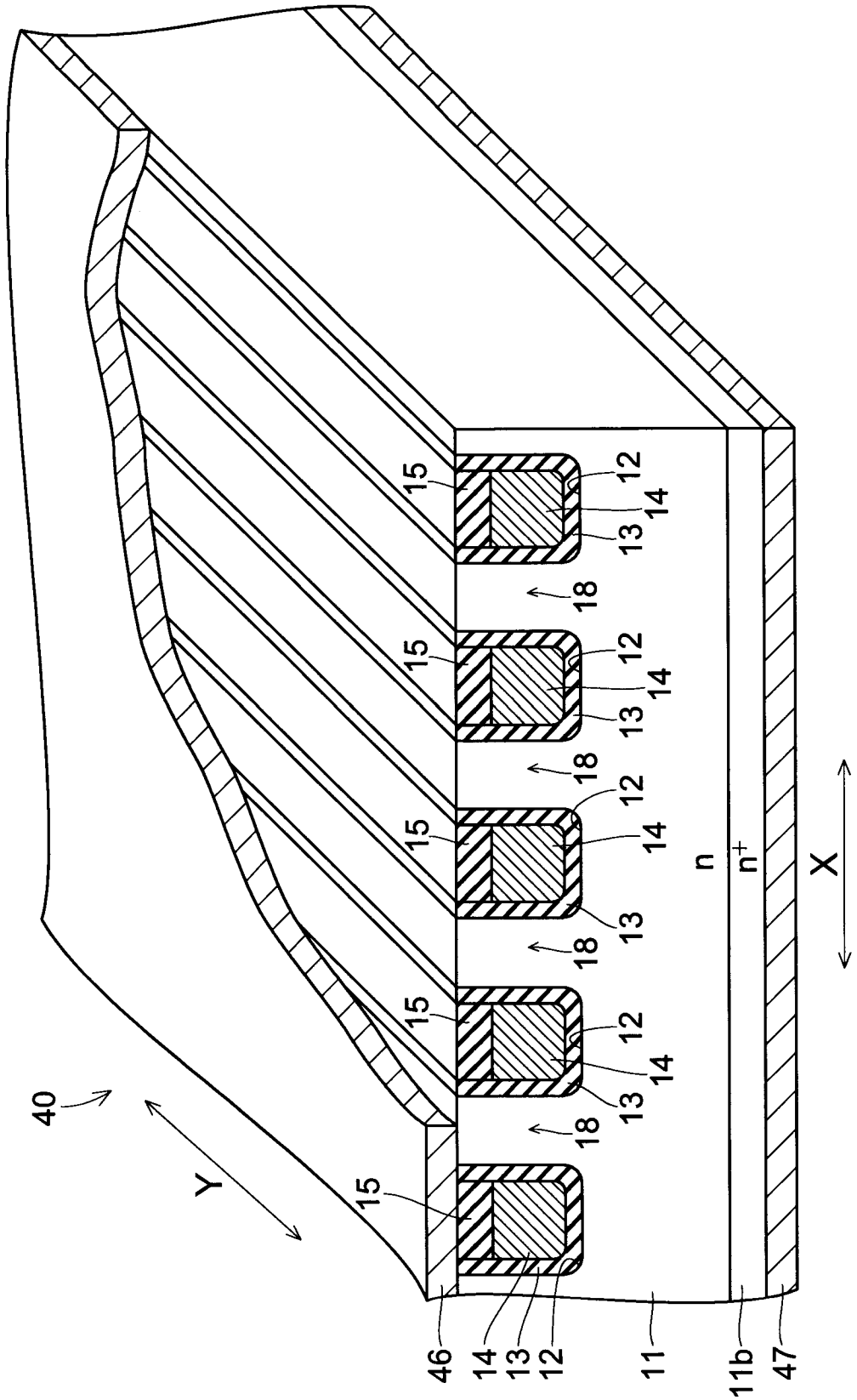
[図12]


Gate
Source
(Cathode)
30
15
11a
15
11a
15
16
n+
n+
14(14a)
13
12(12a)
14(14a)
13
12(12a)
19(19a)
18
14(14b)
13
18
19(19a)
12(12b)
11
19(19b)
n
17
17a
17b
X
Drain
(Anode)

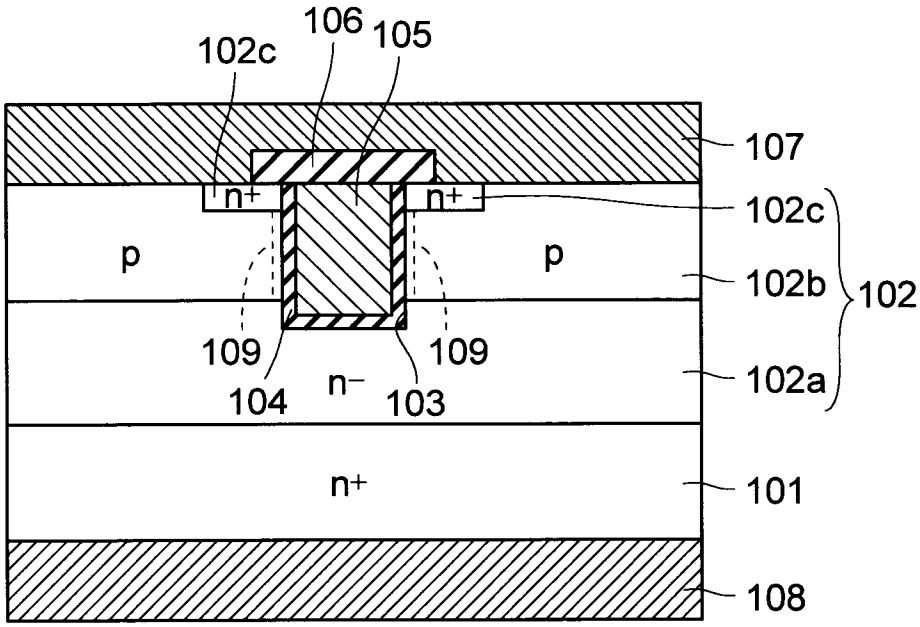
[図13]


Gate
Source
(Cathode)
30
15
11a
15
11a
15
16
n+
n+
14(14a)
13
12(12a)
14(14a)
13
12(12a)
14(14b)
13
18
12(12b)
18
11
19(19b)
n
17
17a
17b
X
Drain
(Anode)

[図14]



[図15]


106
105
102c
107
n+
n+
102c
p
p
102b
102
109
109
104
n−
103
102a
n+
101
108

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/060006

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-229570 A (Nissan Motor Co., Ltd.), 15 August, 2003 (15.08.03), Full text; all drawings (Family: none)	1-5 6-9
X Y	JP 2003-224277 A (Denso Corp.), 08 August, 2003 (08.08.03), Full text; all drawings (Family: none)	1-5 6-9
Y	JP 2005-101551 A (Fuji Electric Holdings Co., Ltd.), 14 April, 2005 (14.04.05), Full text; all drawings & US 2005/0082640 A1	6-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 August, 2008 (14.08.08)	26 August, 2008 (26.08.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/060006

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-356383 A (Shindengen Electric Mfg. Co., Ltd.), 16 December, 2004 (16.12.04), Full text; all drawings (Family: none)	6-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０６０００６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ Ｙ	ＪＰ　２００３－２２９５７０　Ａ（日産自動車株式会社） ２００３．０８．１５，全文，全図（ファミリーなし）	１－５ ６－９
Ｘ Ｙ	ＪＰ　２００３－２２４２７７　Ａ（株式会社デンソー） ２００３．０８．０８，全文，全図（ファミリーなし）	１－５ ６－９
Ｙ	ＪＰ　２００５－１０１５５１　Ａ（富士電機ホールディングス株式会社），２００５．０４．１４，全文，全図 ＆　ＵＳ　２００５／００８２６４０　Ａ１	６－９

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １４．０８．２００８	国際調査報告の発送日 ２６．０８．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｌ　８４２７ 小野田　誠 電話番号　０３－３５８１－１１０１　内線　３４９８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	ＪＰ　２００４－３５６３８３　Ａ（新電元株式会社） ２００４．１２．１６，全文，全図（ファミリーなし）	６－９