



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0052205
(43) 공개일자 2011년05월18일

(51) Int. Cl.

GO1R 31/3183 (2006.01) *GO1R 31/01* (2006.01)

(21) 출원번호 10-2009-0109151

(22) 출원일자 2009년11월12일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

신종신

경기 안양시 동안구 호계3동 현대홈타운2차아파트
223동 2502호

(74) 대리인

송윤호, 오세준, 권혁수

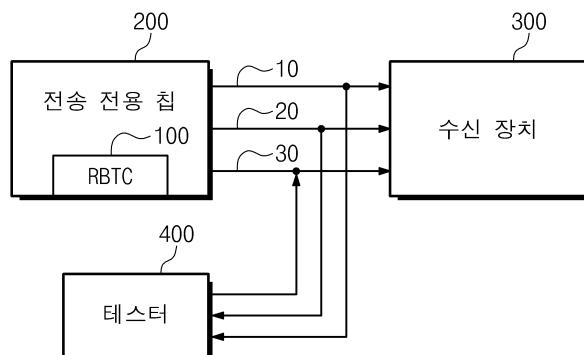
전체 청구항 수 : 총 10 항

(54) 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩 및 그에 따른 외부 루프백 테스트 방법

(57) 요 약

별도의 수신 핀을 구비함이 없이도 외부 루프백 테스트를 수행할 수 있는 전송 전용 집적회로 칩이 개시되어 있다. 그러한 전송 전용 집적회로 칩은, 복수의 채널에 대응하여 설치된 전송 패드들을 통해 데이터를 전송하며, 전송 전용 집적회로 칩에 탑재되는 드라이버들을 구비한다. 또한, 전송 전용 집적회로 칩 내에는 테스트를 위한 수신 패드로서 설정된 상기 전송 패드들 중의 하나를 통해 나머지 전송 패드들 중의 하나를 통해 전송되는 데이터를 외부 루프백 데이터로서 수신하고, 그 수신된 외부 루프백 데이터를 원시 전송 데이터와 서로 비교하는 루프백 테스트 회로가 설치된다. 본 발명의 실시예의 구성에 따르면 전송 전용 집적회로 칩에서도 저렴하게 외부 루프백 테스트가 수행되어진다.

대 표 도 - 도1



특허청구의 범위

청구항 1

복수의 채널에 대응하여 설치된 전송 패드들을 통해 데이터를 전송하며, 전송 전용 집적회로 칩에 탑재되는 드라이버들과;

테스트를 위한 수신 패드로서 설정된 상기 전송 패드들 중의 하나를 통해 나머지 전송 패드들 중의 하나를 통해 전송되는 데이터를 외부 루프백 데이터로서 수신하고, 그 수신된 외부 루프백 데이터를 원시 전송 데이터와 서로 비교하는 루프백 테스트 회로를 구비함을 특징으로 하는 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩.

청구항 2

제1항에 있어서, 상기 루프백 테스트 회로는,

상기 전송 패드들 중의 하나에 연결되며 대응되는 드라이버가 비활성화되는 경우에 인에이블되어 나머지 전송 패드들 중의 하나를 통해 전송되는 데이터를 수신하는 리시브 버퍼와;

상기 리시브 버퍼로부터 출력되는 외부 루프백 데이터를 상기 원시 전송 데이터와 비교하여 테스트 결과신호를 생성하는 모니터링부를 포함함을 특징으로 하는 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩.

청구항 3

제2항에 있어서, 상기 모니터링부는,

상기 전송되는 데이터에 대한 원시 전송 데이터를 생성하기 위한 패턴 발생기와;

상기 외부 루프백 데이터와 상기 원시 전송 데이터를 비교하는 패턴 비교기를 구비함을 특징으로 하는 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩.

청구항 4

제3항에 있어서,

상기 드라이버들의 전단에 병렬 변환기가 설치된 경우에, 상기 모니터링부는,

상기 리시브 버퍼의 출력과 상기 패턴 비교기 간에 연결되는 직렬 변환기와;

상기 직렬 변환기에 스큐 제거된 클럭을 인가하는 디스큐어를 더 구비함을 특징으로 하는 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩.

청구항 5

채널별로 인가되는 원시 병렬 데이터를 변환용 클럭에 응답하여 직렬 데이터로 각기 변환하는 복수의 직렬화기들과;

상기 직렬화기들로부터 각기 출력되는 직렬 데이터를 대응되는 전송 패드들을 통해 출력하며, 전송 전용 집적회로 칩에 탑재되는 드라이버들과;

테스트를 위한 수신 패드로서 설정된 상기 전송 패드들 중의 하나를 통해, 나머지 전송 패드들 중의 하나를 통해 전송되는 직렬 데이터를 외부 루프백 데이터로서 수신하고, 그 수신된 외부 루프백 데이터를 병렬 데이터로 복구한 후 이를 상기 원시 병렬 데이터와 서로 비교하는 루프백 테스트 회로를 구비함을 특징으로 하는 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩.

청구항 6

제5항에 있어서, 상기 루프백 테스트 회로는,

상기 원시 병렬 데이터를 생성하기 위한 패턴 발생기와;

상기 전송 패드들 중의 상기 수신 패드에 연결되며 대응되는 드라이버가 비활성화되는 경우에 인에이블되어 상기 직렬 데이터를 수신하는 리시브 버퍼와;

상기 리시브 버퍼로부터 출력되는 외부 루프백 데이터를 인가되는 디스크ью 클럭에 응답하여 병렬 데이터로 복구하는 병렬화기와;

상기 병렬화기에 상기 디스크ью 클럭을 인가하는 디스크ью어와;

상기 병렬화기로부터 출력되는 병렬 데이터와 상기 원시 전송 데이터를 비교하는 패턴 비교기를 포함함을 특징으로 하는 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩.

청구항 7

제6항에 있어서, 상기 수신 패드로서 설정된 상기 전송 패드는 채널들 중에서 가장 낮은 데이터 전송속도를 갖는 채널과 연결되는 패드임을 특징으로 하는 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩.

청구항 8

제7항에 있어서, 상기 디스크ью어는 상기 디스크ью 클럭을 생성시 상기 직렬화기들에 인가되는 변환용 클럭을 이용함을 특징으로 하는 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩.

청구항 9

복수의 채널에 대응하여 설치된 전송 패드들을 통해 데이터를 전송하는 드라이버들을 갖는 전송 전용 집적회로 칩에서의 외부 루프백 테스트 방법에 있어서:

상기 전송되는 데이터를 루프백 하기 위해 상기 전송 패드들 중의 하나에 연결되는 리시브 버퍼를 제공하는 단계와;

상기 리시브 버퍼로부터 출력되는 외부 루프백 데이터를 상기 전송되는 데이터의 원시 전송 데이터와 비교하여 루프백 테스트 결과를 얻는 단계를 구비함을 특징으로 하는 방법.

청구항 10

제9항에 있어서, 상기 리시브 버퍼에 연결된 상기 전송 패드는 타의 전송 패드들에 비해 상대적으로 낮은 전송 속도로 데이터를 전송하는 패드임을 특징으로 하는 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 집적회로 칩의 동작 테스트에 관한 것으로, 보다 상세하게는, 전송 전용 집적회로 칩에서의 외부 루프백 테스트에 관한 것이다.

배경 기술

- [0002] 최근에, 트랜시버나 트랜스미터 기능을 갖는 반도체 집적회로들의 동작 주파수는 고속 멀티미디어 시스템의 요구에 따라 주목할만하게 증가되어왔다. 그러한 반도체 집적회로들은 칩의 동작 퍼포먼스 테스팅을 위해 제품 출하전에 루프백 테스트 하에 놓여질 수 있다.
- [0003] 시리얼 인터페이스(serial interface)에서의 PHY(Physical layer) IP(Intellectual Property)를 검증하는 가장 효과적인 테스트 방법으로서 알려져 있는 루프백 테스트는, 내부 루프백 테스트(Internal loopback test)와 외부 루프백 테스트(External loopback test)로 대별될 수 있다.
- [0004] SATA나 PCIe등 TX와 RX가 모두 있는 트랜시버(transceiver) PHY에서는 외부 루프백(external loopback)이 앗스피드(at speed)에서 자연스레 가능하나 HDMI TX나 LVDS TX 등과 같이 TX만 존재하는 PHY에서는 내보낸 신호를 받아들일 수신 핀(pin)이 없으므로 앗스피드(at speed)에서의 외부 루프백(external loopback)이 실질적으로 불가능하다.
- [0005] TX만 있는 PHY의 경우, 즉 전송 전용 집적회로 칩에서 내부 루프백 (Internal loopback)을 행하면, 칩 밖으로 신호가 나가지 않고 프리 드라이버(pre driver)단을 기점으로 하여 루프백이 수행된다. 따라서 전송 패드와 연결되는 최종단 드라이버들에 대한 AC 특성 테스트는 수행되지 못한다.
- [0006] 그러므로, 전송 전용 집적회로 칩에서 외부 루프백 테스트를 수행하기 위해서는 별도의 수신용 핀과 테스트를 위한 독립적인 RX 부를 칩내에 설계하거나 혹은 고가의 고속 테스트(high-speed test)장비를 이용하여 테스트를 행하는 방법이 있어왔다. 그러나, 상기의 방법은 집적회로 칩의 면적 증가 및 제조 코스트 업을 야기한다. 또한, 테스트 비용 부담도 높아진다.
- [0007] 또 다른 방법으로서는 골든 RX(golden RX)를 테스터의 테스트 보드(test board)상에 삽입하여 외부 루프백 테스트를 수행하는 방법이 있지만, 테스트 보드가 복잡해지고, 골든 RX를 설정하고 관리하는 데 따른 비용이 소요된다. 또한, 골든 RX의 질(quality)에 따라 오버 킬이나 미션별 이슈가 발생될 수 있으므로, 충분한 레벨의 제어능력(controllability)을 갖춘 골든 RX가 요구된다. 또한, 골든 RX를 이용한 테스트의 경우에 테스트 셋업이 상대적으로 복잡해져 역시 테스트 비용이 증가된다.
- [0008] 따라서, 전송 전용 칩에서 외부 루프백 테스트를 저비용으로 수행할 수 있는 보다 개선된 테스트 기술이 요망된다.

발명의 내용

해결 하고자하는 과제

- [0009] 본 발명이 해결하고자 하는 기술적 과제는, 칩에 별도의 수신 핀을 구비함이 없이도 외부 루프백 테스트를 수행할 수 있는 전송 전용 집적회로 칩 및 그에 따른 외부 루프백 테스트 방법을 제공함에 있다.
- [0010] 본 발명이 해결하고자 하는 다른 기술적 과제는, 칩 내부에 외부 루프백을 위해 필요한 회로를 최소화 또는 줄이면서도 외부 루프백 테스트를 수행할 수 있는 전송 전용 집적회로 칩 및 그에 따른 외부 루프백 테스트 방법을 제공함에 있다.
- [0011] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 전송 전용의 직렬 인터페이스 IP에서의 외부 루프백 테스트 방법을 제공함에 있다.
- [0012] 본 발명이 해결하고자 하는 또 다른 기술적 과제는, 고속 테스트 장비에의 의존 없이도 앗스피드로 전송 전용 집적회로 칩에 대한 외부 루프백 테스트를 행할 수 있는 외부 루프백 테스트 방법 및 외부 루프백 테스트 기능을 갖는 전송 전용 집적회로 칩을 제공함에 있다.

과제 해결수단

- [0013] 상기 기술적 과제를 달성하기 위하여, 본 발명의 실시 예의 일 양상에 따른 전송 전용 집적회로 칩은, 복수의 채널에 대응하여 설치된 전송 패드들을 통해 데이터를 전송하며, 전송 전용 집적회로 칩에 탑재되는 드

라이버들과;

- [0015] 테스트를 위한 수신 패드로서 설정된 상기 전송 패드들 중의 하나를 통해 나머지 전송 패드들 중의 하나를 통해 전송되는 데이터를 외부 루프백 데이터로서 수신하고, 그 수신된 외부 루프백 데이터를 원시 전송 데이터와 서로 비교하는 루프백 테스트 회로를 구비한다.
- [0016] 본 발명의 실시 예에서, 상기 루프백 테스트 회로는,
- [0017] 상기 전송 패드들 중의 하나에 연결되며 대응되는 드라이버가 비활성화되는 경우에 인에이블되어 나머지 전송 패드들 중의 하나를 통해 전송되는 데이터를 수신하는 리시브 버퍼와, 상기 리시브 버퍼로부터 출력되는 외부 루프백 데이터를 상기 원시 전송 데이터와 비교하여 테스트 결과신호를 생성하는 모니터링부를 포함할 수 있다.
- [0018] 또한, 본 발명의 실시 예에서 상기 모니터링부는,
- [0019] 상기 전송되는 데이터에 대한 원시 전송 데이터를 생성하기 위한 패턴 발생기와, 상기 외부 루프백 데이터와 상기 원시 전송 데이터를 비교하는 패턴 비교기를 구비할 수 있다.
- [0020] 본 발명의 실시 예에서, 상기 드라이버들의 전단에 병렬 변환기가 설치된 경우에, 상기 모니터링부는,
- [0021] 상기 리시브 버퍼의 출력과 상기 패턴 비교기 간에 연결되는 직렬 변환기와, 상기 직렬 변환기에 스큐 제거된 클럭을 인가하는 디스큐어를 더 구비할 수 있다.
- [0022] 본 발명의 실시 예의 다른 양상에 따른 전송 전용 접적회로 칩은,
- [0023] 채널별로 인가되는 원시 병렬 데이터를 변환용 클럭에 응답하여 직렬 데이터로 각기 변환하는 복수의 직렬화기들과;
- [0024] 상기 직렬화기들로부터 각기 출력되는 직렬 데이터를 대응되는 전송 패드들을 통해 출력하며, 전송 전용 접적회로 칩에 탑재되는 드라이버들과;
- [0025] 테스트를 위한 수신 패드로서 설정된 상기 전송 패드들 중의 하나를 통해, 나머지 전송 패드들 중의 하나를 통해 전송되는 직렬 데이터를 외부 루프백 데이터로서 수신하고, 그 수신된 외부 루프백 데이터를 병렬 데이터로 복구한 후 이를 상기 원시 병렬 데이터와 서로 비교하는 루프백 테스트 회로를 구비한다.
- [0026] 본 발명의 실시 예에서, 상기 루프백 테스트 회로는,
- [0027] 상기 원시 병렬 데이터를 생성하기 위한 패턴 발생기와;
- [0028] 상기 전송 패드들 중의 상기 수신 패드에 연결되며 대응되는 드라이버가 비활성화되는 경우에 인에이블되어 상기 직렬 데이터를 수신하는 리시브 버퍼와;
- [0029] 상기 리시브 버퍼로부터 출력되는 외부 루프백 데이터를 인가되는 디스큐 클럭에 응답하여 병렬 데이터로 복구하는 병렬화기와;
- [0030] 상기 병렬화기에 상기 디스큐 클럭을 인가하는 디스큐어와;
- [0031] 상기 병렬화기로부터 출력되는 병렬 데이터와 상기 원시 전송 데이터를 비교하는 패턴 비교기를 포함할 수 있다.
- [0032] 본 발명의 실시 예에서, 상기 수신 패드로서 설정된 상기 전송 패드는 채널들 중에서 가장 낮은 데이터 전송속도를 갖는 채널과 연결되는 패드일 수 있다.
- [0033] 상기 디스큐어는 상기 디스큐 클럭을 생성시 상기 직렬화기들에 인가되는 변환용 클럭을 이용할 수 있다.
- [0034] 본 발명의 실시 예의 또 다른 양상에 따라, 복수의 채널에 대응하여 설치된 전송 패드들을 통해 데이터를 전송하는 드라이버들을 갖는 전송 전용 접적회로 칩에서의 외부 루프백 테스트 방법은,
- [0035] 상기 전송되는 데이터를 루프백 하기 위해 상기 전송 패드들 중의 하나에 연결되는 리시브 버퍼를 제공하는 단계와;
- [0036] 상기 리시브 버퍼로부터 출력되는 외부 루프백 데이터를 상기 전송되는 데이터의 원시 전송 데이터와 비교하여 루프백 테스트 결과를 얻는 단계를 구비한다.
- [0037] 본 발명의 실시 예에서, 상기 전송되는 데이터가 직렬화기를 통해 출력되는 직렬 데이터인 경우에 상기 외부 루

프백 데이터는 상기 직렬화기에 인가되는 변환 클럭을 이용하여 병렬 데이터로 복구된 후에 비교될 수 있다.

[0038] 본 발명의 실시 예에서, 상기 병렬 데이터의 복구 시에 상기 변환 클럭은 스큐 제거를 위해 디스크ью어의 복수의 딜레이 템을 통해 복수의 딜레이 클럭으로서 생성될 수 있다.

[0039] 또한, 상기 리시브 버퍼가 연결된 전송 패드의 채널에 대한 데이터를 루프백 테스트할 경우에 상기 데이터가 상기 리시브 버퍼에 자체적으로 루프백 되도록 하기 위해 대응되는 드라이버를 활성화시키거나, 상기 데이터가 상기 리시브 버퍼와는 다른 리시브 버퍼로 루프백 되도록 할 수 있다.

[0040] 본 발명의 실시 예에서, 집적회로 칩이 복수의 전송 채널을 가지는 경우에 상기 루프백 테스트는 상기 복수의 채널 모두에 대하여 순차로 하나씩 실행될 수 있다.

[0041] 또한, 상기 원시 전송 데이터는 패턴 발생기에 의해 생성될 수 있으며, 상기 전송 전용 집적회로 칩은 HDMI TX PHY 또는 LVDS TX PHY 일 수 있다.

[0042] 본 발명의 실시 예에서, 상기 채널은 직렬 데이터에 대한 차동 신호를 전송하기 위해 페어 라인을 가질 수 있으며, 상기 병렬 데이터의 복구 시에 상기 변환 클럭을 일정 타임만큼 누적적으로 위상 쉬프트한 멀티 위상 클럭들을 복구용 클럭으로서 사용할 수 있다.

효과

[0043] 본 발명의 실시예적 구성들에 따르면, 전송 전용 집적회로 칩에서도 저렴하게 외부 루프백 테스트를 수행할 수 있다. 또한, 고가의 장비를 사용함이 없이도 칩 내부의 드라이버들을 포함한 모든 PHY의 성능을 액스피드(at speed)로 테스트 할 수 있다. 더구나, 외부 루프백 테스트의 경우에 전송 전용 집적회로 칩에 채널 데이터의 수신을 위한 부가적인 핀(pin)이 구비될 필요가 없으며, 루프백되는 데이터를 복구하는 클럭을 생성하기 위해 클럭 데이터 리커버리 회로 등과 같은 복잡한 회로가 칩 내부에 채용될 필요가 없다.

발명의 실시를 위한 구체적인 내용

[0044] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시 예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는, 이해의 편의를 제공할 의도 이외에는 다른 의도 없이, 개시된 내용이 보다 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0045] 본 명세서에서, 어떤 소자 또는 라인들이 어떤 곳에 연결된다 라고 언급되는 경우에 그것은 직접적으로 또는 간접적으로 연결될 수 있다는 것을 의미한다. 또한, 도면들에 있어서, 회로 블록, 소자 및 라인들의 사이즈는 기술적 내용의 효과적인 설명을 위해 과장되어 나타날 수 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함될 수 있음을 유의하라.

[0046] 또한, 각 도면에서 제시된 동일 또는 유사한 참조 부호는 동일 또는 유사한 구성 요소를 가급적 나타내고 있다.

[0047] 도 1은 본 발명의 실시예에 따른 전송 전용 집적회로 칩의 와이어링 관계를 보여주는 블록도이다.

[0048] 도면을 참조하면, 데이터 전송을 위한 드라이버들이 탑재된 전송 전용 집적회로 칩(200)에는 본 발명의 실시 예에 따른 루프백 테스트 회로(100)가 설치됨을 알 수 있다. 상기 전송 전용 집적회로 칩(200)의 전송 핀들로부터 연장된 전송 채널의 라인들(10, 20, 30)은 테스트가 아닌 동작 모드에서 수신장치(300)에 접속될 수 있다. 상기 라인들(10, 20, 30)중에서 라인(30)은 외부 루프백 테스트 시에 수신 라인으로서 설정될 수 있다. 따라서, 상기 라인(30)은 테스터(400) 또는 간단한 테스트 보오드의 루프백 출력단과 연결되고, 상기 라인들(10, 20)은 테스터(400) 또는 간단한 테스트 보오드의 루프백 입력단들과 연결된다.

[0049] 외부 루프백 테스트 시에 상기 수신장치(300)는 전송 전용 집적회로 칩(200)에 연결되지 않은 상태이다. 외부 루프백 테스트 시에 수신 라인으로서 설정된 상기 라인(30)에 연결된 드라이버는 비활성화된 상태에서 상기 드라이버와 병렬로 연결된 리시브 버퍼가 인에이블된다. 그러므로, 도 1과 같이 외부 루프백 테스트를 행할 경우에 전송 전용 집적회로 칩에 채널 데이터의 수신을 위한 부가적인 핀(pin)이 구비될 필요가 없다.

- [0050] 도 2는 도 1중 전송 전용 집적회로 칩의 구체적 구현 예를 보여주는 상세 블록도이다.
- [0051] 도 2를 참조하면, 전송 전용 집적회로 칩(200)이 3개의 데이터 채널(data channel)과 1개의 클럭 채널을 가지는 경우에 대한 예가 나타나 있다. 여기서, 제1 데이터 채널은 전송라인 페어(L10,L11)에 대응되고, 제2 데이터 채널은 전송라인 페어(L12,L13)에 대응되며, 제3 데이터 채널은 전송라인 페어(L14,L15)에 대응된다.
- [0052] 또한, 클럭 채널은 전송 패드 페어(P1,P2)를 통해 형성된다. 각 전송 채널이 페어로 되어 있는 이유는 채널 데이터나 클럭을 차동신호의 형태로서 전송하여 전송 신뢰성을 높이기 위해서이다. 상기 클럭 채널을 통해서는 분주되어진 고속 클럭(high speed clock)이 전송된다. 이 경우에 클럭 채널을 통해 전송되는 클럭의 전송속도는 예를 들어, 데이터 전송 레이트의 1/10로 설정될 수 있다. 따라서, 디바이더(208)는 상기 고속 클럭(HS-CLK)을 분주하여 고속 클럭(HS-CLK)의 1/10 주파수를 갖는 전송용 클럭을 생성한다.
- [0053] 도 2의 전송 전용 집적회로 칩(200)에는 복수의 데이터 전송 채널들에 대응하여 설치된 전송 패드 페어들(P10,P11,P20,P21,P30,P31)을 통해 데이터를 전송하는 드라이버들(210,212,214)과, 단일의 클럭 전송 채널에 대응하여 설치된 전송 패드 페어(P1,P2)을 통해 클럭을 전송하는 드라이버(216)가 탑재된다.
- [0054] 도 1의 루프백 테스트 회로(100)는 테스트를 위한 수신 패드로서 설정된 상기 전송 패드 페어들 중의 하나의 페드 페어(P1,P2)를 통해, 나머지 전송 패드 페어들(P10,P11,P20,P21,P30,P31)중의 하나의 페어를 통해 전송되는 데이터를 외부 루프백 데이터로서 수신하고, 그 수신된 외부 루프백 데이터를 원시 전송 데이터와 서로 비교하는 역할을 한다.
- [0055] 결국, 도 1의 루프백 테스트 회로(100)는 도 2에서, 리시브 버퍼(104)와 모니터링부를 포함한다. 상기 모니터링부는, 상기 리시브 버퍼(104)로부터 출력되는 외부 루프백 데이터를 원시(original) 전송 데이터와 비교하여 테스트 결과신호를 생성하기 위해, 도 2에서 보여지는 바와 같은 패턴 발생기(102), 패턴 비교기(110), 디스크ью어(deskewer:108), 및 병렬화기(parallelizer:106)를 포함할 수 있다.
- [0056] 상기 리시브 버퍼(104)는, 상기 전송 패드 페어들(P1,P2,P10,P11,P20,P21,P30,P31)중의 하나의 페어에 연결될 수 있으며, 도 2에서는 클럭 패드 페어(P1,P2)에 일 예로서 연결되어 있다. 상기 리시브 버퍼(104)는 대응되는 드라이버(216)가 비활성화되는 경우에 인에이블되어 클럭 패드 페어(P1,P2)를 통해 루프백되는 데이터(제1,2,3 데이터 채널 중에서 선택된 데이터)를 수신한다. 상기 리시브 버퍼(104)는 TX 클럭 패드 페어(P1,P2)를 통해 채널들 중의 한 채널을 통해 외부로 전송되는 데이터를 수신할 수 있으므로, 칩의 외부에는 별도의 수신 핀이 구비될 필요가 없어진다. 이에 따라, 외부 루프백이 저비용으로 달성된다.
- [0057] 복수의 채널들 중 하나를 선택하기 위해 테스터(400)에는 선택기(402)가 마련될 수 있다. 상기 선택기(402)의 채널 선택(channel selection) 신호(CSE)는 상기 패턴 발생기(102)의 출력에 연결된 선택기(202)에 인가되는 채널 선택신호(CSE)와 동일할 수 있다. 즉, 테스트 시에 패턴 발생기(pattern generator:102)에서 생성된 데이터가 제1 데이터 채널을 통해 전송된다면 그에 대응하는 외부 루프백을 수행하기 위해서는 상기 선택기(402)도 제1 데이터 채널을 선택하여야 하는 것이다. 도 2의 경우에 상기 선택기(402)의 출력 라인들에 각기 연결된 저항들(R1,R2)은 터미네이션 저항들이다. 예를 들어, HDMI TX PHY인 경우에 3.3V 전압에 대해 약 50 옴(ohm)의 터미네이션(termination)이 필요하므로, 상기 저항들(R1,R2)이 그에 따른 터미네이션 기능을 수행하도록 설치된다.
- [0058] 도 2에서, 상기 클럭 패드 페어(P1,P2)에 상기 리시브 버퍼(104)를 연결한 이유는 오버헤드를 낮추고 테스트를 용이하게 하기 위해서이다. 클럭 채널은 데이터 채널에 비해 낮은 전송 주파수를 가지며, 전송 아이템도 데이터가 아니라 클럭 패턴이다.
- [0059] 상기 클럭 패드 페어(P1,P2)를 수신 패드로서 이용하면, 상대적으로 테스트 속도가 느린 테스트 장비(ATE)를 사용하더라도 디렉트 테스트(direct test)가 가능하게 된다. 즉, 클럭 채널을 테스트할 경우에 외부 루프백 테스트를 하지 않고 드라이버(216)에서 출력된 전송 클럭을 리시브 버퍼(104)로 써 받아 루프백 테스트를 행하는 디렉트 테스트가 이루어질 수 있는 데, 이 경우에 전송 클럭의 속도는 전송 데이터에 비해 느리므로 저속의 테스트 장비로써도 테스트가 가능하게 된다.
- [0060] 상기 데이터 드라이버들(210,212,214)중 하나에서 전송되는 데이터가 상기 리시브 버퍼(102)에 루프백 되어질 때, 상기 클럭 드라이버(216)는 디세이블 신호(DIS)에 따라 오프된다. 상기 클럭 드라이버(216)는 정상동작에서 상기 리시브 버퍼(104)의 설치에 기인하여 출력단의 기생 커패시턴스가 약간 증가될 수 있지만, 데이터 채널에 비해 상대적으로 낮은 전송속도를 갖는 클럭을 구동하기 때문에, 드라이버 성능의 저하는 크게 문제시되지 않는

다. 이와 같이, TX 패드(또는 핀)페어 들 중에서 적어도 하나를 RX 패드 패드(또는 핀)로서 설정할 경우에, 가장 느린 전송 속도를 갖는 채널에 대응되는 TX 패드(또는 핀)가 수신용으로서 설정될 수 있다.

[0061] 본 실시 예의 경우에는 수신용 패드(또는 핀)로서 클럭 패드 패드(P1,P2)가 설정되었으나, 필요에 따라 데이터 채널 중의 임의의 패드 패드가 수신용 패드로서 설정될 수 있다. 또한, 클럭 채널에 대해서도 외부 루프백 테스트를 행하기 위해 다른 채널을 수신용 채널로서 활용할 수 있다.

[0062] 상기 병렬화기(parallelizer:106)는 루프백 되어진 직렬 데이터를 병렬 데이터로 변환하기 위한 직렬 대 병렬 변환기(serial to parallel converter)이다. 상기 병렬화기(106)에 인가되는 변환 클럭(DHS_CLK)은 스큐를 제거하는 상기 디스큐어(108)로부터 얻어진다. 여기서, 상기 변환 클럭(DHS_CLK)은 별도의 클럭생성회로에서 생성되는 것이 아니라, 칩(200)의 내부에서 전송 데이터를 직렬화(serialize)할 때 사용되는 고속 클럭(high speed clock:HS_CLK)이 상기 변환 클럭의 생성을 위해 그대로 이용된다. 따라서, 루프백 데이터를 원래의 데이터로 복원하는데 필요한 복구 클럭을 생성하는 클럭 데이터 리커버리(clock data recovery)회로가 필요 없게 되어 저렴한 외부 루프백 테스트가 구현된다.

[0063] 따라서, 채널을 통해 전송되는 데이터가 직렬화기들(204,205,206)을 통해 출력되는 직렬 데이터인 경우에, 상기 병렬화기(SP:106)는 상기 변환 클럭(DHS_CLK)에 응답하여 직렬 루프백 데이터를 병렬로 변환한 병렬 복구 데이터를 출력한다. 여기서, 상기 변환 클럭(DHS_CLK)을 만드는데 이용된 클럭은, 칩 밖으로 나가지 않고 실리콘(silicon) 칩 내부에서 라우팅(routing)되어진 상기 고속 클럭(HS_CLK)임을 주목하라.

[0064] 병렬화기(106)에 루프백된 데이터는, 드라이버(214)를 통해 출력된 후 외부 케이블(cable)이나 PCB를 거친 지연된 데이터이므로, 상기 고속 클럭(HS_CLK)의 위상과는 스큐(skew)가 생기게 된다. 따라서, 스큐 제거된 변환 클럭((DHS_CLK)을 얻는 것이 필요한데, 이를 위해 디스큐어(108)가 마련된다.

[0065] 상기 디스큐어(108)는 스큐 제거된 상기 변환 클럭(DHS_CLK)을 생성하기 위해 도 3에서 보여지는 바와 같이 복수의 딜레이 소자(D1,D2,D3,...,Dn)과, 선택기(SE1)를 포함하여 구성될 수 있다.

[0066] 도 3을 참조하면, 도 2중 디스큐어의 구현 예시가 나타나 있다.

[0067] 도 3에서, 딜레이 소자들(D1,D2,D3,...,Dn)은 클럭 지연(clock delay)을 위해 딜레이 버퍼나 인버터 딜레이 체인으로 구현될 수 있고, 선택기(SE1)는 멀티플렉서로 구현될 수 있다.

[0068] 선택기(SE1)에 인가되는 딜레이 선택신호(DSEL)에 의해 텁 라인들(L1,L2,L3,Ln)의 출력들 중 하나가 상기 변환 클럭(DHS_CLK)으로서 선택될 수 있다. 딜레이 선택신호(DSEL)는 패턴 비교기(110)의 비교 결과에 따라 순차로 변경될 수 있다. 즉, 예를 들어, 임의의 텁 라인(L1)이 선택된 경우에 생성된 변환 클럭(DHS_CLK)으로써 복원된 복구 데이터(RDATA)가 상기 원시 병렬 데이터와 불일치 되었다면, 텁 라인(L2)을 선택하는 딜레이 선택신호(DSEL)가 상기 선택기(SE1)에 인가된다. 텁 라인들에 대한 선택동작은 마지막 텁 라인(Ln)이 선택될 때 까지 지속된다. 만약, 마지막 텁 라인(Ln)을 선택하여도 패턴 매칭(pattern matching)이 이루어 지지 않은 경우에는, 테스트 결과는 페일(FAIL)로서 처리된다. 한편, 어느 하나의 텁 라인을 선택한 경우에 패턴 매칭이 되었다면, 테스트 결과는 패스(PASS)로서 처리된다.

[0069] 상기 딜레이 소자들(D1,D2,D3,...,Dn)의 딜레이 간격은 스큐를 보상할 수 있도록 적절히 설정되며, 필요에 따라 딜레이 소자들의 개수는 가감될 수 있다. 도 3과 같이 구성되는 디스큐어(108)를 채용하면 복잡한 회로로서 구성되는 디스큐어(deskewer) 사용하지 않고서도 상기 고속 클럭(HS_CLK)과 외부 루프백된 데이터 사이의 스큐를 효율적으로 제거할 수 있다.

[0070] 도 4는 도 2중 병렬화기에 사용가능한 멀티 위상 클럭들의 파형도이다. 가로축은 시간이고 세로축은 전압 파형 또는 전류 파형을 나타낸다. 제1 멀티 위상 클럭(PC1)과 제2 멀티 위상 클럭(PC2)간에는 딜레이(D)만큼의 위상 차가 존재한다. 한편, 제3 멀티 위상 클럭(PC3)은 제1 멀티 위상 클럭(PC1)에 비해 딜레이(2D)만큼 지연된 위상을 갖는다.

[0071] 도 3과 같이 딜레이 소자들(D1,D2,D3,...,Dn)을 이용하여 디스큐잉을 하는 경우에 딜레이 소자들(D1,D2,D3,...,Dn)의 자체적인 딜레이 편차가 있을 수 있다. 따라서, 도 4에서 보여지는 바와 같이 제1 내지 제n 멀티 위상 클럭들을 이용하여 디스큐잉을 행하는 경우에 디스큐잉 정확도가 개선될 수 있다.

[0072] 다시 도 2로 돌아가서, 3개의 데이터 채널과 1개의 클럭 채널을 가지는 전송 전용 칩에서의 외부 루프백 테스트를 설명한다.

- [0073] 클럭 채널의 패드 페어(P1,P2)를 수신용 패드 페어로서 정한 경우에 테스터(400)의 선택기(402)가 도 2와 같이 연결되고, 클럭 드라이버(216)는 비활성화된다. 테스트가 시작되면 패턴 발생기(102)에서 테스트를 위한 원시 전송 데이터가 발생된다. 예를 들어, 채널 선택 신호(CSE)가 제1 데이터 채널을 선택하기 위한 신호로서 인가된 경우에, 선택기(202)와 테스터(400)의 선택기(402)는 제1 데이터 채널을 동시에 선택한다. 이에 따라, 제1 병렬 변환기(206)에 상기 원시 전송 데이터가 N+1개의 병렬 데이터(D0)로서 인가된다. 직렬화기인 상기 제1 병렬 변환기(206)는 상기 고속 클럭(HS_CLK)에 따라 상기 원시 전송 데이터를 직렬 데이터로 변환한다. 데이터 드라이버(214)는 상기 직렬 데이터를 구동하여 패드 페어(P10,P11)로 출력한다. 상기 패드 페어(P10,P11)를 통해 출력된 전송 데이터는 테스터(400)의 선택기(402)를 통해 상기 클럭 패드 페어(P1,P2)로 루프백 된다. 이 경우에 전송 데이터는 칩의 패드(핀)를 통해 외부로 전송된 후 퍼드백되는 것이므로 내부 루프백 데이터가 아닌 외부 루프백 데이터가 된다. 상기 전송 데이터는 상기 리시브 버퍼(104)에 입력되어 버퍼링된 후 직병렬 변환기로서 기능하는 병렬화기(106)에 외부 루프백 데이터로서 인가된다. 상기 병렬화기(106)는 디스큐어(108)에 의해 스큐 제거된 변환 클럭(DHS_CLK)에 응답하여 상기 전송 데이터를 병렬 데이터로 변환한다. 상기 병렬화기(106)에 의해 변환된 병렬 데이터는 복원된 복구 데이터(RDATA)가 된다. 패턴 비교기(110)는 외부 루프백 테스트 결과를 얻기 위해, 상기 복구 데이터(RDATA)와 상기 원시 전송 데이터가 서로 일치되는지를 비교한다.
- [0074] 상기 패턴 비교기(110)의 테스트 결과가 폐일이면, 디스큐어(108)의 선택기(SE1)에 인가되는 선택신호(DSEL)가 도 4의 과형 PC2에 대응되는 클럭을 출력하도록 인가된다. 상기 병렬화기(106)는 상기 과형 PC2에 대응되는 클럭과 같은 변환 클럭(DHS_CLK)에 응답하여 상기 전송 데이터를 병렬 데이터로 변환한다. 상기 병렬화기(106)로부터 출력된 복구 데이터(RDATA)는 상기 패턴 비교기(110)로 인가되어 다시 상기 원시 전송 데이터와 비교된다. 또 다시 테스트 결과가 폐일이면, 디스큐어(108)의 선택기(SE1)에 인가되는 선택신호(DSEL)가 도 4의 과형 PC3에 대응되는 클럭을 출력하도록 인가된다. 따라서, 상기 병렬화기(106)는 상기 과형 PC3에 대응되는 클럭과 같은 변환 클럭(DHS_CLK)에 응답하여 상기 전송 데이터를 병렬 데이터로 변환한다. 상기 병렬화기(106)로부터 출력된 복구 데이터(RDATA)는 상기 패턴 비교기(110)로 인가되어 또다시 상기 원시 전송 데이터와 비교된다. 테스트 결과가 계속적으로 폐일이면, 비교 동작은 도 4의 과형 PCn에 대응되는 클럭이 변환 클럭(DHS_CLK)으로 출력될 때 반복된다. 상기 과형 PCn에 대응되는 클럭을 변환 클럭(DHS_CLK)으로 사용하여 얻은 복구 데이터(RDATA)마저도 상기 원시 전송 데이터와 일치되지 않으면, 제1 데이터 채널에 대한 외부 루프백 테스트 결과는 폐일로서 판명된다.
- [0075] 상기 제1 데이터 채널에 대한 외부 루프백 테스트 결과가 폐일이거나, 상기 과형들 PC1-PCn 중의 하나에 대응되는 클럭에 의해 변환된 복구 데이터(RDATA)가 원시 전송 데이터와 일치되어 테스트 결과가 패스인 경우에, 상기 제1 데이터 채널에 대한 외부 루프백 테스트는 종료된다.
- [0076] 이후에, 제2 데이터 채널에 대한 외부 루프백 테스트를 수행하기 위해, 선택기(202)와 테스터(400)의 선택기(402)는 제2 데이터 채널을 동시에 선택한다. 이에 따라, 제2 병렬 변환기(205)에 상기 원시 전송 데이터가 N+1개의 병렬 데이터(D0)로서 인가된다. 직렬화기인 상기 제2 병렬 변환기(205)는 상기 고속 클럭(HS_CLK)에 따라 상기 원시 전송 데이터를 직렬 데이터로 변환한다. 데이터 드라이버(212)는 상기 직렬 데이터를 구동하여 패드 페어(P20,P21)로 출력한다. 상기 패드 페어(P20,P21)를 통해 출력된 전송 데이터는 테스터(400)의 선택기(402)를 통해 상기 클럭 패드 페어(P1,P2)로 루프백 된다. 마찬가지로, 상기 전송 데이터는 상기 리시브 버퍼(104)에 입력되어 버퍼링된 후 직병렬 변환기로서 기능하는 병렬화기(106)에 외부 루프백 데이터로서 인가된다. 상기 병렬화기(106)는 디스큐어(108)에 의해 스큐 제거된 변환 클럭(DHS_CLK)에 응답하여 상기 전송 데이터를 병렬 데이터로 변환한다. 패턴 비교기(110)는 제2 데이터 채널에 대한 외부 루프백 테스트 결과를 얻기 위해, 상기 복구 데이터(RDATA)와 상기 원시 전송 데이터가 서로 일치되는지를 비교한다. 그러한 비교 동작은 제1 데이터 채널에서의 동작과 동일하다.
- [0077] 이와 같이, 집적회로 칩이 복수의 전송 채널을 가지는 경우에 상기 루프백 테스트는 상기 복수의 채널 모두에 대하여 순차로 하나씩 실행될 수 있게 된다.
- [0078] 또한, 상기 리시브 버퍼(104)가 연결된 전송 패드의 채널에 대한 클럭을 자체적으로 루프백 테스트할 경우에 클럭 드라이버(216)는 활성화되어 클럭을 구동한다.
- [0079] 도 5는 도 1의 칩이 HDMI(High-Definition Multimedia Interface) TX PHY로서 적용된 멀티미디어 전송 시스템의 블록도이다. 도 5를 참조하면, DVD 플레이어(20)는 본 발명의 실시 예에 따른 전송 전용 칩(201)을 구비한다. 상기 전송 전용 칩(201)은 내부에 본 발명의 실시 예에 따른 루프백 테스트 회로(100)를 가질 수 있다. 상기 전송 전용 칩(201)의 상대 장치는 예를 들어 PDP 나 LCD 등과 같은 화면을 가지는 텔레비전(300)이 될

수 있다.

[0080] 전송 전용 칩(201)의 외부 루프백 테스트 시에, 외부 루프백은 데이터 패쓰(path)에 대하여 행해지고, 클럭 패쓰(clock path)가 외부 루프백된 데이터를 받는 수신 채널로서 설정될 수 있다. 외부 루프백된 데이터의 복원 시에 디스크ью잉(deskewing)된 변환 클럭이 사용된다. 복원된 데이터는 패턴 비교기에서 원시 데이터와 비교되어 전송된 데이터 패턴(pattern)과 일치되는 지가 체크된다. 또한, 복수의 데이터 전송채널이 있는 경우 한 채널씩 테스트가 수행된다.

[0081] 도 5의 경우에 19핀에 할당된 디지털 신호들을 전송하는 HDMI 케이블이 전송 전용 칩(201)과 텔레비전(300)간에 설치될 수 있다.

[0082] 도 6은 도 1의 칩이 LVDS TX PHY로서 적용된 예를 보여주는 블록도이다. 도 6을 참조하면, LVDS(Low Voltage Differential Signaling) TX전송 전용 칩(202)의 내부에는 루프백 테스트 회로(100)가 채용된 것이 보여진다. 상기 전송 전용 칩(202)의 상대 장치 또한 디스플레이 화면을 가지는 수신 장치(300)가 될 수 있다. 비록 도면에서는 3개의 패드들(PD1,PD2,PD3)을 통해 케이블이 연결되어 있는 것으로 나타나 있지만, 30핀 또는 50핀에 할당된 신호들을 전송하는 LVDS 케이블이 설치될 수 있다.

[0083] 상기한 설명에서는 본 발명의 실시 예들을 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 본 발명의 기술적 사상을 벗어남이 없이, 채널들의 개수나 수신용 패드의 설정 및 리시브 버퍼의 개수를 다양하게 변형 또는 변경할 수 있음은 물론이다.

[0084] 또한, 본 발명의 실시 예에서는 HDMI TX PHY로서 적용된 칩에 대하여 주로 설명되었지만, 타의 전송 전용 칩에서도 사용될 수 있을 것이다.

도면의 간단한 설명

[0085] 도 1은 본 발명의 실시예에 따른 전송 전용 집적회로 칩의 와이어링 관계를 보여주는 블록도

[0086] 도 2는 도 1중 전송 전용 집적회로 칩의 구체적 구현 예를 보여주는 상세 블록도

[0087] 도 3은 도 2중 디스크ью어의 구현 예시도

[0088] 도 4는 도 2중 병렬화기에 사용가능한 멀티 위상 클럭들의 파형도

[0089] 도 5는 도 1의 칩이 HDMI TX PHY로서 적용된 멀티미디어 전송 시스템의 블록도

[0090] 도 6은 도 1의 칩이 LVDS TX PHY로서 적용된 예를 보여주는 블록도

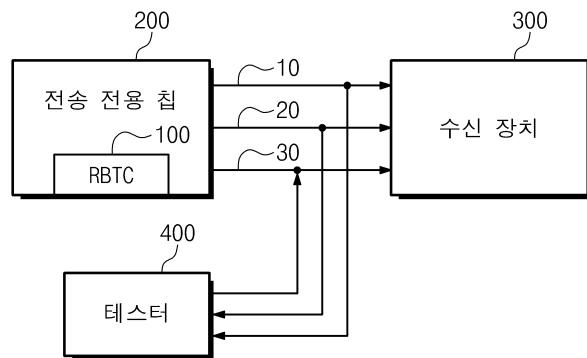
[0091] < 도면의 주요 부분에 대한 부호의 설명 >

[0092] 100: 루프백 테스트 회로 200: 전송 전용 집적회로 칩

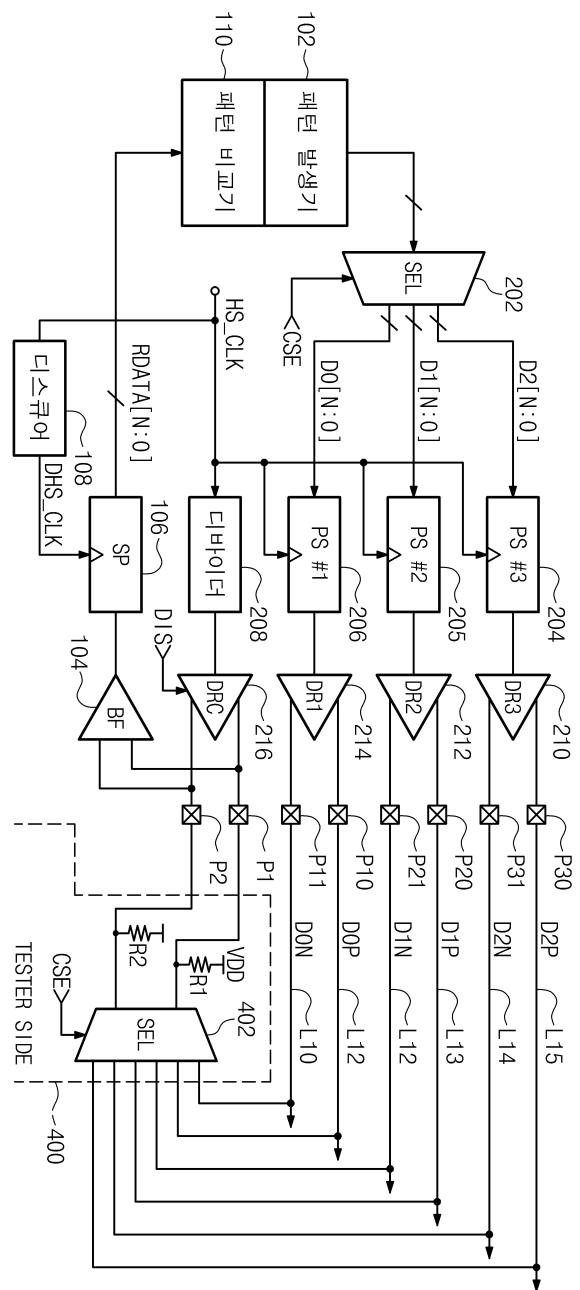
[0093] 300: 수신장치 400: 테스터

도면

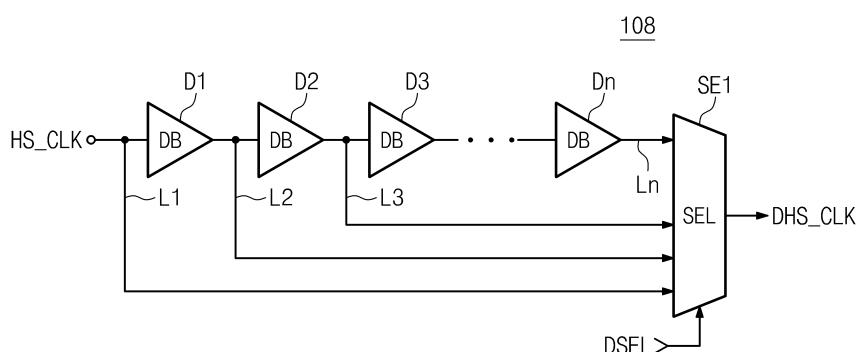
도면1



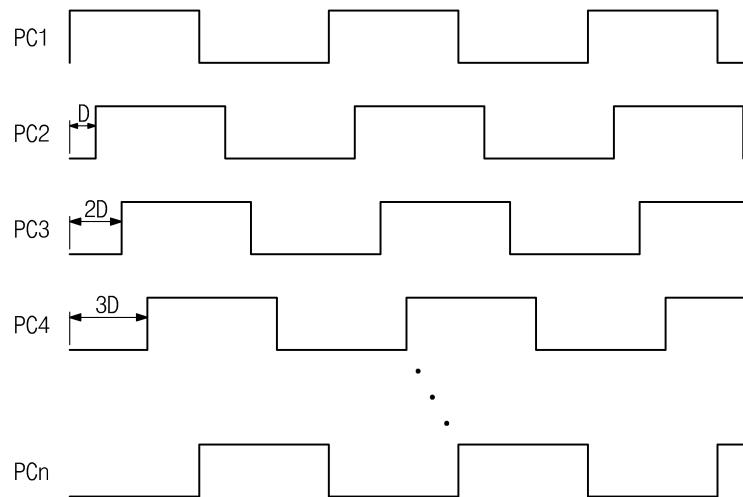
도면2



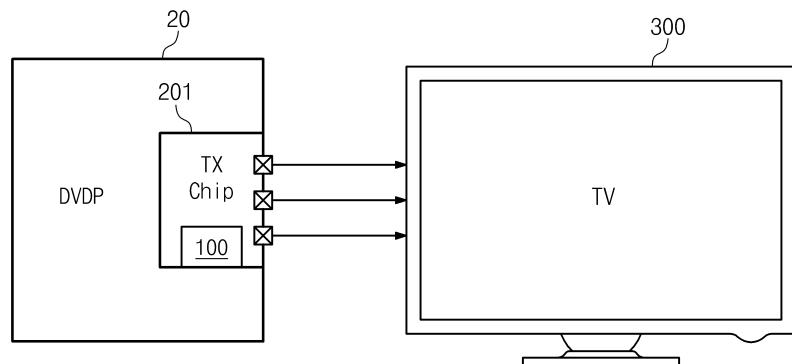
도면3



도면4



도면5



도면6

