

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 31/00	(11) 공개번호 특 1997-0054557	(43) 공개일자 1997년 07월 31일
(21) 출원번호 특 1995-0050531		
(22) 출원일자 1995년 12월 15일		
(71) 출원인	한국전자통신연구원 양승택 대전광역시 유성구 가정동 161번지한국전기통신공사 이준 서울특별시 종로구 세종로 100번지	
(72) 발명자	박찬용 대전광역시 유성구 어은동 한빛아파트 128동 705호 김홍만 대전광역시 유성구 어은동 한빛아파트 111동 802호	
(74) 대리인	김영길, 원혜중, 김명섭	

심사청구 : 있음

(54) 초고속 애벌랜치 포토다이오드 및 제조방법

요약

본 발명은 초고속 애벌랜치 포토다이오드 및 그의 제조방법에 관한 것으로서, 제1도전형의 불순물이 고농도 도핑된 InP의 반도체 기판과, 상기 반도체 기판의 상부에 캐리어 농도가 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 로 결정 성장된 제1도전형 InGaAs의 광흡수층과, 상기 광흡수층의 상부에 한층 또는 여러 층으로 구성되고 InP와 격자 정합되며 캐리어 농도가 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 로 결정 성장된 제1도전형 InGaAsP의 그레이딩층과, 상기 그레이딩층의 상부에 두께 \times 캐리어농도가 $2.5 \sim 3.5 \times 10^{12} \text{ cm}^{-2}$ 로 조절되게 결정 성장된 제1도전형 InP의 전하층과, 상기 전하층의 상부에 캐리어 농도가 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 로 결정 성장된 제1도전형 InP의 증폭층과, 상기 증폭층의 소정 부분에 2차례의 확산에 의해 형성된 제2도전형이 고농도로 도핑된 InP의 제2가드링과, 상기 제2가드링의 사이에 1차례의 확산에 의해 제2도전형 불순물이 상기 제2가드링의 확산 깊이 보다 얇은 확산 깊이를 갖도록 고농도로 도핑되어 형성된 InP의 제1가드링과, 상기 제1가드링의 사이에 접합되게 2차례의 확산에 의해 제2도전형의 불순물이 상기 제2가드링과 동일한 확산 깊이를 갖도록 고농도로 도핑되어 형성된 InP의 활성영역과, 상기 증폭층의 상부에 상기 활성 영역의 상부와 접촉되게 형성된 제2도전형 전극과, 상기 활성 영역 이외의 증폭층의 상부에 형성된 표면보호층과, 상기 반도체 기판의 하부 표면에 상기 제2도전형 전극과 대응되게 형성된 무반사막과, 상기 반도체 기판 하부 표면의 무반사막이 형성되지 않은 부분에 제1도전형 전극을 포함한다.

따라서, 제1가드링 보다 제2가드링의 확산 깊이를 더 깊게하므로 활성영역의 모서리 부분의 전기장 세기가 상대적으로 낮아지게 되어 효과적인 가드링이 가능하며, 또한, 제2가드링의 깊이를 활성 영역의 깊이와 같이 조절할 수 있어 공정이 매우 쉽고 깊이 조절이 용이하며, 그리고, 제2가드링을 하나만 형성하므로 다이오드의 면적을 줄일 수 있고 따라서 다이오드의 커패시턴스를 줄일 수 있으며, 증폭층 폭을 0.2 ~ 0.3 μm 로 할 수 있기 때문에 이득-대역폭의 곱을 100GHz 이상으로 증가시킬 수 있다.

대표도

도 1

명세서

[발명의 명칭]

초고속 애벌랜치 포토다이오드 및 제조방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 초고속 애벌랜치 포토다이오드의 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제1도전형의 불순물이 고농도 도핑된 InP의 반도체 기판과, 상기 반도체 기판의 상부에 캐리어 농도가 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 로 결정 성장된 제1도전형 InGaAs의 광흡수층과, 상기 광흡수층의 상부에 한층 또는 여러 층으로 구성되고 InP와 격자 정합되며 캐리어 농도가 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 로 결정 성장된 제1도전형 InGaAsP의 그레이딩층과, 상기 그레이딩층의 상부에 두께 \times 캐리어농도가 $2.5 \sim 3.5 \times 10^{12} \text{ cm}^{-2}$ 로 조절되게 결정 성장된 제1도전형 InP의 전하층과, 상기 전하층의 상부에 캐리어 농도가 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 로 결정 성장된 제1도전형 InP의 증폭층과, 상기 증폭층의 소정 부분에 2차례의 확산에 의해 형성된 제2도전형이 고농도로 도핑된 InP의 제2가드링과, 상기 제2가드링의 사이에 1차례의 확산에 의해 제2도전형 불순물이 상기 제2가드링의 확산 깊이 보다 얇은 확산 깊이를 갖도록 고농도로 도핑되어 형성된 InP의 제1가드링과, 상기 제1가드링의 사이에 접합되게 2차례의 확산에 의해 제2도전형의 불순물이 상기 제2가드링과 동일한 확산 깊이를 갖도록 고농도로 도핑되어 형성된 InP의 활성영역과, 상기 증폭층의 상부에 상기 활성 영역의 상부와 접촉되게 형성된 제2도전형 전극과, 상기 활성 영역 이외의 증폭층의 상부에 형성된 표면보호층과, 상기 반도체 기판의 하부 표면에 상기 제2도전형 전극과 대응되게 형성된 무반사막과, 상기 반도체 기판 하부 표면의 무반사막이 형성되지 않은 부분에 형성된 제1도전형 전극을 포함하는 초고속 애벌랜치 포토다이오드.

청구항 2

제1항에 있어서, 상기 광흡수층이 $0.8 \sim 1.2 \mu\text{m}$ 의 두께로 형성된 초고속 애벌랜치 포토다이오드.

청구항 3

제1항에 있어서, 상기 그레이딩층이 $0.1 \sim 0.2 \mu\text{m}$ 의 두께로 형성된 초고속 애벌랜치 포토다이오드.

청구항 4

제1항에 있어서, 상기 증폭층의 폭이 $0.2 \sim 0.4 \mu\text{m}$ 인 초고속 애벌랜치 포토다이오드.

청구항 5

제1도전형의 불순물이 고농도 도핑된 InP의 반도체 기판의 상부에 캐리어 농도가 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 인 제1도전형 InGaAsP의 광흡수층, 한층 또는 여러 층으로 구성되고 InP와 격자 정합되며 캐리어 농도가 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 인 제1도전형 InGaAsP의 그레이딩층, 두께 \times 캐리어농도가 $2.5 \sim 3.5 \times 10^{12} \text{ cm}^{-2}$ 로 조절된 제1도전형 InP의 전하층, 캐리어 농도가 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 인 제1도전형 InP의 증폭층을 순차적으로 결정 성장하는 공정과, 상기 증폭층의 상부 표면에 소정 부분을 제외한 부분에 실리콘 나이트라이드 박막을 형성하고 증폭층에 제2도전형의 불순물을 확산시켜 제1 및 제2가드링을 형성하고 상기 실리콘 나이트라이드 박막을 제거하는 공정과, 상기 증폭층의 상부 표면에 상기 제2가드링의 상부와 상기 제1가드링의 소정 부분을 제외한 부분에 실리콘 나이트라이드 박막을 형성하고 제2도전형의 불순물을 확산시켜 활성층을 형성함과 동시에 상기 제2가드링의 확산 깊이를 깊게 하고 상기 실리콘 나이트라이드 박막을 제거하는 공정과, 상기 증폭층의 상부에 표면보호층을 형성하고 상기 활성영역의 상부를 노출시킨 후 제2도전형 전극을 형성하는 공정과, 상기 반도체 기판의 하부 표면에 제1도전형 전극을 형성하고 상기 제1도전형 전극과 대응하는 부분의 반도체 기판의 하부 표면을 노출시킨 후 무반사막을 형성하는 공정을 구비하는 초고속 애벌랜치 포토다이오드의 제조방법.

청구항 6

제5항에 있어서, 상기 층들을 LPE, MBE 또는 MOCVE의 결정 성장 방법으로 형성하는 초고속 애벌랜치 포토다이오드의 제조방법.

청구항 7

제5항에 있어서, 상기 제1 및 제2가드링 형성시 확산원으로 Zn_3P_2 를 사용하는 초고속 애벌랜치 포토다이오드의 제조방법.

청구항 8

제7항에 있어서, 상기 제1 및 제2가드링 형성시 $500 \sim 550^\circ\text{C}$ 의 온도로 확산하는 초고속 애벌랜치 포토다이오드 제조방법.

청구항 9

제5항에 있어서, 상기 활성영역 형성시 확산원으로 Zn_3P_2 를 사용하는 초고속 애벌랜치 포토다이오드의 제조방법.

청구항 10

제9항에 있어서, 상기 활성영역 형성시 $500 \sim 550^\circ\text{C}$ 의 온도로 확산하는 초고속 애벌랜치 포토다이오드 제조방법.

청구항 11

제5항에 있어서, 상기 제2도전형 전극 형성 후 상기 반도체 기판의 하부 표면을 연마하는 공정을 더 구

비하는 초고속 애벌랜치 포토다이오드의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

