

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G06F 1/24

(45) 공고일자 1995년 10월 13일
(11) 공고번호 95-012058

(21) 출원번호	특1992-0012931	(65) 공개번호	특1993-0002944
(22) 출원일자	1992년07월21일	(43) 공개일자	1993년02월23일
(30) 우선권 주장	91-184248 1991년07월24일	일본(JP)	
(71) 출원인	니뽀 덴끼 가부시끼가이샤 세끼모토 다다히로 일본국 도오쿄도 미나토꾸 시바 5쵸메 7반 1고		
(72) 발명자	아오야마 고이찌로 일본국 도오쿄도 마나토꾸 시바 5쵸메 7반 1고 니뽀 덴끼 가부시끼가이샤 나이		
(74) 대리인	이병호, 최달용		

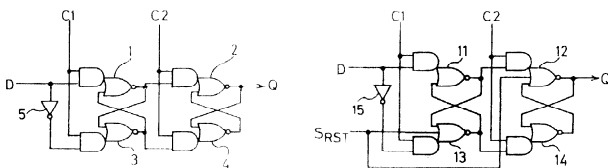
심사관 : 홍순우 (책자공보 제4168호)

(54) 레지스터 제어 회로

요약

내용 없음.

대표도



명세서

[발명의 명칭]

레지스터 제어 회로

[도면의 간단한 설명]

제1a도는 리셋 입력 단자를 갖지 않는 종래의 DFF회로도.

b도는 리세 입력 단자를 갖는 종래의 DFF 회로도.

제2a도는 종래의 쉬프트(shift) 레지스터 회로 다이어그램도.

b도는 제2a도의 쉬프트 레지스터의 타이밍 차트도.

제3a도는 제2a도 쉬프트 레지스터와 다른 종래의 쉬프트 레지스터.

b도는 제3a도에 보인 쉬프트 레지스터의 타이밍 차트도.

제4a도는 본 발명에 따른 제1구현예인 쉬프트 레지스터의 회로 다이어그램.

b도는 제4a도에 보인 쉬프트 레지스터의 타이밍 차트도.

제5a도는 마이크로 컴퓨터에 일체화된 본 발명에 따른 제2구현예인 레지스터 제어 회로의 회로 다이어그램.

b도는 제5a도에 보인 레지스터 제어 회로의 타이밍 차트도.

제6도는 제5도의 마이크로 컴퓨터에 사용되는 DFF의 회로 다이어그램도.

* 도면의 주요부분에 대한 부호의 설명

S_{RST} : 리셋신호

S_{CK1}, S_{CKS} : 쉬프트 클럭 신호

D_{IN} : 쉬프트 레지스터 입력 단자 D_{OUT} : 쉬프트 레지스터 출력 단자

$\psi 1'$, $\psi 2'$: 마이크로-컴퓨터용 시스템 클럭 신호

[발명의 상세한 설명]

본 발명은 레지스터 제어 회로에 관련된 것으로, 좀더 구체적으로 말해서 리셋 단자 없이도 레지스터를 초기화 시키는 레지스터 제어 회로에 관련된 것이다.

종래, 제1도 처럼, 2-INPUT AND 2-INPUT NOR 게이트(이후, 2AND 2NOR이라 약칭하겠다)(1 내지 4)와 인버터(5)로 형성된 D형 플립플롭 회로(이후 "DFF"라 하겠다)의 초기화는, 제1b도에 보였듯이 마스터(master)단의 2ANDNOR 게이트(13)와 슬레이브(slave)단의 2AND3NOR 게이트(11)에 리셋신호 S_{RST} 를 인가하여 2AND3NOR 게이트(11과 14)의 출력을 1, 2AND3NOR 게이트(12와 13)의 출력을 0이 되게함으로써 수행된다. 다중-레지스터 회로(가령, 쉬프트 레지스터)를 초기화하려면, 각각 리셋 입력을 갖는 복수의 DFF로 쉬프트 레지스터를 형성하고 리셋 입력 신호는 DFF 각각에 직접 인가한다.

제2a도는 종래 쉬프트 레지스터의 한가지 실례를 보여주고 제2b도는 제2a도 쉬프트 레지스터의 타이밍 차트를 보여준다.

제2a도에 보인 종래의 쉬프트 레지스터에서, 복수의 D형 플립플롭 회로(DFF)(R0 내지 R7)은 제1b도에 보인 것과 동일한 구조의 내부 회로로 구성되며, 서로 직렬 연결되어 있고 쉬프트 클럭 S_{CK1} , S_{CK2} 과 레지스터 신호 S_{RST} 를 공통적으로 인가받는다. 쉬프트 데이터 입력 단자(D_{IN})에서 입력된 쉬프트 데이터 D_{IN} 은 DFF(R0 내지 R7)을 거쳐 쉬프트 데이터 출력 단자 D_{OUT} 로 출력된다. 전원이 켜지고 난 직후 리셋 신호 S_{RST} 가 0을 유지하는 동안, DFF(R0 내지 R7)의 상태는 정의되지 않는다. 리셋 신호 S_{RST} 가 1로 세트되면, DFF(R0 내지 R7)의 출력은 즉시 모두 0으로 초기화된다. 계속하여 쉬프트 클럭 S_{CK1} 과 S_{CK2} 가 인가되고, 제2도의 타이밍 차트에는 보이지 않았으나, 쉬프트 데이터가 쉬프트 레지스터의 입력 단자 D_{IN} 에 입력되고 출력 단자 D_{OUT} 으로 쉬프트-아우트된다.

위에서 언급한 종래의 쉬프트 레지스터가 갖는 한가지 장점은, DFF(R0 내지 R7) 각각이 리셋 입력 단자를 가지고 있기 때문에 리셋 신호가 1이 되면 즉각 리셋된다는 점이다. 그러나 모든 비트가, 리셋 입력 단자를 갖는 DFF로 구현되므로, 쉬프트 레지스터는 제1a도에 보인 리셋 입력 단자를 갖지 않는 DFF로 구성되는 쉬프트 레지스터에 비해서 더욱 많은 논리 소자를 필요로 한다는 단점을 지닌다.

소자의 수가 증가하는 것을 피하기 위해, 종래의 쉬프트 레지스터는 제3a도 처럼 제1단 DFF(Q0)에 리셋 입력 단자를 갖는 DFF를 사용하고, 이에 이어지는 나머지 DFF(Q1 내지 Q7)에 리셋 입력 단자를 갖지 않는 DFF를 사용했다. 이러한 쉬프트 레지스터의 동작에 대해서 설명하겠다. 전원이 켜진 직후 리셋 입력이 0에 머무는 동안, 제3b도의 타이밍 차트에서 볼 수 있듯이, DFF(Q0 내지 Q7) 출력은 부정상태(undefined)에 머문다. 리셋 신호 S_{RST} 가 1로 세트되면, 제1단 DFF(Q0)는 즉시 초기화되지만, 나머지 DFF(Q1 내지 Q7)는 리셋 입력을 입력받지 못하였으므로 부정 상태에 머무른다.

계속해서, 리셋 신호가 1을 유지하는 동안 쉬프트 클럭 S_{CK1} 과 S_{CK2} 가 DFF(Q0 내지 Q7)에 인가되면 Q0의 출력 "0"은 쉬프트 클럭의 제1클럭에 인가된 뒤 Q1으로 쉬프트 되고 이로써 Q1의 출력은 0이 된다. 쉬프트 클럭의 제2클럭에 인가된 뒤, Q1의 출력은 Q2로 쉬프트되고 Q2의 출력은 0이 된다. 이와 마찬가지로 쉬프트 클럭의 제7클럭이 인가되고 난뒤 Q7이 0이 되어 쉬프트 레지스터의 초기화가 완료된다. 그후 쉬프트 데이터가 데이터 입력 단자 D_{IN} 으로부터 쉬프트 레지스터로 로드(load)된다.

상기 쉬프트 레지스터에서는 단지 하나의 DFF에만 리셋 입력 단자가 마련되어 있으므로, 필요한 소자의 수가 줄어드는 효과가 나타났다. 그러나 제3b도의 타이밍 차트에서 알 수 있듯이, 이 회로는 쉬프트 클럭을 발생하여 쉬프트 레지스터를 전체적으로 초기화시키는데 추가적인 시간이 소요된다. 즉 이 회로는, 초기화 시간이 커지고 레지스터 초기화용 쉬프트 클럭 제어가 한층 복잡해진다는 단점을 갖는 것이다.

위에서 설명했듯이, 종래의 레지스터 초기화 회로는 레지스터를 구성하는 DFF 각각에 리셋 입력을 직접 인가해야 하는 필요성 때문에 소자의 수가 증가하고, 초기화용 쉬프트 클럭을 발생해야 하는 필요성 때문에 초기화 시간이 증가한다는 점에서 문제점을 지니고 있었다. 종래의 쉬프트 레지스터가 갖는 이러한 문제점은 본 발명으로 해결될 수 있다.

따라서 본 발명의 목적은 종래의 쉬프트 레지스터에서 발생하는 문제점을 해결하여, 리셋 입력을 갖지 않고도 신속히 초기화 과정을 수행하면서도 장치의 소자수를 최소한도로 제한할 수 있는 쉬프트 레지스터를 제공하고자 한다.

본 발명에 따라서, 서로 직렬 연결된 복수의 레지스터와 복수의 이상(different phase)클럭 신호를 발생하는 제어 회로 및 리셋 신호(S_{RST})와 복수의 클럭 신호 및, 리셋 신호가 활성 상태인 기간의 부분 또는 전체 기간동안 활성 상태로 되는 래치(latch)클럭을 복수의 레지스터로 수신하는 논리 회로로 구성되는 레지스터 제어 회로가 제시된다.

이제 첨부한 도면을 참조해 본 발명의 몇가지 구현예를 설명하겠다.

제4a도는 본 발명 제1구현예의 쉬프트 레지스터를 보여준다. 쉬프트 클럭 S_{CK1} 과 S_{CK2} 가 두개의 2-입력 OR 게이트(G1과 G2)에 각각 입력되는데, S_{CK1} 과 S_{CK2} 는 각각 리셋 신호 S_{RST} 와 합(logical OR) 연산을 받아, 리셋 입력 단자가 없는 복수의 DFF(L0 내지 L7)로 인가된다. 쉬프트 입력 신호 D_{IN} 은 인버트된

(inverted)리셋 신호와 함께 2-입력 AND 게이트 G3에 입력된다. AND 게이트 G3의 출력은 제1단 DFF인 L0에 입력된다.

상기 쉬프트 레지스터의 작동은 다음과 같다. 전원이 켜진 직후, 리셋 신호 SRST가 "0"인 동안, 쉬프트 클럭 S_{CK1} , S_{CK2} 는 모두 "0"이고 따라서 DFF(L0 내지 L7)의 상태는 모두 부정 상태이다. 이 순간 인버터 G4의 출력은 "1"이므로, 입력 신호 DIN은 2-입력 AND 게이트 G3의 출력으로 나타난다. 리셋 입력 신호 SRST가 "1"이 되면 두개의 2-입력 OR 게이트 G1과 G2의 출력은 모두 "1"이 된다. 리셋 입력 신호 SRST가 "1"이므로 인버터 G4의 출력은 "0"이고 2-입력 AND 게이트 G3의 출력도 "0"이며, 따라서 제1단 DFF L0에는 "0"이 입력된다. DFF L0에 인가되는 클럭 입력 즉, OR 게이트 G1과 G2의 출력이 "1"로 세트되어 있으므로, 이것은 제1a도의 DFF의 입력 신호 D가 "0"이고 클럭 신호 C1이 "1"이며 인버터 (5)의 출력이 "1"이고 2AND2NOR 게이트(3)의 출력이 "0"이며 2AND2NOR 게이트(1)의 출력이 "1"인 경우와 같다. 또한 신호 C2도 "1"이므로, 마스터단의 출력은 슬레이브단에 전송되어 2AND2NOR 게이트(4)의 출력은 "1"이 되어 DFF가 초기화된다. 이런식으로 제1단 DFF L0가 초기화되는 것이다. 제1단 DFF L0의 초기화가 완료된 후 제2단 DFF L1으로 진행되는 입력 신호는 "0"이 된다. 이렇게 하여 결국 DFF L1도 DFF L0와 마찬가지로 초기화된다. 계속해서, 나머지 DFF(L2 내지 L7)도 순차적으로 초기화된다. 제4a도 쉬프트 레지스터의 각 DFF에 대한 상기의 초기화 과정은 비동기식으로 수행되므로 제1단 DFF로부터 제7단 DFF에 이르기까지 24개 게이트 지연단에 상응하는 지연시간이 지나고 나서야 레지스터의 초기화가 완료된다. 게이트 하나의 지연 시간이 t_{ns} 정도이므로 총 지연 시간이야 해봐야 기껏 24ns정도가 되는데, 따라서 레지스터는 매우 짧은 시간에 초기화될 수 있음을 알 수 있다. 본 발명의 쉬프트 레지스터는 리셋 입력이 없는 DFF로 구성되므로 추가적인 논리 소자로는 제어 게이트 (G1 내지 G4) 4개만이 필요할 뿐이며, 실제로 이 정도의 수는 무시할 만한 수이다.

제5a도는 본 발명의 제2구현예를 보여준다. 이 구현예의 회로는 마이크로 컴퓨터 내부 회로의 각 레지스터를 초기화하는 기능을 수행한다. 제5b도 타이밍 차트에 보이다시피, 리셋 입력 신호가 "0"인 동안, AND 게이트(103)의 출력은 "0"이고, 따라서 클럭 발생 회로(106)에서 나온 신호 ψ_1 과 ψ_2 는 OR 게이트(104와 105)를 거치는 동안 변형되지 않고 마이크로 컴퓨터(107)에 시스템 클럭 ψ_1' 과 ψ_2' 로서 인가된다. 리셋 신호 SRST가 "1"이 되면, 지연 회로(10)에 의한 지연 시간 t_d 이 경과한 후 인버터(102)의 출력은 "0"이 되고, 따라서 AND 게이트(103)의 출력과 2-입력 OR 게이트(104와 105)의 출력은 시간 t_d 동안 "1"을 유지한다. 제6도에 보인 것처럼, 마이크로 컴퓨터(107)의 내부 회로에서 레지스터 회로는 리셋 입력이 없는 래치(latch)로 형성되며 인버터(11)와 2AND2NOR 게이트(NR1 내지 NR4) 및 2-입력 NOR 게이트 N1을 포함한다. 클럭 신호 ψ_1' 과 ψ_1' 이 동시에 "1"이 되면, 2-입력 NOR 게이트(N1)의 출력은 래치의 마스터단으로 진행하고 제1구현예에 설명한 것과 같은 방식으로 레지스터의 출력 Q를 "0"으로 초기화한다. 마이크로 컴퓨터(107)은 많은 내부 레지스터를 사용하므로, 이러한 레지스터 제어 회로를 사용함으로써 제2b에 보인 것처럼 리셋 입력을 갖는 DFF를 사용하는 경우보다 장치의 소자수를 실질적으로 감소시킬 수 있다.

위에서 설명했듯이, 본 발명에 따라 장치의 소자수를 최소로 하면서, DFF 래치 클럭을 활성화시킴으로써, 마이크로 컴퓨터 내부의 쉬프트 레지스터나 독립된 쉬프트 레지스터를 신속하게 비동기식으로 초기화할 수 있다.

지금까지 본 발명에 대해서 특정한 구현예를 들어 설명하였으나, 여기서 사용된 단어는 설명을 위한 단어일뿐 특정 의미에 한정되는 것은 아니다. 그리고 청구범위내에서 본 발명의 범주 및 개념을 벗어나지 않고 여러가지 변화가 이루어질 수 있다.

(57) 청구의 범위

청구항 1

서로 직렬 연결된 복수의 레지스터(L0 내지 L7)와 복수의 이상(different phase) 클럭 신호(S_{CK1} 과 S_{CK2})를 발생하는 제어 회로 및 리셋 신호(S_{RST})와 상기 복수의 클럭 신호를 수신하고, 상기 리셋 신호가 활성 상태인 기간의 부분 또는 전체 기간동안 활성 상태가 되는 래치(latch)클럭을 상기 복수의 레지스터로 출력하는 논리 회로(G1과 G2)를 포함하는 레지스터 제어 회로.

청구항 2

제1항에 있어서, 상기 제어 회로가 마이크로 컴퓨터용 시스템 클럭(ψ_1' 과 ψ_2')을 발생하는 클럭 발생 회로인 것을 특징으로 하는 레지스터 제어회로.

청구항 3

제1항에 있어서, 입력 단자에서 상기 리셋 신호를 수신하는 인버터(G4)와 하나의 입력 단자에서 상기 인버터의 출력을 수신하고 다른 입력 단자에서 쉬프트 데이터(D_{in})을 수신하며, 사이 보곳의 레지스터(L0 내지 L7)의 제1레지스터(L0)에 출력을 공급하는 AND 게이트(G3)를 포함하는 것을 특징으로 하는 레지스터 제어 회로.

청구항 4

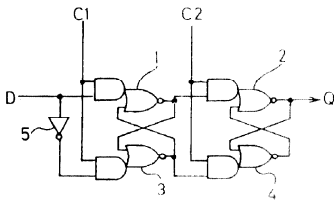
제1항에 있어서, 하나의 입력 단자에서 상기 리셋 신호를 수신하고 다른 하나의 입력 단자에서 쉬프트 데이터(D_{in})을 수신하며, 복수의 레지스터의 제1레지스터(L1과 NR1 내지 NR4)로 출력을 공급하는 NOR 게이트(N1)를 포함하는 것을 특징으로 하는 레지스터 제어 회로.

청구항 5

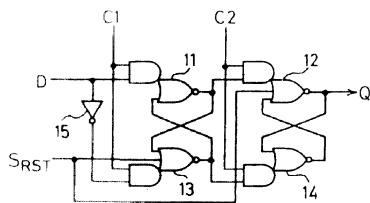
제1항에 있어서, 상기 제어 회로가, 시간 지연(td)을 갖고, 리셋 신호를 수신하는 지연 회로(101)과 상기 지연 회로에 의해 지연된 리셋 신호를 인버터(invert)하는 인버터(12) 및 하나의 입력 단자에서 상기 리셋 신호를 수신하고 다른 하나의 입력 단자에서 상기 인버터(102)의 출력을 수신하고, 활성화 상태 시간이 상기 지연 시간에 해당되고 리셋 신호가 활성화 상태인 시간보다 짧은 신호를 출력하는 AND 게이트를 포함하는 것을 특징으로 하는 레지스터 제어 회로.

도면

도면1A

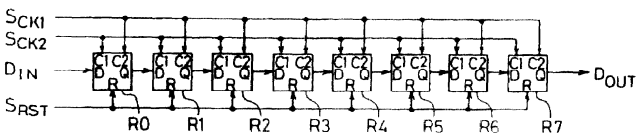


도면1B



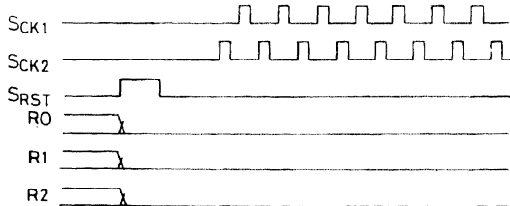
도면2A

도면2A



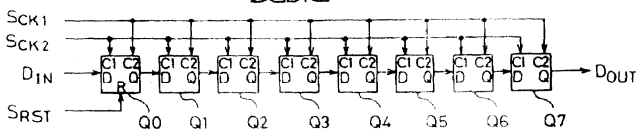
도면2B

도면2B



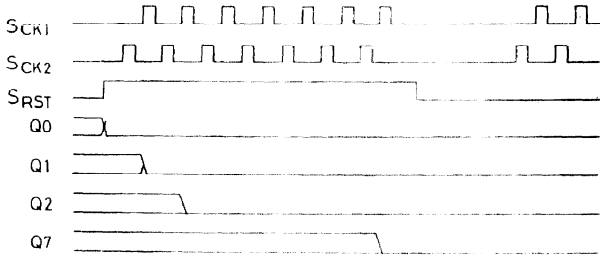
도면3A

도면3A

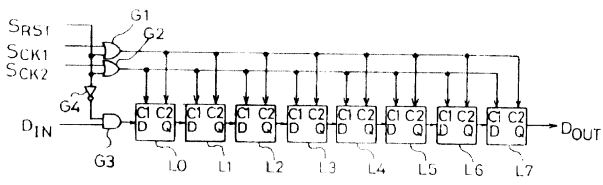


도면3B

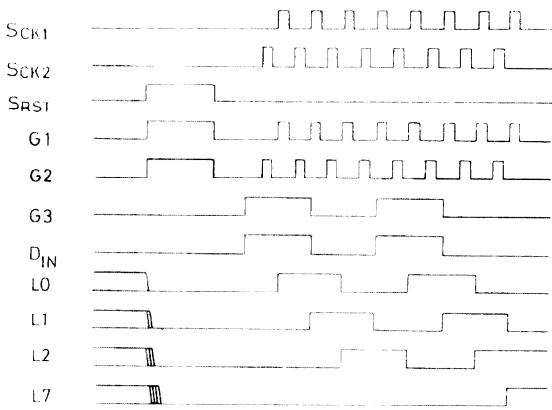
중단기율



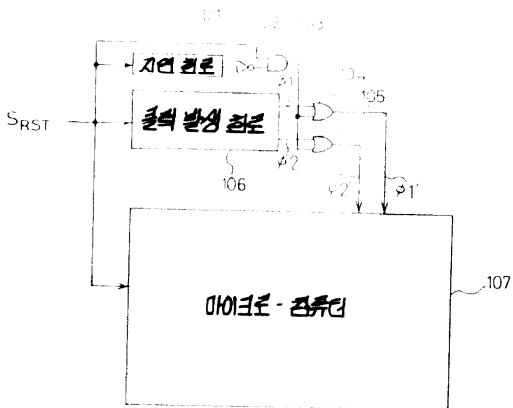
도면4A



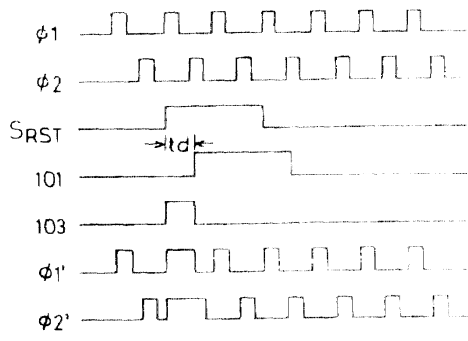
도면4B



도면5A



도면5B



도면6

