

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Mai 2004 (13.05.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/040656 A1

(51) Internationale Patentklassifikation⁷: **H01L 29/786**

(72) Erfinder; und

(21) Internationales Aktenzeichen: PCT/EP2003/011843

(75) Erfinder/Anmelder (nur für US): TADDIKEN, Hans
[DE/DE]; Sandgrubenweg 144, 81737 München (DE).

(22) Internationales Anmeldedatum:
24. Oktober 2003 (24.10.2003)

(74) Anwälte: SCHOPPE, Fritz usw.; SCHOPPE, ZIMMER-
MANN, STÖCKELER & ZINKLER, POSTFACH 246,
82043 Pullach bei München (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD,
GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR,
KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN,
MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 50 832.1 31. Oktober 2002 (31.10.2002) DE

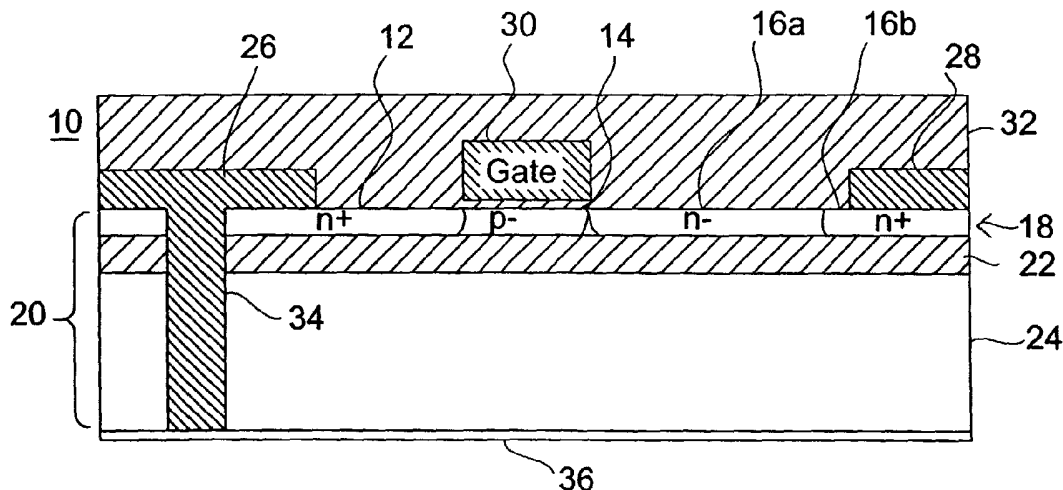
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),

[Fortsetzung auf der nächsten Seite]

(54) Title: MOS TRANSISTOR ON AN SOI SUBSTRATE WITH A SOURCE THROUGH-CONNECTION

(54) Bezeichnung: MOS-TRANSISTOR AUF SOI-SUBSTRAT MIT SOURCE-DURCHKONTAKTIERUNG



(57) Abstract: The invention relates to an MOS transistor comprising a source region (12), a drain region (16a, 16b) and a channel region (14) which are formed in a semiconductor layer (18) of an SOI substrate (20) which comprises a semiconductor substrate (24) beneath the semiconductor layer (18) and an insulating layer (22) between the semiconductor layer (18) and the semiconductor substrate (24). The drain region or source region (12, 16a, 16b) is electrically connected to a rear side contact (36) on a side of the semiconductor substrate (24) facing away from the insulating layer (22), by means of a through-connection (34) extending through the semiconductor substrate (24). The invention is based on the fact that without slits in the application spectrum, a simple contactability of an MOS transistor can be achieved by guiding a through-connection from either the source region or the drain region past both the insulating layer and the semiconductor substrate to a rear side contact, in order to be electrically connected to the same, as the demands on the material properties of the semiconductor substrate e.g. doping or conductivity are thus rendered superfluous or reduced.

[Fortsetzung auf der nächsten Seite]

WO 2004/040656 A1



eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— mit internationalem Recherchenbericht

(57) Zusammenfassung: Bei einem erfindungsgemäßen MOS-Transistor mit einem Source-Bereich (12), einem Drain-Bereich (16a, 16b) und einem Kanal-Bereich (14), die in einer Halbleiterschicht (18) eines SOI-Substrates (20) gebildet sind, das unter der Halbleiterschicht (18) ein Halbleitersubstrat (24) und zwischen Halbleiterschicht (18) und Halbleitersubstrat (24) eine Isolationsschicht (22) aufweist, ist der Drain- oder Source-Bereich (12, 16a, 16b) mit einem Rückseitenkontakt (36) auf einer der Isolationsschicht (22) abgewandten Seite des Halbleitersubstrates (24) über eine durch das Halbleitersubstrat (24) verlaufende Durchkontaktierung (34) elektrisch verbunden. Der Kerngedanke der vorliegenden Erfindung besteht darin, daß ohne Einschnitte in dem Anwendungsspektrum eine leichte Kontaktierbarkeit eines MOS-Transistors erzielt werden kann, indem eine Durchkontaktierung von entweder dem Source- oder dem Drain-Bereich über sowohl die Isolationsschicht als auch das Halbleitersubstrat hinweg zu einem Rückseitenkontakt geführt wird, um mit demselben elektrisch verbunden zu sein, da sich hierdurch die Anforderungen an die Materialeigenschaften des Halbleitersubstrates, wie z.B. Dotierung bzw. Leitfähigkeit, erübrigen bzw. reduzieren.

Beschreibung

MOS-Transistor auf SOI-Substrat mit Source-Durchkontaktierung

- 5 Die vorliegende Erfindung bezieht sich auf MOS-Transistoren und insbesondere auf MOS-Transistoren, die für HF-Leistungsanwendungen geeignet und auf SOI- (Silicon On Isolator = Silizium auf Isolator) Basis aufgebaut sind.
- 10 MOS-Transistoren, die für HF-Leistungsanwendungen geeignet sein sollen, müssen niedrige parasitäre Kapazitäten aufweisen, um möglichst wenig Tiefpaßeigenschaften zu besitzen. Eine Reduktion der parasitären Kapazitäten ist durch Aufbau von MOS-Transistoren auf einem SOI-Substrat möglich. Solche SOI-
- 15 MOS-Transistoren sind beispielsweise in den EP 0562271 A1, WO99/40614 A2 und WO97/24758 A1 beschrieben. Problematisch an den dort gezeigten HF-Leistungstransistoren ist, daß einerseits zur Erreichung einer hohen Transistorweite, um als HF-Leistungstransistor geeignet zu sein, der Gesamttransistor in
- 20 einzelne Transistoren, genannt Finger, unterteilt wird, die üblicherweise parallel zueinander angeordnet sind, und daß es andererseits aber alle Anschlüsse der Transistorfinger, d.h. Drain-, Gate- und Source-Anschluß, auf derselben Halbleiterschicht des SOI-Substrates gebildet sind. Unter diesen Vor-
- 25 aussetzungen ist es nämlich schwierig, die drei verschiedenen Anschlüsse der parallel zueinander angeordneten Transistorfinger an den nur zwei zur Verfügung stehenden Enden der parallelen Transistorfinger geeignet zusammenzufassen bzw. miteinander zu verbinden. Das Zusammenfassen der Transistorfinger führt zu aufwendigeren und größeren Gehäusestrukturen und
- 30 Verdrahtungen auf der Halbleiterschicht und führt zudem gegebenenfalls zu ungewollten Induktivitäten an den Source-Anschlüssen durch Bonddrähte.
- 35 Unter den aufgrund ihrer höheren parasitären Kapazitäten für die HF-Leistungsanwendungen weniger geeigneten, in einem Einfachsubstrat gebildeten MOS-Transistoren, bei denen die

Drain-, Source- und Kanalbereiche in einer epitaktischen Halbleiterschicht eines Halbleitersubstrates gebildet sind, existieren sogenannte LDMOS-Transistoren, bei denen sogenannte Sinker, d.h. eindiffundierte, tiefreichende Gebiete, eine
5 Verbindung zwischen dem Source-Bereich in der epitaktischen Schicht, in der der Transistor gebildet ist, und der Chiprückseite herstellen, indem dieselben in das hochdotierte Halbleitersubstrat hinabreichen, auf welchem sich die epitaktische Schicht befindet. Der Source-Anschluß ist als Metallisierung auf der Chiprückseite bzw. auf der Rückseite des
10 Halbleitersubstrates gebildet. Bei diesen Transistoren können parallel zueinander angeordnete Transistorfinger derart beschaltet werden, daß die Gate- und Drain-Anschlüsse auf gegenüberliegenden Enden der Transistorfinger zusammengefaßt werden, während der Source-Anschluß über die Chiprückseite auf
15 beispielsweise Masse geschaltet ist. Zur Verbesserung von beispielsweise dem Transistorfingerwiederholabstand und dem Widerstandswert wird in den US 6,297,533 B1, US 6,063,678 und WO 98/57379 A1 vorgeschlagen, die Sinker-Strukturen durch
20 Durchkontaktierungen verschiedener Art zu ersetzen, die den Source-Bereich in der Epitaxieschicht mit dem darunterliegenden Halbleitersubstrat verbinden.

Anhand der Fig. 3 wird ein Beispiel eines bekannten HF-LDMOS-Leistungstransistors näher erläutert, der in einer Epitaxieschicht eines Halbleitersubstrates gebildet ist. Der Leistungstransistor umfaßt ein Substrat 100 mit einem aktiven Bereich 102, in dem die Source-, Gate- bzw. Kanal- und Drain-Bereiche des Transistors gebildet sind, wie dies im unteren
25 Abschnitt der Fig. 3 angedeutet ist. Wie aus Fig. 3 zu erkennen ist, ist dort bei dem gezeigten LDMOS-Transistor für HF-Leistungsanwendungen, wie üblich, die gesamte Transistorweite in einzelne Transistorstrukturen bzw. Transistoren (Finger) unterteilt, die entsprechend der allgemeinen üblichen Anordnung parallel zueinander angeordnet sind.
35

Der aktive Bereich 102 umfaßt eine Mehrzahl von Transistorstrukturen T_1 bis T_4 . Die erste Transistorstruktur T_1 und die zweite Struktur T_2 umfassen jeweils einen Source-Bereich S_1 und $S_{2/3}$ sowie jeweils einen Gate-Bereich G_1 und G_2 . Ferner
5 umfassen die Transistorstrukturen T_1 und T_2 einen gemeinsamen Drain-Bereich $D_{1/2}$, welcher, wie zu sehen ist, zwischen den zwei Gate-Strukturen G_1 und G_2 angeordnet ist. Ebenso umfassen die Transistorstrukturen T_3 und T_4 jeweils einen Source-Bereich $S_{2/3}$ bzw. S_4 sowie jeweils einen Gate-Bereich G_3 und
10 G_4 . Ähnlich den Strukturen T_1 und T_2 umfassen auch die Transistorstrukturen T_3 und T_4 einen gemeinsamen Drain-Bereich $D_{3/4}$, der zwischen den Gate-Bereichen G_3 und G_4 angeordnet ist. Wie zu erkennen ist, sind die einzelnen Transistorstrukturen T_1 bis T_4 parallel zueinander angeordnet und erstrecken
15 sich von einer ersten Seite 104 des aktiven Bereichs 102 zu einer zweiten Seite 106 des aktiven Bereichs 102, welche der ersten Seite 104 gegenüber liegt.

Auf dem Substrat 100, benachbart zu der ersten Seite 104 des aktiven Bereichs 102, ist ein Gate-Anschluß 110 gebildet, der
20 bei dem in Fig. 1a dargestellten Ausführungsbeispiel vier fingerförmige Abschnitte 110a bis 110d umfaßt, die sich ausgehend von der zweiten Seite 104 des aktiven Bereichs 102 über die Gate-Bereiche G_1 , G_2 , G_3 und G_4 in Richtung der zweiten Seite 106 des aktiven Bereichs 102 erstrecken. Ferner ist
25 benachbart zur zweiten Seite 106 des aktiven Bereichs 102 ein Drain-Anschluß 112 gebildet, der zwei fingerförmige Abschnitte 112a und 112b umfaßt, die sich ausgehend von der zweiten Seite 106 des aktiven Bereichs 102 über die Drain-Bereiche
30 $D_{1/2}$ und $D_{3/4}$ erstrecken. Die fingerförmigen Abschnitte 110a bis 110d des Gate-Anschlusses 110 sowie die fingerförmigen Abschnitte 112a und 112b des Drain-Anschlusses 112 sind parallel zueinander angeordnet.

35 Ferner umfaßt die in Fig. 3 gezeigte Transistorstruktur Gate-Verbindungen 114a und 114b, die auf der zweiten Seite 106 des aktiven Bereichs 102 angeordnet sind, um die Gate-Bereiche

benachbarter Transistorstrukturen elektrisch miteinander zu verbinden. Die Gate-Verbindung 114a ist vorgesehen, um die Finger 110a und 110b des Gate-Anschlusses 110 elektrisch miteinander zu verbinden. Ebenso ist die Gate-Verbindung 114b
5 vorgesehen, um die Finger 110b und 110d des Gate-Anschlusses 110 elektrisch miteinander zu verbinden. Diese elektrische Verbindung der Finger 110a/110b und 110c und 110d am Fingerringe ist vorteilhaft, um eine möglichst gleichmäßige Verteilung eines Eingangssignal, welches am Gate-Anschluß 110 an-
10 liegt, zu erreichen.

Ermöglicht wird die einfache Zusammenfassung der Gate-Anschlüsse und Drain-Anschlüsse der Transistorfinger dadurch, daß die Kontaktierung der Source-Anschlusses über das Halbleitersubstrat erfolgt, das sich unter der Epitaxieschicht
15 befindet, in der die in Fig. 3 gezeigten Strukturen gebildet sind. Nachteilig an dem HF-Leistungstransistor von Fig. 3 ist jedoch dessen inhärent höhere parasitäre Kapazität aufgrund des Wannenaufbaus in einer epitaktischen Schicht eines Halbleitersubstrates.
20

Die US 5,548,150 A beschreibt Bezug nehmend auf die Figuren 12, 39 und 41 einen MOSFET auf SOI-Basis, bei dem eine Grabenstruktur unterhalb der Source-Elektrode gebildet und mit
25 einem leitfähigen Material mit einer hohen thermischen Leitfähigkeit gefüllt ist, wodurch die Source-Elektrode in thermischen Kontakt mit dem Siliziumsubstrat gebracht wird, ein Teil des Siliziumsubstrates ferner als eine Source-Elektrode dient und die Wärmeabfuhrcharakteristika verbessert werden.
30 Obwohl dieser MOSFET-Aufbau einerseits die oben beschriebene leichte Kontaktierbarkeit des Transistors ermöglicht und andererseits zugleich die Vorteile der Nutzung eines SOI-Substrates im Hinblick auf die niedrigeren parasitären Kapazitäten liefert, ist es an demselben nachteilhaft, daß der
35 Aufbau nicht bei jeder Anwendung einsetzbar ist, beispielsweise wenn aufgrund einer zu integrierenden Spule das Halb-

leittersubstrat des SOI-Substrates hochohmig sein muß, so daß dasselbe nicht als Source-Elektrode dienen kann.

Die Aufgabe der vorliegenden Erfindung besteht darin, einen Transistor sowie ein Herstellungsverfahren für einen solchen zu schaffen, so daß derselbe für Hochfrequenzleistungsanwendungen geeignet ist, und eine Verringerung des Layout-Aufwands und/oder der Chipfläche ermöglicht wird, ohne daß das Spektrum von möglichen Anwendungen eingeschränkt wird.

10

Diese Aufgabe wird durch einen MOS-Transistor gemäß Anspruch 1 und ein Verfahren gemäß Anspruch 6 gelöst.

15

Bei einem erfindungsgemäßen MOS-Transistor mit einem Source-Bereich, einem Drain-Bereich und einem Kanal-Bereich, die in einer Halbleiterschicht eines SOI-Substrates gebildet sind, das unter der Halbleiterschicht ein Halbleitersubstrat und zwischen Halbleiterschicht und Halbleitersubstrat eine Isolationsschicht aufweist, ist der Drain- oder Source-Bereich mit einem Rückseitenkontakt auf einer der Isolationsschicht abgewandten Seite des Halbleitersubstrates über eine durch das Halbleitersubstrat verlaufende Durchkontaktierung elektrisch verbunden.

20

25

Ein erfindungsgemäßes Verfahren zum Herstellen eines MOS-Transistors umfaßt das Bereitstellen eines SOI-Substrates, das eine Halbleiterschicht, ein Halbleitersubstrat und eine unter der Halbleiterschicht, zwischen Halbleiterschicht und Halbleitersubstrat befindliche Isolationsschicht aufweist, das Bilden eines Source-, Drain- und Kanal-Bereiches in der Halbleiterschicht des SOI-Substrates und das Erzeugen einer Durchkontaktierung, die den Source-Bereich oder den Drain-Bereich mit einem Rückseitenkontakt auf einer der Isolations-schicht abgewandten Seite des Halbleitersubstrates elektrisch verbindet.

30
35

Der Kerngedanke der vorliegenden Erfindung besteht darin, daß ohne Einschnitte in dem Anwendungsspektrum eine leichte Kontaktierbarkeit eines MOS-Transistors erzielt werden kann, indem eine Durchkontaktierung von entweder dem Source- oder dem Drain-Bereich über sowohl die Isolationsschicht als auch das Halbleitersubstrat hinweg zu einem Rückseitenkontakt geführt wird, um mit demselben elektrisch verbunden zu sein, da sich hierdurch die Anforderungen an die Materialeigenschaften des Halbleitersubstrates, wie z.B. Dotierung bzw. Leitfähigkeit, erübrigen bzw. reduzieren. Im Vergleich zu dem oben beschriebenen MOSFET-Aufbau der US 5,548,150 ergibt sich ein erweitertes Anwendungsspektrum. Bezüglich der üblichen Vorgehensweise der Beschaltung von SOI-MOS-Transistoren, wonach Gate-, Source- und Drain-Anschlüsse von nur einer Seite beschaltet werden, ergibt die Nutzbarmachung des sich unterhalb aller Schichten angeordneten Rückseitenkontaktes als über die Durchkontaktierungen direkt verbundener Source-Anschluß eine bedeutend einfachere Verdrahtung, insbesondere bei Leistungsverstärkern, bei denen eine Mehrzahl von Transistorfingern parallel zueinander angeordnet sind.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

25

Fig. 1a einen Querschnitt eines Transistors bzw. eines Transistorfingers gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

30

Fig. 1b einen Querschnitt eines Transistors bzw. eines Transistorfingers gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung;

35

Fig. 2 eine Draufsicht eines Teils eines aus den Transistoren von Fig. 1a bestehenden Leistungsverstärkers gemäß einem Ausführungsbeispiel der vorliegenden Erfindung; und

Fig. 3 eine Draufsicht eines herkömmlichen LDMOS-Leistungsverstärkers, der in einer Epitaxieschicht auf einem Halbleitersubstrat gebildet ist.

5

Bezug nehmend auf Fig. 1a wird zunächst ein Ausführungsbeispiel für eine LDMOS-Transistor gemäß der vorliegenden Erfindung beschrieben. Der Transistor, der allgemein mit 10 angezeigt ist, umfaßt einen Source-Bereich 12 eines ersten Leitfähigkeitstyps, nämlich vorliegend exemplarisch einen stark n-dotierten "n+"-Source-Bereich, einen Kanal- bzw. Gate-Bereich 14 eines zweiten Leitfähigkeitstyps, vorliegend exemplarisch einen schwach p-dotierten p-- Bereich, und einen Drain-Bereich eines ersten Leitfähigkeitstyps, der vorliegend exemplarisch aus einem schwach n-dotierten LDD-Bereich 16a (LDD = lightly doped drain) und einem stark n-dotierten Drain-Kontaktbereich 16b besteht, wobei die Bereiche 12-16 in einer Halbleiterschicht, wie z.B. aus Silizium, 18 gebildet sind. Die Halbleiterschicht 18 ist gegebenenfalls bereits geeignet schwach vordotiert. Die Halbleiterschicht 18 ist Teil eines SOI-Substrates 20 und ist über eine vergrabene Isolations-schicht 22, wie z.B. aus Siliziumdioxid, von einem Halbleitersubstrat 24 getrennt, das beispielsweise ebenfalls aus Silizium gebildet ist. Direkt oberhalb des Source-Bereiches 12 befindet sich ein elektrisch mit demselben verbundener Source-Anschluß 26. Dementsprechend befindet sich ein Drain-Anschluß 28 direkt oberhalb und in elektrischer Verbindung zu dem Drain-Bereich 16b. Ein Gate 30 befindet sich direkt über dem p-Kanal-Bereich 14 und ist von demselben durch eine Isolations-schicht 32, wie z.B. Siliziumdioxid, getrennt um mit demselben wirksam gekoppelt zu sein, wobei die Isolations-schicht 32 ferner als Schutzschicht für den gesamten Transistor 10 dient und somit die gesamte Struktur bedeckt. Der Source-Anschluß 26 erstreckt sich in Form einer Durchkontaktierung 34 durch die Halbleiterschicht 18, die Isolations-schicht 22 und das Halbleitersubstrat 24 nach unten bis zu einer sich auf einer der Halbleiterschicht 18 abgewandten

35

Seite bzw. Hauptfläche des Halbleitersubstrates 24 befindlichen Metallisierung bzw. einem Rückseitenkontakt, die bzw. der als Source-Anschluß 36 dient. Die Durchkontaktierung 34 ermöglicht folglich eine elektrische Verbindung des Source-Bereiches 12 mit dem Rückseitenkontakt 36.

Zur Herstellung des MOS-Transistors 10 von Fig. 1a werden beispielsweise ausgehend von dem SOI-Substrat 20, bei dem gegebenenfalls die Halbleiterschicht 18 geeignet vordotiert ist, zunächst die Bereiche 12-16 durch geeignete Dotierverfahren, wie z.B. thermisches Dotieren durch Diffusion oder aber durch andere Dotierverfahren, wie z.B. Ionenimplantation oder dergleichen, in der Halbleiterschicht 18 des SOI-Substrates 20 gebildet.

Nach Bereitstellung des SOI-Substrates 20 sowie der Bildung der Bereiche 12-16 wird dann durch ein geeignetes Verfahren, wie z.B. durch Trocken- oder Naßätzen, vorzugsweise ein anisotropes Ätzverfahren, eine durchgehende Öffnung durch die oben liegende Halbleiterschicht 18, die darunter liegende Isolationsschicht 22 und das Halbleitersubstrat 24 erzeugt, die sich in lateraler Richtung zumindest teilweise in den Source-Bereich hinein erstreckt und sich in vertikaler Richtung folglich von dem Source-Bereich 12 bis zu der der Isolationsschicht 22 gegenüberliegenden Seite des Halbleitersubstrates 24 verläuft. Um das Ätzen einer durchgehenden Öffnung bzw. eines Loches zu vermeiden, könnte das SOI-Substrat auf einem Opfer-Substrat aufgebracht sein, welches als Ätzstop beim Ätzen der Öffnung dient. Danach wird in die so erzeugte Öffnung ein leitfähiges Material, wie z.B. Wolfram, durch ein geeignetes Verfahren, wie z.B. ein CVD-Verfahren, eingebracht, wodurch eine elektrische Verbindung mit dem Source-Bereich 12 hergestellt wird. Die optionale Opferschicht könnte danach weggeschliffen oder weggeätzt werden.

Der Prozeßschritt, bei dem die Öffnung mit leitfähigem Material aufgefüllt wird, um die Durchkontaktierung 34 zu bilden,

kann ferner gleichzeitig zur Bildung des Source-Anschlusses 26 auf der Oberfläche der Halbleiterschicht 18 dienen. Andernfalls wird der Source-Anschluß entweder weggelassen oder er wird in einem weiteren, getrennten Prozeßschritt, wie z.B. durch Lithographie, mit dem Drain-Anschluß 28 auf der Oberfläche der Halbleiterschicht 18 gebildet. Aufbringen einer Isolationsschicht auf die sich bis dahin ergebende Struktur, Aufbringen des Gate-Anschlusses 30 und Aufbringen einer weiteren Isolationsschicht auf die bis dahin gebildete Struktur sowie Vorsehen der Metallisierung 36 auf der Rückseite des SOI-Substrates 20 führt dann zu dem in Fig. 1a gezeigten Transistor 10.

In Fig. 2 ist ein Ausführungsbeispiel für einen HF-Leistungsverstärker bzw. HF-Leistungstransistor gezeigt, bei dem der in Fig. 1a gezeigte Transistor als ein Transistorfinger unter mehreren dient, wobei in Fig. 2 mit A und A' der in Fig. 1a gezeigte Querschnitt angezeigt ist. Zur Vermeidung von Wiederholungen werden die gleichen Elemente in Fig. 1a und 2 mit den gleichen Bezugszeichen versehen, wobei eine wiederholte Beschreibung derselben weggelassen wird.

Wie es in Fig. 2 unten angedeutet ist, besteht der HF-Leistungsverstärker, der allgemein mit 40 angezeigt ist, aus mehreren parallel zueinander angeordneten Transistorfingern 10a und 10b. Jeder Transistorfinger 10a und 10b ist wie in Fig. 1a aufgebaut und umfaßt einen fingerartigen Source-Anschluß 26, einen fingerartigen Source-Bereich 12, einen fingerartigen Gate-Anschluß 30, einen darunterliegenden, und deshalb nicht sichtbaren, Kanal-Bereich 14, einen Drain-Bereich 16 (16a und 16b) und einen Drain-Anschluß 28, die alle parallel zueinander angeordnet sind. Die Transistorfinger 10a und 10b sind abwechselnd zueinander um 180° zueinander im Ganzen verdreht bzw. abwechselnd spiegelsymmetrisch zueinander angeordnet, so daß ihre Source-Anschlüsse 26 und Drain-Anschlüsse 28 nebeneinander liegen und einstückig gebildet sind. Aufgrund der Tatsache, daß die Source-Bereiche 12 über

die Durchkontaktierungen (34 in Fig. 1a), die durch die Halbleiterschicht, in der die Transistorfinger gebildet sind, die Isolationsschicht und das Halbleitersubstrat des SOI-Substrates verlaufen, mit dem Source-Anschluß auf der Rückseite des SOI-Substrates elektrisch verbunden sind, der beispielsweise auf Masse geschaltet ist, ist es möglich, die Gate-Anschlüsse 30 und die Drain-Anschlüsse 28 an gegenüberliegenden Enden derselben zusammenzufassen bzw. miteinander elektrisch zu verbinden. So sind die Gate-Anschlüsse 30, wie in Fig. 2 gezeigt, jeweils am von Fig. 2 aus gesehen unteren Ende durch eine senkrecht zur Anordnungsrichtung verlaufende Gate-Anschlußmetallbahn 42 miteinander verbunden, während die Drain-Anschlüsse 28 an den gegenüberliegenden, von Fig. 2 aus gesehen oberen Enden über eine senkrecht zur Anordnungsrichtung verlaufende Drain-Anschlußmetallbahn 44 miteinander verbunden sind. Wie bereits in der Beschreibungseinleitung beschrieben, können die anderen, d.h. oberen, Enden der Gate-Anschlüsse 30 durch Stege miteinander verbunden sein, die jeweils zwei zu einem Drain-Anschluß 28 benachbarte Gate-Anschlüsse 30 über den jeweiligen Gate-Anschluß hinweg miteinander verbinden (nicht gezeigt in Fig. 2).

Folglich ermöglicht der obige HL-Leistungsverstärker ein kompaktes Layout unter Verwendung von SOI-LDMOS-Transistoren mit aufgrund der SOI-Technik geringer parasitärer Kapazität, wobei zudem das Anwendungsspektrum nicht durch Materialanforderungen an das Halbleitersubstrat des SOI-Substrates eingeschränkt ist, wie z.B. in dem Fall von SOC-(system on chip) Anwendungen, in denen Spulen integriert sind, die ein hochohmiges Halbleitersubstrat erfordern.

Bezug nehmend auf die vorhergehende Beschreibung wird darauf hingewiesen, daß die Dotierungsverhältnisse, die im vorhergehenden beschrieben worden sind, umgekehrt werden können. Auch die genaue Art der in der Halbleiterschicht des SOI-Substrates gebildeten Transistoren ist für die vorliegende Erfindung nicht wesentlich, und so kann beispielsweise der LDD-

Bereich des Drain-Bereiches gegebenenfalls auch fehlen, oder der Kanal-Bereich kann einen Dotierungsgradienten aufweisen.

Entgegen der vorhergehenden Beschreibung, bei der die Durch-
5 kontaktierung durch Ätzen eines Loches und anschließendes
Auffüllen desselben durch ein leitfähiges Material gebildet
wurde, ist es ferner möglich, daß die Durchkontaktierung aus
einem sich lediglich bis zum Halbleitersubstrat durch die I-
solationsschicht erstreckenden Graben bzw. erstreckendes
10 Loch, welcher bzw. welches mit leitfähigem Material gefüllt
ist, und ein von diesem Loch bzw. Graben bis zu dem Rücken-
seitenkontakt verlaufenden Bereich gebildet wird, bei dem die
Leitfähigkeit des Halbleitersubstrates mittels Dotierung sig-
nifikant erhöht ist. Exemplarische Dotierungshöhen zur ge-
15 zielten Dotierung der die Durchkontaktierung bildenden Berei-
che des Halbleitersubstrates umfassen beispielsweise Dotie-
rungen von etwa 10^{16} bis mehrere 10^{20} $1/\text{cm}^3$, wobei diese Kon-
zentration von einer Seite des Substrates zur anderen Seite
ansteigen kann. Die Grunddotierung des Substrates liegt dann
20 im Bereich von 10^{12} bis 10^{16} $1/\text{cm}^3$.

Ferner wird darauf hingewiesen, daß sich die vorhergehende
Beschreibung lediglich exemplarisch auf den häufig auftreten-
den Fall bezog, bei dem ein HF-Leistungstransistor in einer
25 integrierten Schaltung im Rahmen einer Source-Schaltung ver-
wendet wird. Die Erfindung kann jedoch gegebenenfalls auch
dann nützlich sein, wenn die Drain-Bereiche mit dem Rücksei-
tenkontakt auf der Rückseite des SOI-Substrates verbunden
sind.

30 Zudem könnten als sourceseitige Durchkontaktierung jede Art
von Kontaktierung verwendet werden. Obwohl also bei dem Aus-
führungsbeispiel von Fig. 1a eine sich mit konstantem Quer-
schnitt senkrecht nach unten erstreckende Durchkontaktierung
35 (Via) verwendet wurde, kann also auch eine nach unten hin en-
ger werdende Durchkontaktierung verwendet werden. Eine solche
könnte beispielsweise durch Plasmaätzen eines durch eine pho-

toempfindliche Maske ungeschützten Trenchbereiches, der sich lateral zumindest teilweise in den Source-Bereich und vertikal bis zum Rückseitenkontakt erstreckt, und anschließendes Aufbringen von Metall auf dem hierdurch erzeugten V-förmigen Trenchgraben durch beispielsweise Sputtern erzeugt werden.

Eine so entstehender SOI-LDMOS-Transistor, der sich von demjenigen in Fig. 1a lediglich durch die im vorhergehenden erwähnte V-förmige Grabenkontaktierung unterscheidet, ist in Fig. 1b gezeigt.

Bezugszeichenliste

	10	LDMOS-Transistor
	12	Source-Bereich
5	14	Gate-Bereich
	16a	LDD-Bereich 16a
	16b	Drain-Kontaktbereich 16b
	18	Halbleiterschicht
	20	SOI-Substrates 20
10	22	Isolationsschicht
	24	Halbleitersubstrat
	26	Source-Anschluß
	28	Drain-Anschluß
	30	Gate
15	32	Isolationsschicht
	34	Durchkontaktierung
	36	Source-Anschluß
	40	HF-Leistungsverstärker
	42	Gate-Anschlußmetallbahn
20	44	Drain-Anschlußmetallbahn
	100	Substrat
	102	aktiver Bereich
	104	erste Seite des aktiven Bereiches
	106	zweite Seite des aktiven Bereiches
25	110	Gate-Anschluß
	110a-d	fingerförmige Abschnitte
	112	Drain-Anschluß
	112a,112b	fingerförmige Abschnitte
	114a,114b	Gate-Verbindungen
30	T ₁ - T ₄	Transistorstrukturen
	S ₁ , S _{2/3} , S ₄	Source-Bereich
	G ₁ , G ₂	Gate-Bereich
	D _{1/2} , D _{3/4}	Drain-Bereich

Patentansprüche

1. MOS-Transistor mit einem Source-Bereich (12), einen Drain-Bereich (16a, 16b) und einem Kanal-Bereich (14), die in einer Halbleiterschicht (18) eines SOI-Substrates (20) gebildet sind, das unter der Halbleiterschicht (18) ein Halbleitersubstrat (24) und zwischen Halbleiterschicht (18) und Halbleitersubstrat (24) eine Isolationsschicht (22) aufweist, wobei der Drain- oder Source-Bereich (16a, 16b, 12) mit einem auf einer der Isolationsschicht (22) abgewandten Seite des Halbleitersubstrates (24) gebildeten Rückseitenkontakt über eine durch das Halbleitersubstrat (24) verlaufende Durchkontaktierung elektrisch verbunden ist.
2. MOS-Transistor gemäß Anspruch 1, bei dem die Durchkontaktierung eine mit einem leitfähigen Material gefüllte Kontaktöffnung aufweist.
3. MOS-Transistor gemäß Anspruch 1, bei dem die Durchkontaktierung eine durch die Isolationsschicht (22) verlaufende und mit einem leitfähigen Material gefüllte Öffnung sowie einen von der Öffnung durch das Halbleitersubstrat (24) bis zu dem Rückseitenkontakt verlaufenden Durchkontaktierungsbereich des Halbleitersubstrates (24) aufweist, in welchem die Dotierung in dem Halbleitersubstrat (24) zwischen 1×10^{16} und 3×10^{20} $1/\text{cm}^3$ liegt und die Grunddotierung des Substrates zwischen 1×10^{12} und 1×10^{16} $1/\text{cm}^3$ liegt.
4. MOS-Transistor gemäß einem der Ansprüche 1-3, der ferner einen Drain- und einen Gate-Anschluß (28, 30) aufweist, die auf einer der Seite, auf der der als Source-Anschluß dienende Rückseitenkontakt angeordnet ist, abgewandten Seite des SOI-Substrates (20) angeordnet sind, so daß der Gate-Anschluß (30) mit dem Kanalbereich (14) gekoppelt und der Drain-Anschluß (28) mit dem Drain-Bereich (16a, 16b) elektrisch verbunden ist.

5. HF-Leistungstransistor, der mehrere parallel zueinander angeordnete Transistoren gemäß einem der Ansprüche 1 bis 4 aufweist.

- 5 6. HF-Leistungstransistor gemäß Anspruch 5, bei dem die Drain- und Gate-Anschlüsse (28, 30) der MOS-Transistoren fingerförmig ineinandergreifen, wobei die Drain-Anschlüsse und die Gate-Anschlüsse an gegenüberliegenden Enden elektrisch verbunden sind.

10

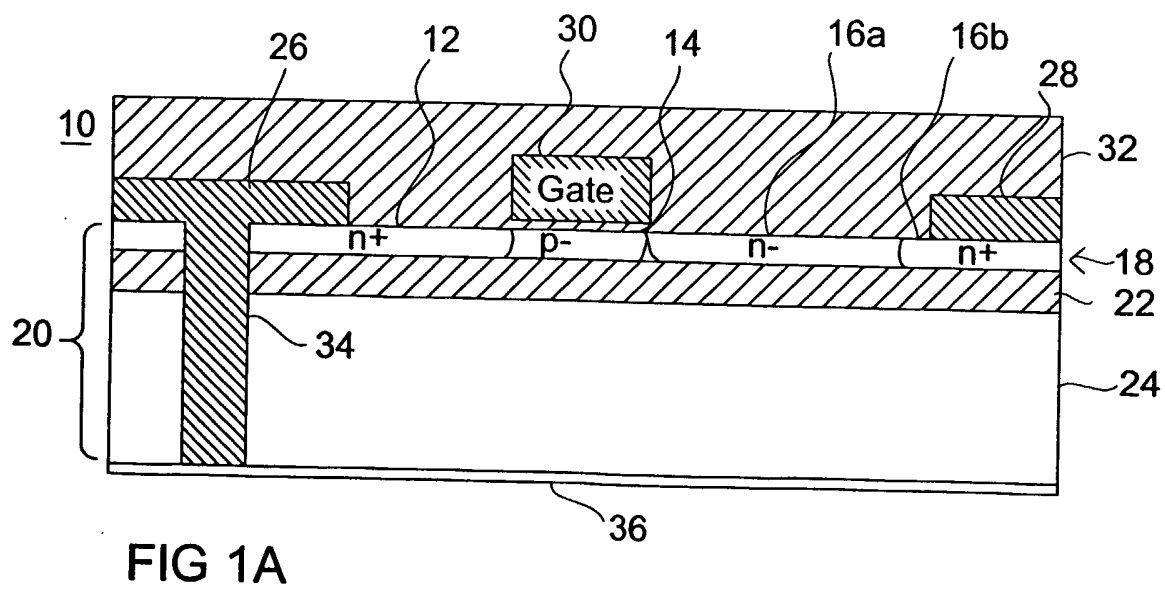
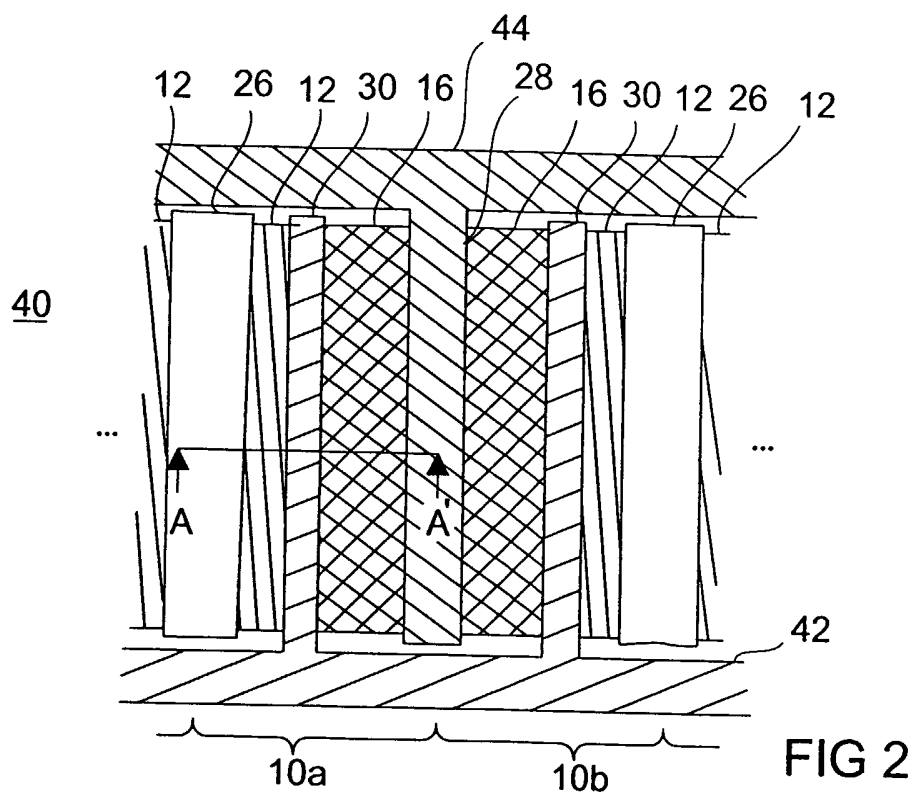
7. Verfahren zum Herstellen eines MOS-Transistors, mit folgenden Schritten:

- 15 Bereitstellen eines SOI-Substrates (20), das eine Halbleiterschicht (18), ein Halbleitersubstrat (24) und eine unter der Halbleiterschicht (18) zwischen Halbleiterschicht (18) und Halbleitersubstrat (24) befindliche Isolationsschicht (22) aufweist;

- 20 Bilden eines Source- (12), eines Drain- (16a, 16b) und Kanal-Bereiches (14) in der Halbleiterschicht (18) des SOI-Substrates (20); und

- 25 Erzeugen einer Durchkontaktierung (34), die den Source-Bereich (12) oder den Drain-Bereich (16a, 16b) mit einem auf einer der Isolationsschicht (22) abgewandten Seite des Halbleitersubstrates (24) gebildeten Rückseitenkontakt elektrisch verbindet.

30



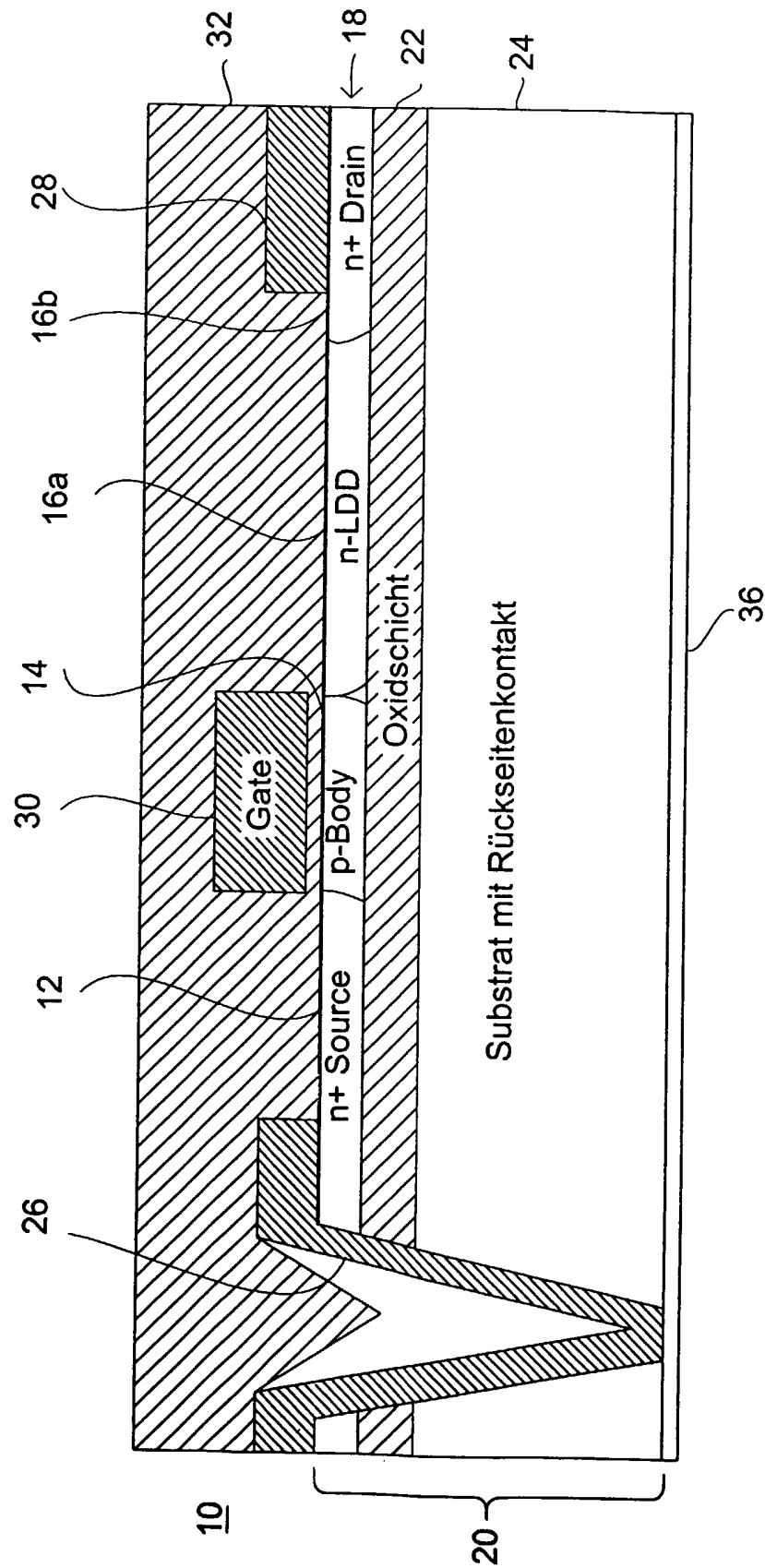


FIG 1B

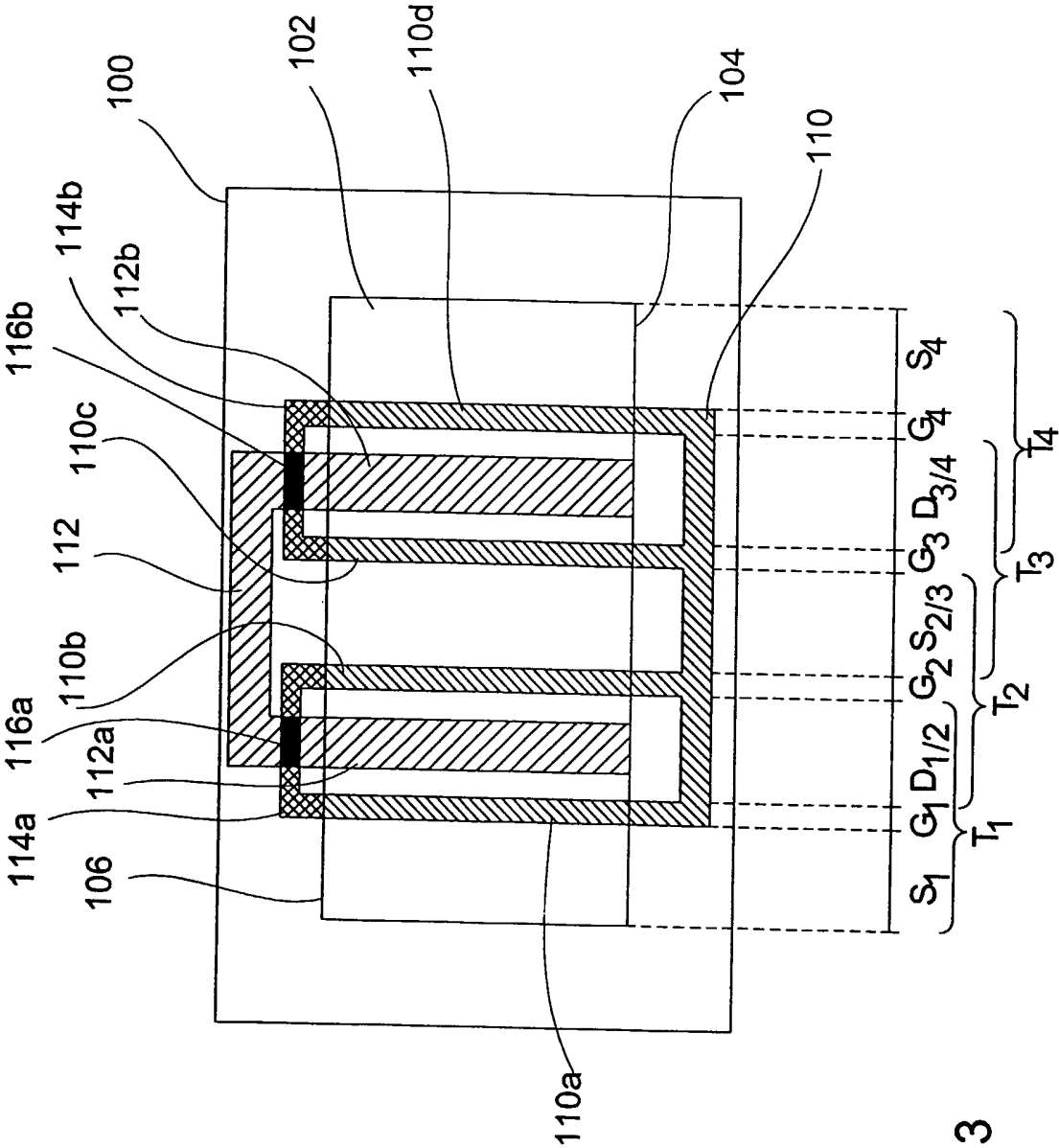


Fig 3

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/11843

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EP0-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 002 154 A (FUJITA KOICHI) 14 December 1999 (1999-12-14) claim 1; figures 6B,7,8 ---	1-7
X	US 5 929 488 A (ENDOU KAZUO) 27 July 1999 (1999-07-27) figures 2B,3 ---	1-7
A	US 6 153 912 A (HOLST JOHN C) 28 November 2000 (2000-11-28) figure 9 ---	1,7
A	US 5 548 150 A (SEKIMURA MASAYUKI ET AL) 20 August 1996 (1996-08-20) cited in the application figures 40-47 ---	1,7
	--- -/--	



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

3 February 2004

Date of mailing of the international search report

10/02/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Juh1, A

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/11843

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 063 678 A (D ANNA PABLO EUGENIO) 16 May 2000 (2000-05-16) cited in the application figures 17,18	1,6

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 03/11843

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6002154	A	14-12-1999	JP 11204799 A	30-07-1999
US 5929488	A	27-07-1999	JP 7283414 A	27-10-1995
			DE 69510484 D1	05-08-1999
			DE 69510484 T2	18-11-1999
			EP 0676815 A1	11-10-1995
US 6153912	A	28-11-2000	NONE	
US 5548150	A	20-08-1996	JP 3340177 B2	05-11-2002
			JP 6268223 A	22-09-1994
			JP 3217554 B2	09-10-2001
			JP 7086580 A	31-03-1995
			JP 3342944 B2	11-11-2002
			JP 6318696 A	15-11-1994
			JP 3462255 B2	05-11-2003
			JP 7131032 A	19-05-1995
US 6063678	A	16-05-2000	US 6190978 B1	20-02-2001
			US 6048772 A	11-04-2000
			WO 0109938 A1	08-02-2001
			WO 9957761 A1	11-11-1999

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/11843

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/786

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EP0-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 002 154 A (FUJITA KOICHI) 14. Dezember 1999 (1999-12-14) Anspruch 1; -Abbildungen 6B,7,8 ---	1-7
X	US 5 929 488 A (ENDOU KAZUO) 27. Juli 1999 (1999-07-27) Abbildungen 2B,3 ---	1-7
A	US 6 153 912 A (HOLST JOHN C) 28. November 2000 (2000-11-28) Abbildung 9 ---	1,7
A	US 5 548 150 A (SEKIMURA MASAYUKI ET AL) 20. August 1996 (1996-08-20) in der Anmeldung erwähnt Abbildungen 40-47 --- -/-	1,7



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

3. Februar 2004

Absenddatum des internationalen Recherchenberichts

10/02/2004

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Juhl, A

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/11843

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 063 678 A (D ANNA PABLO EUGENIO) 16. Mai 2000 (2000-05-16) in der Anmeldung erwähnt Abbildungen 17,18 -----	1,6

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 03/11843

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6002154	A	14-12-1999	JP 11204799 A	30-07-1999
US 5929488	A	27-07-1999	JP 7283414 A	27-10-1995
			DE 69510484 D1	05-08-1999
			DE 69510484 T2	18-11-1999
			EP 0676815 A1	11-10-1995
US 6153912	A	28-11-2000	KEINE	
US 5548150	A	20-08-1996	JP 3340177 B2	05-11-2002
			JP 6268223 A	22-09-1994
			JP 3217554 B2	09-10-2001
			JP 7086580 A	31-03-1995
			JP 3342944 B2	11-11-2002
			JP 6318696 A	15-11-1994
			JP 3462255 B2	05-11-2003
			JP 7131032 A	19-05-1995
US 6063678	A	16-05-2000	US 6190978 B1	20-02-2001
			US 6048772 A	11-04-2000
			WO 0109938 A1	08-02-2001
			WO 9957761 A1	11-11-1999