

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G06F 11/20

(45) 공고일자 2004년 10월 12일
(11) 등록번호 10-0441817
(24) 등록일자 2004년 07월 16일

(21) 출원번호	10-1998-0704770	(65) 공개번호	10-1999-0076659
(22) 출원일자	1998년 06월 22일	(43) 공개일자	1999년 10월 15일
번역문제출일자	1998년 06월 22일		
(86) 국제출원번호	PCT/US1996/020113	(87) 국제공개번호	WO 1997/25674
(86) 국제출원일자	1996년 12월 19일	(87) 국제공개일자	1997년 07월 17일
(81) 지정국	국내특허 : 아일랜드 알바니아 오스트레일리아 보스니아-헤르체고비나 바베이도스 불가리아 브라질 캐나다 중국 쿠바 체코 에스토니아 그 루지아 헝가리 이스라엘 아이슬란드 일본 AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 케냐 EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국		

(30) 우선권주장 08/577,840 1995년 12월 22일 미국(US)

(73) 특허권자 마이크론 테크놀로지 인코포레이티드
미국, 아이다호 83707-0006, 보이세, 피.오.박스 6, 사우쓰 패드럴웨이 8000
(72) 발명자 길리암 게리 알.
미국, 아이다호 83709, 보이스, 랜돌프 드라이브 6410
듀스만 케빈 지.
미국, 아이다호 83709, 보이스, 사우쓰 선트리 웨이 4084
네빌 렐런드 알.
미국, 아이다호 83709, 보이스, 다이아몬드 스트릿 6803
(74) 대리인 이병호

심사관 : 박성호

(54) 메모리장치모듈에서 기능을 인에이블시키기 위한 회로 및 방법

영세서

기술분야

<1> 본 발명은 집적 메모리 회로에 관한 것으로, 특히 집적 메모리 회로에서 여분의(redundant) 메모리 셀과 같은 기능 회로를 인에이블시키기 위한 회로 및 그 방법에 관한 것이다.

배경기술

<2> **발명의 배경**

종래의 메모리 장치에서, 다수의 집적 메모리 회로를 때때로 다중 메모리 장치 모듈(multiple memory device module)이라고 불리는 모듈 내에 하나로 패키징되는 경우가 있다. 예를 들면, 한 개 이상의 다이(die)에 구현된 다수의 집적 메모리 회로를 단일 인라인 메모리 모듈(SIMM:single in-line memory module), 이중 인라인 메모리 모듈(DIMM:dual in-line memory module) 및 다중 칩 메모리 모듈(MCM:multi-chip memory module)과 같은, 하나의 다중 메모리 장치 모듈에 패키징 된다. 물론 다른 패키징 형태도 가능하다.

<4> 다중 메모리 장치 모듈 내의 각 집적 메모리 회로는 필요시마다 인에이블시킬 수 있는 한 개 이상의 선택 기능 회로를 구비한다. 가령, 집적 메모리 회로 내에 여분의 메모리 셀을 인에이블시켜서 일반적으로 제조 공정에서 결정되는 어드레스를 갖는 작동불가능한 메모리 셀을 바꿀 수 있다. 다른 대표적인 선택 기능 회로는 집적 메모리 회로에서 레지스터나 캐패시터와 같은 회로 장치의 성분값을 미세하게 동조화하는 데에 사용된다. 이들과 같은 여분의 메모리 장치나 기타 다른 선택 기능 회로는 통상적으로 레이저 퓨즈를 개방시키거나 안티퓨즈(anti-fuse)를 단락시킴으로써 인에이블된다. 그 때문에, 여분의 장치나 기능 회로가 일반적으로 칩이 모듈 내에 장착되기 전에 칩 레벨에서 인에이블된다. 칩을 모듈 내에 장착하였을 때 메모리 칩에 불량이 발견되면, 모듈에서 메모리 칩을 제거하여 여분의 장치 또는 기능 회로를 인에이블시키거나, 모듈 상의 모든 칩에 대하여 여분의 장치 또는 기능 회로를 인에이블시켜야 한다. 그러므로, 메모리 칩이 하나의 모듈 내에 조립되면 메모리 장치의 선택 기능을 보수하고 선택하는 것이 각 메모리 칩에 대하여 쉽지 않다.

<5> 다중 메모리 장치 모듈에 다른 집적 메모리 회로와 함께 패키징된 집적 메모리 회로 개의 기능 회로를 인에이블시키기 위한 하나의 방법은 모듈의 입력 단자중 하나에 고전압을 인가하는 것이다. 고전압은 CAS와 같은 어드레스 스트로브 (strobe) 신호를 이용하여 모듈 내에 스트로브시키고, 같은 어드레스 스트로브 신호를 공유하는 모듈 내의 각 집적 메모리 회로에 인가한다. 고전압을 인가받은 각각의 집적 메모리 회로 내에서, 앤티퓨즈와 같이 프로그램 가능한 장치에 고압을 가하여 끊어서 소정의 기능 회로를 인에이블시킨다.

<6> 가령, 고전압이 CAS1 신호와 CAS2 신호를 동시에 수신하는 다중 메모리 장치 모듈의 입력에 인가된 다음에 CAS1 신호에 의해 모듈 내에 스트로브되면, 고전압은 CAS1 신호를 공유하는 모듈 내의 각 집적 메모리 회로에 인가된다. 그 결과, CAS1 신호를 공유하는 각각의 집적 메모리 회로에서 소정의 기능 회로를 인에이블시킬 수 있다. 물론, CAS1 신호는, 단지 집적 메모리 회로 내의 소망의 기능 회로가 인에이블될 때만 집적 메모리 회로에 입력되게 된다.

<7> 이 때문에, 다중 메모리 장치 모듈에서 오직 한 개의 집적 메모리 회로에서만 소정의 기능 회로를 인에이블시키는 것이 가능할 것 같지 않다. 일반적인 다중 메모리 장치 모듈에서, 각 집적 메모리 회로는 행과 열로 배열된 메모리 셀과, 행으로 배열된 여분의 메모리 셀을 포함하는 메모리 어레이를 구비한다. 하나의 집적 메모리 회로에서 한 행의 메모리 셀이 작동불가능하면, 작동불가능한 메모리 셀을 보수(repair)하기 위하여 상기와 같이 해당 행을 그와 관련한 행의 여분의 메모리 셀로 바꾸게 된다. 그러나, 그와 동시에 다중 메모리 장치 모듈 내의 다른 집적 메모리 회로에 있는 작동가능한 메모리 셀도 그와 관련한 행의 여분의 메모리 셀로 바꾸게 된다. 그 결과, 동일한 CAS 신호를 공유하는 두 개의 집적 메모리 회로를 갖는 다중 메모리 장치 모듈에서, 교체되는 행에 결함이 없다 하더라도 하나의 집적 메모리 회로의 한 행이 해당 여분의 행으로 교체되게 된다.

<8> 이와 같이 다중 메모리 장치 모듈의 하나의 집적 메모리 회로 내에서 결함있는 행(faulty row)을 절연시키지 못하고 교체하게 되어, 각각의 보수 과정에서 다수의 작동가능한 표준 메모리 셀까지 불필요하게 교체하게 되므로 다중 메모리 장치 모듈을 보수하는 속도가 감소하게 된다. 예를 들어, 8개의 집적 메모리 회로를 갖는 다중 메모리 장치 모듈에서 하나의 작동불가능한 표준 메모리 셀을 보수하는 중에는 8개의 집적 메모리 회로 각각의 정규 메모리 셀 한 행이 관련 여분의 행으로 교체되게 된다. 각각의 여분의 행과 관련하여 작동불가능한 메모리 셀을 포함하지 않을 확률이 99%라면, 8개의 모든 여분의 행이 작동불가능한 메모리 셀을 포함하지 않게 될 확률은 0.99^8 즉, 단지 92% 가 된다. 수천 개의 다중 메모리 장치 모듈을 제조하는 동안에 99%의 보수 속도와 92%의 보수 속도간의 차이는 엄청나다.

<9> 따라서, 한 개의 다중 메모리 장치 모듈 내의 다수의 집적 메모리 회로의 단지 한 회로에서 여분의 메모리 셀과 같은 기능 회로를 인에이블시키기 위한 회로 및 방법이 요구된다. 이와 같은 회로 및 방법을 다수의 다중 메모리 장치 모듈을 작동불가능한 표준 메모리 셀을 가지고 보수하는 데에 사용하면 보수 속도가 증가한다.

발명의 상세한 설명

<10> 발명의 개요

본 발명의 메모리 장치 모듈은 패키지 외부 회로와 통신하기 위하여 패키지내에 통신 커플러와 작동 상(operatively) 각각 결합되어 있는 다중 집적 메모리 회로를 포함한다. 집적 메모리 회로 각각은 외부 회로로부터 적어도 한 개의 어드레스 스트로브 신호, 어드레스들, 기타 입력 신호들을 포함하는 복수의 입력 신호들을 수신한다. 입력 신호들은 외부 액세스가 가능한 접점을 통하여거나, 무선 주파수나 광신호 인터페이스와 같은 비접점 인터페이스를 통하여 수신된다. 또한 모듈은 각각의 집적 메모리 회로에 대응되는 NAND 게이트를 포함하는 인에이블 회로를 포함한다. 인에이블 회로 각각은 각 집적 메모리 회로와 작동 상 결합되어 있어서 적어도 몇 개의 입력 신호를 수신한다. 각 인에이블 회로는 대응하는 입력 신호들의 세트에 대하여 특유하게 응답하여 인에이블 신호를 출력한다. 각 입력 신호 세트는 기타 입력 신호를 적어도 한 개 포함한다. 각 기능 회로는 각각의 인에이블 회로로부터 인에이블 신호를 수신함으로써 인에이블된다. 기능 회로는 여분의 메모리 셀인 것이 바람직하다.

이와 같은 방법에 의하여, 다른 집적 메모리 회로의 각 기능 회로는 인에이블되지 않고 특정한 한 개의 집적 메모리 회로의 기능 회로만이 인에이블되는 이점이 있다.

도면의 간단한 설명

<13> 도 1은 메모리 장치 모듈을 포함하는 본 발명에 따른 바람직한 컴퓨터 시스템을 나타낸 블럭도.

<14> 도 2는 집적 메모리 회로를 포함하는 도 1의 메모리 장치 모듈을 나타낸 블럭도.

<15> 도 3은 인에이블 회로를 포함하는 도 2의 집적 메모리 회로 중 한 개를 나타낸 블럭도.

<16> 도 4는 퓨즈 회로와 패스 게이트를 포함하는 도 3의 인에이블 회로의 블럭 구성 및 논리 회로도.

<17> 도 5는 도 4의 퓨즈 회로를 나타낸 개략도.

<18> 도 6은 도 4의 패스 게이트를 나타낸 개략도.

<19> [실시예]

<20> 발명의 상세한 설명

도 1에 도시한 본 발명의 바람직한 실시예에서, 컴퓨터 시스템(10)은 키보드와 같은 입력 장치(12)와 CRT 모니터와 같은 출력 장치(14)를 포함하고, 이를 장치는 모두 기존의 프로세서(16)와 작동 상 결합되어 있다. 또한, 컴퓨터 시스템(10)은 프로세서(16)와 작동 상 결합되어 있는 한 개의 다중 메모리 장치 모듈(18)을 포함한다. 본 발명은 동적 랜덤 액세스 메모리(DRAMs)이나 정적 랜덤 액세스 메모리

(SRAMs)를 포함하는 어떠한 다중 메모리 장치 모듈에도 적용할 수 있음을 본 발명의 분야에 관한 지식을 가진 자라면 이해할 것이다.

<22> 도 1의 메모리 장치 모듈(18)의 일 실시예는 도 2에서 보다 상세히 도시되어 있다. 이 실시예는 프로세서(16)(도시되어 있지 않음)와 작동 상 결합되어 프로세서(16)로부터 어드레스 스트로브 신호(RAS, CAS)와 어드레스 A<0:9>를 수신하고, 프로세서(16)로부터 데이터 신호 DQ<1:8>를 수신하고 프로세서(16)에 데이터 신호 DQ<1:8>를 송신하는 다중 집적 메모리 회로(20a)(20b)를 포함한다.

<23> 도 2에서 한 개의 집적 메모리 회로(20a)는 도 3에서 보다 상세히 도시되어 있다. 이 집적 메모리 회로는 인에이블 회로(22)마다 특유한 신호 세트의 수신에 응답하여 인에이블 신호(24)를 제공하는 인에이블 회로(22)를 포함한다. 바람직하게는, 인에이블 회로(22)는 어드레스 스트로브 신호(RAS, CAS)와, DQ1과 같은 데이터 신호를 포함하는 신호 세트의 수신에 특유하게 응답한다. 물론, 신호 세트들도 DQ1 대신에 데이터 신호 DQ<2:4> 중의 하나를 포함할 수 있으나, RAS, CAS 또는 데이터 신호 DQ<1:4> 중 하나를 포함할 필요는 없다. 마찬가지로, 다른 집적 메모리 회로(20b)(도시되어 있지 않음)에서 동일한 인에이블 회로가 인에이블 신호를 제공함으로써 어드레스 스트로브 신호(RAS, CAS)와 DQ5와 같은 데이터 신호를 포함하는 신호 세트의 수신에 응답하는 것이 바람직하다. 물론, 신호 세트는 DQ5 대신에 데이터 신호 DQ<6:8> 중의 하나를 포함할 수 있으나 RAS, CAS 또는 데이터 신호 DQ<5:8> 중의 하나를 포함할 필요는 없다. 상기 방법에서 인에이블 회로를 특정하게 식별할 수 있도록 하여, 원활 때 인에이블 신호를 제공할 수 있도록 한다. 도 4, 5 및 6을 통하여 인에이블 회로(22)를 보다 상세히 설명하면 다음과 같다.

<24> 액세스 회로(26)가 인에이블 신호(24)를 수신한다. 액세스 회로(22)는 로우 및 칼럼 디코더와, 데이터 버퍼와, 그리고 감지 증폭기를 포함하고, 1024 개의 로우 인에이블 라인과 1024 개의 칼럼 인에이블 라인 및 4비트 데이터 버스에 의해 메모리 어레이(28)에 결합되어 있다. 메모리 어레이(28)는 메모리 셀(30)과 여분의 메모리 셀(32)을 모두 포함한다. 액세스 회로(26)는 수신된 어드레스 A<0:9>에 따라 선택된 메모리 셀(30)에 액세스하여 메모리 셀(30)에 데이터 신호 DQ<1:4>를 기록하거나 메모리 셀(30)로부터 데이터 신호 DQ<1:4>를 판독한다.

<25> 액세스 회로(26)는, 상기 인에이블 신호(24)를 수신함에 따라, 상기 작동불가능 메모리 셀(30)의 어드레스 A<0:9>를 수신하면 작동불가능으로 알려진 메모리 셀(30)에 대응하는 수신된 어드레스 A<0:9>를 그 작동불가능 메모리 셀(30) 대신에 여분의 메모리 셀(32) 중 하나에 액세스하도록 프로그래밍될 수 있다. 액세스 회로(26)는 퓨즈 또는 안티퓨즈를 끊어서 작동불가능한 메모리 셀(30)의 액세스를 디스에이블 시키고 여분의 메모리 셀(32)의 액세스를 인에이블 시키도록 프로그래밍할 수 있다. 안티퓨즈는 A8과 같이 어드레스 신호 라인에 수신된 12 볼트와 같은 고압으로 끊는다. 본 발명을 여분의 메모리 셀의 인에이블에 관해서 설명하였으나, 본 발명의 청구 범위는 여분의 메모리 셀에만 한정되는 것이 아니고 인에이블에 바람직한 집적 메모리 회로 내의 어떠한 기능 회로도 포함한다는 것을 분명히 이해할 것이다.

<26> 도 3에 도시한 인에이블 회로의 일 실시예는 도 4에서 보다 자세히 나타내었다. 인에이블 회로는 로우 어드레스 스트로브 신호(RAS)를 수신하면 복수개의 패스 게이트(36)에 출력 신호를 인가하는 복수개의 퓨즈 회로(34)를 포함한다. 각 퓨즈 회로(34)는 RAS, CAS 및 DQ<1:4>와 같은 입력 신호 중 하나와 연결되어 있다. 바람직하게는, 퓨즈 회로(34)는 제조 시에 레이저에 의해 끊기는 금속이나 다결정 실리콘 퓨즈를 포함하며, 각 퓨즈 회로(34)가 출력 신호를 출력하여 각 퓨즈 회로(34)와 연결된 입력 신호가 인에이블 회로(22)가 특유하게 반응하는 신호 세트에서 하나의 신호가 되도록 한다. 물론, 각 퓨즈 회로(34)는 전기적으로 프로그램 가능한 퓨즈 또는 안티퓨즈를 번갈아 갖는다. 퓨즈 회로(34)는 도 5를 이용하여 보다 상세히 설명하기로 한다.

<27> 패스 게이트(36)도 각각 RAS, CAS 및 DQ<1:4>와 같은 입력 회로 중의 하나와 연결되어 있고, 같은 입력 회로와 연결된 퓨즈 회로(34) 각각의 출력 신호를 받는다. 각 패스 게이트(36)는 한 개의 해당 퓨즈 회로(34)로부터 출력된 출력 신호를 받으면 관련 입력 신호를 인에이블 회로(22)의 신호 세트 내의 하나의 신호로 인에이블 시키도록 되어 있다. 그 결과, 원하는 입력 신호와 연결된 퓨즈 회로(34)를 끊음으로써 집적 메모리 회로(20a)(도시되어 있지 않음)를 구별하는데 사용되는 신호 세트 내의 입력 신호들을 제조 시에 선택할 수 있다. 상기 패스 게이트(36)는 도 6을 이용하여 보다 상세히 설명하기로 한다.

<28> 패스 게이트(36)는 NAND 게이트(38)에 입력 신호(37)를 제공한다. 이들 입력 신호(37) 중 일부는 패스 게이트(36)에 의해 영구적으로 인에이블되고, 따라서 하이(high) 레벨이다. 입력 신호(37) 중 나머지는 인에이블 회로(22)가 반응하는 신호 세트에 포함되어 있도록 퓨즈 회로(34)에 의해 선택된 신호들이다. 가령, 퓨즈 회로(34)가 끊어져서 패스 게이트(36)에 출력 신호를 출력하여 패스 게이트(36)가 입력 신호(RAS, CAS, DQ1)를 인에이블 회로(22)의 신호 세트 내의 신호로서 인에이블 시키면, NAND 게이트(38)가 RAS, CAS, DQ1과 그 입력 신호(37)과 같이 세 개의 영구적으로 하이인 신호를 받는다.

<29> 다른 실시예에서, 상기에와 같이 RAS, CAS, DQ1과 같은 입력 신호의 일정한 세트가 선택될 수 있다. 이 경우, 퓨즈 회로(34)와 패스 게이트(36)가 필요하지 않고, NAND 게이트(38)가 RAS, CAS 및 DQ1 신호를 받는 세 개의 입력 NAND 게이트이다. 각 메모리 집적 회로가 RAS, CAS 및 DQ1의 특유한 조합 신호를 수신하는 메모리 모듈에서, 각 메모리 집적 회로의 인에이블 회로는 특유하게 어드레스 될 수 있다. 각 메모리 집적 회로 DQ 핀이 모듈 데이터 핀과 특유하게 결합될 때 RAS, CAS 및 DQ1의 특유한 조합 신호가 결정된다. 도 2에 나타낸 메모리 모듈에서, 예컨대, 메모리 장치(20a)의 DQ1 입력이 데이터 버스 신호 DQ1에 결합되고, 메모리 장치(20b)의 DQ1 입력이 데이터 버스 신호 DQ5에 결합된다. 여러 개의 RAS 또는 CAS 신호가 존재하면 특유한 신호 조합이 존재할 수 있고, 두 개의 메모리 집적 회로의 DQ1 입력이 공통의 모듈 데이터 핀에 결합될 때마다 특유한 RAS 및 CAS 신호 조합이 사용된다.

<30> 작동중, RAS, CAS 및 DQ1이 모두 하이가 되면, NAND 게이트(38)의 출력은 로우(low)가 된다. 그 결과, 인버터(40)의 출력이 하이가 되어 NMOS 트랜지스터(N2)를 터-온 시키고, 어드레스 비트(A9)의 하이 값이 다이오드-접속된 NMOS 트랜지스터(N2)를 터-온 시킨다. 하이 값은 인버터(42)에 입력으로 인가된다. 그러면, 인버터(42)의 출력이 로우가 되고, 인에이블 신호(24)가 로우가 된다. 이와 동시에, 인버터(42)의 로우 출력이 NMOS 트랜지스터(N4)를 터-오프 시키고, 인버터(42)의 입력에 대한 두 개의 풀다운 경로 중의 하나를 디스에이블 시킹으로써 히스테리시스(hysteresis)를 제공한다.

<31> RAS, CAS 또는 DQ1이 로우가 되면, NAND 게이트(38)의 출력은 하이가 되어 인버터(40)의 출력이 로우가 된다. 그 결과, NMOS 트랜지스터(N1)이 턴-오프되고 NMOS 트랜지스터(N3)가 인버터(42)의 입력을 로우가 되게 한다. 그러면, 인버터(42)의 출력과 인에이블 신호(24)가 하이가 되어 NMOS 트랜지스터(N4)가 턴-온되어 인버터(42)의 입력을 로우가 되게 함으로써 NMOS 트랜지스터(N3)를 통하여 히스테리시스를 제공한다.

<32> 도 4의 퓨즈 회로(34)를 도 5에 보다 상세히 나타내었다. 작동 시에, RAS인 제어 신호가 NMOS 트랜지스터(N5)의 게이트에 인가되어 트랜지스터를 턴-온시킨다. 동시에, 인버터(44)는 입력으로 제어 신호를 받아서 출력을 통하여 PMOS 트랜지스터(P1, P2)의 게이트에 저전압을 출력하여 트랜지스터를 턴-온시킨다. 이와 같은 상태에서, 인버터(46, 48, 50, 52, 54, 56)의 입력은 트랜지스터(N5, P1, P2)의 상대적 W/L 비 때문에 로우이다. 그 결과, 인버터(46, 48, 50, 52, 54, 56)의 출력이 하이가 되어 인버터(58, 60, 62, 64, 66, 68)의 출력과 출력 신호 FUSE_RAS, FUSE_CAS, FUSE_DQ1, FUSE_DQ2, FUSE_DQ3, FUSE_DQ4가 로우가 된다. 이와 동시에, 인버터(46, 48, 50, 52, 54, 56)의 출력이 하이가 되므로, 출력 신호 FUSE_RAS*, FUSE_CAS*, FUSE_DQ1*, FUSE_DQ2*, FUSE_DQ3*, FUSE_DQ4*가 하이가 되고, 인버터(70, 72, 74, 76, 78, 80)의 출력이 로우가 되어 인버터(46, 48, 50, 52, 54, 56)의 입력을 로우가 되게 함으로써 히스테리시스를 제공한다.

<33> 인에이블 회로(22, 도시되어 있지 않음)가 특유하게 응답하는 신호 세트로서 입력 신호(RAS, CAS, DQ1)를 인에이블 시키기 위해서, 제조 시에 퓨즈(F1, F2, F3)를 끊고 퓨즈(F4, F5, F6)는 그대로둔다. 퓨즈(F1, F2, F3)가 끊기면, RAS가 인가되고 PMOS 트랜지스터(P1)가 인버터(46, 48, 50)에 하이 레벨의 입력을 인가하여 (그 이유는, 퓨즈(F1, F2, F3)가 더 이상 트랜지스터(N5)를 통하여 접지되지 않기 때문이다) 이들 인버터의 출력이 로우가 된다. 인버터(46, 48, 50)의 로우 출력이 인버터(70, 72, 74)의 입력에 인가되면 이들 인버터의 출력이 하이가 되어 PMOS 트랜지스터(P1)의 드레인이 하이가 되도록 함으로써 히스테리시스를 제공한다. 이와 동시에, 인버터(46, 48, 50)의 로우 출력은 인버터(58, 60, 62)의 출력과 출력 신호(FUSE_RAS, FUSE_CAS, FUSE_DQ1)가 하이가 되게 한다.

<34> 도 4의 패스 게이트(36)는 도 6을 통하여 보다 상세히 설명된다. 퓨즈 회로(34, 도시되어 있지 않음)의 하이 출력 신호(FUSE_RAS, FUSE_CAS, FUSE_DQ1)는 NMOS 트랜지스터(N6)를 턴-온시키고 PMOS 트랜지스터(N7)를 턴-오프시킨다. 동시에, 퓨즈 회로(34: 도시하지 않음)로부터의 로우 출력 신호들(FUSE_RAS*, FUSE_CAS*, FUSE_DQ1*)은 NMOS 트랜지스터(N7)를 턴-오프시키고 PMOS 트랜지스터(P4)를 턴-온시킨다. NMOS 트랜지스터(N6)와 PMOS 트랜지스터(P4)가 온(on)이면, RAS, CAS 및 DQ1 입력 신호가 패스 게이트(36)를 통하여 NAND 게이트(38, 도시되어 있지 않음)에 입력되어 집적 메모리 회로(20a, 도시되어 있지 않음)를 구별시키는 신호로 작용한다.

<35> 반대로, 퓨즈 회로(34)의 로우 출력 신호(FUSE_DQ2, FUSE_DQ3, FUSE_DQ4)는 NMOS 트랜지스터(N8)를 턴-오프시키고 PMOS 트랜지스터(P5)를 턴-온시킨다. 이와 동시에, 퓨즈 회로(34)의 하이 출력 신호(FUSE_RAS*, FUSE_CAS*, FUSE_DQ1*)는 NMOS 트랜지스터(N9)를 턴-온시키고 PMOS 트랜지스터(P6)를 턴-오프시킨다. NMOS 트랜지스터(N9)와 PMOS 트랜지스터(P5)가 온이면, 공급 전압 Vcc이 패스 게이트(36)를 통하여 NAND 게이트(38, 도시되어 있지 않음)에 입력된다. NMOS 트랜지스터(N8)와 PMOS 트랜지스터(P6)가 오프이므로 입력 신호(DQ2, DQ3, DQ4)는 패스 게이트(36)를 통하여 NAND 게이트(38)에 입력되지 않는다. 다른 실시예에서는, NMOS 트랜지스터(N7, N9)가 생략될 수 있다.

<36> 따라서, 본 발명은 다중 메모리 장치 모듈에서 집적 메모리 회로 중의 하나의 여분의 메모리 셀과 같은 기능 회로를 인에이블 시키기 위한 회로와 방법을 제공한다. 또한, 본 발명의 회로와 발명은 작동 불가능한 표준 메모리 셀을 갖는 다수의 메모리 장치 모듈을 보수하는 데에 사용하면 보수 속도를 증가시킬 수 있다.

<37> 지금까지 본 발명의 실시예에 대하여 설명하였으나 본 발명은 이에 한정되는 것이 아니며, 명세서에 기재되고 청구된 원리의 진정한 정신 및 범위 안에서 수정 및 변경될 수 있는 여러가지 실시 형태는 본 발명의 보호 범위에 속하는 것임을 인정하여야 할 것이다.

(57) 청구의 범위

청구항 1

메모리 장치 모듈에 있어서,

외부 회로로부터, 적어도 한 개의 어드레스 스트로브(strobe) 신호, 어드레스들 및 기타 입력 신호들을 포함하는 복수의 입력 신호를 각각 수신하는 복수의 집적 메모리 회로와,

상기 집적 메모리 회로들 중 하나에 각각 대응하는 복수의 인에이블 회로로서, 각 인에이블 회로는 그 각각의 집적 메모리 회로에 작동 상(operatively) 결합되어 상기 입력 신호들 중의 적어도 일부를 수신하고, 각 인에이블 회로는 대응하는 입력 신호들의 세트에 특유하게(unicuely) 응답하여 인에이블 신호를 출력하고, 각 인에이블 회로들의 대응하는 입력 신호들의 세트는 상기 기타 입력 신호들 중 적어도 하나를 포함하는, 상기 복수의 인에이블 회로와,

상기 인에이블 회로들 중 대응하는 하나에 각각 작동 상 결합된 복수의 기능 회로(function circuit)로서, 각 기능 회로는 그 각각의 인에이블 회로로부터 인에이블 신호를 수신함으로써 인에이블되어, 상기 집적 메모리 회로들 중 나머지 집적 메모리 회로들의 각 기능 회로들이 인에이블되지 않고도 하나의 집적 메모리 회로의 각 기능 회로가 인에이블될 수 있는 상기 복수의 기능 회로를 포함하고,

각각의 인에이블 회로는 상기 복수의 입력 신호들을 수신하고,

각각의 인에이블 회로는 인에이블 회로의 복수의 입력 신호들 중 대응하는 신호와 관련된 복수의 퓨즈 회로를 포함하고, 각각의 퓨즈 회로는 그 대응하는 입력 신호를 상기 퓨즈 회로의 각각의 인에이블 회로가 특유하게 응답하는 입력 신호들의 세트 중 하나의 입력 신호가 되도록 인에이블시키는 것을 특징

으로 하는, 메모리 장치 모듈.

청구항 2

제 1 항에 있어서,
외부 회로가 직접적인 전기적 접점을 통하여 액세스할 수 있는 복수 개의 접점을 더 포함하고
상기 입력 신호들 각각은 상기 접점을 중 적어도 한 개와 결합되는 메모리 장치 모듈.

청구항 3

제 1 항에 있어서,
각각의 상기 접적 메모리 회로는 하나의 다이(die) 상에 형성되고, 각각의 상기 접적 메모리 회로의 다이는 다른 접적 메모리 회로의 다이들과 분리되는 메모리 장치 모듈.

청구항 4

제 1 항에 있어서,
각각의 인에이블 회로가 NAND 게이트를 포함하는 메모리 장치 모듈.

청구항 5

제 1 항에 있어서,
각각의 인에이블 회로의 대응하는 입력 신호들의 세트는, 행 어드레스 스트로브 신호, 열 어드레스 스트로브 신호 및 데이터 신호를 포함하는 메모리 장치 모듈.

청구항 6

제 1 항에 있어서,
각 기능 회로가 여분의(redundant) 메모리 셀을 포함하는 메모리 장치 모듈.

청구항 7

제 1 항에 있어서,
상기 메모리 장치 모듈은 프로그래밍 모드 및 활성(active) 모드를 가지고,
각각의 접적 메모리 회로가 복수의 일차(primary) 메모리 셀 및 복수의 여분의 메모리 셀을 포함하는 메모리 어레이를 포함하고,
각각의 기능 회로는 상기 기능 회로의 각각의 접적 메모리 회로와 작동 상 결합되어 어드레스들을 수신하기 위한 액세스 회로를 포함하고, 또한, 액세스 회로 각각은 각각의 접적 메모리 회로의 상기 메모리 어레이에 작동 상 결합되어, 활성 모드에서, 수신된 어드레스에 따라 선택된 일차 메모리 셀에 액세스하여 외부 회로와 통신하고, 상기 액세스 회로 각각은, 프로그래밍 모드에서, 상기 액세스 회로의 각각의 메모리 어레이내 작동불가능한 일차 메모리 셀에 대응하는 수신 어드레스에 따른 인에이블 신호에 의해 수정되어, 상기 작동불가능한 일차 메모리 셀 대신에 상기 메모리 어레이내 여분의 메모리 셀에 상기 활성 모드에서 액세스하여 외부 회로와 통신하는, 메모리 장치 모듈.

청구항 8

제 1 항에 있어서,
각각의 퓨즈 회로가 출력 신호를 제공하고,
각각의 인에이블 회로가 인에이블 회로의 상기 복수의 입력 신호들 중 대응하는 신호와 각각 관련된 복수의 패스 게이트를 더 포함하고, 각각의 패스 게이트는 상기 퓨즈 회로에 작동 상 결합되어 상기 퓨즈 회로의 출력 신호를 수신하고, 각각의 패스 게이트는 그 대응하는 퓨즈 회로의 출력 신호를 수신하면 그 대응하는 입력 신호를 상기 패스 게이트의 각각의 인에이블 회로가 특유하게 응답하는 입력 신호들의 세트 중 하나의 입력 신호가 되도록 인에이블시키는, 메모리 장치 모듈.

청구항 9

제 8 항에 있어서,
각각의 퓨즈 회로는 안티퓨즈(anti-fuse)를 포함하는 메모리 장치 모듈.

청구항 10

제 1 항에 있어서,
상기 인에이블 회로들은 상기 접적 메모리 회로들에 내장된 메모리 장치 모듈.

청구항 11

제 1 항에 있어서,
상기 기능 회로들은 상기 접적 메모리 회로들에 내장된 메모리 장치 모듈.

청구항 12

컴퓨터 시스템에 있어서,
입력 장치와,
출력 장치와,
상기 입력 및 출력 장치에 작동 상 결합된 프로세서와,
패키지 내에 내장되고 상기 패키지 외부의 회로를 통하여 상기 프로세서와 통신하는 메모리 장치 모듈을 포함하고,
상기 메모리 장치 모듈은,

외부 회로로부터 적어도 한 개의 어드레스 스트로브 신호, 어드레스들 및 기타 입력 신호들을 포함하는 복수의 입력 신호를 각각 수신하는 복수의 집적 메모리 회로와,

상기 집적 메모리 회로들 중 하나에 각각 대응하는 복수의 인에이블 회로로서, 각 인에이블 회로는 그 각각의 집적 메모리 회로에 작동 상 결합되어 상기 입력 신호들 중의 적어도 일부를 수신하고, 각 인에이블 회로는 대응하는 입력 신호들의 세트에 특유하게 응답하여 각 인에이블 신호를 출력하고, 각 인에이블 회로들의 대응하는 입력 신호들의 세트는 상기 기타 입력 신호들 중 적어도 하나를 포함하는, 상기 복수의 인에이블 회로와,

상기 인에이블 회로들 중 대응하는 하나에 각각 작동 상 결합된 복수의 기능 회로로서, 각 기능 회로는 그 각각의 인에이블 회로로부터 인에이블 신호를 수신함으로써 인에이블되어, 상기 집적 메모리 회로들 중 나머지 집적 메모리 회로들의 각 기능 회로들이 인에이블되지 않고도 하나의 집적 메모리 회로의 각 기능 회로가 인에이블될 수 있는 상기 복수의 기능 회로를 포함하고,

각각의 인에이블 회로는 상기 복수의 입력 신호들을 수신하고,

각각의 인에이블 회로는 인에이블 회로의 복수의 입력 신호들 중 대응하는 신호와 관련된 복수의 퓨즈 회로를 포함하고, 각각의 퓨즈 회로는 그 대응하는 입력 신호를 상기 퓨즈 회로의 각각의 인에이블 회로가 특유하게 응답하는 입력 신호들의 세트 중 하나의 입력 신호가 되도록 인에이블시키는 것을 특징으로 하는, 컴퓨터 시스템.

청구항 13

제 12 항에 있어서,

외부 회로가 직접적인 전기적 접점을 통하여 액세스할 수 있는 복수 개의 접점을 더 포함하고

상기 입력 신호들 각각은 상기 접점을 중 적어도 한 개와 결합되는 컴퓨터 시스템.

청구항 14

제 12 항에 있어서,

각각의 상기 집적 메모리 회로는 하나의 다이 상에 형성되고, 각각의 상기 집적 메모리 회로의 다이는 다른 집적 메모리 회로의 다이들과 분리되는 컴퓨터 시스템.

청구항 15

제 12 항에 있어서,

각각의 인에이블 회로가 NAND 게이트를 포함하는 컴퓨터 시스템.

청구항 16

제 12 항에 있어서,

각각의 인에이블 회로의 대응하는 입력 신호들의 세트는, 행 어드레스 스트로브 신호, 열 어드레스 스트로브 신호 및 데이터 신호를 포함하는 컴퓨터 시스템.

청구항 17

제 12 항에 있어서,

각 기능 회로가 여분의 메모리 셀을 포함하는 컴퓨터 시스템.

청구항 18

제 12 항에 있어서,

상기 메모리 장치 모듈은 프로그래밍 모드 및 활성 모드를 가지고,

각각의 집적 메모리 회로가 복수의 일자 메모리 셀 및 복수의 여분의 메모리 셀을 포함하는 메모리 어레이를 포함하고,

각각의 기능 회로는 상기 기능 회로의 각각의 집적 메모리 회로와 작동 상 결합되어 어드레스들을 수신하기 위한 액세스 회로를 포함하고, 또한, 액세스 회로 각각은 각각의 집적 메모리 회로의 상기 메모리 어레이에 작동 상 결합되어, 활성 모드에서, 수신된 어드레스에 따라 선택된 일자 메모리 셀에 액세스하여 상기 프로세서와 통신하고, 액세스 회로 각각은, 프로그래밍 모드에서, 상기 액세스 회로의 각

각의 메모리 어레이내 작동불가능한 일차 메모리 셀에 대응하는 수신 어드레스에 따른 인에이블 신호에 의해 수정되어, 상기 작동불가능한 일차 메모리 셀 대신에 상기 메모리 어레이내 여분의 메모리 셀에 상기 활성 모드에서 액세스하여 상기 프로세서와 통신하는 컴퓨터 시스템.

청구항 19

제 12 항에 있어서,

각각의 퓨즈 회로가 출력 신호를 제공하고,

각각의 인에이블 회로가 인에이블 회로의 상기 복수의 입력 신호들 중 대응하는 신호와 각각 관련된 복수의 패스 게이트를 더 포함하고, 각각의 패스 게이트는 상기 퓨즈 회로에 작동 상 결합되어 상기 퓨즈 회로의 출력 신호를 수신하고, 각각의 패스 게이트는 그 대응하는 퓨즈 회로의 출력 신호를 수신하면 그 대응하는 입력 신호를 상기 패스 게이트의 각각의 인에이블 회로가 특유하게 응답하는 입력 신호들의 세트 중 하나의 입력 신호가 되도록 인에이블시키는, 컴퓨터 시스템.

청구항 20

제 19 항에 있어서,

각각의 퓨즈 회로는 안티퓨즈를 포함하는 컴퓨터 시스템.

청구항 21

제 12 항에 있어서,

상기 인에이블 회로들은 상기 집적 메모리 회로들에 내장된 컴퓨터 시스템.

청구항 22

제 12 항에 있어서 ,

상기 기능 회로들은 상기 집적 메모리 회로들에 내장된 컴퓨터 시스템.

청구항 23

메모리 모듈에 있어서,

외부 회로로부터 적어도 하나의 어드레스 스트로브 신호, 어드레스들 및 기타 입력 신호들을 포함하는 복수의 입력 신호들을 각각 수신하는 복수의 집적 메모리 회로들을 포함하고,

상기 각각의 집적 메모리 회로들은 상기 입력 신호들 중 적어도 하나의 신호를 수신하고 적어도 하나의 입력 신호에 특유하게 응답하여 인에이블 신호를 출력하는 인에이블 회로를 포함하고, 상기 각각의 집적 메모리 회로는 상기 인에이블 회로에 결합된 기능 회로를 더 포함하고, 상기 기능 회로는 상기 인에이블 신호에 응답하여 집적 메모리 회로의 작동을 변경시키거나 증대(augmenting)시키며,

각각의 인에이블 회로는 상기 복수의 입력 신호들을 수신하고,

각각의 인에이블 회로는 인에이블 회로의 복수의 입력 신호들 중 대응하는 신호와 관련된 복수의 퓨즈 회로를 포함하고, 각각의 퓨즈 회로는 그 대응하는 입력 신호를 상기 퓨즈 회로의 각각의 인에이블 회로가 특유하게 응답하는 입력 신호들의 세트 중 하나의 입력 신호가 되도록 인에이블시키는 것을 특징으로 하는, 메모리 모듈.

청구항 24

제 23 항에 있어서,

외부 회로가 직접적인 전기적 접점을 통하여 액세스할 수 있는 복수 개의 접점을 더 포함하고,

상기 입력 신호들 각각은 상기 접점을 중 적어도 한 개와 결합되는 메모리 모듈.

청구항 25

제 23 항에 있어서,

각각의 상기 집적 메모리 회로는 하나의 반도체 다이 상에 제조되고, 각각의 상기 집적 메모리 회로의 다이는 다른 집적 메모리 회로의 다이들과 물리적으로 분리된 메모리 모듈.

청구항 26

제 23 항에 있어서,

상기 메모리 장치 모듈은 프로그래밍 모드 및 활성 모드를 가지고,

각각의 집적 메모리 회로가 복수의 일차 메모리 셀 및 복수의 여분의 메모리 셀을 포함하는 메모리 어레이를 포함하고,

각각의 기능 회로는 상기 기능 회로의 각각의 집적 메모리 회로와 작동 상 결합되어 어드레스들을 수신하기 위한 액세스 회로를 포함하고, 또한, 액세스 회로 각각은 각각의 집적 메모리 회로의 상기 메모리 어레이에 작동 상 결합되어, 활성 모드에서, 수신된 어드레스에 따라 선택된 일차 메모리 셀에 액세스하여 외부 회로와 통신하고, 상기 액세스 회로 각각은, 프로그래밍 모드에서, 각각의 액세스 회로가 상기 액세스 회로의 각각의 메모리 어레이내 작동불가능한 일차 메모리 셀에 대응하는 수신 어드레스에 따른 인에이블 신호에 의해 수정되어, 상기 작동불가능한 일차 메모리 셀 대신에 상기 메모리 어레이내

여분의 메모리 셀에 상기 활성 모드에서 액세스하여 외부 회로와 통신하는, 메모리 모듈.

청구항 27

집적 메모리 회로에 있어서,
메모리 셀의 어레이와,
상기 어레이와 어드레스, 데이터 및 기타 신호들의 외부 통신을 가능케 하는 액세스 회로와,
상기 어드레스, 데이터 및 기타 신호들 중 적어도 일부를 입력 신호들로서 수신하는 인에이블 회로로서, 상기 입력 신호들에 특유하게 응답하여 인에이블 신호를 출력하는 상기 인에이블 회로와,
상기 인에이블 회로에 결합하는 기능 회로로서, 상기 인에이블 신호에 응답하여 상기 메모리 셀 어레이의 작동을 변경시키거나 증대시키는 상기 기능 회로를 포함하고,
상기 인에이블 회로는 상기 복수의 입력 신호들을 수신하고,
각각의 인에이블 회로는 인에이블 회로의 복수의 입력 신호들 중 대응하는 신호와 관련된 복수의 퓨즈 회로를 포함하고, 각각의 퓨즈 회로는 그 대응하는 입력 신호를 상기 퓨즈 회로의 각각의 인에이블 회로가 특유하게 응답하는 입력 신호들의 세트 중 하나의 입력 신호가 되도록 인에이블시키는 것을 특징으로 하는, 집적 메모리 회로.

청구항 28

제 27 항에 있어서,
외부 회로가 직접적인 전기적 접점을 통하여 액세스할 수 있는 복수 개의 접점을 더 포함하고,
상기 입력 신호들 각각은 상기 접점을 중 적어도 한 개와 결합되는, 집적 메모리 회로.

청구항 29

제 27 항에 있어서,
상기 집적 메모리 회로는 프로그래밍 모드 및 활성 모드를 포함하고,
상기 메모리 어레이에는 복수의 일차 메모리 셀 및 복수의 여분의 메모리 셀을 포함하고,
상기 액세스 회로는 상기 기능 회로와 작동 상 결합되어 어드레스들을 수신하고, 또한, 상기 액세스 회로는 상기 메모리 어레이와 작동 상 결합되어 상기 활성 모드에서 상기 수신된 어드레스에 따라 선택된 일차 메모리 셀에 액세스하여 외부 회로와 통신하고, 상기 액세스 회로는, 상기 프로그래밍 모드에서, 상기 메모리 어레이내 작동불가능한 일차 메모리 셀에 대응하는 수신된 어드레스에 따른 상기 인에이블 신호에 의해 수정되어, 상기 작동불가능한 일차 메모리 셀 대신에 상기 활성 모드에서 상기 메모리 어레이 내의 여분의 메모리 셀에 액세스하여 외부 회로와 통신하는, 집적 메모리 회로.

청구항 30

제 27 항에 있어서,
상기 인에이블 회로가 특유하게 응답하는 상기 어드레스, 데이터 및 기타 신호들의 조합을 선택하는 프로그래밍 회로를 더 포함하는 집적 메모리 회로.

청구항 31

제 27 항에 있어서,
상기 프로그래밍 회로는, 상기 복수의 집적 메모리 회로가 하나의 메모리 모듈 내에 결합되어 패키징된 후에, 상기 어드레스, 데이터 및 기타 신호들의 조합을 선택하도록 프로그래밍할 수 있는 집적 메모리 회로.

청구항 32

패키지 내에 내장된 메모리 장치 모듈로서, 상기 메모리 장치 모듈은 외부 회로로부터 적어도 하나의 어드레스 스트로브 신호, 어드레스들 및 기타 입력 신호들을 포함하는 복수의 입력 신호들을 각각 수신하는 복수의 집적 메모리 회로를 가지며, 각각의 집적 메모리 회로는 복수의 일차 메모리 셀 및 복수의 여분의 메모리 셀을 가지며, 각각의 집적 메모리 회로는 인에이블 신호를 수신하면 수신된 어드레스에 따라 수정되어 상기 수신된 어드레스에 관한 일차 메모리 셀 대신에 그 여분의 메모리 셀들 중 하나에 액세스하는 상기 메모리 장치 모듈에서, 일차 메모리 셀 대신에 여분의 메모리 셀들 중 하나에 액세스함으로써 외부 회로와 통신하도록 상기 집적 메모리 회로들 중 하나를 프로그래밍하는 방법에 있어서,

상기 집적 메모리 회로 중 하나에서 작동불가능한 일차 메모리 셀에 대응하는 어드레스를 결정하는 단계,

상기 결정된 어드레스를 상기 집적 메모리 회로에 제공하는 단계,
상기 메모리 장치 모듈이 응답하여 상기 집적 메모리 회로에 인에이블 신호를 제공하는 상기 특유의 입력 신호들 세트를 선택하기 위한 단계로서, 상기 세트는 기타 입력 신호들 중 적어도 하나를 포함하는, 상기 선택 단계 및

상기 세트 내 입력 신호들 각각을 집적 메모리 회로에 제공하여 상기 인에이블 신호를 수신하게 하는 단계로서, 상기 집적 메모리 회로가 상기 결정된 어드레스에 따라서 수정되어 작동불가능한 일차 메

모리 셀 대신에 여분의 메모리 셀에 액세스하여 외부 회로와 통신하는 단계를 포함하고,

상기 입력 신호들 각각은 복수의 입력 신호들을 제공하고,

각각의 인에이블 회로는 인에이블 회로의 복수의 입력 신호들 중 대응하는 신호와 관련된 복수의 퓨즈 회로를 포함하고, 각각의 퓨즈 회로는 그 대응하는 입력 신호를 상기 퓨즈 회로의 각각의 인에이블 회로가 특유하게 응답하는 입력 신호들의 세트 중 하나의 입력 신호가 되도록 인에이블시키는 것을 특징으로 하는, 집적 메모리 회로 프로그래밍 방법.

청구항 33

제 32 항에 있어서,

상기 특유한 입력 신호들의 세트를 선택하는 단계는 퓨즈로 상기 세트 내에 포함될 입력 신호 각각에 대해 상기 세트 내에 포함되도록 인에이블시키는 단계를 포함하는 집적 메모리 회로 프로그래밍 방법.

청구항 34

제 32 항에 있어서,

상기 특유한 입력 신호 세트를 선택하는 단계는 안티퓨즈로 상기 세트 내에 포함될 입력 신호 각각에 대해 상기 세트 내에 포함되도록 인에이블시키는 단계를 포함하는 집적 메모리 회로 프로그래밍 방법.

요약

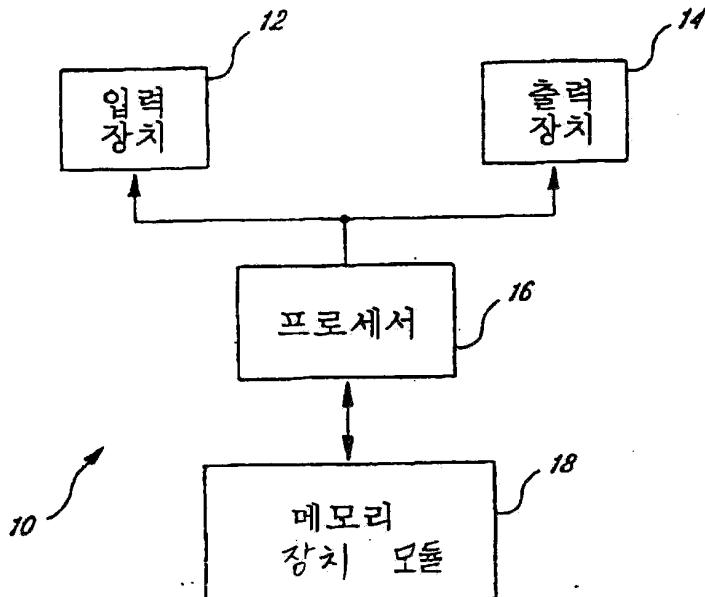
외부에서 액세스 가능한 접점들을 갖는 패키지 내의 메모리 장치 모듈은, 상기 접점을 통해서만 외부 회로에 액세스에 액세스할 수 있는 다중 집적 메모리 회로를 포함한다. 각 메모리 회로의 액세스 회로는 메모리 회로 내의 메모리 셀에 액세스하여 외부 회로와 통신한다. 각 액세스 회로는 인에이블 신호에 의해 인에이블 되어 작동불가능한 메모리 셀 대신에 여분의 메모리 셀들에 액세스한다. 각 액세스 회로의 인에이블 회로는 외부 회로로부터 수신된 특정한 입력 신호 세트에 응답하여 인에이블 신호를 출력한다. 각 특유한 입력 신호 세트는 각각의 인에이블 회로내에서 퓨즈에 의해 선택되고, 행 및 열 어드레스 스트로브 신호와 데이터 신호를 포함한다. 특정 입력 신호의 세트가 수신되면, 인에이블 회로 중 하나를 다른 메모리 회로들까지 인에이블시키지 않고, 그 관련 액세스 회로를 인에이블시켜서 여분의 메모리 셀에 액세스하도록 한다.

대표도

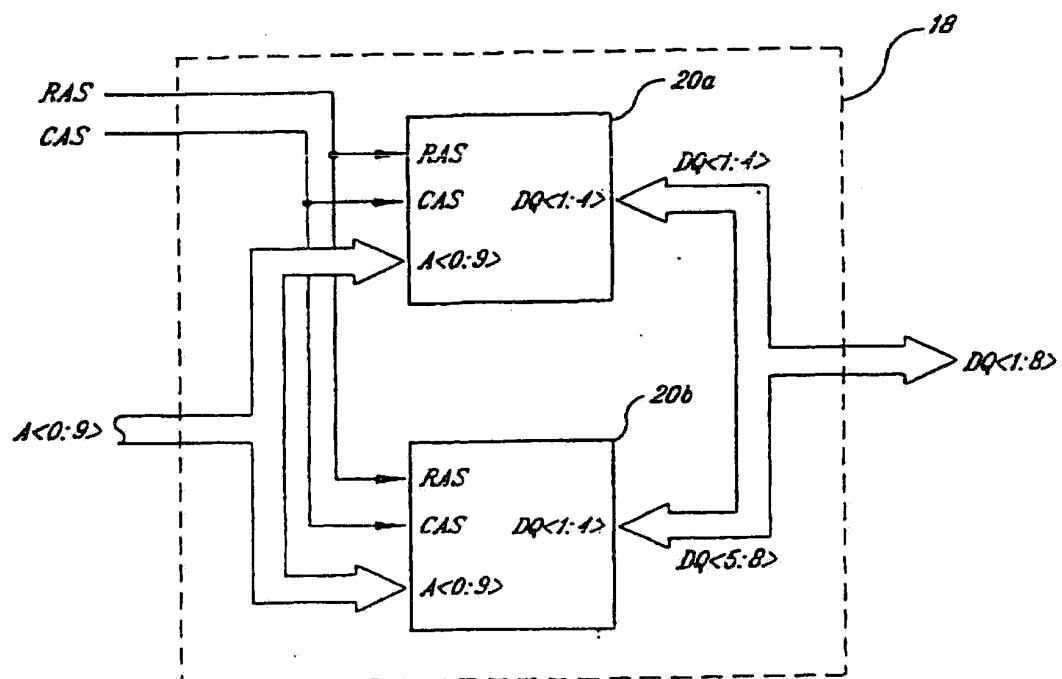
도1

도면

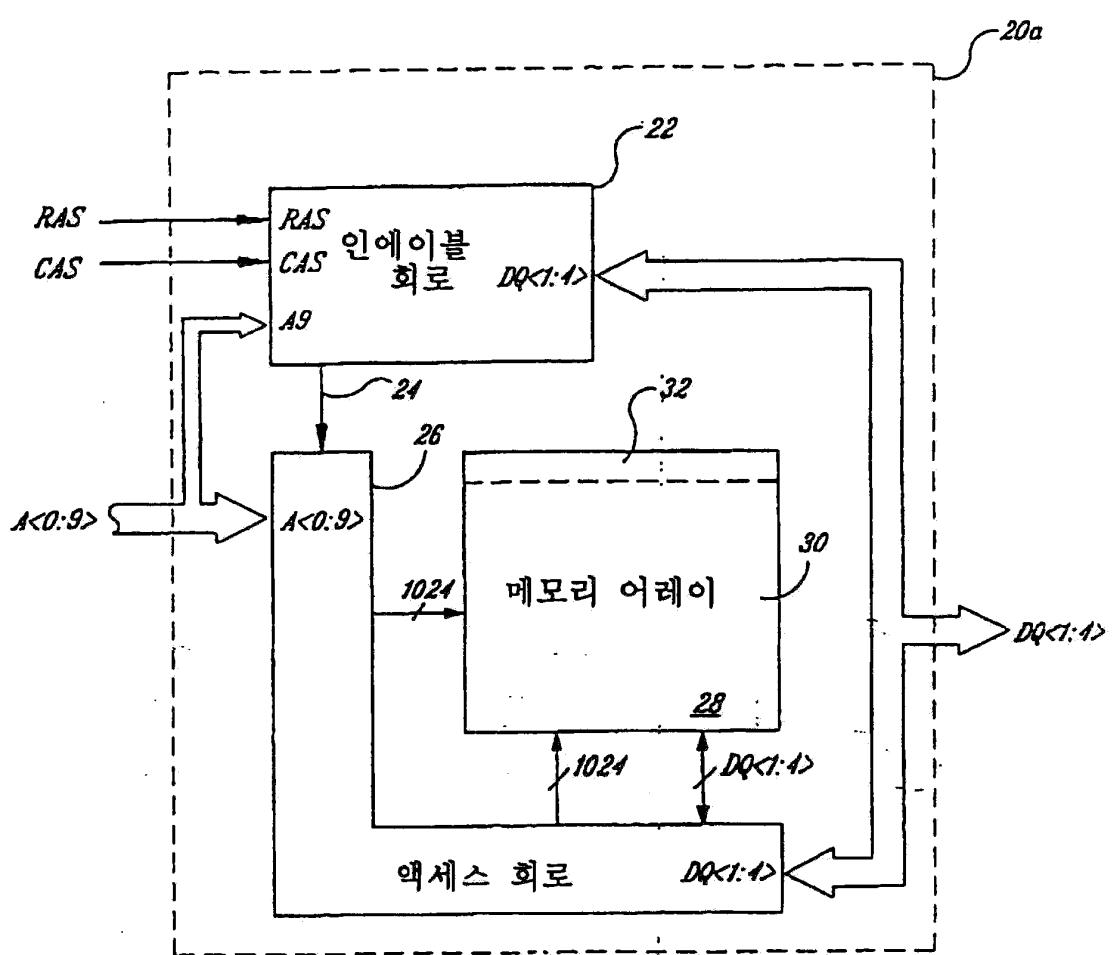
도면1



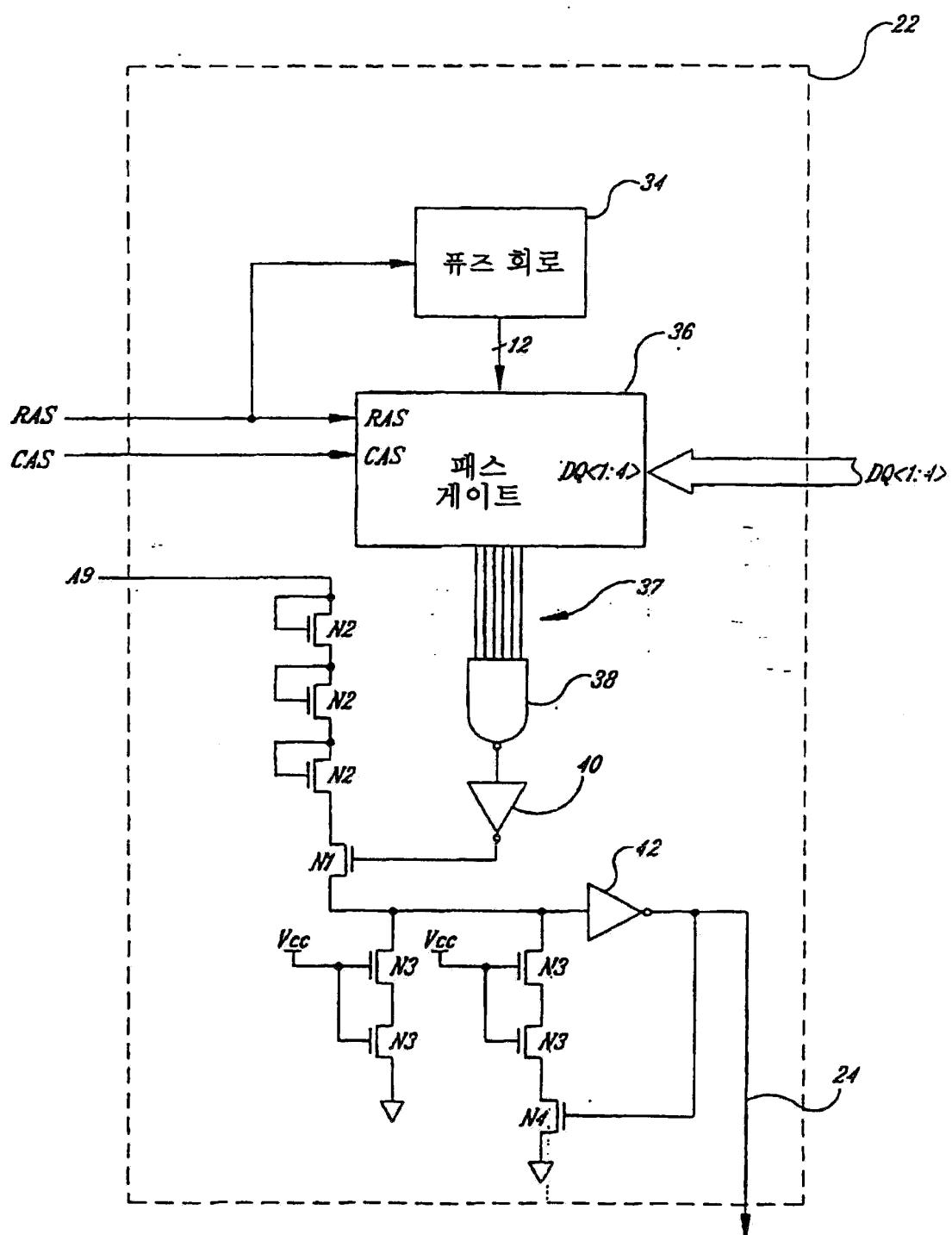
도면2



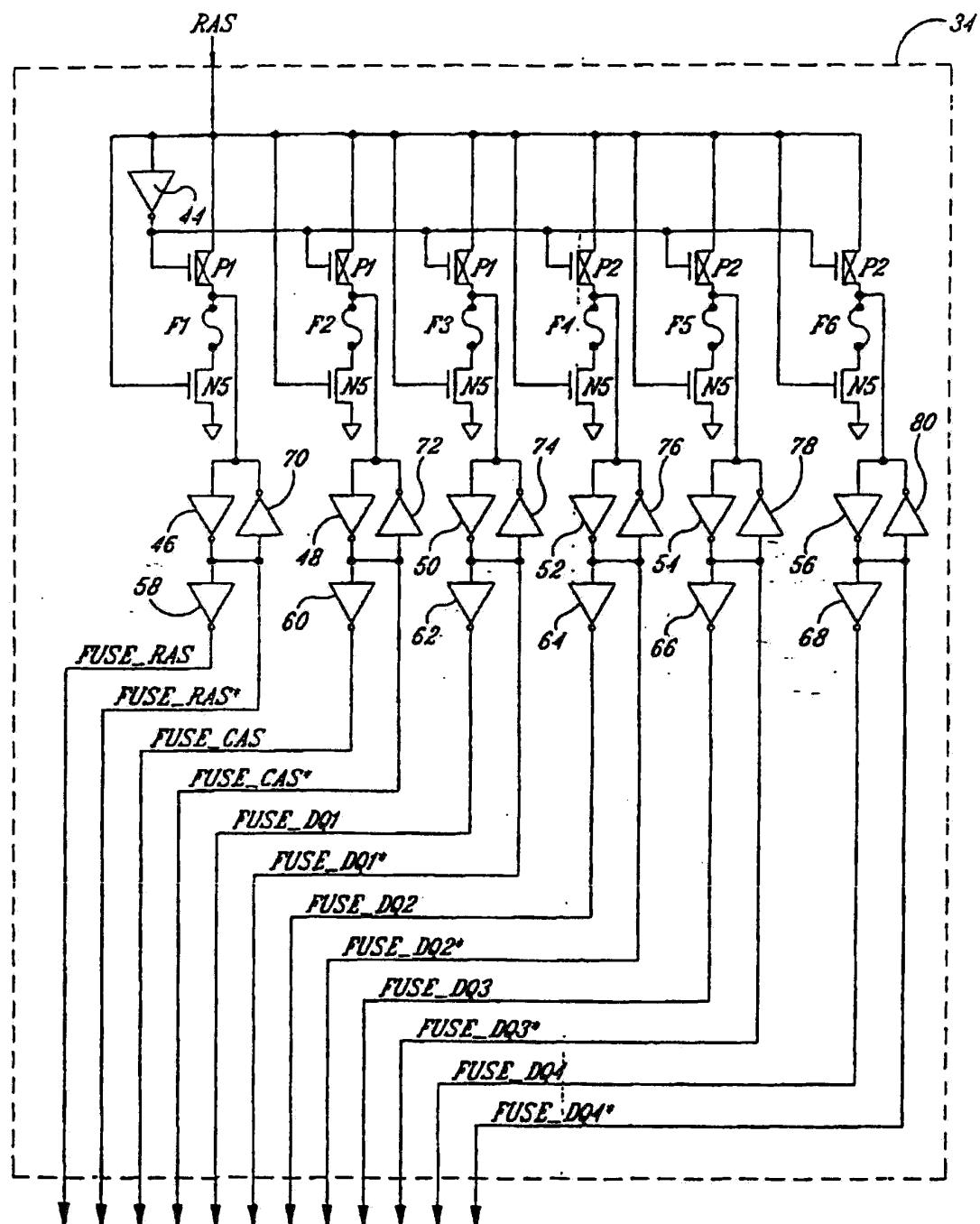
도면3



도면4



도면5



도면6

