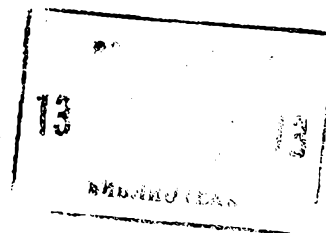




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3535284/18-24
- (22) 10.01.83
- (46) 07.09.84. Бюл. № 33
- (72) Е.Д. Баран, С.О. Веселовский и В.И. Рабинович
- (71) Новосибирский электротехнический институт
- (53) 681.3(088.8)
- (56) 1. Кирьянов К.Г. К теории сигнатурного анализа. - "Техника средств связи. Сер. Радиоизмерительная техника", М., 1980, вып. 2(27), с. 29-30.

2. Авторское свидетельство СССР № 962962, кл. G 06 F 11/16, 1981 (прототип).

(54)(57) СИГНАТУРНЫЙ АНАЛИЗАТОР, содержащий счетчик, счетный вход которого является входом синхронизации устройства, группу элементов И и первую группу триггеров, причем прямой выход каждого из n разрядов счетчика соединен с первым входом соответствующего элемента И группы, выход каждого элемента И группы соединен со счетным входом соответствующего триггера первой группы, выходы которых образуют первую группу информационных выходов устройства, инверсный выход старшего разряда счетчика соединен с первым входом $(n+1)$ -го элемента И группы, установочный вход устройства соединен с R-входом счет-

чика и входами синхронизации триггеров первой группы, первая группа входов сигнатур устройства соединена соответственно с информационными входами триггеров первой группы, отличающийся тем, что, с целью расширения его функциональных возможностей за счет контроля параллельных потоков данных, в него введены регистр, блок сравнения и вторая группа триггеров, причем первая группа информационных входов устройства соединена соответственно с первой группой входов блока сравнения, выход которого соединен с вторыми входами элементов И группы, группа входов вектора заданного вида устройства соединена соответственно с информационными входами регистра, выходы которого соединены соответственно с второй группой входов блока сравнения, вторая группа входов сигнатур соединена соответственно с информационными входами триггеров второй группы, выходы которых образуют вторую группу информационных выходов устройства, установочный вход устройства соединен с входами синхронизации триггеров второй группы и регистра, первая группа информационных входов устройства соединена с соответствующими счетными входами триггеров второй группы.

Изобретение относится к контрольно-измерительной технике и может быть использовано при наладке, контроле и диагностике сложных цифровых устройств.

Известен сигнатурный анализатор, содержащий формирователь строба, первый и второй буферные регистры, регистр сдвига с обратными связями через сумматор по модулю два, дешифратор, блок памяти, генератор импульсов опроса, компаратор и блок индикации [1].

Однако данное устройство не позволяет получать сигнатуры, указывающие, в каких разрядах входных двоичных векторов произошли ошибки, а также контролировать заданные векторы.

Наиболее близким по технической сущности к предлагаемому является сигнатурный анализатор, содержащий счетчик, счетный вход которого является синхронизационным входом устройства, группу элементов И и группу триггеров, причем первые входы всех элементов И группы объединены и являются первым информационным входом устройства, выход каждого элемента И группы соединен со счетным входом соответствующего триггера группы, выходы которых образуют группу информационных выходов устройства, единичный выход каждого разряда счетчика соединен с вторым входом соответствующего элемента И группы, нулевой выход старшего разряда счетчика соединен с вторым входом соответствующего элемента И группы, установочный вход устройства соединен с входом R счетчика и входами синхронизации всех триггеров группы, информационные входы устройства соединены с входами D соответствующих триггеров группы [2].

Однако известное устройство предназначено лишь для контроля одномерных последовательностей и не может использоваться для контроля параллельных потоков данных.

Цель изобретения - расширение функциональных возможностей за счет контроля параллельных потоков данных.

Поставленная цель достигается тем, что в сигнатурный анализатор, содержащий счетчик, счетный вход которого является входом синхронизации устройства, группу элементов И

и первую группу триггеров, причем прямой выход каждого из n разрядов счетчика соединен с первым входом соответствующего элемента И группы, выход каждого элемента И группы соединен со счетным входом соответствующего триггера первой группы, выходы которых образуют первую группу информационных выходов устройства, инверсный выход старшего разряда счетчика соединен с первым входом $(n+1)$ -го элемента И группы, установочный вход устройства соединен с R-входом счетчика и входами синхронизации триггеров первой группы, первая группа входов сигнатур устройства соединена соответственно с информационными входами триггеров первой группы, введены регистр, блок сравнения и вторая группа триггеров, причем первая группа информационных входов устройства соединена соответственно с первой группой входов блока сравнения, выход которого соединен с вторыми входами элементов И группы, группа входов вектора заданного вида устройства соединена соответственно с информационными входами регистра, выходы которого соединены соответственно с второй группой входов блока сравнения, вторая группа входов сигнатур соединена соответственно с информационными входами триггеров второй группы, выходы которых образуют вторую группу информационных выходов устройства, установочный вход устройства соединен с входами синхронизации триггеров второй группы и регистра, первая группа информационных входов устройства соединена соответственно со счетными входами триггеров второй группы.

На чертеже представлена блок-схема устройства.

Устройство содержит n -разрядный двоичный счетчик 1, группу из $(n+1)$ элементов И 2, первую группу из $(n+1)$ триггеров 3, r -разрядный регистр 4, блок 5 сравнения, вторую группу из r триггеров 6, вход 7 синхронизации устройства, установочный вход 8 устройства, первую группу входов 9 сигнатур, вторую группу входов 10 вектора задания вида, первую группу информационных входов 11, вторую группу входов 12 сигнатур, первую группу информационных выходов 13 устройства и вторую группу информационных выходов 14.

Как правило, на практике п выбира-
ется равным r.

Устройство работает следующим об-
разом.

Перед началом работы сигналом ло-
гической единицы на входе 8 устройст-
ва в триггеры 3 по входам 9 и в триг-
геры 6 по входам 12 записываются со-
ответственно сигнатуры S1 и S2 конт-
ролируемой двоичной последователь-
ности X без ошибок, а в регистр 4
по входам 10 записывается вектор за-
данного вида и устанавливается в
исходное (нулевое) состояние счет-
чик 1.

Затем на входы 11 устройства пода-
ется анализируемая векторная двоич-
ная последовательность Z, а на вход
7 - импульсы синхронизации.

Двоичный счетчик 1 осуществляет
счет синхриимпульсов двоичной после-
довательности, присваивая тем самым
порядковый номер каждому вектору
(входному слову) этой последователь-
ности. В случае совпадения вектора
на входе 11 с заданным вектором
сигнал логической единицы с выхода
блока 5 сравнения открывает логичес-
кие элементы И 2, разрешая прохож-
дение кода, соответствующего поряд-
ковому номеру вектора на входе 11
в накапливающий сумматор по модулю
два, выполненный на триггерах 3.
Таким образом, после прихода пос-
леднего синхриимпульса последователь-
ности векторов на вход 7 устройст-
ва в триггерах 3 (выходы 13 уст-
ройства) будет храниться результат
суммирования по модулю два сигна-
туры S1x последовательности без
ошибок X и сигнатуры S1z анализи-
руемой последовательности Z

$$S1y = S1x \oplus S1z,$$

представляющий собой сумму по модулю
два номеров тактов, на которых про-
изошло искажение заданных векторов.

Одновременно в триггерах 6 сфор-
мируется и поступит на выход 14
сумма по модулю два сигнатуры S2x
последовательности без ошибок X
и сигнатуры S2z анализируемой пос-
ледовательности Z

$$S2y = S2x \oplus S2z,$$

представляющая собой сумму по модулю
два искаженных символов для каждого
разряда входных векторов.

В случае, если

$$S1y = S2y = 0,$$

5 делается вывод об отсутствии ошибок
в векторной двоичной последователь-
ности Z. Если хотя бы одна из сиг-
натур S1y и S2y не равна нулю, то де-
лается вывод о наличии ошибок.

10 Предположим, что последователь-
ность без ошибок содержит вектора,
соответствующие заданному, на 5, 7
и 13 тактах т.е. на выходе блока 5
сравнения единица появится только
15 на 5, 7 и 13 тактах, тогда $S1x =$
 $0101 \oplus 0111 \oplus 1101 = 1111$. Пусть
ошибка произошла на 7 такте (иска-
жен седьмой вектор), тогда на этом
такте с выхода блока 5 сравнения на
20 входы 12 элементов поступит 0 вместо
1 и $S1z = 0101 \oplus 1101 = 1000$; $S1y =$
 $S1x \oplus S1z = 1111 \oplus 1000 = 0111$.

В случае, если произошло искаже-
ние только одного вектора заданного
25 вида, то на первой группе информа-
ционных выходов будет находиться
двоичный код номера такта, на кото-
ром произошло искажение.

Единицы на выходе соответствующих
30 триггеров второй группы укажут на те
разряды искаженного слова, в которых
произошли ошибки.

Отметим, что при любом количест-
ве (от 1 до r) ошибок в одном век-
торе местоположение вектора опреде-
35 лется однозначно. Если в анализи-
руемой последовательности, поступаю-
щей от проверяемого устройства, за-
данный вектор не встретится, то это
будет означать, что ошибки произош-
40 ли на 5, 7 и 13 тактах, т.е. $S1y = S1x$.

Аналогично обнаруживается допол-
нительное возникновение заданного
вектора.

50 Пусть последовательность без оши-
бок содержала вектор заданного вида
на 5, 7 и 13 тактах, тогда $S1x = 1111$.
Пусть в анализируемой двоичной пос-
ледовательности возник вектор задан-
ного вида на третьем такте, тогда $S1z$

$$\begin{array}{r} 0101 \\ \oplus 0111 \\ 1101 \\ \hline 0011 \\ 1100, \end{array}$$

55

$$S1_{\psi} = S1_x \oplus S1_z = 1111 \oplus 1100 = 0011$$

Говорить о наличии одиночной ошибки можно лишь с определенной вероятностью, тем не менее, в ряде случаев это может оказать помощь в локализации неисправностей. В случае, если гипотеза об одиночной ошибке не подтверждается, то устройство, как и обычный сигнатурный анализатор, отвечает только на вопрос "исправно-неисправно".

Таким образом, предлагаемое устройство обеспечивает возможность контроля параллельных потоков данных

и определения в виде двоичного кода номера такта, на котором произошло искажение входного вектора заданного вида, если имеется одно искажение такого типа, и определения в этом случае разрядов входного вектора, в которых произошло искажение.

Кроме того, наличие отдельного для каждого разряда входного слова контроля на четность приводит к повышению достоверности контроля (вероятности обнаружения ошибок) за счет обнаружения по каждому разряду всех ошибок нечетной кратности.

