(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0150787
(43) 공개일자 2024년10월16일

(51) 국제특허분류(Int. Cl.)
H01L 33/32 (2010.01) *H01L 33/00* (2024.01)
H01L 33/06 (2010.01) *H01L 33/14* (2010.01)
H01S 5/02 (2006.01) *H01S 5/183* (2021.01)
H01S 5/20 (2006.01) *H01S 5/30* (2006.01)
H01S 5/32 (2006.01) *H01S 5/34* (2023.01)
H01S 5/343 (2006.01)
(52) CPC특허분류
H01L 33/32 (2013.01)
H01L 33/007 (2013.01)
(21) 출원번호 10-2024-7030683
(22) 출원일자(국제) 2023년02월15일
심사청구일자 없음
(85) 번역문제출일자 2024년09월12일
(86) 국제출원번호 PCT/EP2023/053710
(87) 국제공개번호 WO 2023/156428
국제공개일자 2023년08월24일
(30) 우선권주장
22157544.2 2022년02월18일
유럽특허청(EPO)(EP)

(71) 출원인
에피노바테크 에이비
스웨덴, 에스이-223 63 룬드, 쉴레바겐 27, 이데온 게이트웨이, 게이트 4
(72) 발명자
올슨, 마르틴 안드레아스
스웨덴, 223 63 룬드, 쉴레바겐 27, 이데온 게이트웨이, 게이트 4 에피노바테크 에이비 내
(74) 대리인
특허법인더웨이브

전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **광을 방출하기 위한 장치 및 발광 장치를 제조하기 위한 방법**

(57) 요 약

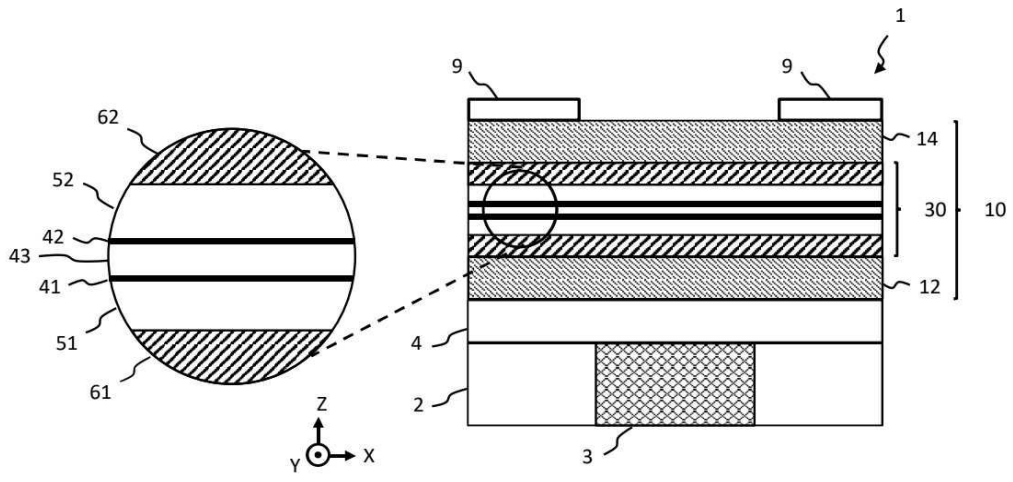
광을 방출하기 위한 장치(1)로서, 장치(1)는,

기판(2);

기판(2) 상에 배열된 베이스 층(4);

(뒷면에 계속)

대 표 도 - 도1



베이스 층(4) 상에 배열된 다이오드 층 구조(10)를 포함하며, 다이오드 층 구조(10)는 n 도핑된 반도체 층(12)과 p 도핑된 반도체 층(14) 사이에 샌드위치된 양자 우물 층 구조(30)를 포함하며;

양자 우물 층 구조(30)는 제1 양자 우물(41) 및 제2 양자 우물(42), 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52), 및 제1 원위 장벽 층(61) 및 제2 원위 장벽 층(62)을 포함하고,

제1 양자 우물(41) 및 제2 양자 우물(42) 및 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)은 제1 원위 장벽 층(61)과 제2 원위 장벽 층(62) 사이에 샌드위치된다.

(52) CPC특허분류
H01L 33/06 (2013.01)
H01L 33/14 (2013.01)
H01S 5/021 (2013.01)
H01S 5/183 (2021.01)
H01S 5/2009 (2019.08)
H01S 5/3054 (2013.01)
H01S 5/3216 (2013.01)
H01S 5/341 (2013.01)
H01S 5/3425 (2013.01)

명 세 서

청구범위

청구항 1

광을 방출하기 위한 장치(1)로서, 상기 장치(1)는,

기판(2);

상기 기판(2) 상에 배열된 베이스 층(4)으로서, Al(x)Ga(1-x)N을 포함하며, 여기서 0 < x ≤ 1인 베이스 층(4);

상기 베이스 층(4) 상에 배열된 다이오드 층 구조(10)를 포함하며, 상기 다이오드 층 구조(10)는 n 도핑된 반도체 층(12)과 p 도핑된 반도체 층(14) 사이에 샌드위치된 양자 우물 층 구조(30)를 포함하고;

상기 양자 우물 층 구조(30)는 제1 양자 우물(41) 및 제2 양자 우물(42), 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52), 및 제1 원위 장벽 층(61) 및 제2 원위 장벽 층(62)을 포함하고,

상기 제1 양자 우물(41) 및 제2 양자 우물(42)은 5nm 미만의 두께 및 상기 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)의 밴드 갭들보다 더 작은 밴드 갭을 각각 갖고;

상기 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)은 진성 도핑된 GaN을 각각 포함하며, 상기 제1 양자 우물(41) 및 제2 양자 우물(42)은 상기 제1 근위 장벽 층(51)과 제2 근위 장벽 층(52) 사이에 샌드위치되고,

상기 제1 원위 장벽 층(61) 및 제2 원위 장벽 층(62)은 Al(a)Ga(1-a)N을 각각 포함하며, 여기서 0 ≤ a ≤ 0.3이고, 상기 제1 원위 장벽 층(61) 및 상기 제2 원위 장벽 층(62) 모두 상기 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)보다 더 큰 밴드 갭을 갖고, 상기 제1 양자 우물(41) 및 제2 양자 우물(42) 및 상기 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)은 상기 제1 원위 장벽 층(61)과 제2 원위 장벽 층(62) 사이에 샌드위치되고;

상기 n 도핑된 반도체 층(12)은 전자들을 상기 양자 우물 층 구조(30) 내로 주입하도록 구성되고;

상기 p 도핑된 반도체 층(14)은 정공들을 상기 양자 우물 층 구조(30) 내로 주입하도록 구성되며, 바람직하게는 상기 베이스 층(4)은 100 내지 500nm의 두께를 갖는 AlN인, 장치 (1).

청구항 2

제1항에 있어서, 상기 양자 우물 층 구조(30)는 전자들 및 정공들의 재결합을 위해 원위 n 도핑된 반도체 층 및 원위 p 도핑된 반도체 층에 의해 실질적으로 도핑되도록 구성되는, 장치 (1).

청구항 3

제1항 또는 제2항에 있어서, 상기 다이오드 층 구조(10)의 양자 우물 층 구조(30)는 복수의 양자 우물들을 포함하며, 상기 복수의 양자 우물들 중 인접한 양자 우물들은 10nm 미만인 두께를 갖는 장벽 층에 의해 분리되는, 장치 (1).

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 p 도핑된 반도체 층(14)은 GaN 층들(22) 및 Al(z)Ga(1-z)N 층들(24)의 초격자(20)를 포함하며, 여기서 0 < z ≤ 1이고, 상기 초격자(20)의 Al(z)Ga(1-z)N 층들(24)은 p 도핑되는, 장치 (1).

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 n 도핑된 반도체 층(12)은 GaN 층들(22) 및 Al(z)Ga(1-z)N 층들(24)의 초격자(20)를 포함하며, 여기서 0 < z ≤ 1이고, 상기 초격자(20)의 Al(z)Ga(1-z)N 층들(24)은 n 도핑되는, 장치 (1).

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 비아(3)를 더 포함하며, 상기 비아(3)는 상기 기판(2)을 통과하고

상기 다이오드 층 구조(10)의 n 도핑된 반도체 층(12) 또는 p 도핑된 반도체 층(14)에 전기적으로 연결되는 금속 접촉부인, 장치 (1).

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 n 도핑된 반도체 층(12)은 필라 층(15)을 포함하고, 상기 n 도핑된 반도체 층(12)의 필라 층(15)은 지지 재료(18)에 매립된 적어도 하나의 n 도핑된 반도체 필라(16)를 포함하고, 상기 적어도 하나의 n 도핑된 반도체 필라(16)는 전자 수송 채널을 상기 n 도핑된 반도체 층(12)의 필라 층(15)을 통해 상기 양자 우물 층 구조(30)로 형성하도록 구성되고/되거나;

상기 p 도핑된 반도체 층(14)은 필라 층(15)을 포함하고, 상기 p 도핑된 반도체 층(14)의 필라 층(15)은 지지 재료(18)에 매립된 적어도 하나의 p 도핑된 반도체 필라(16)를 포함하고, 상기 적어도 하나의 p 도핑된 반도체 필라(16)는 정공 수송 채널을 상기 p 도핑된 반도체 층(14)의 필라 층(15)을 통해 상기 양자 우물 층 구조(30)로 형성하도록 구성되는, 장치 (1).

청구항 8

제7항에 있어서, 상기 장치(1)의 하나 이상의 필라 층들(15)에 대해, 상기 지지 재료(18)는 상기 지지 재료(18)에 매립된 반도체 필라들(16)의 도핑과 반대되는 도핑을 갖는 반도체 재료인, 장치 (1).

청구항 9

제7항 또는 제8항에 있어서, 상기 장치(1)의 하나 이상의 필라 층들(15)에 대해, 상기 지지 재료(18)는 산화 갈륨인, 장치 (1).

청구항 10

제7항 내지 제9항 중 어느 한 항에 있어서, 상기 장치(1)의 하나 이상의 필라 층들(15)에 대해, 상기 반도체 필라들(16)의 직경(D)은 10 내지 500nm이고 상기 반도체 필라들(16)의 피치(B)는 200 내지 500nm인, 장치 (1).

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서, 광 홀들에 대한 전하 캐리어 농도는 스트레인에 의해 상기 p 도핑된 반도체 층(14) 내에 제공되는, 장치 (1).

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서, 상기 장치(1)는 상기 제1 양자 우물(41) 및 제2 양자 우물(42) 아래의 하단 반사기(72) 및 상기 제1 양자 우물(41) 및 제2 양자 우물(42) 위의 상단 반사기(74)를 포함하는 수직 공동 표면 방출 레이저(70)이며, 상기 상단 반사기(74) 및 하단 반사기(72)는 상기 제1 양자 우물(41) 및 제2 양자 우물(42)에 의해 방출된 광을 위한 광학 공진기를 형성하는, 장치 (1).

청구항 13

발광 장치(1)를 제조하기 위한 방법(100)으로서, 상기 방법은,

기판(2)을 제공하는 단계(S101);

물리 기상 증착에 의해, 상기 기판(2) 상에 베이스 층(4)을 증착하는 단계(S102)로서, 상기 베이스 층(4)은 Al(x)Ga(1-x)N을 포함하고;

상기 베이스 층(4) 상에 다이오드 층 구조(10)를 형성하는 단계(S103)를 포함하며, 상기 다이오드 층 구조(10)는 n 도핑된 반도체 층(12)과 p 도핑된 반도체 층(14) 사이에 샌드위치된 양자 우물 층 구조(30)를 포함하고,

상기 양자 우물 층 구조(30)는 제1 양자 우물(41) 및 제2 양자 우물(42), 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52), 및 제1 원위 장벽 층(61) 및 제2 원위 장벽 층(62)을 포함하고,

상기 제1 양자 우물(41) 및 제2 양자 우물(42)은 5nm 미만의 두께 및 상기 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)의 밴드 갭들보다 더 작은 밴드 갭을 각각 각고;

상기 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)은 진성 도핑된 GaN을 각각 포함하며, 상기 제1 양자 우물(41) 및 제2 양자 우물(42)은 상기 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52) 사이에 샌드위치되고,

상기 제1 원위 장벽 층(61) 및 제2 원위 장벽 층(62)은 Al(a)Ga(1-a)N을 각각 포함하며, 여기서 $0 \leq a \leq 0.3$ 이고, 상기 제1 원위 장벽 층(61) 및 상기 제2 원위 장벽 층(62) 모두 상기 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)보다 더 큰 밴드 갭을 갖고, 상기 제1 양자 우물(41) 및 제2 양자 우물(42) 및 상기 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)은 상기 제1 원위 장벽 층(61)과 제2 원위 장벽 층(62) 사이에 샌드위치되고;

상기 n 도핑된 반도체 층(12)은 전자들을 상기 양자 우물 층 구조(30) 내로 주입하도록 구성되고;

상기 p 도핑된 반도체 층(14)은 정공들을 상기 양자 우물 층 구조(30) 내로 주입하도록 구성되며, 바람직하게는 상기 베이스 층(4)은 100 내지 500nm두께를 갖는 AlN인, 방법.

청구항 14

제13항에 있어서,

반응성 이온 식각을 통해 기판(2)을 관통하는 구멍을 식각하고;

금속 접촉부가 형성되도록 상기 기판(2)을 관통하는 상기 구멍 내에 금속을 증착하는 단계를 더 포함하며, 상기 금속 접촉부는 상기 기판(2)을 통과하고 상기 다이오드 층 구조(10)의 n 도핑된 반도체 층(12) 또는 p 도핑된 반도체 층(14)에 전기적으로 연결되는, 방법.

청구항 15

제14항에 있어서, 반응성 이온 식각에 의한 상기 기판(2)을 관통하는 구멍의 식각은 염화 알루미늄 또는 불화 알루미늄의 분자 종들을 분광적으로 검출하는 것에 기초하여 종료되는, 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 개념은 일반적으로, 광을 방출하기 위한 장치 및 발광 장치를 제조하기 위한 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 다이오드 예컨대 발광 다이오드(LED), 또는 레이저 다이오드는 발광 장치를 형성할 수 있다. 이러한 발광 장치들은 다양한 적용들, 예를 들어 3D 프린팅에 사용된다.

발명의 내용

해결하려는 과제

[0003] 하나의 목적은 높은 출력 전력을 갖는 발광 장치를 제공하는 것이다. 본 발명의 개념의 추가 목적은 자외선(UV) 광을 방출하는 발광 장치를 제공하는 것이다. 다른 목적은 발광 GaN 장치들에서 광 방출을 위한 전자 및 정공 캐리어 주입을 증가시키는 것이다.

[0004] 본 발명의 개념의 이들 및 다른 목적들은 독립항들에 정의된 바와 같이 본 발명에 의해 적어도 부분적으로 충족된다. 바람직한 실시예들은 종속항들에 제시된다.

과제의 해결 수단

[0005] 일부 실시예들에서, 고출력 레이저가 제공된다. 이산화탄소 레이저들은 여전히 사용하기에 고가이며, 따라서 대안 발광 다이오드 헤테로 구조 레이저 다이오드들은 규모에 따라 대량 생산될 수 있는 흥미로운 대안이다. 그러나, 3D 프린팅을 위한 레이저 다이오드들은 현재 100W 미만의 전력으로 제한된다. 질화물계 레이저 다이오드 기술의 개발의 맨 처음부터, 그것은 이들 장치들의 활성 구역들을 구성하는 에피택셜 층들의 나쁜 결정 품질의 문제에 의해 방해되었다. 문제는 격자 파라미터들 및 열 팽창 계수 둘 다의 관점에서 GaN과 일치하는 적절한 기판 재료의 부족과 관련된다.

[0006] 제1 양태에 따르면, 광을 방출하기 위한 장치가 제공되며, 장치는,

[0007] 기판;

[0008] 기판 상에 배열된 베이스 층으로서, Al(x)Ga(1-x)N을 포함하며, 여기서 $0 < x \leq 1$인 베이스 층;

[0009] 베이스 층 상에 배열된 다이오드 층 구조를 포함하며, 다이오드 층 구조는 n 도핑된 반도체 층과 p 도핑된 반도체 층 사이에 샌드위치된 양자 우물 층 구조를 포함하고;

[0010] 양자 우물 층 구조는 제1 및 제2 양자 우물, 제1 및 제2 근위 장벽 층, 및 제1 및 제2 원위 장벽 층을 포함하고,

[0011] 제1 및 제2 양자 우물은 5nm 미만의 두께 및 제1 및 제2 근위 장벽 층의 밴드 갭들보다 더 작은 밴드 갭을 각각 갖고;

[0012] 제1 및 제2 근위 장벽 층은 진성 도핑된 GaN을 각각 포함하며, 제1 및 제2 양자 우물들은 제1 및 제2 근위 장벽 층들 사이에 샌드위치되고,

[0013] 제1 및 제2 원위 장벽 층은 Al(a)Ga(1-a)N을 각각 포함하며, 여기서 $0 \leq a \leq 0.3$이고, 제1 및 제2 양자 우물들 및 제1 및 제2 근위 장벽 층들은 제1 및 제2 원위 장벽 층들 사이에 샌드위치되고;

[0014] n 도핑된 반도체 층은 전자들을 양자 우물 층 구조 내로 주입하도록 구성되고;

[0015] p 도핑된 반도체 층은 정공들을 양자 우물 층 구조 내로 주입하도록 구성되며, 바람직하게는 상기 베이스 층은 100 내지 500nm 두께를 갖는 AlN이다.

[0016] 상기에 따르면, 장치는 순방향 바이어스될 때 광을 방출한다. n 도핑된 반도체 층은 다이오드 층 구조가 순방향 바이어스될 때 전자들을 양자 우물 층 구조 내로 주입하도록 구성될 수 있다. n 도핑된 반도체 층은 $1X\ 10^{10}\ cm^{-3}$ 위의 도핑 수준을 가질 수 있다. n 도핑된 반도체 층은 Al(y)Ga(1-y)N 층을 포함할 수 있으며, 여기서 $0 \leq y \leq 0.5$이다. p 도핑된 반도체 층은 다이오드 층 구조가 순방향 바이어스될 때 정공들을 양자 우물 층 구조 내로 주입하도록 구성될 수 있다. p 도핑된 반도체 층은 $1X\ 10^{15}\ cm^{-3}$ 위의 도핑 수준을 가질 수 있다. 양자 우물 층 구조 내로 주입된 전자들 및 정공들은 양자 우물 층 구조의 제1 및 제2 양자 우물 내에 재결합되며, 이에 따라 장치는 광을 방출한다.

[0017] 제1 및 제2 양자 우물은 InGaN 양자 우물들일 수 있고, 따라서 GaN 근위 장벽 층들의 밴드 갭보다 더 작은 밴드 갭을 가질 수 있다. 따라서, 전하 캐리어들, 즉 전자들 및 정공들은 근위 장벽 층들에 의해 제1 및 제2 양자 우물 내에 구속될 수 있다. 전하 캐리어들은 추가적으로 원위 장벽 층에 의해 제1 및 제2 양자 우물 내에 구속될 수 있다. 원위 장벽 층들은 근위 장벽 층들보다 더 큰 밴드 갭을 가질 수 있다. 추가로, 원위 장벽 층들은 n 및 p 도핑된 반도체 층들보다 더 큰 밴드 갭을 가질 수 있다. 따라서, 원위 장벽 층들은 양자 우물들과 전하 캐리어들을 주입하는 층들 사이의 터널 장벽들과 같은 장벽들로서의 역할을 할 수 있다.

[0018] 추가로, 양자 우물들 근처에서 도펀트들을 회피하는 것이 유리하다. 이러한 도펀트들은 제1 및 제2 양자 우물에서 전하 캐리어들에 대한 비방사 경로들로서의 역할을 하거나, 이들을 생성할 수 있다. 따라서, 진성 도핑된 GaN의 근위 장벽 층들 사이에 제1 및 제2 양자 우물들을 샌드위치하는 것이 유리하다. 진성 도핑된 GaN이라는 용어는 예를 들어 n형 GaN에 대한 실리콘 도너 원자들 또는 p형 GaN에 대한 마그네슘 어셉터 원자들에 의해 의도적으로 도핑되지 않은 GaN, 예컨대 전자 및 정공 캐리어 농도들 둘 다가 실온에서 $5\ X\ 10^{16}\ cm^{-3}$ 미만인 GaN을 지칭한다. GaN의 의도적 도핑은 GaN 성장 동안 현장에서 수행될 수 있다. 추가로, 원위 장벽 층들은 n 및 p 도핑된 반도체 층들 내의 도펀트들로부터 제1 및 제2 양자 우물들 내의 전하 캐리어들을 분리할 수 있다. 따라서, 전하 캐리어들은 예를 들어 원위 장벽 층들을 통한 터널링에 의해 제1 및 제2 양자 우물 내로 주입되고, 제1 및 제2 양자 우물 내에 포획될 수 있으며, 전하 캐리어들은 n 도핑된 반도체 층의 도너 원자들 또는 p 도핑된 반도체 층의 어셉터 원자들로 복귀되는 것이 방지된다. 그러나, 양자 우물 층 구조는 제1 및 제2 양자 우물 사이에서 전하 캐리어들의 터널링을 허용하도록 구성될 수 있다. 예를 들어, 제1 및 제2 양자 우물은 터널링을 허용하기에 충분히 얇은 장벽 층, 예를 들어 GaN 장벽 층에 의해 분리될 수 있다. 제1 및 제2 양자 우물 사이의 장벽 층은 30nm 미만, 바람직하게는 10nm 미만의 두께를 가질 수 있다. 따라서, 제1 및 제2 양자 우물은 양자역학적으로 결합되며, 예를 들어 터널 결합될 수 있다. 이러한 양자 우물들은 장치가 높은 출력 전력을 갖도록 강하게 방출할 수 있다. 부가적으로, 추가 장점들이 있을 수 있다. 일 예로서, 방출 스펙트럼은 제1 및 제2 양자

우물 사이의 장벽 두께만큼 조정될 수 있다. 다른 예로서, 방출 파장은 제1 및 제2 양자 우물 사이에 인가된 전기장에 의해 조정가능할 수 있다.

[0019] 제1 및 제2 양자 우물에 대한 전하 캐리어들의 높은 전도도는 높은 출력 전력을 가능하게 한다는 점이 추가로 실현된다. 전류 연속 방정식은 이하의 방정식이다.

[0020] $$\frac{\partial n}{\partial t} = \frac{1}{q}\frac{dJ}{dt} - U(n,p)$$

[0021] 여기서, n은 전하 캐리어 농도이고, q는 기본 전하이고, J는 전류 밀도이고, U(n,p)는 순 재결합 속도이다. 따라서, 제1 및 제2 양자 우물에 진입하는 전하는 다른 측면에서 나오거나, 포획되거나, 재결합에 의해 중화되어야 한다. 따라서, 높은 주입 이동도와 같은 높은 전도도가 달성될 때, 재결합 및 따라서 광 방출 또는 전력은 높아진다. n 및 p 도핑된 반도체 층들로부터 제1 및 제2 양자 우물을 근위 장벽 층에 의해 분리함으로써, 높은 주입 이동도가 달성된다. 예를 들어, 근위 장벽 층, 예를 들어 진성 도핑된 근위 장벽 층 내에 도펀트 원자들의 농도가 낮을 경우, 전하 캐리어는 근위 장벽 층을 통해 탄도적으로, 즉 산란 없이 이동할 수 있다. 따라서, 전하 캐리어는 근위 장벽 층을 통해 매우 빠르게 이동하고 이에 따라 높은 출력 전력을 가능하게 할 수 있다.

[0022] 추가로, 장치는 n 도핑된 반도체 층의 전도대 에지가 n 도핑된 반도체 층이 전자들을 주입하는 근위 장벽 층의 전도대 에지보다 더 높은 에너지를 갖도록 구성될 수 있다. 따라서, 에너지 차이는 제1 및 제2 양자 우물로 더 빨리 후속 이동하는 주입된 전자에 대한 운동 에너지로 변환될 수 있다.

[0023] 추가로, 장치는 p 도핑된 반도체 층의 가전자대 에지가 p 도핑된 반도체 층이 정공들을 주입하는 근위 장벽 층의 가전자대 에지보다 더 낮은 에너지를 갖도록 구성될 수 있다. 따라서, 에너지 차이는 제1 및 제2 양자 우물로 더 빨리 후속 이동하는 주입된 정공들에 대한 운동 에너지로 변환될 수 있다.

[0024] 제1 및 제2 양자 우물의 높은 결정 품질은 높은 결정 품질이 소수의 비방사 재결합 중심들 및/또는 장치의 높은 양자 효율을 초래하므로 높은 출력 전력을 가능하게 한다는 점이 실현된다. n 및 p 도핑된 반도체 층들로부터, 근위 및 원위 장벽 층들에 의해 제1 및 제2 양자 우물을 분리함으로써, 제1 및 제2 양자 우물의 높은 결정 품질이 가능하게 된다. 추가로, 기판과 다이오드 층 구조 사이에 베이스 층의 사용은 다이오드 층 구조의 높은 결정 품질, 특히 제1 및 제2 양자 우물들의 높은 결정 품질을 가능하게 한다. 기판은 질화물계 기판들이 고가이기 때문에 다이오드 층 구조와 불일치된 격자를 가질 수 있다. 따라서, 기판은 실리콘 기판, 사파이어 기판, 또는 탄화 규소 기판일 수 있다. 베이스 층은 본원에서 비방사 재결합 중심들로서의 역할을 할 수 있는 전위들의 형성을 방지하거나 감소시킬 수 있다. 베이스 층은 전위들이 다이오드 층 구조 내로 확산되는 것을 방지하며, 특히 전위들이 제1 또는 제2 양자 우물 내로 확산되는 것을 방지할 수 있다. 본원에서 베이스 층이 AlN 층, 예를 들어 기판 바로 위의 AlN 층을 포함하는 경우 특히 유리하다. 상기 AlN 층은 전위들의 위험을 감소시키는 데 특히 유리한 스퍼터링된 AlN을 포함할 수 있다. 베이스 층은 베이스 층 필라들을 포함할 수 있으며, 베이스 층 필라들은 기판에 수직으로 배열된 필라들이다. 베이스 층 필라들은 AlN, 예를 들어 스퍼터링된 AlN을 포함할 수 있다. 예를 들어 실리콘 또는 사파이어 기판들 상의 GaN 버퍼 층에 사용되는 바와 같은 MOCVD에서의 AlN 처리가 InGaN 양자 우물들에 대해 심하게 오염시키고 있는 공정이라는 점이 발명자에 의해 인식된다. 따라서, 베이스 층은 MOCVD 공정의 현장외에 제공될 수 있다. 베이스 층 필라들은 500nm보다 더 작은 직경, 예컨대 100nm보다 더 작은 직경을 가질 수 있다. 베이스 층 필라들은 $Al_xGa_{1-x}N$과 같은 베이스 층 인케이싱 재료로 측방으로 둘러싸여질 수 있으며, 여기서 $0 \leq x \leq 0.95$이다. 베이스 층 필라들을 측방으로 둘러싸는 $Al_xGa_{1-x}N$은 베이스 층 필라들로부터 측방으로 전파되는 전위들을 포함할 수 있다. 따라서, 베이스 층은 전위들이 베이스 층 필라들로부터 측방으로 우선적으로 전파됨으로써 전위들을 고정할 수 있어, 전위들은 다이오드 층 구조에 도달하지 못한다.

[0025] 양자 우물 층 구조는 인접한 층들의 밴드 갭의 차이로 인한 에너지대들의 굽힘에 의해 전자들 및 정공들의 재결합을 위해 원위 n 도핑된 반도체 층 및 원위 p형 도핑된 반도체 층에 의해 실질적으로 도핑되도록 구성될 수 있다. AlN의 밴드 갭은 실온에서 6.015eV이고 GaN의 밴드 갭은 3.4V이다. 원위 장벽의 밴드 갭은 전자들로부터 도너 원자들을 분리하고 전자 정공들로부터 어셉터 원자들을 분리하도록 구성될 수 있다. 원위 장벽은 양자 우물로부터 터널링을 방지함으로써 전하 캐리어들을 양자 우물에 구속하기 위한 퍼텐셜 에너지 장벽으로 제공되는 AlGaN 합금일 수 있는 반면, 근위 장벽은 양자 우물들 사이에서 상당한 터널링을 허용하도록 구성될 수 있다. 퍼텐셜 에너지 우물이 형성된 것으로 인해, 전하 캐리어들은 인접한 양자 우물들로 터널링될 수 있는 헤테로구조 계면들에서 2차원 가스 내에 구속될 수 있다. 원위 장벽의 두께 및 그 알루미늄 농도 모두 양자 우물 층 구

조로부터 전계발광을 최적화하도록 구성될 수 있다. 도펀트들이 양자 우물 층 구조로부터 분리되고 따라서 양자 우물 층 구조에 의해 제공되는 퍼텐셜 에너지 우물을 변경하는 것으로부터 쿨롱 퍼텐셜들을 감소시킬 수 있으므로 원위 층들에 의해 양자 우물 층 구조를 도핑하는 것이 유리하다.

[0026] 양자 우물 층 구조를 도핑하기 위한 원위 n 도핑된 반도체 층은 전자들을 양자 우물 층 구조 내로 주입하도록 구성된 n 도핑된 반도체 층일 수 있다. 따라서, 이러한 층은 양자 우물 층 구조를 도핑하고 전자들을 양자 우물 층 구조 내로 주입할 수 있다. 대안적으로, 양자 우물 층 구조를 도핑하기 위한 원위 n 도핑된 반도체 층은 전자들을 양자 우물 층 구조 내로 주입하도록 구성된 n 도핑된 반도체 층과 상이할 수 있다.

[0027] 양자 우물 층 구조를 도핑하기 위한 원위 p 도핑된 반도체 층은 정공들을 양자 우물 층 구조 내로 주입하도록 구성된 p 도핑된 반도체 층일 수 있다. 따라서, 이러한 층은 양자 우물 층 구조를 도핑하고 정공들을 양자 우물 층 구조 내로 주입할 수 있다. 대안적으로, 양자 우물 층 구조를 도핑하기 위한 원위 p 도핑된 반도체 층은 정공들을 양자 우물 층 구조 내로 주입하도록 구성된 p 도핑된 반도체 층과 상이할 수 있다.

[0028] 다이오드 층 구조의 양자 우물 층 구조는 복수의 양자 우물들을 포함할 수 있으며, 복수의 양자 우물들 중 인접한 양자 우물들은 10nm 미만의 두께를 갖는 장벽 층에 의해 분리된다. 층들의 양자화는 GaN의 성장 방향에 수직이며, 이는 실리콘(111) 웨이퍼 상에서 C 방향일 수 있다. 예를 들어, 양자 우물 층 구조는 전하 캐리어들을 양자 상태에 2차원 가스로 구속하기에 충분히 얇고 2개 초과의 양자 우물들, 예컨대 5개의 양자 우물들 또는 10개의 양자 우물들을 포함할 수 있다. 분리 장벽의 두께는 인접한 양자 우물들의 모든 쌍들에 대해 동일할 수 있고, 1 내지 5nm의 두께를 갖는 인접한 양자 우물들의 상이한 쌍들에 대해 상이할 수 있다.

[0029] 복수의 양자 우물들은 예를 들어 터널 결합에 의해 서로 양자 역학적으로 결합될 수 있다. 따라서, 복수의 양자 우물들은 에너지 수준들의 미니밴드들을 형성할 수 있다. 이러한 미니밴드들은 장치가 높은 출력 전력을 갖도록 강하게 방출할 수 있다. 추가로, 방출 스펙트럼은 인접한 양자 우물들 사이의 장벽 두께만큼 조정될 수 있다.

[0030] p 도핑된 반도체 층은 GaN 층들 및 Al(z)Ga(1-z)N 층들의 초격자를 포함할 수 있으며, 여기서 $0 < z \leq 1$이고, 초격자의 Al(z)Ga(1-z)N 층들은 p 도핑된다.

[0031] 초격자가 정공들을 양자 우물 층 구조 내로 주입하는 p 도핑된 반도체 층에서 도핑을 향상시킨다는 점이 실현된다. 대안적으로, 초격자는 정공들을 양자 우물 층 구조 내로 주입하는 p 도핑된 반도체 층의 성장 후 어닐링에 대한 요구를 제거하거나 감소시킬 수 있다.

[0032] P 도핑은 GaN계 재료들에서 달성하기 어려울 수 있다. p 도핑에 사용되는 Mg와 같은 도핑 원자들은 종종 수소 불순물들 또는 질소 빈자리들에 의해 패시베이션된다. 따라서, 자유 정공 농도는 도핑 농도가 높더라도 낮을 수 있다. 패시베이션을 제거하기 위해(또는 도핑 원자들을 활성화하기 위해), 성장 후 어닐링, 예를 들어 낮은 수소 농도의 분위기에서의 성장 후 어닐링이 사용될 수 있다.

[0033] 초격자는 Kozodoy et al. [Appl.]. Phys. Lett. 75, 2444(1999)]에 의해 설명된 바와 같이, 가전자대 에지의 변화를 통해 p 도핑을 향상시킬 수 있다. 가전자대 에지의 변화는 본원에서 초격자의 Al 함량의 변화에 의해 야기되며, 초격자의 Al(z)Ga(1-z)N 층들은 초격자의 GaN 층들보다 더 높은 Al 함량을 갖는다. 어셉터들은 밴드 에지가 페르미 에너지보다 훨씬 아래의 곳에 이온화될 수 있고, 결과적인 정공들은 밴드 에지가 페르미 수준에 가까운 곳에 축적될 수 있다. 가전자대 에지는 본원에서 초격자의 층들에 수직인 방향으로 변화될 수 있다. 가전자대 에지의 변화의 결과로서, 정공 농도는 또한 변화될 수 있다. 그러나, 평균 정공 농도는 가전자대 에지가 변화되지 않는 벌크 필름에서보다 더 높을 수 있다. 가전자대 에지의 변화는 밴드 굽힘으로 인한 분극 효과들뿐만 아니라 초격자 내의 변화하는 밴드 갭으로 인한 것일 수 있다는 점이 이해되어야 한다. 초격자는 또한 Kozodoy et al. [Appl.] Phys. Lett. 75, 2444-2446 (1999)]에 의해 더 설명된 바와 같이, 정공 이동도를 향상시킬 수 있다.

[0034] p 도핑된 반도체 층의 초격자의 GaN 층들은 유리하게는 진성 도핑될 수 있다. 대안적으로, p 도핑된 반도체 층의 초격자의 GaN 층들은 p 도핑될 수 있다.

[0035] 유사하게, n 도핑된 반도체 층은 GaN 층들 및 Al(z)Ga(1-z)N 층들의 초격자를 포함할 수 있으며, 여기서 $0 < z \leq 1$이고, 초격자의 Al(z)Ga(1-z)N 층들은 n 도핑된다.

[0036] p 도핑된 반도체 층의 경우와 유사한 향상 효과들이 초격자의 사용에 의해 n 도핑된 반도체 층에 대해 달성될 수 있다는 점이 실현된다.

[0037] n 도핑된 반도체 층의 초격자의 GaN 층들은 유리하게는 진성 도핑될 수 있다. 대안적으로, n 도핑된 반도체 층

의 초격자의 GaN 층들은 n 도핑될 수 있다.

[0038] 장치는 비아를 더 포함할 수 있으며, 비아는 기판을 통과하고 다이오드 층 구조의 n 도핑된 반도체 층 또는 p 도핑된 반도체 층에 전기적으로 연결되는 금속 접촉부이다.

[0039] 따라서, 하단 전하 캐리어 주입 층이 n 도핑된 반도체 층이고 상단 전하 캐리어 주입 층이 p 도핑된 반도체 층이면(즉, n 도핑된 반도체 층이 p 도핑된 반도체 층보다 기판에 더 가까우면), 이때 n 도핑된 반도체 층은 비아에 의해 전기적으로 접촉될 수 있고 p 도핑된 반도체 층은 상단 접촉부에 의해 전기적으로 접촉될 수 있다.

[0040] 유사하게, 하단 전하 캐리어 주입 층이 p 도핑된 반도체 층이고 상단 전하 캐리어 주입 층이 n 도핑된 반도체 층이면(즉, p 도핑된 반도체 층이 n 도핑된 반도체 층보다 기판에 더 가까우며), 이때 p 도핑된 반도체 층은 비아에 의해 전기적으로 접촉될 수 있고 n 도핑된 반도체 층은 상단 접촉부에 의해 전기적으로 접촉될 수 있다.

[0041] 따라서, 하단 전하 캐리어 주입 층으로의 측방 전류들이 회피될 수 있다. 추가로, 복수의 장치들이 동일한 칩 상에 배열되면, 상기 복수의 장치들은 하단 전하 캐리어 주입 층에 대한 비아들이 사용될 때 밀집 패킹될 수 있다.

[0042] 장치는 이하이도록 더 구성될 수 있다:

[0043] n 도핑된 반도체 층은 필라 층을 포함하고, n 도핑된 반도체 층의 필라 층은 지지 재료에 매립된 적어도 하나의 n 도핑된 반도체 필라를 포함하고, 적어도 하나의 n 도핑된 반도체 필라는 전자 수송 채널을 n 도핑된 반도체 층의 필라 층을 통해 양자 우물 층 구조로 형성하도록 구성되고/되거나;

[0044] p 도핑된 반도체 층은 필라 층을 포함하고, p 도핑된 반도체 층의 필라 층은 지지 재료에 매립된 적어도 하나의 p 도핑된 반도체 필라를 포함하고, 적어도 하나의 p 도핑된 반도체 필라는 정공 수송 채널을 p 도핑된 반도체 층의 필라 층을 통해 양자 우물 층 구조로 형성하도록 구성된다.

[0045] n 도핑된 반도체 필라는 예를 들어 n 도핑된 GaN 필라, 예를 들어 n 도핑된 GaN 나노와이어일 수 있다. p 도핑된 반도체 필라는 예를 들어 p 도핑된 GaN 필라, 예를 들어 p 도핑된 GaN 나노와이어일 수 있다.

[0046] 반도체 필라가 전하 캐리어들을 양자 우물 층 구조로 효과적으로 안내할 수 있다는 점이 실현된다. 따라서, 높은 전도도는 주입된 전하 캐리어들에 대해 달성될 수 있다. 양자 구속을 나타내는 반도체 필라는 양자 우물 층 구조로 전하 캐리어들의 탄도 수송을 가능하게 할 수 있으므로 특히 유용할 수 있다. 따라서, 적어도 하나의 반도체 필라는 500nm보다 더 작은 직경을 가질 수 있다. 특히, 적어도 하나의 반도체 필라는 100nm보다 더 작은 직경을 가질 수 있다. 특히, 적어도 하나의 반도체 필라는 나노와이어일 수 있다. 이전에 언급된 바와 같이, 전하 캐리어들의 탄도 수송은 전하 캐리어들이 매우 빨리 이동할 수 있게 하고 이에 따라 높은 출력 전력을 가능하게 하고 전하 캐리어들의 산란을 감소시킨다.

[0047] 장치의 하나 이상의 필라 층들에 대해, 지지 재료는 상기 지지 재료에 매립된 반도체 필라들의 도핑과 반대되는 도핑을 갖는 반도체 재료일 수 있다.

[0048] 따라서, n 도핑된 반도체 층에 대해, 필라 층의 반도체 필라는 n 도핑될 수 있고, 지지 재료는 p 도핑될 수 있다. 따라서, n 도핑된 반도체 층에 의해 주입된 전자들은 n 도핑된 반도체 필라들을 통해 이동하도록 강제될 수 있다.

[0049] 따라서, p 도핑된 반도체 층에 대해, 필러 층의 반도체 필러는 p 도핑될 수 있고, 지지 재료는 n 도핑될 수 있다. 따라서, p 도핑된 반도체 층에 의해 주입된 정공들은 p 도핑된 반도체 필라들을 통해 이동하도록 강제될 수 있다.

[0050] 지지 재료는 예를 들어 필라 층의 반도체 필라가 n 도핑되는 경우에, 철 도핑되거나 탄소 도핑된 GaN일 수 있다. 철 또는 탄소 도펀트들은 GaN 내의 바람직하지 않은 얕은 도너들 및 잔류 불순물들을 보상하는 깊은 어셉터 도펀트들로서의 역할을 할 수 있다. 철 도핑되거나 탄소 도핑된 GaN 지지 재료의 사용은 필라 층 위 또는 뒤에, 예를 들어 필라 층 뒤에 성장된 양자 우물 층 구조 내에 향상된 품질의 재료를 성장시키는 것을 가능하게 한다.

[0051] 대안적으로 또는 추가적으로, 장치의 하나 이상의 필라 층들에 대해, 지지 재료는 산화 갈륨 또는 현장에서 Si_3N_4일 수 있다.

[0052] 산화 갈륨은 예를 들어 Ga_2O 또는 Ga_2O_3일 수 있다. 산화 갈륨은 큰 밴드 갭을 갖고 이에 따라 반도체 필라들에

전하 캐리어들의 효과적인 구속을 용이하게 할 수 있다.

[0053] 추가로, 장치의 하나 이상의 필라 층들에 대해, 반도체 필라들의 직경은 10 내지 500nm일 수 있고, 반도체 필라들의 피치는 200 내지 500nm일 수 있다. 이러한 구성은 반도체 필라들에 전하 캐리어들의 양호한 구속 및 동시에 필라 층을 통한 충분한 전류 밀도를 가능하게 한다.

[0054] 광 홀들에 대한 전하 캐리어 농도는 스트레인에 의해 p 도핑된 반도체 층 내에 제공될 수 있다. 예를 들어, 스트레인은 가벼운 홀 밴드 에너지를 무거운 홀 밴드 에너지 위로 상승시킬 수 있다. 따라서, 주로 광 홀들을 통한 전도가 용이하게 될 수 있으며, 이는 정공들의 빠른 주입 및 이에 따라 높은 출력 전력을 초래할 수 있다. 예를 들어, p 도핑된 반도체 층은 필라 층을 포함할 수 있으며, 필라 층의 반도체 필라들은 반도체 필라들의 가벼운 홀 밴드들이 반도체 필라들의 무거운 홀 밴드들보다 더 높은 에너지를 갖도록 지지 재료에 의해 스트레인된다.

[0055] 장치는 제1 및 제2 양자 우물들 아래의 하단 반사기 및 제1 및 제2 양자 우물들 위의 상단 반사기를 포함하는 수직 공동 표면 방출 레이저(VCSEL)일 수 있으며, 상단 및 하단 반사기는 제1 및 제2 양자 우물들에 의해 방출되는 광에 대한 광학 공진기를 형성한다.

[0056] 하단 및 상단 반사기는 각각 분배 브래그 반사기들(DBR들)일 수 있다. DBR은 높고 낮은 굴절률을 교번하는 층들을 포함할 수 있다. 층들의 두께들은 방출 파장의 1/4, 예를 들어 양자 우물 층 구조의 양자 우물들에 의해 방출된 광의 파장의 1/4에 대응하도록 구성될 수 있다.

[0057] p 도핑된 반도체 층이 GaN 층들 및 Al(z)Ga(1-z)N 층들의 초격자를 포함하면, 상기 초격자는 또한 VCSEL의 DBR의 일부를 형성할 수 있다.

[0058] n 도핑된 반도체 층이 GaN 층들 및 Al(z)Ga(1-z)N 층들의 초격자를 포함하면, 상기 초격자는 또한 VCSEL의 DBR의 일부를 형성할 수 있다.

[0059] 제1 및 제2 양자 우물들에 의해 방출되는 광에 대한 광학 공진기는 제1 및 제2 양자 우물들로부터의 방출 파장과 유사한 공진 파장에 대응하는 분리를 갖는 상단 및 하단 반사기에 의해 형성될 수 있다. 광학 공진기의 상기 공진 파장은 제1 및 제2 양자 우물들로부터의 방출 파장의 ±20% 내일 수 있다.

[0060] 전술된 바와 같이, 전하 캐리어들, 즉 전자들 및 정공들이 근위 장벽 층들 및 원위 장벽 층들 둘 다에 의해 양자 우물들 내에 구속될 때 특히 유리할 수 있다. 예를 들어, 이하일 때

[0061] 제1 및 제2 원위 장벽 층 모두 제1 및 제2 근위 장벽 층들보다 더 큰 밴드 갭들을 갖는다. 이러한 상황에서, 원위 장벽 층들은 원위 장벽 층들 사이에 샌드위치된 영역의 양 측면들 상에 정공들에 대한 에너지 장벽들을 형성할 수 있다. 유사하게, 이러한 상황에서, 원위 장벽 층들은 원위 장벽 층들 사이에 샌드위치된 영역의 양 측면들 상에 전자들에 대한 에너지 장벽들을 형성할 수 있다. 따라서, 전자들 및 정공들 모두 2단계 구조 내에 구속될 수 있다. 전자들 및 정공들은 먼저 근위 장벽 층들에 의해 양자 우물들 내에 구속될 수 있다. 전자들 및 정공들은 원위 장벽 층들에 의해, 원위 장벽 층들 사이에 샌드위치된 영역 내에 두번째로 구속될 수 있다. 원위 장벽 층들에 의해 전자들 및 정공들 둘 다를 구속하는 이러한 구조는 유리하게는 전계발광을 개선한다.

[0062] 전술된 바와 같이, 원위 장벽 층들에서보다 근위 장벽 층들에서 더 낮은 알루미늄 함량을 갖는 것이 특히 유리할 수 있는 데, 이것은 성능을 저하시킬 수 있는, 양자 우물들 내로의 알루미늄의 확산을 방지할 수 있기 때문이다.

[0063] 이하, 추가 예들은 제1 및 제2 원위 장벽 층 둘 다가 제1 및 제2 근위 장벽 층들보다 더 큰 밴드 갭들을 갖는 구조에 대해 주어진다. 제1 및 제2 원위 장벽 층은 GaN의 밴드 갭보다 더 큰 밴드 갭을 각각 가질 수 있다. 따라서, 제1 및 제2 원위 장벽 층은 Al(a)Ga(1-a)N을 각각 포함할 수 있으며, 여기서 예를 들어$0.1 < a \leq 0.3$과 같이, $0 < a \leq 0.3$이다. 추가로, 제1 및 제2 근위 장벽 층들은 50nm 미만의 두께, 예컨대 10nm 미만의 두께를 각각 가질 수 있다. 이러한 두께들은 근위 장벽 층들 및 원위 장벽 층들의 구속 사이에 유리한 관계를 제공할 수 있다. 구조의 양자 우물 부분(제1 및 제2 근위 장벽 층 사이에 샌드위치된 양자 우물들, 예를 들어 제1 양자 우물에서 마지막 양자 우물까지의 두께를 포함함)은 20 내지 100nm 미만의 두께를 가질 수 있다.

[0064] 유리한 구조는 이하일 수 있다(하단에서 상단으로 설명된 층들):

[0065] · 기판;

[0066] · Al(x)Ga(1-x)N을 포함하는 베이스 층, 여기서 $0 < x \leq 1$;

[0067] · n 도핑된 층, 예를 들어 n 도핑된 GaN;

[0068] · Al(a)Ga(1-a)N의 제1 원위 장벽 층, 여기서 예를 들어 $0.1 < a \leq 0.3$과 같이, $0 < a \leq 0.3$이다. 제1 원위 장벽 층은 진성일 수 있으며, 대안적으로 도핑될 수 있다. 제1 원위 장벽 층의 두께는 10nm 미만일 수 있으며;

[0069] · 진성 도핑된 GaN의 제1 근위 장벽 층. 제1 원위 장벽 층의 두께는 50nm 미만, 예컨대 10nm 미만일 수 있으며;

[0070] · 제1 및 제2 양자 우물, 각각의 양자 우물은 5nm 미만의 두께를 갖는다. 양자 우물들은 예를 들어 20nm 미만, 예컨대 5nm 미만의 두께를 갖는 GaN 장벽 층에 의해 분리될 수 있다.

[0071] · 진성 도핑된 GaN의 제2 근위 장벽 층. 제2 원위 장벽 층의 두께는 10nm 미만, 예컨대 5nm 미만일 수 있으며;

[0072] · Al(a)Ga(1-a)N의 제2 원위 장벽 층, 여기서 예를 들어 $0.1 < a \leq 0.3$과 같이, $0 < a \leq 0.3$이다. 제2 원위 장벽 층은 진성일 수 있으며, 대안적으로 도핑될 수 있다. 제1 원위 장벽 층의 두께는 20nm 미만, 예컨대 10nm 미만일 수 있으며;

[0073] · p 도핑된 층, 예를 들어 p 도핑된 GaN;

[0074] 특히, 유리한 구조는 이하일 수 있다(하단에서 상단으로 설명된 층들):

[0075] · 기판;

[0076] · Al(x)Ga(1-x)N을 포함하는 베이스 층, 여기서 $0 < x \leq 1$;

[0077] · n 도핑된 GaN의 n 도핑된 층;

[0078] · 10nm 미만의 Al(a)Ga(1-a)N의 제1 원위 장벽 층, 여기서 $0.1 < a \leq 0.3$;

[0079] · 진성 도핑된 GaN의 제1 근위 장벽 층. 제1 원위 장벽 층의 두께는 50nm 미만, 예컨대 10nm 미만일 수 있으며;

[0080] · InGaN의 제1 및 제2 양자 우물, 각각의 양자 우물은 5nm 미만의 두께를 갖는다. 양자 우물들은 예를 들어 30nm 미만, 예컨대 10nm 미만의 두께를 갖는 GaN 장벽 층에 의해 분리될 수 있다.

[0081] · 진성 도핑된 GaN의 제2 근위 장벽 층. 제2 원위 장벽 층의 두께는 50nm 미만, 예컨대 10nm 미만일 수 있으며;

[0082] · 10nm 미만의 Al(a)Ga(1-a)N의 제2 원위 장벽 층, 여기서 $0.1 < a \leq 0.3$;

[0083] · p 도핑된 GaN의 p 도핑된 층;

[0084] 상기 구조들에서, n 도핑된 층 및 p 도핑된 층은 장소들을 바꿀 수 있다.

[0085] 상기 구조들에서, 제1 및 제2 근위 장벽 층들 사이에 2개 초과의 양자 우물들이 있을 수 있다.

[0086] 제2 양태에 따르면, 발광 장치를 제조하기 위한 방법이 제공되며, 방법은,

[0087] 기판을 제공하는 단계;

[0088] 물리 기상 증착에 의해, 기판 상에 베이스 층을 증착하는 단계로서, 베이스 층은 Al(x)Ga(1-x)N을 포함하는 단계;

[0089] 베이스 층 상에 다이오드 층 구조를 형성하는 단계를 포함하고, 다이오드 층 구조는 n 도핑된 반도체 층과 p 도핑된 반도체 층 사이에 샌드위치된 양자 우물 층 구조를 포함하고,

[0090] 양자 우물 층 구조는 제1 및 제2 양자 우물, 제1 및 제2 근위 장벽 층, 및 제1 및 제2 원위 장벽 층을 포함하고,

[0091] 제1 및 제2 양자 우물은 5nm 미만의 두께 및 제1 및 제2 근위 장벽 층들의 밴드 갭들보다 더 작은 밴드 갭을 각각 갖는다.

[0092] 제1 및 제2 근위 장벽 층은 진성 도핑된 GaN을 각각 포함하며, 제1 및 제2 양자 우물들은 제1 및 제2 근위 장벽 층들 사이에 샌드위치되고,

[0093] 제1 및 제2 원위 장벽 층은 Al(a)Ga(1-a)N을 각각 포함하며, 여기서 $0 \leq a \leq 0.3$이고, 제1 및 제2 양자 우물

들 및 제1 및 제2 근위 장벽 층들은 제1 및 제2 원위 장벽 층들 사이에 샌드위치되고;

[0094] n 도핑된 반도체 층은 전자들을 양자 우물 층 구조 내로 주입하도록 구성되고;

[0095] p 도핑된 반도체 층은 정공들을 양자 우물 층 구조 내로 주입하도록 구성되며, 바람직하게는 상기 베이스 층은 100 내지 500nm 두께를 갖는 AlN이다.

[0096] 따라서, 베이스 층은 물리 기상 증착에 의해, 예를 들어 스퍼터링에 의해 증착된다. 그 다음, 다이오드 층 구조의 층들은 에피택셜 성장에 의해 베이스 층 상에 형성될 수 있다.

[0097] 제2 양태에 따라 제조된 발광 장치는 제1 양태에 따른 장치와 동일한 장점들, 또는 유사한 장점들을 가질 수 있고, 장래의 분할 출원의 대상이 될 가능성이 있다.

[0098] 방법은,

[0099] 반응성 이온 식각에 의해 기판을 관통하는 구멍을 식각하는 단계;

[0100] 금속 접촉부가 형성되도록 기판을 관통하는 구멍 내에 금속을 증착하는 단계를 더 포함할 수 있으며, 금속 접촉부는 기판을 통과하고 다이오드 층 구조의 n 도핑된 반도체 층 또는 p 도핑된 반도체 층에 전기적으로 연결된다.

[0101] 따라서, 비아가 형성될 수 있다. 반응성 이온 식각은 기판을 관통하는 구멍과 같은 깊은 구멍들을 식각하는 데 특히 적절할 수 있다. 반응성 이온 식각은 염소 반응성 이온 식각일 수 있다.

[0102] 반응성 이온 식각에 의해 기판을 관통하는 구멍의 식각은 염화 알루미늄 또는 불화 알루미늄의 분자 종들을 분광적으로 검출하는 것에 기초하여 종료될 수 있다.

[0103] 기판을 관통하는 구멍과 같은 깊은 구멍들을 식각할 때, 정확한 식각 깊이를 아는 것은 어려울 수 있다. 염화 알루미늄 또는 불화 알루미늄의 분광 신호는 반응성 이온 식각이 기판, 예를 들어 실리콘 기판을 통과하였고, 베이스 층의 Al(x)Ga(1-x)N에 도달했던 것을 표시할 수 있다는 점이 실현된다. 분자 종들은 예를 들어 UV-vis 분광법에 의해 분광적으로 검출될 수 있다.

[0104] 분광 신호들은 식각 완료, 즉 AlN 또는 알루미늄 함유 Al(x)Ga(1-x)N 베이스 층의 돌파에 도달하면 정지되는 식각을 위한 트리거링으로 사용될 수 있으며 이에 따라 AlN으로부터의 신호 강도가 감소된다. 플라즈마 식각은 ICP 플라즈마 식각으로 수행될 수 있다. 방법의 장점은 동일한 베이스 층이 장치의 드레인 접촉을 위한 트렌치를 정의하는 데 사용된 바와 같이 실리콘 상에 높은 품질의 GaN을 성장시키기 위해 사용될 수 있다는 것이다.

도면의 간단한 설명

[0105] 본 발명의 개념의 상기뿐만 아니라, 추가 목적들, 특징들 및 장점들은 첨부 도면들을 참조하여, 이하의 예시적이고 비제한적인 상세한 설명을 통해 더 잘 이해될 것이다. 도면들에서, 비슷한 참조 번호들은 달리 언급되지 않는 한 비슷한 요소들에 사용될 것이다.

도 1은 발광 장치를 예시한다.

도 2는 밴드 구조를 예시한다.

도 3은 양자 우물 층 구조를 예시한다.

도 4는 전하 캐리어 주입 층을 예시한다.

도 5는 전하 캐리어 주입 층을 예시한다.

도 6은 전하 캐리어 주입 층을 예시한다.

도 7은 전하 캐리어 주입 층을 예시한다.

도 8은 전하 캐리어 주입 층을 예시한다.

도 9는 베이스 층을 예시한다.

도 10은 수직 공동 표면 방출 레이저를 예시한다.

도 11은 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0106] 첨부 도면들과 협력하여, 본 발명의 기술적 내용들 및 상세한 설명은 바람직한 실시예들에 따라 이하에 설명하며, 이들은 청구된 범위를 제한하는 데 사용되지 않는다. 본 발명은 많은 상이한 형태들로 구체화될 수 있고 본원에 제시된 실시예들에 제한되는 것으로 해석되지 않아야 하며; 오히려, 이들 실시예들은 철저성 및 완전성을 위해 제공되고, 당업자에게 본 발명의 범위를 완전히 전달한다.

[0107] 도 1은 광을 방출하기 위한 장치(1)의 단면도를 예시한다. 장치는 기판(2), 기판(2) 상위에 배열된 베이스 층(4), 및 베이스 층(4) 상에 배열된 다이오드 층 구조(10)를 포함한다.

[0108] 기판(2)은 반도체 웨이퍼 또는 반도체 웨이퍼의 일부일 수 있다. 기판(2)은 예를 들어 실리콘 기판(2), 사파이어 기판(2), 또는 탄화 규소 기판(2)일 수 있다. 실리콘 기판(2)은 그 낮은 비용으로 인해 바람직하다. 기판(2)은 이하 XY 평면으로 칭해지는 평면에서 연장될 수 있다. 장치(1)의 상이한 층들은 XY 평면에 수직인 방향으로, 차례로, 기판(2)의 위에 배열될 수 있으며, 상기 방향은 이하 Z 방향으로 칭해진다. 장치들(1)의 예시들은 본원에서 개략적인 예시만이라는 점이 이해되어야 한다. 장치들(1)은 일반적으로 Z 방향에서보다 XY 평면의 X 및 Y 방향들에서 상당히 더 큰 치수들을 갖는다.

[0109] 베이스 층(4) 및 다이오드 층 구조(10)는 질화물계 반도체 재료를 포함할 수 있다.

[0110] 베이스 층(4)은 Al(x)Ga(1-x)N을 포함하며, 여기서 $0 < x \leq 1$이다. 베이스 층(4)은 100 내지 500nm 두께의 AlN 층, 즉 x=1인 층, 즉 Al 함량이 100%인 층을 포함하는 것이 바람직하다. 상기 AlN 층은 바람직하게는 기판(2) 바로 위에, 예를 들어 실리콘 기판(2) 바로 위에 배열된다. 상기 AlN 층은 바람직하게는 물리 기상 증착에 의해 증착된 AlN을 포함한다. 상기 AlN 층은 예를 들어 스퍼터링된 AlN을 포함할 수 있다. 대안적으로 또는 추가적으로, 베이스 층(4)은 다른 Al 조성들의 스퍼터링된 층들을 포함할 수 있다.

[0111] 베이스 층(4)은 단일 층 또는 복수의 층들을 포함할 수 있다. 예를 들어, 베이스 층은 기판(2) 바로 위에 배열된 AlN 층 다음에 더 낮은 Al 함량, x<1을 갖는 하나 이상의 Al(x)Ga(1-x)N 층들을 포함할 수 있다. 베이스 층(4)은 아래에 논의된 바와 같이, 베이스 층 필라들(6)을 더 포함할 수 있다.

[0112] 베이스 층(4)은 에피택셜 성장된 층들을 포함할 수 있다. 예를 들어, 베이스 층(4)은 스퍼터링 층과 다이오드 층 구조(10) 사이에 적어도 하나의 에피택셜 성장된 층을 포함할 수 있다. 베이스 층(4)은 전위들의 형성을 방지 또는 감소시키고/시키거나, 전위들이 다이오드 층 구조(10) 내로 확산되는 것을 방지할 수 있다.

[0113] 다이오드 층 구조(10)는 언급된 바와 같이, 베이스 층(4) 상에 배열된다. 다이오드 층 구조(10)는 질화물계 반도체 재료를 포함할 수 있다. 다이오드 층 구조는 n 도핑된 반도체 층(12)과 p 도핑된 반도체 층(14) 사이에 샌드위치된 양자 우물 층 구조(30)를 포함한다. 도 1에서, 다이오드 층 구조(10) 내의 층들의 순서는 Z 방향으로 베이스 층(4)부터 카운트된다: n 도핑된 반도체 층(12) 다음에 양자 우물 층 구조(30) 다음에 p 도핑된 반도체 층(14). 대안적으로, 순서가 반전될 수 있으며, 즉 p 도핑된 반도체 층(14) 다음에 양자 우물 층 구조(30) 다음에 n 도핑된 반도체 층(12)이 이어진다. n 도핑된 반도체 층(12)는 다이오드 층 구조(10)가 순방향 바이어스될 때 전자들을 양자 우물 층 구조(30) 내로 주입하는 전하 캐리어 주입 층으로서의 역할을 한다. 유사하게, p 도핑된 반도체 층(14)은 다이오드 층 구조(10)가 순방향 바이어스될 때 정공들을 양자 우물 층 구조(30) 내로 주입하는 전하 캐리어 주입 층으로서의 역할을 한다.

[0114] 양자 우물 층 구조(30)는 제1 양자 우물(41) 및 제2 양자 우물(42), 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52), 및 제1 원위 장벽 층(61) 및 제2 원위 장벽 층(62)을 포함한다. 제1 양자 우물(41) 및 제2 양자 우물(42)은 장벽 층(43)에 의해 분리될 수 있다. 제1 양자 우물(41) 및 제2 양자 우물(42)은 제1 근위 장벽 층(51)과 제2 근위 장벽 층(52) 사이에 샌드위치된다. 제1 양자 우물(41) 및 제2 양자 우물(42) 및 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)은 제1 원위 장벽 층(61)과 제2 원위 장벽 층(62) 사이에 샌드위치된다. 따라서, 양자 우물 층 구조(30) 내의 층들의 순서는 Z 방향으로 하단 전하 캐리어 주입 층으로부터 카운트될 수 있다: 제1 원위 장벽 층(61), 제1 근위 장벽 층(51), 제1 양자 우물(41), 장벽 층(43), 제2 양자 우물(42), 제2 근위 장벽 층(52), 제2 원위 장벽 층(62).

[0115] 제1 양자 우물(41) 및 제2 양자 우물(42)은 5nm 미만의 두께 및 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)의 밴드 갭들보다 더 작은 밴드 갭을 각각 갖는다. 제1 양자 우물(41) 및 제2 양자 우물(42)은 InAlGaN 층들 또는 InGaN 층들일 수 있다. 예를 들어, 제1 양자 우물(41) 및 제2 양자 우물(42)은 In(b)Al(c)Ga(1-b-c)N 층들일 수 있으며, 여기서 $0 \leq b \leq 1$ 및 $0 \leq c \leq 1$이다. 제1 양자 우물(41) 및 제2 양자 우물(42)은 동일한

조성 또는 상이한 조성들을 가질 수 있다. 제1 양자 우물(41)과 제2 양자 우물(42) 사이의 장벽(43)은 제1 양자 우물(41) 및 제2 양자 우물(42)의 밴드 갭들보다 더 큰 밴드 갭을 가질 수 있다. 제1 양자 우물(41)과 제2 양자 우물(42) 사이의 장벽(43)은 GaN 층, 예를 들어 진성 도핑된 GaN 층일 수 있다. 제1 양자 우물(41)과 제2 양자 우물(42) 사이의 장벽 층(43)은 30nm 미만, 바람직하게는 10nm 미만의 두께를 가질 수 있다.

[0116] 제1 근위 장벽 층(51) 및 제2 근위 장벽 층(52)은 진성 도핑된 GaN을 각각 포함한다. 제1 원위 장벽 층(61) 및 제2 원위 장벽 층(62)은 Al(a)Ga(1-a)N을 각각 포함하며, 여기서 $0 \leq a \leq 0.3$이다. 바람직하게는, 제1 원위 장벽 층(61) 및 제2 원위 장벽 층(62)은 $0.3 \leq a \leq 1$인 조성을 갖는다. 이것은 n 도핑된 반도체 층(12) 및 p 도핑된 반도체 층(14) 내의 도펀트들로부터 제1 양자 우물(41) 및 제2 양자 우물(42) 내의 전하 캐리어들을 분리하기 위한 양호한 장벽을 제공한다.

[0117] 장치(1)는 다이오드 층 구조(10)를 위한 전하 캐리어들을 바이어스하고/하거나 제공하기 위한 전기 접촉부들을 더 포함할 수 있다. 도 1에 예시된 바와 같이, 장치(1)는 상단 전하 캐리어 주입 층에 전기적으로 연결된 상단 접촉부(9) 및 하단 전하 캐리어 주입 층에 전기적으로 연결된 비아(3)을 포함할 수 있다. 도 1에서, 상단 접촉부(9)는 p 도핑된 반도체 층(14)에 전기적으로 연결되고, 비아(3)는 n 도핑된 반도체 층(12)에 전기적으로 연결된다. 비아(3)는 기판(2)을 통과하는 금속 접촉부이다.

[0118] 비아(3)는 예를 들어 하단 전하 캐리어 주입 층과 오믹 접촉을 형성함으로써 하단 전하 캐리어 주입 층에 전기적으로 연결될 수 있다. 따라서, 비아(3)는 기판(2) 및 베이스 층(4)을 통해 연장되어 하단 전하 캐리어 주입 층에 도달할 수 있다.

[0119] 대안적으로, 비아(3)는 하나 이상의 중간 층들을 통해 하단 전하 캐리어 주입 층에 전기적으로 연결될 수 있다. 비아(3)와 하단 전하 캐리어 주입 층 사이에 하나 이상의 중간 층들이 있을 수 있으며, 하나 이상의 중간 층들은 하단 전하 캐리어 주입 층과 동일한 도핑 유형(n 또는 p)을 갖는다. 따라서, 비아는 하단 중간 층과 오믹 접촉을 형성하고 이에 따라 중간 층들을 통해 하단 전하 캐리어 주입 층에 전기적으로 연결될 수 있다. 도 1은 베이스 층(4)이 비아(3)와 이 경우에 n 도핑된 반도체 층(12)인 하단 전하 캐리어 주입 층 사이의 중간 층으로서의 역할을 하는 상황을 예시한다.

[0120] 장치(1)는 수직 방향, 즉 Z 방향으로 광을 방출하도록 구성될 수 있다. 광은 본원에서 도 1에 예시된 바와 같이, 상단 접촉부(9)를 통한 애퍼처를 통해, 또는 상단 접촉부(9)가 반투명임으로써 방출될 수 있다. 따라서, 장치(1)는 VCSEL(70)일 수 있다.

[0121] 대안적으로, 장치(1)는 측방 방향, 예를 들어 X 또는 Y 방향으로 광을 방출하도록 구성될 수 있다. 광은 본원에서 다이오드 층 구조(10)의 측방 에지에서 방출될 수 있다. 따라서, 장치(1)는 에지 방출 레이저일 수 있다.

[0122] 다이오드 층 구조(10)의 반도체 밴드 구조의 일 예는 도 2에서 보여진다. 예시된 바와 같이, 원위 장벽 층(61, 62)은 상기 원위 장벽 층(61, 62)이 접하는 전하 캐리어 주입 층(12, 14)보다 더 큰 밴드 갭을 가질 수 있다. 따라서, 원위 장벽 층(61, 62)은 전하 캐리어들이 양자 우물 층 구조(30) 내로 주입될 때 터널링 장벽을 형성할 수 있다. 터널링 장벽들을 형성하는 원위 장벽 층들(61, 62)은 전하 캐리어 터널링을 위해 충분히 얇은 두께를 갖도록 구성될 수 있다. 예를 들어, 이러한 터널링 장벽은 30nm보다 더 얇을 수 있으며, 예를 들어 10nm보다 더 얇을 수 있다. 대안으로서, 원위 장벽 층(61, 62)은 상기 원위 장벽 층(61, 62)이 접하는 전하 캐리어 주입 층(12, 14)보다 더 작은 밴드 갭을 가질 수 있다. 이 경우에, 전하 캐리어들은 터널링 없이 양자 우물 층 구조(30) 내로 주입될 수 있다.

[0123] 양자 우물 층 구조(30)는 전자들 및 정공들의 재결합을 위해 원위 n 도핑된 반도체 층 및 원위 p 도핑된 반도체 층에 의해 실질적으로 도핑되도록 구성될 수 있다. 예를 들어, 양자 우물 층 구조(30)를 도핑하기 위한 원위 n 도핑된 반도체 층은 양자 우물 층 구조(30)의 양자 우물(41, 42)로부터 50nm 미만에 배열될 수 있다. 유사하게, 양자 우물 층 구조(30)를 도핑하기 위한 원위 p 도핑된 반도체 층은 양자 우물 층 구조(30)의 양자 우물(41, 42)로부터 50nm 미만에 배열될 수 있다.

[0124] 양자 우물 층 구조(30)는 2개 초과의 양자 우물들(40)을 포함할 수 있다. 다이오드 층 구조(10)의 양자 우물 층 구조(30)는 복수의 양자 우물들(40)을 포함할 수 있으며, 복수의 양자 우물들(40) 중 인접한 양자 우물들(40)은 10nm 미만의 두께를 갖는 장벽 층에 의해 분리된다. 도 3은 4개의 양자 우물들(40)을 포함하는 양자 우물 층 구조(30)의 단면도를 예시한다.

[0125] 장치(1)의 전하 캐리어 주입 층은 초격자(20)를 포함할 수 있다. 이것은 상기 전하 캐리어 주입 층의 도핑을 향

상시킬 수 있다.

[0126] 예를 들어, p 도핑된 반도체 층(14)은 GaN 층들(22) 및 Al(z)Ga(1-z)N 층들(24)의 초격자(20)를 포함할 수 있으며, 여기서 0 < z ≤ 1이고, 초격자(20)의 Al(z)Ga(1-z)N 층들(24)은 p 도핑된다.

[0127] 유사하게, n 도핑된 반도체 층(12)는 GaN 층들(22) 및 Al(z)Ga(1-z)N 층들(24)의 초격자(20)를 포함할 수 있으며, 여기서 0 < z ≤ 1이고, 초격자(20)의 Al(z)Ga(1-z)N 층들(24)은 n 도핑된다.

[0128] 도 4는 전하 캐리어 주입 층, 이 경우에 GaN 층들(22) 및 Al(z)Ga(1-z)N 층들(24)의 초격자(20)를 포함하는 p 도핑된 반도체 층(14)의 단면도를 예시한다. 이러한 도면 및 이하의 도면들에서, 각각의 층의 도핑은 각각의 층 옆에 표시된다. 본원에서, p는 p 도핑을 나타내고, i는 진성 도핑을 나타내고, n은 n 도핑을 나타낸다. 도 4에 예시된 바와 같이, GaN 층들(22)은 진성 도핑될 수 있다. 이것은 p 도핑된 반도체 층들(14)의 초격자들(20)뿐만 아니라 n 도핑된 반도체 층들(12)의 초격자들(20)에 적용될 수 있다.

[0129] 바람직하게는 Al(z)Ga(1-z)N 층들(24)은 z>0.15, 예컨대 0.2<z<0.4인 조성을 갖는다. 이것은 가장 효율적인 도핑 향상을 제공할 수 있다.

[0130] 추가로, 장치(1)의 전하 캐리어 주입 층은 필라 층(15)을 포함할 수 있다. 이것은 전하 캐리어 주입 층에서 높은 전도도 및/또는 이동도를 용이하게 할 수 있다. 추가적으로 또는 대안적으로, 그것은 전하 캐리어 주입 층을 통한 탄도 수송을 용이하게 할 수 있다.

[0131] 예를 들어, p 도핑된 반도체 층(14)은 필라 층(15)을 포함할 수 있으며, p 도핑된 반도체 층(14)의 필라 층(15)은 지지 재료(18)에 매립된 적어도 하나의 p 도핑된 반도체 필라(16)를 포함한다.

[0132] 도 5 및 도 6은 필라 층(15)을 예시한다. 도면들에서, 필라 층(15)은 p 도핑된 반도체 층(14)을 형성한다. 그러나, 필라 층(15)은 예를 들어 필라 층(15)의 도핑이 반전되면, n 도핑된 반도체 층(12)을 대안적으로 형성할 수 있다. 도 5는 Z 방향에서 본 바와 같이, 필라 층(15)의 상면도이다. 도 6은 Y 방향에서 본 바와 같이, 필라 층(15)의 단면도이다.

[0133] 필라 층(15)의 반도체 필라들(16)은 주로 축을 따라 연장될 수 있으며, 축은 기판에 수직이며, 즉 Z 방향이다.

[0134] 반도체 필라들(16)은 도 5에 도시된 바와 같이, 원형 단면을 가질 수 있다. 대안적으로, 반도체 필라들(16)은 비원형 단면을 가질 수 있다. 필라 층(15)의 반도체 필라들(16)은 10nm 내지 500nm 범위의 직경(D)을 가질 수 있다. 반도체 필라(16)가 비원형 단면을 가지면, 직경(D)은 비원형 단면을 포함하는 가장 작은 원의 직경이다.

[0135] 필라 층(15)의 반도체 필라들(16)은 200nm 내지 500nm 범위의 피치(B)를 가질 수 있다. 본원에서, 피치(B)는 도 5에 도시된 바와 같이, 반도체 필라들(16)의 주기적 반복에서 인접한 반도체 필라들(16) 사이의 거리이다.

[0136] 필라 층(15)의 반도체 필라(16)는 하나의 단일 반도체 재료, 예를 들어 Al(x)Ga(1-x)N을 포함할 수 있으며, 여기서 0 ≤ x ≤ 1이다. 대안적으로, 필라 층(15)의 반도체 필라(16)는 GaN 층들(22) 및 Al(z)Ga(1-z)N 층들(24)의 초격자(20)를 포함할 수 있으며, 여기서 0 < z ≤ 1이다. 도 7은 Y 방향에서 본 바와 같이, n 도핑된 반도체 층(12)을 형성하는 필라 층(15)의 단면도를 예시하며, 반도체 필라들(16)은 초격자(20)를 포함한다. 도 8은 Y 방향에서 본 바와 같이, p 도핑된 반도체 층(14)을 형성하는 필라 층(15)의 단면도를 예시하며, 반도체 필라들(16)은 초격자(20)를 포함한다.

[0137] 필라 층(15)의 반도체 필라(16)는 전하 캐리어들을 위한 수송 채널을 형성하기 위해 도핑된다. 필라 층(15)이 n 도핑된 반도체 층(12)의 일부를 형성하는 경우에, 필라 층(15)의 반도체 필라들(16)은 n 도핑되어 필라 층(15)을 통해 전자 수송 채널을 형성한다. 필라 층(15)이 p 도핑된 반도체 층(14)의 일부를 형성하는 경우에, 필라 층(15)의 반도체 필라들(16)은 p 도핑되어 필라 층(15)을 통해 정공 수송 채널을 형성한다. 도핑은 반도체 필라(16)의 축을 따라 일정할 수 있다. 대안적으로, 도핑은 반도체 필라(16)의 축을 따라 변화될 수 있다. 특히, 반도체 필라(16)가 초격자(20)를 포함하는 경우에, GaN 층들(22)은 진성 도핑될 수 있는 한편, Al(z)Ga(1-z)N 층들(24)은 반도체 필라(16)가 정공 수송 채널을 형성하도록 p 도핑되거나, 반도체 필라(16)가 전자 수송 채널을 형성하도록 n 도핑된다.

[0138] 필라 층(15)은 반도체 층을 성장시키고, 상기 층을 패터닝하고, 그 다음 반도체 필라들(16)을 식각함으로써 형성될 수 있다. 필라들 사이의 공간은 반도체 필라들(16)이 매립되며, 예컨대 지지 재료(18)에 측방으로 매립되도록 지지 재료(18)에 의해 나중에 충전될 수 있다. 지지 재료(18)는 다른 수단에 의해 에피택셜 성장되거나 증착될 수 있다.

[0139] 지지 재료(18)는 반도체 재료, 예를 들어 에피택셜 성장된 반도체 재료일 수 있다. 지지 재료(18)는 상기 지지 재료(18)에 매립된 반도체 필라들(16)의 도핑과 반대되는 도핑을 갖는 반도체 재료일 수 있다. 따라서, n 도핑된 반도체 층(12)에 대해, 필러 층(15)의 반도체 필러(16)는 n 도핑될 수 있고, 지지 재료(18)는 p 도핑될 수 있다. 유사하게, p 도핑된 반도체 층(14)에 대해, 필러 층(15)의 반도체 필러(16)는 p 도핑될 수 있고, 지지 재료(18)는 n 도핑될 수 있다.

[0140] 지지 재료(18)에 대한 도핑된 반도체 재료를 사용하는 것에 대안적으로 또는 추가적으로, 지지 재료(18)는 산화물일 수 있다. 예를 들어, 지지 재료는 산화 갈륨, 예를 들어 Ga_2O 또는 Ga_2O_3일 수 있다.

[0141] 광 홀들에 대한 전하 캐리어 농도는 스트레인에 의해 p 도핑된 반도체 층 내에 제공될 수 있다. 따라서, p 도핑된 반도체 층(14)의 적어도 일부는 주변과 격자 불일치될 수 있어, p 도핑된 반도체 층(14)의 상기 부분은 스트레인된다. 본원에서 격자 불일치된이라는 용어는 주변과 비교하여 상이한 격자 상수를 갖는 것을 지칭한다. 격자 불일치는 p 도핑된 반도체 층(14)의 상기 부분을 위해 가벼운 홀 밴드 에너지를 무거운 홀 밴드 에너지 위로 상승시키도록 구성될 수 있다.

[0142] 일 예에서, p 도핑된 반도체 층(14)은 인접한 층과 격자 불일치된다.

[0143] 다른 예에서, p 도핑된 반도체 층(14)의 필라 층(15)의 p 도핑된 반도체 필라들(16)은 필라 층(15)의 지지 재료(18)와 격자 불일치된다.

[0144] 이전에 언급된 바와 같이, 베이스 층(4)은 Al(x)Ga(1-x)N을 포함하며, 여기서 $0 < x \leq 1$이다. 베이스 층(4)은 예를 들어 하나 이상의 Al(x)Ga(1-x)N 층들을 포함할 수 있다. 추가적으로 또는 대안적으로, 베이스 층(4)은 베이스 층 인케이싱 재료(8)로 측방으로 둘러싸여진 베이스 층 필라들(6)을 포함할 수 있다. 도 9는 Y 방향에서 본 이러한 베이스 층(4)의 단면도를 예시한다.

[0145] 베이스 층 필라(6)는 주로 축을 따라 연장되는 필라이고, 축은 기판에 수직이며, 즉 Z 방향이다.

[0146] 베이스 층 필라(6)는 원형 단면을 가질 수 있다. 대안적으로, 베이스 층 필라(6)는 비원형 단면을 가질 수 있다. 베이스 층 필라(6)는 500nm보다 더 작은 직경, 예컨대 100nm보다 더 작은 직경을 가질 수 있다. 베이스 층 필라(6)가 비원형 단면을 가지면, 직경은 비원형 단면을 포함하는 가장 작은 원의 직경이다.

[0147] 베이스 층 인케이싱 재료(8)는 베이스 층 필라(6)를 측방으로 둘러싼다. 추가적으로, 베이스 층 인케이싱 재료(8)는 도 9에 도시된 바와 같이, 베이스 층 필라들(6)의 상단 단부들을 둘러쌀 수 있다.

[0148] 베이스 층 필라들(6)은 AlN 필라들일 수 있고, 베이스 층 인케이싱 재료(8)는 $Al_xGa_{1-x}N$일 수 있으며, 여기서 $0 \leq x \leq 0.95$이다.

[0149] 장치(1)는 레이저, 예를 들어 수직 공동 표면 방출 레이저(VCSEL) 또는 에지 방출 레이저 다이오드(70)일 수 있다.

[0150] 도 10은 VCSEL(70) 형태의 장치(1)의 단면도를 예시한다. 예시된 VCSEL(70)은 제1 양자 우물(41) 및 제2 양자 우물(42) 아래의 하단 반사기(72) 및 제1 양자 우물(41) 및 제2 양자 우물(42) 위의 상단 반사기(74)를 포함하며, 상단 반사기(74) 및 하단 반사기(72)는 제1 양자 우물(41) 및 제2 양자 우물(42)에 의해 방출된 광을 위한 광학 공진기를 형성한다.

[0151] 하단 반사기(72) 및 상단 반사기(74)는 도 10에 예시된 바와 같이, 각각 분배 브래그 반사기들(DBR들)일 수 있다. DBR은 높고 낮은 굴절률을 교번하는 층들을 포함할 수 있다. 층들의 두께들은 방출 파장의 1/4, 예를 들어 양자 우물 층 구조(30)의 양자 우물들(41, 42)에 의해 방출된 광의 파장의 1/4에 대응하도록 구성될 수 있다. 도 10에서, 하단 반사기(72)는 높고 낮은 굴절률을 교번하는 4개의 주기들을 포함하고, 상단 반사기(74)는 높고 낮은 굴절률을 교번하는 2개의 주기들을 포함한다.

[0152] 도 11은 발광 장치(1)를 제조하기 위한 방법(100)의 흐름도를 도시한다. 방법(100)은 기판(2)을 제공하는 단계(S101), 베이스 층(4)을 증착하는 단계(S102), 및 다이오드 층 구조(10)를 형성하는 단계(S103)를 포함한다.

[0153] 기판(2)은 예를 들어 실리콘 기판(2), 사파이어 기판(2), 또는 탄화 규소 기판(2)으로 제공될 수 있다.

[0154] Al(x)Ga(1-x)N을 포함하는 베이스 층(4)은 물리 기상 증착에 의해, 예를 들어 스퍼터링에 의해 증착(S102)될 수 있다.

[0155] 다이오드 층 구조(10)는 하단 전하 캐리어 주입 층, 제1 원위 장벽 층(61), 제1 근위 장벽 층(51), 제1 양자 우물(41), 장벽 층(43), 제2 양자 우물(42), 제2 근위 장벽 층(52), 제2 원위 장벽 층(62), 및 상단 전하 캐리어 주입 층을 순차적으로 형성함으로써 베이스 층(4) 상에 형성(S103)될 수 있다. 다이오드 층 구조(10)의 상기 층들은 에피택셜 성장에 의해 형성될 수 있다. 하단 전하 캐리어 주입 층은 n 도핑된 반도체 층(12)일 수 있고, 상단 전하 캐리어 주입 층은 p 도핑된 반도체 층(14)일 수 있으며, 그 반대의 경우도 마찬가지이다.

[0156] 선택적으로, 방법(100)은,

[0157] 반응성 이온 식각에 의해 기판(2)을 관통하는 구멍을 식각하고;

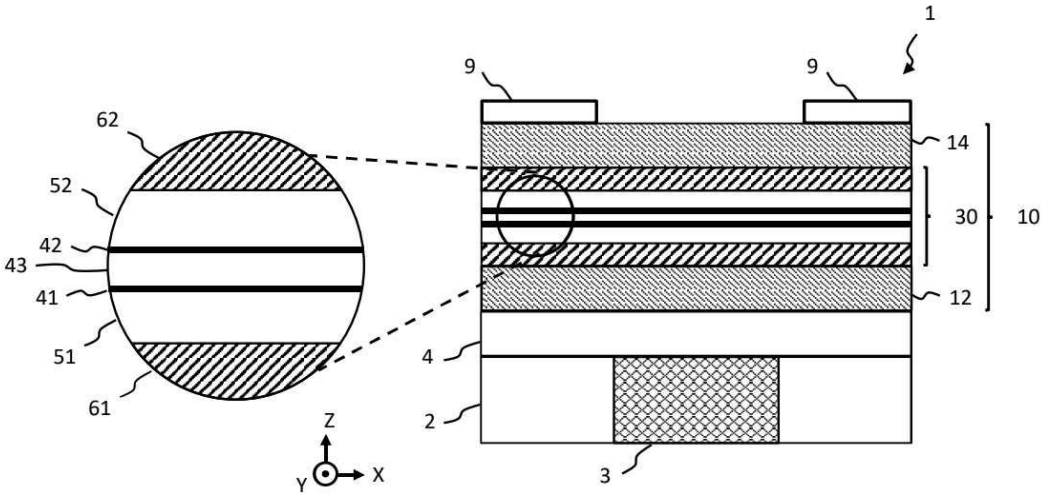
[0158] 금속 접촉부가 형성되도록 기판(2)을 통해 구멍 내에 금속을 증착함으로써 비아(3)를 형성하는 단계(S104)를 포함할 수 있으며, 금속 접촉부는 기판을 통과하고 하단 전하 캐리어 주입 층에 전기적으로 연결된다.

[0159] 반응성 이온 식각에 의해 기판(2)을 관통하는 구멍의 식각은 염화 알루미늄 또는 불화 알루미늄의 분자 종들을 분광적으로 검출하는 것에 기초하여 종료될 수 있다. 분자 종들은 예를 들어 UV-vis 분광법에 의해 분광적으로 검출될 수 있다. 기판(2)을 관통하는 구멍의 반응성 이온 식각은 기판(2)을 관통해 식각하는 플라즈마를 생성하는 것을 포함할 수 있다. 플라즈마는 식각 동안 광을 방출할 수 있다. 광의 일부는 식각 가스가 식각된 재료와 반응함으로써 생성된 분자 종들에서 비롯될 수 있다. 따라서, 식각이 기판, 예를 들어 실리콘 기판(2)을 통과했을 때, 식각 가스는 기판 상의 층들 내의 알루미늄과 반응할 수 있다. 따라서, 식각 가스는 예를 들어 베이스 층(4) 내의 알루미늄과 반응하여 플라즈마에 의해 여기될 때 특성 스펙트럼의 광을 방출할 수 있는 염화 알루미늄 또는 불화 알루미늄 종을 형성할 수 있다.

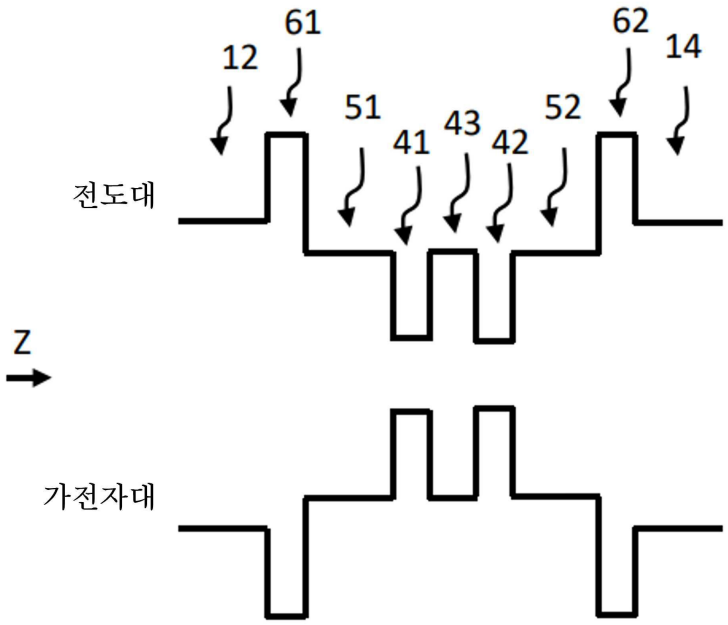
[0160] 상기에서, 본 발명의 개념은 주로 제한된 수의 예들을 참조하여 설명되었다. 그러나, 당업자에 의해 쉽게 이해되는 바와 같이, 상기 개시된 것들과 다른 예들은 첨부된 청구항들에 의해 정의된 바와 같이, 본 발명의 개념의 범위 내에서 동일하게 가능하다.

도면

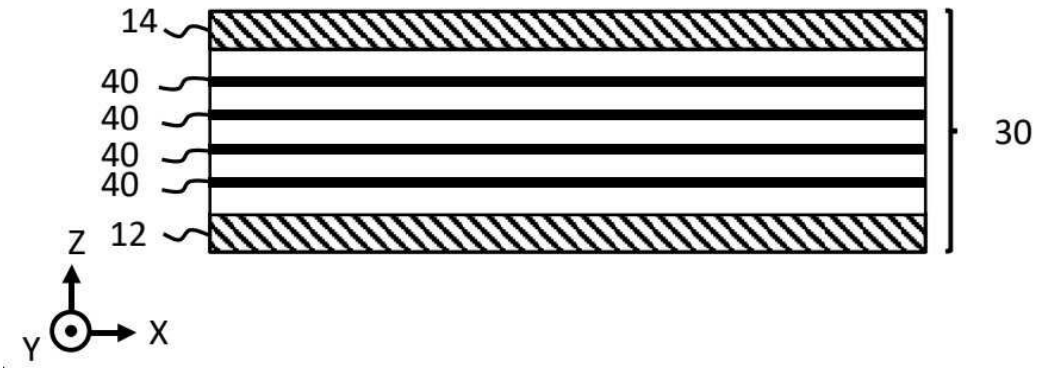
도면1



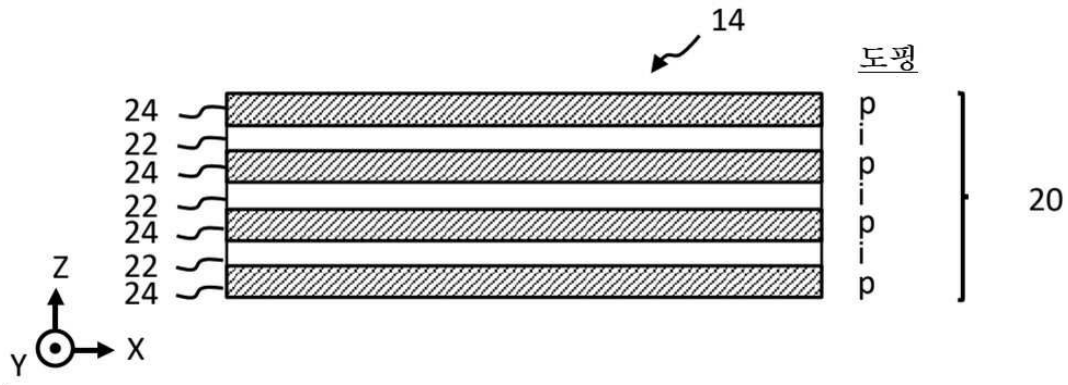
도면2


12
61
51
41
43
42
52
62
14
전도대
Z
가전자대

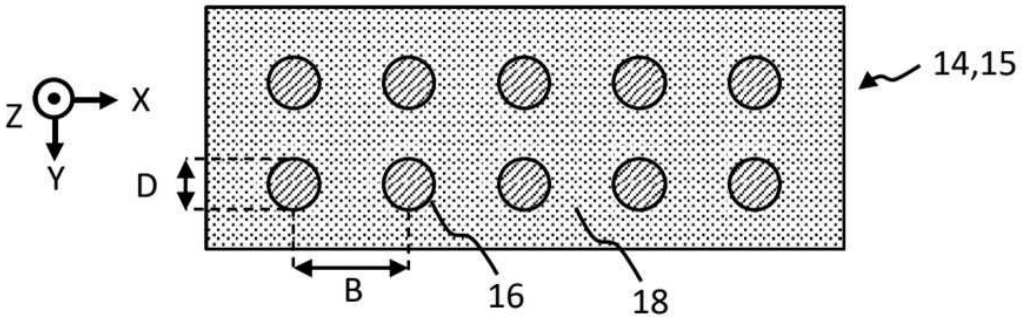
도면3


14
40
40
40
40
12
30
Z
Y
X

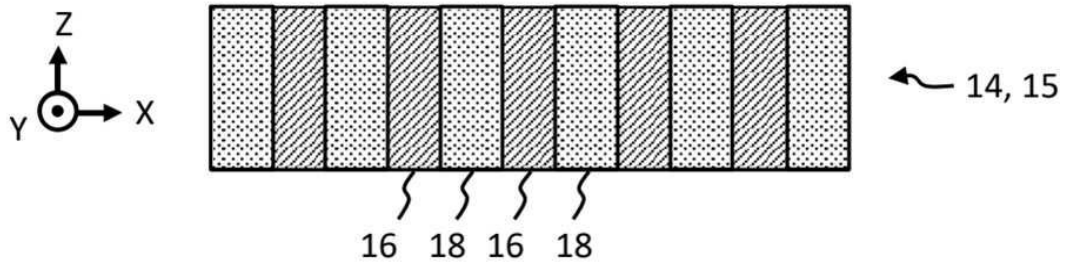
도면4


14
도핑
24
22
24
22
24
22
24
p
p
p
p
20
Z
Y
X

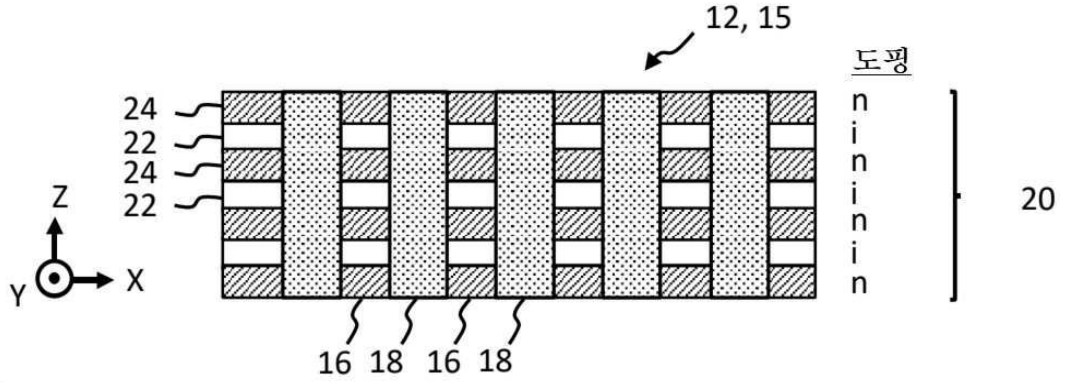
도면5



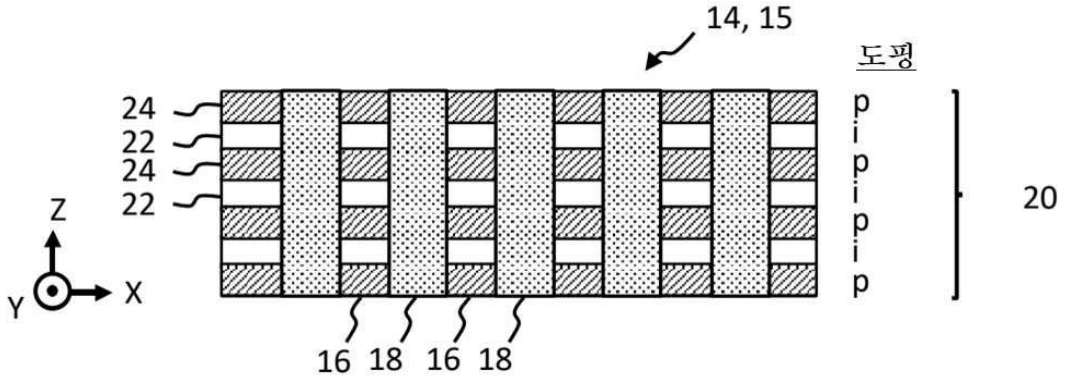
도면6



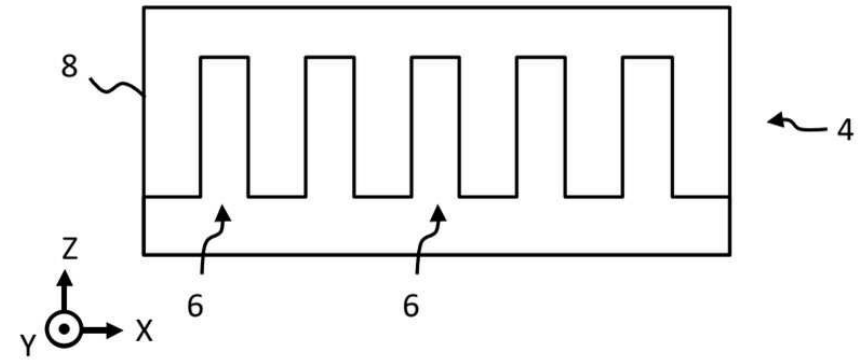
도면7



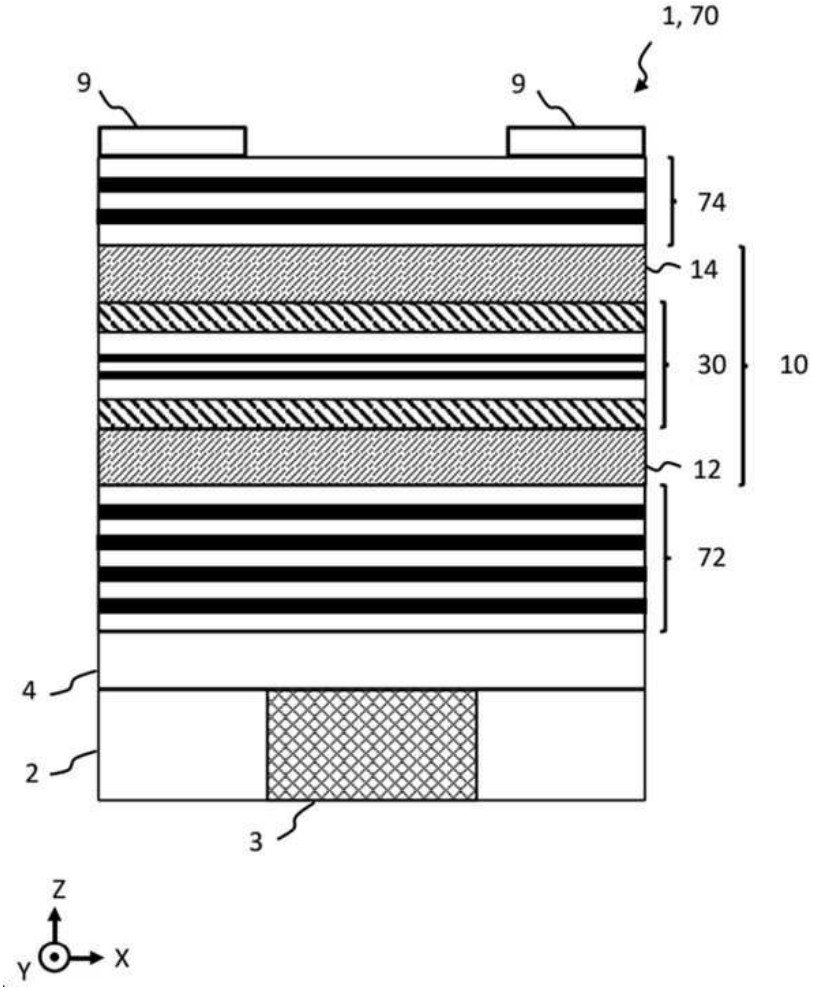
도면8



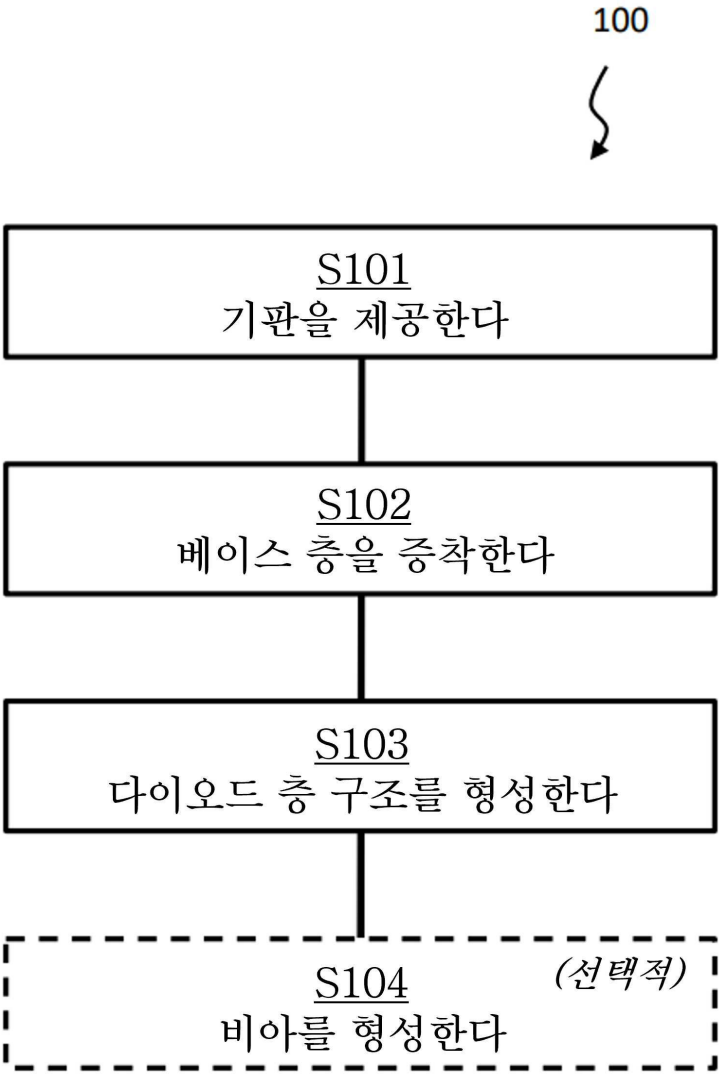
도면9



도면10



도면11


100
S101
기판을 제공한다
S102
베이스 층을 증착한다
S103
다이오드 층 구조를 형성한다
S104
(선택적)
비아를 형성한다