(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116438805 A
(43)申请公布日 2023.07.14

(21)申请号 202180075865.2
(22)申请日 2021.12.22
(30)优先权数据
2021-000770 2021.01.06 JP
(85)PCT国际申请进入国家阶段日
2023.05.10
(86)PCT国际申请的申请数据
PCT/JP2021/047513 2021.12.22
(87)PCT国际申请的公布数据
WO2022/149467 JA 2022.07.14
(71)申请人 索尼半导体解决方案公司
地址 日本神奈川县
(72)发明人 岛田翔平 樋山拓己
(74)专利代理机构 北京信慧永光知识产权代理有限责任公司 11290
专利代理师 王新春 姚鹏
(51)Int.Cl.
H04N 25/77(2023.01)
H01L 27/146(2006.01)

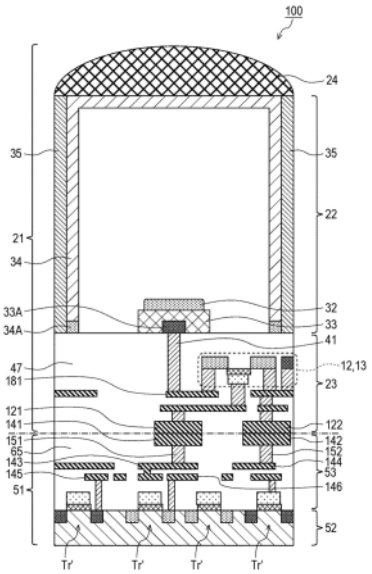
权利要求书2页 说明书30页 附图33页

(54)发明名称

光接收元件和测距系统

(57)摘要

本公开涉及:能够在使用雪崩光电二极管的层叠型光接收元件中减小像素尺寸的光接收元件和测距系统。所述光接收元件包括层叠的第一基板和第二基板,在所述第一基板上形成有将接收到的光转换为电信号的雪崩光电二极管和至少一个元件,所述元件包括在基于所述电信号输出像素信号的读取电路中;在所述第二基板上形成有逻辑电路,所述逻辑电路是处理从所述雪崩光电二极管读取的所述像素信号的电路。例如,本公开的特征可以应用于检测到被摄体的距离的光接收元件和测距系统等。



CN 116438805 A

1.一种光接收元件,包括:

第一基板,在所述第一基板上形成有将接收到的光转换为电信号的雪崩光电二极管和至少一个元件,所述元件包括在基于所述电信号输出像素信号的读取电路中;和

第二基板,在所述第二基板上形成有逻辑电路,所述逻辑电路是处理从所述雪崩光电二极管读取的所述像素信号的电路,

所述第一基板和所述第二基板被层叠在一起。

2.根据权利要求1所述的光接收元件,

其中,所述第一基板包括第一半导体基板和第一配线层,

所述第二基板包括第二半导体基板和第二配线层,

通过使所述第一配线层和所述第二配线层接合来层叠所述第一基板和所述第二基板,并且

所述至少一个元件设置在所述第一半导体基板和所述第二半导体基板之间。

3.根据权利要求2所述的光接收元件,

其中,所述至少一个元件设置在所述第一配线层中。

4.根据权利要求2所述的光接收元件,

其中,所述至少一个元件设置于在平面图中所述至少一个元件的至少一部分与所述雪崩光电二极管重叠的区域中。

5.根据权利要求1所述的光接收元件,

其中,所述至少一个元件设置于在所述第一基板的厚度方向上与所述雪崩光电二极管的位置的不同的位置处。

6.根据权利要求1所述的光接收元件,

其中,所述第一基板包括二极管作为所述元件。

7.根据权利要求1所述的光接收元件,

其中,所述第一基板包括电阻器作为所述元件。

8.根据权利要求1所述的光接收元件,

其中,所述第一基板包括电阻器和二极管作为所述元件。

9.根据权利要求1所述的光接收元件,

其中,所述第一基板包括多晶硅TFT作为所述元件。

10.根据权利要求1所述的光接收元件,

其中,所述第一基板包括MOS晶体管作为所述元件。

11.根据权利要求1所述的光接收元件,

其中,所述第一基板包括电阻器、二极管和MOS晶体管作为所述元件。

12.根据权利要求1所述的光接收元件,

其中,所述第一基板包括作为恒流源的MOS晶体管作为所述元件。

13.根据权利要求1所述的光接收元件,

其中,所述第一基板包括作为恒流源的MOS晶体管和反相器作为所述元件。

14.根据权利要求1所述的光接收元件,

其中,所述第一基板包括电阻器、二极管、作为箝位电路的MOS晶体管和作为恒流源的MOS晶体管作为所述元件。

15.根据权利要求14所述的光接收元件，

其中，在像素区域中，所述电阻器和所述二极管对称地设置，并且所述作为箝位电路的MOS晶体管和所述作为恒流源的MOS晶体管对称地设置。

16.根据权利要求1所述的光接收元件，还包括：

在所述雪崩光电二极管和所述元件之间的遮光层。

17.根据权利要求1所述的光接收元件，

其中，所述读取电路被多个所述雪崩光电二极管共用。

18.一种测距系统，包括：

照明装置，所述照明装置发射照射光；和

光接收元件，其接收所述照射光被预定的物体反射而获得的反射光，

其中，所述光接收元件包括：

第一基板，在所述第一基板上形成有将接收到的光转换为电信号的雪崩光电二极管和至少一个元件，所述元件包括在基于所述电信号输出像素信号的读取电路中；和

第二基板，在所述第二基板上形成有逻辑电路，所述逻辑电路是处理从所述雪崩光电二极管读取的所述像素信号的电路，

所述第一基板和所述第二基板被层叠在一起。

光接收元件和测距系统

技术领域

[0001] 本公开涉及光接收元件和测距系统，更具体地，涉及能够减小使用雪崩光电二极管的层叠型光接收元件的像素尺寸的光接收元件和测距系统。

背景技术

[0002] 近年来，通过飞行时间(ToF)方法测量距离的光接收元件引起了关注。这种光接收元件包括使用单光子雪崩二极管(SPAD)作为光接收像素的光接收元件。在SPAD中，在施加高于击穿电压的电压(下文中，称为过量偏压)的状态下，在一个光子进入具有高电场的PN结区域的情况下发生雪崩放大。通过检测由雪崩放大引起的电流瞬间流过的时刻，可以高精度地测量距离。

[0003] 使用SPAD的光接收元件包括通过使形成有SPAD的第一半导体基板和形成有逻辑电路的第二半导体基板的两个半导体基板层叠而获得的光接收单元(例如，参考专利文献1)。

[0004] 引文文献列表

[0005] 专利文献

[0006] 专利文献1:美国专利申请公开第2015/0200314号说明书

发明内容

[0007] 本发明要解决的技术问题

[0008] 在现有技术中，如在专利文献1中公开的构成中那样，在使用SPAD的层叠型光接收元件中，只有SPAD设置在第一半导体基板上，并且读取SPAD的信号的所有读取电路形成在第二半导体基板侧。读取电路包括用于向SPAD施加过量偏压的高压晶体管，并且因此对减小各像素的电路面积存在限制。

[0009] 鉴于这种情况完成了本公开，并且本公开的目的是减小使用雪崩光电二极管的层叠型光接收元件的像素尺寸。

[0010] 技术问题的解决方案

[0011] 根据本公开的第一方面，提供了一种光接收元件，包括:第一基板，在所述第一基板上形成有将接收到的光转换为电信号的雪崩光电二极管和至少一个元件，所述元件包括在基于所述电信号输出像素信号的读取电路中;和第二基板，在所述第二基板上形成有逻辑电路，所述逻辑电路是处理从所述雪崩光电二极管读取的所述像素信号的电路，所述第一基板和所述第二基板被层叠在一起。

[0012] 根据本公开的第二方面，提供了一种测距系统，包括:照明装置，所述照明装置发射照射光;和光接收元件，其接收所述照射光被预定的物体反射而获得的反射光，其中，所述光接收元件包括:第一基板，在所述第一基板上形成有将接收到的光转换为电信号的雪崩光电二极管和至少一个元件，所述元件包括在基于所述电信号输出像素信号的读取电路中;和第二基板，在所述第二基板上形成有逻辑电路，所述逻辑电路是处理从所述雪崩光电

二极管读取的所述像素信号的电路,所述第一基板和所述第二基板被层叠在一起。

[0013] 在本公开的第一和第二方面中,其上形成有将接收到的光转换为电信号的雪崩光电二极管和至少一个元件的第一基板和其上形成有逻辑电路的第二基板被层叠在一起,所述元件包括在基于所述电信号输出像素信号的读取电路中,并且所述逻辑电路是处理从所述雪崩光电二极管读取的所述像素信号的电路。

[0014] 光接收元件和测距系统可以是独立的装置,或者可以是并入在其他装置中的模块。

附图说明

[0015] 图1是示出作为比较例的SPAD像素的电路示例的图。

[0016] 图2是示出图1的SPAD像素的操作的图。

[0017] 图3是图1的SPAD像素的截面图。

[0018] 图4是示出根据本公开第一实施方案的SPAD像素的电路示例的图。

[0019] 图5是根据第一实施方案的SPAD像素的截面图。

[0020] 图6是图5的传感器侧配线层的平面图。

[0021] 图7是根据本公开第二实施方案的SPAD像素的截面图。

[0022] 图8是示出根据第二实施方案的SPAD像素的电路示例的图。

[0023] 图9是图7的传感器侧配线层的平面图。

[0024] 图10是示出根据本公开第三实施方案的SPAD像素的电路示例的图。

[0025] 图11是根据第三实施方案的SPAD像素的截面图。

[0026] 图12是示出根据本公开第四实施方案的SPAD像素的电路示例的图。

[0027] 图13是根据第四实施方案的SPAD像素的截面图。

[0028] 图14是示出根据本公开第五实施方案的SPAD像素的电路示例的图。

[0029] 图15是根据第五实施方案的SPAD像素的截面图。

[0030] 图16是示出根据本公开第六实施方案的SPAD像素的电路示例的图。

[0031] 图17是根据第六实施方案的SPAD像素的截面图。

[0032] 图18是示出根据本公开第七实施方案的SPAD像素的电路示例的图。

[0033] 图19是根据第七实施方案的SPAD像素的截面图。

[0034] 图20是示出根据本公开第八实施方案的SPAD像素的电路示例的图。

[0035] 图21是根据第八实施方案的SPAD像素的截面图。

[0036] 图22是示出根据本公开第九实施方案的SPAD像素的电路示例的图。

[0037] 图23是根据第九实施方案的SPAD像素的截面图。

[0038] 图24是图23的传感器侧配线层的平面图。

[0039] 图25是示出根据本公开第十实施方案的SPAD像素的电路示例的图。

[0040] 图26是根据第十实施方案的SPAD像素的截面图。

[0041] 图27是示出图3的SPAD像素的传感器侧配线层的详细构成示例的截面图。

[0042] 图28是示出在像素基板侧形成电阻器的情况下传感器侧配线层的详细构成示例的截面图。

[0043] 图29是示出在像素基板侧形成多晶硅TFT的情况下传感器侧配线层的详细构成示

例的截面图。

[0044] 图30是示出在像素基板侧形成二极管、电阻器和MOS晶体管的情况下传感器侧配线层的详细构成示例的截面图。

[0045] 图31是示出包括图30的MOS晶体管的源极和漏极的传感器侧配线层的详细构成示例的截面图。

[0046] 图32是示出根据本公开实施方案的测距系统的构成示例的框图。

[0047] 图33是示出图32的光接收元件的示意性构成示例的框图。

[0048] 图34是示出车辆控制系统的示意性配置示例的框图。

[0049] 图35是示出车外信息检测部和摄像部的安装位置的示例的说明图。

具体实施方式

[0050] 下文中,将参照附图说明用于实施本公开的技术的方式(下文中,称为实施方案)。注意,将按照以下顺序进行说明。

[0051] 1.SPAD像素的比较例

[0052] 2.SPAD像素的第一实施方案

[0053] 3.SPAD像素的第二实施方案

[0054] 4.SPAD像素的第三实施方案

[0055] 5.SPAD像素的第四实施方案

[0056] 6.SPAD像素的第五实施方案

[0057] 7.SPAD像素的第六实施方案

[0058] 8.SPAD像素的第七实施方案

[0059] 9.SPAD像素的第八实施方案

[0060] 10.SPAD像素的第九实施方案

[0061] 11.SPAD像素的第十实施方案

[0062] 12.传感器侧配线层的详细构成示例

[0063] 13.SPAD像素的实施方案的概述

[0064] 14.测距系统的构成示例

[0065] 15.移动体的应用示例

[0066] 注意,在以下说明参照的附图中,相同或相似的部分由相同或相似的附图标记表示。注意,附图是示意性的,并且厚度与平面尺寸之间的关系、各层之间的厚度比等与实际的不同。此外,附图可以包括具有不同尺寸关系和比例的部分。

[0067] 此外,在以下说明中对诸如向上和向下方向等方向的定义仅是为了便于说明的定义,并且不限制本公开的技术思想。例如,当通过将物体旋转90°来观察物体时,上和下被转换为并且被读作左和右;并且当通过将该物体旋转180°来观察物体时,上下被颠倒并被读取。

[0068] 例如,本公开的技术可以应用于诸如通过飞行时间(ToF)方法执行距离测量的测距传感器等光接收元件。例如,本公开的技术可以应用于将接收到的光转换为电信号的雪崩光电二极管(APD)。雪崩光电二极管(APD)具有盖革(Geiger)模式和线性模式,在盖革模式中雪崩光电二极管在高于击穿电压的偏置电压(下文中,称为过量偏压)下操作,在线性

模式中雪崩光电二极管在接近击穿电压的略高偏置电压下操作。盖革模式雪崩光电二极管也称为单光子雪崩二极管(SPAD)。SPAD可以通过在具有高电场的PN结区域(倍增区域)中倍增由光电转换产生的载流子来瞬时地检测一个光子。

[0069] 下文中,将以本公开的技术应用于SPAD的情况为例进行说明。注意,在以下说明中,将包括SPAD的像素称为SPAD像素。

[0070] ＜1.SPAD像素的比较例＞

[0071] 首先,为了便于理解本公开的技术,将说明作为与本公开的像素结构相比较的比较例的SPAD像素的构成。

[0072] 图1示出了作为比较例的SPAD像素的电路示例。

[0073] 图1的SPAD像素10包括SPAD 11、MOS晶体管12、反相器13和电压转换电路14。

[0074] SPAD 11的阴极连接至MOS晶体管12的漏极,并且连接至反相器13的输入端子。SPAD 11的阳极连接至电源电压VRLD(下文中,也称为阳极电压VRLD)。

[0075] SPAD 11是光电二极管(单光子雪崩光电二极管),当入射光入射时其对产生的电子进行雪崩放大并且输出阴极电压VS的电信号。供给至SPAD 11的阳极的电源电压VRLD例如是具有与SPAD 11的击穿电压VBD相同电压的负偏压(负电位)。具体地,在SPAD 11的击穿电压VBD为20V的情况下,电源电压VRLD为-20V。

[0076] MOS晶体管12例如是在饱和区域中操作的P型MOSFET,并且通过充当猝灭电阻器(quenching resistor)来执行无源猝灭(passivequenching)。MOS晶体管12的源极连接至电源电压VE,并且MOS晶体管12的漏极连接至SPAD 11的阴极和反相器13的输入端子。因此,电源电压VE也被供给至SPAD 11的阴极。注意,也可以使用上拉电阻器(pull-up resistor)来代替与SPAD 11串联连接的MOS晶体管12。

[0077] 为了以足够的效率检测光(光子),将高于SPAD 11的击穿电压VBD的过量偏压施加至SPAD 11。例如,在SPAD 11的击穿电压VBD为20V并且施加比SPAD 11的击穿电压VBD高3V的电压的情况下,供给至MOS晶体管12的源极的电源电压VE为3V。

[0078] 当作为输入信号的阴极电压VS处于Lo状态时,反相器13输出处于Hi状态的信号PFout,并且当阴极电压VS处于Hi状态时输出处于Lo状态的信号PFout。

[0079] 电压转换电路14将从反相器13输入的信号PFout转换为低电压信号PFout_Low,并且输出低电压信号PFout_Low。例如,从反相器13输入的信号PFout是具有0V至3V的电压振幅的信号,并且电压转换电路14将具有0V至3V的电压振幅的信号PFout转换为具有0V至1V的电压振幅的信号PFout_Low。

[0080] 读取电路由MOS晶体管12、反相器13和电压转换电路14构成。读取电路读取SPAD 11的阴极电压VS作为像素信号,并且将像素信号输出至下一级的逻辑电路。

[0081] 图1的单点划线所示的边界表示在图3所示的SPAD像素10的像素结构的第一基板21与第二基板51之间的接合面。接触点C0表示第一基板21的配线和第二基板51的配线通过诸如Cu-Cu接合等金属接合彼此电连接的连接部分。

[0082] 接下来,将参照图2说明SPAD像素10的操作。图2是示出SPAD 11的阴极电压VS响应于光子入射的变化和检测信号PFout的曲线图。

[0083] 在图2的时刻t0之前的时刻处,向SPAD 11的阴极供给电源电压VE,并且向SPAD 11的阳极供给电源电压VRLD。因此,大于击穿电压VBD的反向电压被施加至SPAD 11。因此,

SPAD 11被设置为盖革模式。在这种状态下,SPAD 11的阴极电压VS与电源电压VE相同。

[0084] 在光子入射在设置为盖革模式的SPAD 11上的情况下,发生雪崩倍增,并且电流流过SPAD 11。

[0085] 在时刻t0,发生雪崩倍增并且电流流过SPAD 11的情况下,在时刻t0之后,电流也流过作为恒流源的MOS晶体管12,并且由于MOS晶体管12的电阻分量而发生电压降。

[0086] 在时刻t2处,SPAD 11的阴极电压VS变为低于0V的情况下,阴极电压VS变为低于击穿电压VBD。因此,雪崩放大停止。这里,通过使得由雪崩放大产生的电流流过作为恒流源的MOS晶体管12而使得发生电压降,并且通过使得由于所发生的电压降而使阴极电压VS低于击穿电压VBD来停止雪崩放大的操作是猝灭操作。

[0087] 在雪崩放大停止的情况下,流过MOS晶体管12的电流逐渐地减小,并且在时刻t4处,阴极电压VS再次返回到初始电源电压VE。因此,SPAD11进入可以检测下一个新光子的状态(再充电操作)。

[0088] 反相器13在作为输入电压的阴极电压VS等于或高于预定的阈值电压Vth(=VE/2)时,输出处于低(Lo)状态的PFout信号,并且在阴极电压VS低于预定的阈值电压Vth时,输出处于Hi状态的PFout信号。在图2的示例中,在从时刻t1到时刻t3的时段中输出处于高(Hi)状态的PFout信号。

[0089] 图3示出了图1的SPAD像素10的截面图。

[0090] 如图3所示,SPAD像素10通过使第一基板21和第二基板51接合而构成。图3的单点划线对应于图1的单点划线,并且表示在第一基板21与第二基板51之间的接合面。在以下说明中,为了容易理解本说明,将第一基板21称为像素基板21,并且将第二基板51称为逻辑基板51,视情况而定。

[0091] 像素基板21包括由硅等构成的半导体基板22、配线层23和片上透镜24。在下文中,将像素基板21的配线层23称为传感器侧配线层23,以便于与稍后说明的逻辑基板51的配线层53区分,并且将逻辑基板51的配线层53称为逻辑侧配线层53。像素基板21的传感器侧配线层23和逻辑基板51的逻辑侧配线层53彼此面对地接合。半导体基板22的形成有传感器侧配线层23的表面是半导体基板22的正面。在图3中,形成有片上透镜24并且在上侧的表面是半导体基板22的背面,并且是光入射在其上的光接收面。

[0092] 在半导体基板22中,N阱31、P型扩散层32、N型扩散层33和空穴累积层34形成在像素隔离部35内部。像素隔离部35设置在像素边界部分处,该像素边界部分是平面图中与相邻像素的边界。

[0093] N阱31是通过将半导体基板22控制为杂质浓度低的N型而形成的,并且形成用于将SPAD像素10中通过光电转换产生的电子传输至雪崩倍增区域的电场。注意,代替N阱31,可以通过将半导体基板22控制为杂质浓度低的P型来形成P阱。

[0094] P型扩散层32是具有高浓度的P型扩散层并且形成在N阱31内部的矩形平面区域中。N型扩散层33是具有高浓度的N型扩散层并且形成在比P型扩散层32的平面区域稍宽的矩形平面区域中。N型扩散层33在基板正面附近的一部分以更高的浓度形成,并且用作连接至作为阴极电极的接触电极41的接触层33A,用于供给负电压以形成雪崩倍增区域。雪崩倍增区域由形成在P型扩散层32和N型扩散层33接合的PN结区域中的耗尽层形成。

[0095] 空穴累积层34是P型扩散层,其形成为围绕N阱31的侧表面和底表面(片上透镜24

一侧的表面)，并且累积空穴。此外，空穴累积层34在正面附近的一部分以更高的浓度形成，并且用作电连接至作为阳极电极的接触电极42的接触层34A。

[0096] 像素隔离部35形成在与相邻像素的边界处，并且与另一相邻像素电隔离。像素隔离部35可以例如仅由绝缘层构成，或者可以具有诸如钨(W)、铝(Al)、钛(Ti)或氮化钛(TiN)等金属层的外侧(N阱31侧)覆盖有诸如SiO_2等绝缘层的双重结构。

[0097] 在传感器侧配线层23中，接触电极41和42、金属配线43和44、接触电极45和金属配线46形成在层间绝缘膜47中。

[0098] 作为阴极电极的接触电极41连接接触层33A和金属配线44，并且接触电极45连接金属配线44和金属配线46。金属配线46通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线61。金属配线46与金属配线61之间的金属接合部分对应于图1的接触点C0。

[0099] 金属配线44形成为比雪崩倍增区域更宽，从而在平面图中覆盖雪崩倍增区域。此外，金属配线44可以具有这样的结构，其中透射通过半导体基板22的像素区域的光被朝向半导体基板22反射。

[0100] 金属配线43形成为在平面图中与接触层34A重叠。

[0101] 作为阳极电极的接触电极42连接接触层34A和金属配线43。金属配线43在未图示的区域中电连接至逻辑基板51的金属配线，并且从逻辑基板51供给的阳极电压VRLD经由金属配线43和接触电极42供给至接触层34A。

[0102] 另一方面，逻辑基板51包括由硅等构成的半导体基板52和配线层53(逻辑侧配线层53)。

[0103] 在图3中，包括作为恒流源的MOS晶体管12和构成反相器13的MOS晶体管的多个MOS晶体管Tr形成在半导体基板52上侧的正面侧。

[0104] 在逻辑侧配线层53中，金属配线61至63和接触电极64形成在层间绝缘膜65中。

[0105] 金属配线61通过诸如Cu-Cu等金属接合电连接并物理地连接至传感器侧配线层23的金属配线46。接触电极64连接金属配线61和金属配线62。供给至作为阴极电极的接触电极41的电源电压VE经由金属配线62、接触电极64和金属配线61被供给至传感器侧配线层23的金属配线46。

[0106] 逻辑侧配线层53具有包括金属配线62的层和金属配线63的层的至少两层金属配线层和在金属配线62的层和金属配线63的层之间的层间绝缘膜65。

[0107] 如上所述，在作为比较例的SPAD像素10中，只有SPAD 11形成在像素基板21上，并且其他电路，例如，MOS晶体管12、反相器13和电压转换电路14形成在逻辑基板51侧。由于除了SPAD 11之外的所有电路都设置在逻辑基板51侧，因此减小每个像素的电路面积存在限制。

[0108] <2.SPAD像素的第一实施方案>

[0109] 图4示出了根据本公开的第一实施方案的SPAD像素的电路示例。

[0110] 在图4中，由相同的附图标记表示与作为比较例说明的图1的SPAD像素10相对应的部分，并且将适当地省略这些部分的说明。

[0111] 如图4所示，SPAD像素100包括SPAD 11、MOS晶体管12和反相器13，并且具体地由作为P型MOSFET的MOS晶体管15和作为N型MOSFET的MOS晶体管16的构成示出了反相器13。此

外，尽管图4未图示，但是类似于图1的SPAD像素10，SPAD像素100还包括在反相器13的下一级处的电压转换电路14。因此，根据第一实施方案的图4的SPAD像素100的电路构成与根据比较例的图1的SPAD像素10的电路构成相同，并且SPAD像素100的操作也与SPAD像素10的操作相同。

[0112] 根据第一实施方案的图4的SPAD像素100与根据比较例的图1的SPAD像素10之间的差异是单点划线的位置。换言之，针对在其上形成有SPAD像素100的像素基板21和逻辑基板51的两个基板的电路布置是不同的。

[0113] 具体地，在图1的SPAD像素10中，只有SPAD 11形成在像素基板21侧，并且MOS晶体管12和反相器13形成在逻辑基板51侧。

[0114] 另一方面，在根据第一实施方案的图4的SPAD像素100中，SPAD11、MOS晶体管12和反相器13形成在像素基板21侧。像素基板21和逻辑基板51在接触点C1至C3的三个接触点处彼此电连接。接触点C1是作为恒流源的MOS晶体管12的栅极部分，接触点C2是电源电压VE的供给部分，并且接触点C3是反相器13的输出部分。

[0115] 图5是根据第一实施方案的SPAD像素的截面图。

[0116] 在图5中，由相同的附图标记表示与作为比较例说明的图3的SPAD像素10相对应的部分，并且将适当地省略这些部分的说明。图5的单点划线示出了像素基板21和逻辑基板51之间的接合面。

[0117] 与图3的SPAD像素10类似，像素基板21包括半导体基板22、传感器侧配线层23和片上透镜24。半导体基板22中SPAD像素100的构成与图3的SPAD像素10的构成相同。

[0118] 图5的SPAD像素100与图4的SPAD像素10的不同之处在于半导体基板22与半导体基板52之间的传感器侧配线层23的构成，具体地，在于MOS晶体管12和反相器13形成在传感器侧配线层23中。MOS晶体管12和反相器13设置于在像素基板21的厚度方向上与包括P型扩散层32和N型扩散层33的SPAD 11的位置不同的位置处，并且设置于在平面图中MOS晶体管12和反相器13的至少一部分与SPAD 11重叠的区域中。

[0119] 连接至半导体基板22中的接触层33A的作为阴极电极的接触电极41连接至传感器侧配线层23中的金属配线181。从逻辑基板51供给的电源电压VE经由MOS晶体管12和金属配线181被供给至接触电极41。

[0120] 作为阳极电极的接触电极42连接至半导体基板22中的接触层34A，并且从逻辑基板51供给阳极电压VRLD。另一方面，为了节省空间，图5中省略了图示。

[0121] 形成在传感器侧配线层23的接合面上的金属配线121通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线141。此外，金属配线122通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线142。

[0122] 类似于图3的SPAD像素10，逻辑基板51包括半导体基板52和逻辑侧配线层53。在逻辑侧配线层53中，金属配线141至145以及接触电极151和152形成在层间绝缘膜65中。

[0123] 金属配线141通过诸如Cu-Cu等金属接合电连接并物理地连接至传感器侧配线层23的金属配线121。接触电极151连接金属配线141和金属配线143。金属配线142通过诸如Cu-Cu等金属接合电连接并物理地连接至传感器侧配线层23的金属配线122。接触电极152连接金属配线142和金属配线144。金属配线143和144形成在逻辑侧配线层53中的同一层中，并且金属配线145和金属配线146形成在与形成有金属配线143和金属配线144的层不同

的层中。

[0124] 逻辑侧配线层53具有包括金属配线143和144的层和金属配线145的层的至少两层金属配线层和在金属配线143和144的层和金属配线145的层之间的层间绝缘膜65。

[0125] 多个MOS晶体管Tr'形成在半导体基板52的正面侧上。多个MOS晶体管Tr'是形成在传感器侧配线层23中的MOS晶体管12和反相器13以外的MOS晶体管。

[0126] 在金属配线121和金属配线141之间的金属接合部分对应于例如图4的接触点C1，并且供给至形成在传感器侧配线层23中的MOS晶体管12的栅极的预定电压被从逻辑基板51侧供给至像素基板21侧。

[0127] 在金属配线122和金属配线142之间的金属接合部分对应于例如图4的接触点C2，并且供给至作为阴极电极的接触电极41的电源电压VE被从逻辑基板51侧供给至像素基板21侧。

[0128] 与图4的接触点C3相对应的金属接合部分形成在图5中未图示的区域中。

[0129] 图6是图5的传感器侧配线层23从半导体基板22侧观察时的平面图。

[0130] 在传感器侧配线层23中，作为供给电源电压VE的阴极电极的四个接触电极41设置在矩形像素区域的中央部分。四个接触电极41经由第一金属配线层M1的金属配线181连接至MOS晶体管12的漏极。MOS晶体管12的栅极经由接触电极VC1连接至作为形成在与逻辑侧配线层53的接合面上的接触点C1的金属配线121。MOS晶体管12的源极经由第一金属配线层M1的金属配线182连接至接触电极VC2，并且接触电极VC2连接至作为形成在与逻辑侧配线层53的接合面上的接触点C2的金属配线122。

[0131] 构成反相器13的一个MOS晶体管15的源极也经由第一金属配线层M1的金属配线182连接至接触电极VC2。MOS晶体管15的栅极通过第一金属配线层M1的金属配线181连接至作为阴极电极的四个接触电极41和MOS晶体管16的栅极。MOS晶体管15的漏极经由第一金属配线层M1的金属配线183连接至接触电极VC3，并且接触电极VC3连接至作为形成在与逻辑侧配线层53的接合面上的接触点C3的金属配线123。

[0132] 构成反相器13的另一MOS晶体管16的漏极也经由第一金属配线层M1的金属配线183连接至接触电极VC3，并且经由接触电极VC3连接至作为接触点C3的金属配线123。MOS晶体管16的栅极通过第一金属配线层M1的金属配线181连接至MOS晶体管15的栅极和作为阴极的四个接触电极41。MOS晶体管16的源极经由第一金属配线层M1的金属配线184连接至接触电极VC4，并且接触电极VC4连接至第二金属配线层M2的GND配线186。第二金属配线层M2的GND配线186设置在矩形像素区域的外围部分。

[0133] 在第一金属配线层M1的像素区域的外围部分处，金属配线185形成为覆盖第二金属配线层M2的GND配线186。此外，连接至接触层34A的多个接触电极42设置于在GND配线186内侧与金属配线185重叠的位置处，接触电极42用作阳极。接触电极42只需要在至少一个点处连接至半导体基板22的接触层34A。另一方面，为了降低电阻，如图6所示，多个接触电极42设置在半导体基板22的接触层34A的正下方，并且在多个点处连接至半导体基板22的接触层34A。

[0134] 通过上述第一实施方案的SPAD像素100，如参照图4至图6所述，MOS晶体管12和反相器13(MOS晶体管15和16)形成在像素基板21侧的传感器侧配线层23中。

[0135] 与作为比较例说明的图1和图3的SPAD像素10相比，作为SPAD 11以外的元件的MOS

晶体管12、15和16被设置在传感器侧配线层23中，因此可以减少设置在逻辑基板51侧的元件的数量。因此，即使在减小像素尺寸的情况下，也可以在像素中设置必要的元件。即，可以减小像素尺寸。

[0136] 在作为比较例的SPAD像素10的层叠结构中，如图1所示，像素基板21和逻辑基板51之间的接触点C0在SPAD 11的阴极、作为恒流源的MOS晶体管12的漏极和反相器13的输入端子所连接的连接配线上。因此，连接SPAD 11的阴极、作为恒流源的MOS晶体管12的漏极和反相器13的输入端子的连接配线跨过像素基板21和逻辑基板51，因此连接配线变长。因此，增加了阴极电容。

[0137] 另一方面，通过根据第一实施方案的SPAD像素100，SPAD 11、MOS晶体管12和反相器13全部都形成在像素基板21侧的传感器侧配线层23中。因此，能够缩短连接SPAD 11、MOS晶体管12和反相器13的连接配线，并且能够减小阴极电容。

[0138] <3.SPAD像素的第二实施方案>

[0139] 图7是根据本公开第二实施方案的SPAD像素的截面图。

[0140] 图8示出了根据第二实施方案的SPAD像素的电路示例。

[0141] 在图7和图8中，由相同的附图标记表示与上述比较例的SPAD像素10相对应的部分或与第一实施方案相对应的部分，并且将适当地省略其说明。这同样适用于第三至第十实施方案。

[0142] 根据第二实施方案的图7的SPAD像素100的截面图与根据图5所示的第一实施方案的SPAD像素100的截面图之间的差异在于，在传感器侧配线层中，新设置了金属遮光层M0以比第一金属配线层M1更靠近半导体基板22侧。具体地，在图7中，金属配线201和202形成为金属遮光层M0。金属配线201形成在比形成雪崩倍增区域的P型扩散层32和N型扩散层33更宽的平面区域中，并且金属配线202在比包括接触层34A的空穴累积层34更宽的平面区域中形成在像素区域的外围部分处。形成在金属遮光层M0中的金属配线201和202设置在半导体基板22与MOS晶体管12和反相器13之间。因此，防止了穿过半导体基板22中的光电转换区域的光进入下层的诸如MOS晶体管12和反相器13等元件，并且防止了在下层的元件中产生光电流。此外，通过将穿过半导体基板22中的光电转换区域的光朝向半导体基板22侧反射，能够提高有助于光电转换的光的效率。

[0143] 在根据图8所示的第二实施方案的SPAD像素100的电路中，金属遮光层M0的位置由虚线表示。

[0144] 图9是图7的传感器侧配线层23在从半导体基板22侧观察时的平面图。

[0145] 在图9中，金属遮光层M0的金属配线201和202由灰色区域表示。如图9所示，金属配线201设置为覆盖矩形像素区域的中央部分中的所有四个接触电极41、作为恒流源的MOS晶体管12以及构成反相器13的MOS晶体管15和16并与之重叠。多个金属配线202设置为阳极电极，并且设置在像素区域的外围部分，以覆盖连接至接触层34A的所有接触电极42并与之重叠。

[0146] 除了在传感器侧配线层23中新设置了金属配线201和202作为金属遮光层M0之外，根据第二实施方案的SPAD像素100与根据第一实施方案的SPAD像素100类似。

[0147] 通过上述第二实施方案的SPAD像素100，类似于第一实施方案，SPAD 11以外的元件(MOS晶体管12、15和16)都形成在像素基板21侧的传感器侧配线层23中。因此，可以减少

设置在逻辑基板51侧的元件的数量，从而可以减小像素尺寸。此外，能够缩短连接SPAD 11的阴极、作为恒流源的MOS晶体管12的漏极和反相器13的输入端子的连接配线，因此能够减小阴极电容。

[0148] 此外，通过设置金属配线201和202作为金属遮光层M0，可以防止穿过半导体基板22中的光电转换区域的光进入下层的诸如MOS晶体管12和反相器13等元件，并且可以防止在下层的元件中产生光电流。

[0149] <4.SPAD像素的第三实施方案>

[0150] 图10示出了根据本公开第三实施方案的SPAD像素的电路示例。

[0151] 图11是根据第三实施方案的SPAD像素的截面图。

[0152] 在将根据图10所示的第三实施方案的SPAD像素100的电路与根据图4所示的第一实施方案的SPAD像素100进行比较的情况下，还增加了二极管241。此外，由虚线表示的金属遮光层M0设置在SPAD 11与二极管241之间。

[0153] 二极管241的阳极连接至GND。二极管241的阴极连接至SPAD 11的阴极、MOS晶体管12的漏极和反相器13的输入端子。

[0154] 在图10中，在像素基板21和逻辑基板51之间的物理边界(接合面)由单点划线表示，并且在像素基板21和逻辑基板51之间的电接触点C4设置在二极管241的阴极与MOS晶体管12的漏极和反相器13的输入端之间。SPAD 11和二极管241形成在像素基板21侧，并且MOS晶体管12和反相器13形成在逻辑基板51侧。

[0155] 在二极管241的阴极侧变为小于0V的负电压的情况下，形成了正向电压。因此，电流流过二极管241，并且二极管241的阴极侧变为0V。即，二极管241用作防止连接SPAD 11的阴极、MOS晶体管12的漏极和反相器13的输入端子的连接配线的电压降低到小于0V的负电压的箝位电路(clamp circuit)。因此，可以防止负电压被施加至MOS晶体管12和反相器13并且在大量光入射在SPAD 11上的情况下可以提高耐破坏性(breakdown resistance)。

[0156] 此外，在第一和第二实施方案中，供给至SPAD 11的阳极的电源电压VRLD是具有与SPAD 11的击穿电压VBD相同电压的负偏压。另一方面，可以施加低于击穿电压VBD的负偏压(具有击穿电压VBD的大绝对值的电压)。

[0157] 在根据图11所示的第三实施方案的SPAD像素100的截面图中，二极管241形成在像素基板21侧的传感器侧配线层23中。二极管241设置于在像素基板21的厚度方向上与包括P型扩散层32和N型扩散层33的SPAD 11的位置不同的位置处，并且设置于在平面图中二极管241的至少一部分与SPAD 11重叠的区域中。二极管241的阴极经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线261连接至与接触层33A连接的接触电极41。二极管241的阳极经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线262连接至形成在传感器侧配线层23的接合面上的金属配线271。金属配线271通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线281，并且连接至逻辑基板51侧的GND。

[0158] 此外，在传感器侧配线层23中，金属配线301形成为比第一金属配线层M1更靠近半导体基板22侧的金属遮光层M0。金属配线301设置在SPAD 11与二极管241之间的传感器侧配线层23中。金属配线301形成在比半导体基板22的光电转换区域更宽的平面区域中。形成在金属遮光层M0中的金属配线301防止了穿过半导体基板22中的光电转换区域的光进入下

层的二极管241等中，并且防止了在下层的二极管241等中产生光电流。此外，通过将穿过半导体基板22中的光电转换区域的光朝向半导体基板22侧反射，能够提高有助于光电转换的光的效率。

[0159] 根据第三实施方案的SPAD像素100的其他构成与作为比较例说明的图3的SPAD像素10的构成类似。形成在逻辑基板51侧的多个MOS晶体管Tr包括MOS晶体管12和构成反相器13的MOS晶体管。

[0160] 通过根据第三实施方案的SPAD像素100，通过设置用作箝位电路的二极管241，可以防止负电压被施加至像素基板21侧，并且可以提高对大量光的耐破坏性。通过在像素基板21侧的传感器侧配线层23中设置作为SPAD 11以外的元件的二极管241，与所有元件都设置在逻辑基板51侧的情况相比，可以减少要设置在逻辑基板51侧的元件的数量，从而能够减小像素尺寸。

[0161] 注意，在上述第三实施方案中，可以省略金属遮光层MO的金属配线301。

[0162] <5.SPAD像素的第四实施方案>

[0163] 图12示出了根据本公开第四实施方案的SPAD像素的电路示例。

[0164] 图13是根据第四实施方案的SPAD像素的截面图。

[0165] 在将根据图12所示的第四实施方案的SPAD像素100的电路与根据图10所示的第三实施方案的SPAD像素100进行比较的情况下，在SPAD11与二极管241的阴极之间还增加了电阻器321。由虚线示出的金属遮光层MO设置在SPAD 11与电阻器321之间。

[0166] 在图12中，像素基板21和逻辑基板51之间的物理边界(接合面)由单点划线示出，并且像素基板21和逻辑基板51之间的电接触点C5设置在电阻器321与二极管241的阴极之间。SPAD 11和电阻器321形成在像素基板21侧，并且二极管241、MOS晶体管12和反相器13形成在逻辑基板51侧。

[0167] 电阻器321具有限制流过作为箝位电路的二极管241的电流的功能。通过设置电阻器321，可以减小二极管241的尺寸，并且可以有效地布置电路。

[0168] 在图13所示的SPAD像素100的截面图中，电阻器321形成在像素基板21侧的传感器侧配线层23中。电阻器321设置于在像素基板21的厚度方向上与包括P型扩散层32和N型扩散层33的SPAD 11的位置不同的位置处，并且设置于在平面图中电阻器321的至少一部分与SPAD 11重叠的区域中。电阻器321的一端经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线322连接至与接触层33A连接的接触电极41。电阻器321的另一端经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线323和接触电极45连接至形成在传感器侧配线层23的接合面上的金属配线46。金属配线46通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线61。在金属配线46与金属配线61之间的金属接合部分对应于图14的接触点C5。

[0169] 在传感器侧配线层23中，金属配线331形成为比第一金属配线层M1更靠近半导体基板22侧的金属遮光层MO。金属配线331设置在SPAD11与电阻器321之间的传感器侧配线层23中。金属配线331形成在比半导体基板22的光电转换区域更宽的平面区域中。形成在金属遮光层MO中的金属配线331防止了穿过半导体基板22中的光电转换区域的光进入下层的电阻器321等，并且防止了在下层的电阻器321等中产生光电流。此外，通过将穿过半导体基板22中的光电转换区域的光朝向半导体基板22侧反射，能够提高有助于光电转换的光的效

率。

[0170] 通过根据第四实施方案的SPAD像素100,通过设置用作箝位电路的二极管241,可以防止负电压被施加至像素基板21侧,并且可以提高对大量光的耐破坏性。此外,通过在SPAD 11与二极管241的阴极之间设置电阻器321,可以抑制流过二极管241的电流,并且可以减小二极管241的尺寸。

[0171] 此外,通过在像素基板21侧的传感器侧配线层23中设置作为SPAD11以外的元件的电阻器321,可以减少要设置在逻辑基板51侧的元件的数量,从而能够减小像素尺寸。

[0172] 注意,在上述第四实施方案中,可以省略金属遮光层MO的金属配线331。

[0173] <6.SPAD像素的第五实施方案>

[0174] 图14示出了根据本公开第五实施方案的SPAD像素的电路示例。

[0175] 图15是根据第五实施方案的SPAD像素的截面图。

[0176] 根据图14所示的第五实施方案的SPAD像素100的电路与根据图12所示的第四实施方案的SPAD像素100相同。然而,在像素基板21和逻辑基板51之间并且由图14的单点划线示出的物理边界(接合面)是不同的。在图12所示的第四实施方案中,在电阻器321与二极管241的阴极之间设置了在像素基板21和逻辑基板51之间且由单点划线示出的边界。另一方面,在图14的第五实施方案中,边界设置在电阻器321和二极管241的阴极之间的连接点与MOS晶体管12的漏极和反相器13的输入端子之间的连接点之间。换言之,像素基板21和逻辑基板51之间的电接触点C4的布置与图10所示的第三实施方案的布置类似。SPAD 11、电阻器321和二极管241形成在像素基板21侧,并且MOS晶体管12和反相器13形成在逻辑基板51侧。由虚线示出的金属遮光层MO设置在SPAD11与电阻器321和二极管241之间。

[0177] 在图15所示的SPAD像素100的截面图中,二极管241和电阻器321形成在像素基板21侧的传感器侧配线层23中。二极管241和电阻器321设置于在像素基板21的厚度方向上与包括P型扩散层32和N型扩散层33的SPAD 11的位置不同的位置处,并且设置于在平面图中二极管241和电阻321的至少一部分与SPAD 11重叠的区域中。

[0178] 二极管241的阴极经由在传感器侧配线层23中形成在第二金属配线层M2中的金属配线261等连接至形成在传感器侧配线层23的接合面上的金属配线46。二极管241的阳极经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线262等连接至形成在传感器侧配线层23的接合面上的金属配线271。金属配线271通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线281,并且连接至逻辑基板51侧的GND。

[0179] 电阻器321的一端经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线322连接至与接触层33A连接的接触电极41。电阻器321的另一端经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线323、接触电极45等连接至形成在传感器侧配线层23的接合面上的金属配线46。金属配线46通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线61。金属配线46与金属配线61之间的金属接合部分对应于图14的接触点C4。

[0180] 此外,在传感器侧配线层23中,金属配线351形成为比第一金属配线层M1更靠近半导体基板22侧的金属遮光层MO。金属配线351设置在SPAD 11与电阻器321和二极管241之间的传感器侧配线层23中。金属配线351形成在比半导体基板22中的光电转换区域更宽的平面区域中。形成在金属遮光层MO中的金属配线351防止了穿过半导体基板22中的光电转换

区域的光进入下层的诸如二极管241、电阻器321等元件，并且防止了在下层的元件中产生光电流。此外，通过将穿过半导体基板22中的光电转换区域的光朝向半导体基板22侧反射，能够提高有助于光电转换的光的效率。

[0181] 通过根据第五实施方案的SPAD像素100，通过设置用作箝位电路的二极管241，可以防止负电压被施加至像素基板21侧，并且可以提高对大量光的耐破坏性。此外，通过在SPAD 11与二极管241的阴极之间设置电阻器321，可以抑制流过二极管241的电流，并且可以减小二极管241的尺寸。此外，通过在像素基板21侧的传感器侧配线层23中设置作为SPAD 11以外的元件的二极管241和电阻器321，可以减少要设置在逻辑基板51侧的元件的数量，从而能够减小像素尺寸。

[0182] 注意，在上述第五实施方案中，可以省略金属遮光层MO的金属配线351。

[0183] <7.SPAD像素的第六实施方案>

[0184] 图16示出了根据本公开第六实施方案的SPAD像素的电路示例。

[0185] 图17是根据第六实施方案的SPAD像素的截面图。

[0186] 在将根据图16所示的第六实施方案的SPAD像素100的电路与根据图4所示的第一实施方案的SPAD像素100进行比较的情况下，进一步增加了P型多晶硅薄膜晶体管371。此外，金属遮光层MO设置在SPAD11与多晶硅TFT 371之间。

[0187] 多晶硅TFT 371设置在SPAD 11的阴极与MOS晶体管12的漏极和反相器13的输入端子之间。多晶硅TFT 371的源极连接至MOS晶体管12的漏极和反相器13的输入端子。多晶硅TFT 371的漏极连接至SPAD11的阴极。向多晶硅TFT 371的栅极施加预定电压。

[0188] 在图16中，像素基板21和逻辑基板51之间的物理边界(接合面)由单点划线表示，并且像素基板21和逻辑基板51的电接触点C6设置在多晶硅TFT 371的源极与MOS晶体管12的漏极和反相器13的输入端之间。像素基板21和逻辑基板51之间的电接触点C7设置在多晶硅TFT 371的栅极与设置在多晶硅TFT 371的栅极之前的电路(未图示)之间。SPAD11和多晶硅TFT 371形成在像素基板21侧，并且MOS晶体管12和反相器13形成在逻辑基板51侧。

[0189] 通过将多晶硅TFT 371设置在SPAD 11与反相器13的输入端子之间，可以在多晶硅TFT371的SPAD 11侧与反相器13侧之间提供电位差。多晶硅TFT 371用作箝位电路。因此，在大量光入射在SPAD 11上的情况下，可以限制反相器13的输入电压的电压降，并且提高MOS晶体管12和反相器13的耐破坏性。此外，通过设置多晶硅TFT 371作为箝位电路，可以在功耗允许的范围内任意增加与过量偏压相对应的电源电压VE，因此可以提高光子检测效率(PDE)。

[0190] 在图17所示的SPAD像素100的截面图中，多晶硅TFT 371形成在像素基板21侧的传感器侧配线层23中。多晶硅TFT 371设置于在像素基板21的厚度方向上与包括P型扩散层32和N型扩散层33的SPAD 11的位置不同的位置处，并且设置于在平面图中多晶硅TFT 371的至少一部分与SPAD 11重叠的区域中。

[0191] 多晶硅TFT 371的漏极经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线391连接至与接触层33A连接的接触电极41。多晶硅TFT 371的源极经由形成在第一金属配线层M1中的金属配线392、接触电极45等连接至形成在传感器侧配线层23的接合面上的金属配线46。金属配线46通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线61。金属配线46与金属配线61之间的金属接合部分对应于图16中的接

触点C6。多晶硅TFT 371的栅极经由在传感器侧配线层23中形成在第二金属配线层M2中的金属配线393连接至形成在传感器侧配线层23的接合面上的金属配线401。金属配线401通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线402，并且连接至逻辑基板51侧的预定电源电路。金属配线401与金属配线402之间的金属接合部分对应于图16中的接触点C7。

[0192] 此外，在传感器侧配线层23中，金属配线421形成为比第一金属配线层M1更靠近半导体基板22侧的金属遮光层M0。金属配线421设置在SPAD 11与多晶硅TFT 371之间的传感器侧配线层23中。金属配线421形成在比半导体基板22中的光电转换区域更宽的平面区域中。形成在金属遮光层M0中的金属配线421防止了穿过半导体基板22中的光电转换区域的光进入下层的诸如多晶硅TFT 371等元件，并且防止了在下层的诸如多晶硅TFT 371等元件中产生光电流。此外，通过将穿过半导体基板22中的光电转换区域的光朝向半导体基板22侧反射，能够提高有助于光电转换的光的效率。

[0193] 通过根据第六实施方案的SPAD像素100，通过设置用作箝位电路的多晶硅TFT 371，可以防止像素基板21侧的电压降，并且可以提高对大量光的耐破坏性。此外，通过设置多晶硅TFT 371，可以任意增加与过量偏压相对应的电源电压VE，从而可以提高PDE。此外，通过在像素基板21侧的传感器侧配线层23中设置作为SPAD 11以外的元件的多晶硅TFT371，可以减少要设置在逻辑基板51侧的元件的数量，从而能够减小像素尺寸。

[0194] 注意，在上述第六实施方案中，可以省略金属遮光层M0的金属配线421。

[0195] <8.SPAD像素的第七实施方案>

[0196] 图18示出了根据本公开第七实施方案的SPAD像素的电路示例。

[0197] 图19是根据第七实施方案的SPAD像素的截面图。

[0198] 在将根据图18所示的第七实施方案的SPAD像素100的电路与根据图16所示的第六实施方案的SPAD像素100进行比较的情况下，用P型MOS晶体管441代替P型多晶硅TFT 371。即，图16和图18示出了场效应晶体管(FET)包括TFT还是MOS晶体管的差异。其中形成有MOS晶体管441的N阱连接至MOS晶体管441的源极。金属遮光层M0设置在SPAD 11与P型MOS晶体管441之间。

[0199] 在图18中，像素基板21和逻辑基板51之间的物理边界(接合面)由单点划线表示，并且像素基板21和逻辑基板51之间的电接触点C6设置在MOS晶体管441的源极与MOS晶体管12的漏极和反相器13的输入端之间。像素基板21和逻辑基板51之间的电接触点C7设置在MOS晶体管441的栅极与设置在MOS晶体管441的栅极之前的电路(未图示)之间。SPAD 11和MOS晶体管441形成在像素基板21侧，并且MOS晶体管12和反相器13形成在逻辑基板51侧。

[0200] 根据图19所示的第七实施方案的SPAD像素100的截面图与根据图17所示的第六实施方案的SPAD像素1000的截面图之间的差异之一是在传感器侧配线层23中设置了MOS晶体管441代替多晶硅TFT 371。MOS晶体管441设置于在像素基板21的厚度方向上与包括P型扩散层32和N型扩散层33的SPAD 11的位置不同的位置处，并且设置于在平面图中MOS晶体管441的至少一部分与SPAD 11重叠的区域中。

[0201] 在设置有MOS晶体管441代替多晶硅TFT 371的情况下的操作和作用于设置有多晶硅TFT 371的第六实施方案的操作和作用类似。

[0202] 此外，金属配线451形成为比第一金属配线层M1更靠近半导体基板22侧的金属遮

光层M0。金属配线451设置在SPAD 11与MOS晶体管441之间的传感器侧配线层23中。金属配线451形成在比半导体基板22中的光电转换区域更宽的平面区域中。形成在金属遮光层M0中的金属配线451防止了穿过半导体基板22中的光电转换区域的光进入下层的诸如MOS晶体管441等元件，并且防止了在下层的诸如MOS晶体管441等元件中产生光电流。此外，通过将穿过半导体基板22中的光电转换区域的光朝向半导体基板22侧反射，能够提高有助于光电转换的光的效率。

[0203] 通过根据第七实施方案的SPAD像素100，通过设置用作箝位电路的MOS晶体管441，可以防止像素基板21侧的电压降，并且可以提高对大量光的耐破坏性。此外，通过设置MOS晶体管441，可以任意增加与过量偏压相对应的电源电压VE，因此可以提高PDE。此外，通过在像素基板21侧的传感器侧配线层23中设置作为SPAD 11以外的元件的MOS晶体管441，可以减少要设置在逻辑基板51侧的元件的数量，从而能够减小像素尺寸。

[0204] 注意，在上述第七实施方案中，可以省略金属遮光层M0的金属配线451。

[0205] <9.SPAD像素的第八实施方案>

[0206] 图20示出了根据本公开第八实施方案的SPAD像素的电路示例。

[0207] 图21是根据第八实施方案的SPAD像素的截面图。

[0208] 图20所示的根据第八实施方案的SPAD像素100的电路包括图10所示的第三实施方案的二极管241、图12所示的第四实施方案的电阻器321和图18所示的第七实施方案的MOS晶体管441。因此，可以获得二极管241、电阻器321和MOS晶体管441中的各者的效果。即，通过提供二极管241和MOS晶体管441作为箝位电路，可以防止负电压被施加至MOS晶体管12和反相器13，并且可以提高在大量光入射在SPAD 11上的情况下的耐破坏性。通过设置电阻器321，可以限制流过二极管241的电流，并且通过减小二极管241的尺寸来有效地布置电路。通过设置MOS晶体管441，可以任意地增加与过量偏压相对应的电源电压VE，从而可以提高PDE。二极管241、电阻器321和MOS晶体管441中的各者都是限制电流的限流电路。

[0209] 在图20中，像素基板21和逻辑基板51之间的物理边界(接合面)由单点划线表示，并且与图18所示的第七实施方案的物理边界类似。SPAD 11、二极管241、电阻器321和MOS晶体管441形成在像素基板21侧，并且MOS晶体管12和反相器13形成在逻辑基板51侧。

[0210] 此外，由虚线表示的金属遮光层M0设置在SPAD 11与二极管241之间、电阻器321和MOS晶体管441之间。

[0211] 在根据图21所示的第十三实施方案的SPAD像素100的截面图中，二极管241、电阻器321和MOS晶体管441设置在像素基板21侧的传感器侧配线层23中。二极管241、电阻器321和MOS晶体管441设置于在像素基板21的厚度方向上与包括P型扩散层32和N型扩散层33的SPAD 11的位置不同的位置处，并且设置于在平面图中二极管241、电阻器321和MOS晶体管441的至少一部分与SPAD 11重叠的区域中。

[0212] 具体地，电阻器321的一端经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线322连接至与接触层33A连接的接触电极41。电阻器321的另一端经由在传感器侧配线层23中形成在第一金属配线层M1中的金属配线323连接至MOS晶体管441的漏极。此外，电阻器321的另一端也经由金属配线323、461和462连接至二极管241的阴极。金属配线461形成在第二金属配线层M2中，并且金属配线462形成在第一金属配线层M1中。

[0213] MOS晶体管441的源极经由形成在第一金属配线层M1中的金属配线392、接触电极

45等连接至形成在传感器侧配线层23的接合面上的金属配线46。金属配线46通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线61。金属配线46与金属配线61之间的金属接合部分对应于图20的接触点C6。

[0214] MOS晶体管441的栅极经由在传感器侧配线层23中形成在第二金属配线层M2中的金属配线393连接至形成在传感器侧配线层23的接合面上的金属配线401。金属配线401通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线402，并且连接至逻辑基板51侧的预定电源电路。金属配线401与金属配线402之间的金属接合部分对应于图20的接触点C7。

[0215] 此外，在图21中，接触电极42经由第一金属配线层M1和第二金属配线层M2的金属配线481和482连接至形成在传感器侧配线层23的接合面上的金属配线483，接触电极42连接至形成在半导体基板22的像素区域的外围部分上的接触层34A。金属配线483通过诸如Cu-Cu等金属接合电连接并物理地连接至逻辑侧配线层53的金属配线484。从逻辑侧配线层53的预定电源电路(未图示)经由金属配线484和483、接触电极42等向接触层34A供给阳极电压VRLD。

[0216] 金属配线501和502形成为比传感器侧配线层23的第一金属配线层M1更靠近半导体基板22侧的金属遮光层MO。

[0217] 金属配线501形成在比半导体基板22中的雪崩倍增区域更宽的平面区域中。金属配线层502形成在像素区域的外围部分上的比包括接触层34A的空穴累积层34更宽的平面区域上。形成在金属遮光层MO中的金属配线501和502形成在半导体基板22与二极管241、电阻器321和MOS晶体管441之间。因此，防止了穿过半导体基板22中的光电转换区域的光进入下层的二极管241、电阻器321、MOS晶体管441等中，并且通过金属遮光层MO防止了在下层的二极管241、电阻321、MOS三极管441等中产生光电流。此外，通过将穿过半导体基板22中的光电转换区域的光朝向半导体基板22侧反射，能够提高有助于光电转换的光的效率。

[0218] 通过根据第八实施方案的SPAD像素100，通过提供用作箝位电路的二极管241和MOS晶体管441，可以防止负电压被施加至像素基板21侧，并且可以提高对大量光的耐破坏性。此外，通过设置电阻器321，可以抑制流过二极管241的电流，并且减小二极管241的尺寸。

[0219] 此外，通过在像素基板21侧的传感器侧配线层23中设置作为SPAD11以外的元件的二极管241、电阻器321和MOS晶体管441，可以减少要设置在逻辑基板51侧的元件的数量，从而可以减小像素尺寸。

[0220] 注意，在上述第八实施方案中，可以省略金属遮光层MO的金属配线501和502。

[0221] <10.SPAD像素的第九实施方案>

[0222] 图22示出了根据本公开第九实施方案的SPAD像素的电路示例。

[0223] 图23是根据第九实施方案的SPAD像素的截面图。

[0224] 根据图22所示的第九实施方案的SPAD像素100的电路与根据图20所示的第八实施方案的SPAD像素100的电路相同。然而，图22中在像素基板21和逻辑基板51之间且由单点划线表示的物理边界(接合面)是不同的。即，在图20所示的第八实施方案中，SPAD 11、二极管241、电阻器321和MOS晶体管441形成在像素基板21侧，而在图22的第九实施方案中，作为恒流源的MOS晶体管12也形成在像素基板21侧。像素基板21和逻辑基板51在接触点C1至C3和

C7的四个接触点处彼此电连接。接触点C1是MOS晶体管12的栅极部分，接触点C2是电源电压VE的供给部分，并且接触点C3是反相器13的输入部分。接触点C7设置在MOS晶体管441的栅极与设置在MOS晶体管441栅极前面的电路(未图示)之间。

[0225] 由虚线所示的金属遮光层M0设置在SPAD 11与二极管241、电阻器321和MOS晶体管441之间。

[0226] 与图21所示的第八实施方案的截面图类似地示出了图23所示的SPAD像素100的截面图。这里，尽管为了空间的原因没有示出，但是MOS晶体管12形成在像素基板21的传感器侧配线层23中的预定区域中。因此，形成在半导体基板52的正面侧上的多个MOS晶体管Tr”不包括MOS晶体管12，并且包括构成反相器13的MOS晶体管15和16。MOS晶体管12、二极管241、电阻器321和MOS晶体管441设置于在像素基板21的厚度方向上与包括P型扩散层32和N型扩散层33的SPAD11的位置不同的位置处，并且设置于在平面图中MOS晶体管12、二极管241、电阻器321和MOS晶体管441的至少一部分与SPAD 11重叠的区域中。

[0227] 金属配线601和602形成为比传感器侧配线层23中的第一金属配线层M1更靠近半导体基板22侧的金属遮光层M0。

[0228] 金属配线601形成在比半导体基板22中的雪崩倍增区域更宽的平面区域中。金属配线602形成在像素区域的外围部分上的比包括接触层34A的空穴累积层34更宽的平面区域上。形成在金属遮光层M0中的金属配线601和602防止了穿过半导体基板22中的光电转换区域的光进入下层的二极管241、电阻器321、MOS晶体管441等，并且防止了在下层的二极管241、电阻321、MOS晶体管441等中产生光电流。此外，通过将穿过半导体基板22中的光电转换区域的光朝向半导体基板22侧反射，能够提高有助于光电转换的光的效率。

[0229] 图24是图23的传感器侧配线层23从半导体基板22侧观察时的平面图。注意，为了便于说明，图24的平面图中的配线在某些部分中与图23的截面图中的配线不匹配。

[0230] 在传感器侧配线层23中，作为供给电源电压VE的阴极电极的四个接触电极41设置在矩形像素区域的中央部分。四个接触电极41经由第一金属配线层M1的金属配线551连接至电阻器321的一端。电阻器321的另一端连接至第一金属配线层M1的金属配线552。二极管241的阴极和MOS晶体管441的漏极也连接至第一金属配线层M1的金属配线552。

[0231] 二极管241的阳极经由接触电极VC9连接至第二金属配线层M2的GND配线571。

[0232] MOS晶体管441的栅极经由接触电极VC7连接至作为形成在与逻辑侧配线层53的接合面上的接触点C7的金属配线401。MOS晶体管441的源极经由第一金属配线层M1的金属配线553连接至接触电极VC3，并且接触电极VC3连接至作为形成在与逻辑侧配线层53的接合面上的接触点C3的金属配线46。第一金属配线层M1的金属配线553也连接至MOS晶体管441的N阱561和MOS晶体管12的漏极。MOS晶体管12的漏极经由金属配线553连接至作为接触点C3的金属配线46。

[0233] MOS晶体管12的栅极经由接触电极VC1连接至作为形成在与逻辑侧配线层53的接合面上的接触点C1的金属配线403。MOS晶体管12的源极经由第一金属配线层M1的金属配线554连接至接触电极VC2。接触电极VC2连接至作为形成在与逻辑侧配线层53的接合面上的接触点C2的金属配线404。

[0234] 金属配线555形成在像素区域的外围部分的第一金属配线层M1中。GND配线571设置在矩形像素区域的外围部分的第二金属配线层M2中。此外，连接至接触层34A的多个接触

电极42设置在GND配线571内侧与金属配线555重叠的位置处。作为阳极电极的接触电极42只需要在至少一个点处连接至半导体基板22的接触层34A。另一方面，为了降低电阻，如图24所示，多个接触电极42设置在半导体基板22的接触层34A的正下方，并且在多个点处连接至半导体基板22的接触层34A。

[0235] 在图24中，金属遮光层M0的金属配线601和602由灰色区域表示。如图24所示，金属配线601设置成覆盖矩形像素区域的中央部分的所有四个接触电极41、作为恒流源的MOS晶体管12、二极管241、电阻器321和MOS晶体管441并与之重叠。多个金属配线602被设置为阳极电极，并且设置在像素区域的外围部分处，以覆盖连接至接触层34A的所有接触电极42并与之重叠。

[0236] 在图24所示的各元件的平面布置中，围绕设置在矩形像素区域的中央部分的四个接触电极41，对称设置二极管241和电阻器321，并且对称设置MOS晶体管12和MOS晶体管441。因此，在光进入传感器侧配线层23的情况下，可以改善入射角依赖性。

[0237] 通过根据第九实施方案的SPAD像素100，通过设置用作箝位电路的二极管241和MOS晶体管441，可以防止负电压被施加至像素基板21侧，并且可以提高对大量光的耐破坏性。通过在SPAD 11与二极管241的阴极之间设置电阻器321，能够抑制流过二极管241的电流，并且通过减小二极管241的尺寸可以有效地布置电路。

[0238] 此外，通过在像素基板21侧的传感器侧配线层23中设置作为SPAD11以外的元件的二极管241、电阻器321和MOS晶体管12和441，可以减少要设置在逻辑基板51侧的元件的数量，从而能够减小像素尺寸。

[0239] 注意，在第九实施方案中，反相器13设置在逻辑基板51侧。另一方面，如在第一和第二实施方案中，反相器13也可以设置在像素基板21侧。即使在上述第九实施方案中，也可以省略金属遮光层M0的金属配线601和602。

[0240] <11.SPAD像素的第十实施方案>

[0241] 图25示出了根据本公开第十实施方案的SPAD像素的电路示例。

[0242] 图25所示的第十实施方案示出了在多个SPAD像素共用读取电路的情况下SPAD像素100的构成示例。图25示出了四个像素共用一个读取电路的示例。

[0243] 在图25所示的四个SPAD像素100中，只有一个SPAD像素100设置有读取电路，并且其他三个SPAD像素100仅设置有SPAD 11。读取电路与图22所示的第九实施方案的电路相同，并且包括二极管241、电阻器321和MOS晶体管441的限流电路以及MOS晶体管12和反相器13。共用读取电路的四个SPAD 11中的各者的阴极连接至电阻器321的一端，并且二极管241连接至电阻器321的另一端。

[0244] 注意，在图25中，为了便于说明，一个SPAD像素100包括共用读取电路的所有元件。另一方面，读取电路的各元件可以分布并设置在共用的四个像素中的任何像素中。换言之，二极管241、电阻器321、MOS晶体管441、MOS晶体管12和反相器13可以设置在共用元件的四个SPAD像素100中的任何像素中。

[0245] 像素基板21和逻辑基板51之间的物理边界(接合面)与图22所示的第九实施方案的物理边界类似。四个SPAD 11、MOS晶体管12、二极管241、电阻器321和MOS晶体管441设置在像素基板21侧，并且反相器13设置在逻辑基板51侧。在图25的第十实施方案中，没有设置金属遮光层M0。另一方面，类似于上述其他实施方案，例如，可以在SPAD 11与电阻器321之

间设置金属遮光层M0。

[0246] 图26是根据第十实施方案的SPAD像素的截面图。

[0247] 图26是共用读取电路的四个像素中的两个像素的SPAD像素100的截面图。二极管241、电阻器321、MOS晶体管441和MOS晶体管12形成在两个相邻像素的像素基板21的传感器侧配线层23中。注意,MOS晶体管12形成在图26中未图示的区域中。

[0248] 接触电极41经由传感器侧配线层23中的金属配线651和接触电极652连接至金属配线322,接触电极41是连接至各SPAD像素100的半导体基板22中的接触层33A的阴极电极。其他构成与图23所示的第九实施方案的构成类似,因此将省略对其的说明。这里,省略了金属遮光层M0。

[0249] 通过根据第十实施方案的SPAD像素100,与上述第九实施方案类似,通过设置用作箝位电路的二极管241和MOS晶体管441,可以防止负电压被施加至像素基板21侧,并且可以提高对大量光的耐破坏性。通过在SPAD 11与二极管241的阴极之间设置电阻器321,能够抑制流过二极管241的电流,并且能够减小二极管241的尺寸。

[0250] 此外,通过在像素基板21侧的传感器侧配线层23中设置作为SPAD11以外的元件的二极管241、电阻器321和MOS晶体管12和441,可以减少要设置在逻辑基板51侧的元件的数量,从而能够减小像素尺寸。

[0251] 此外,通过由多个SPAD像素100共用读取电路,可以在选择包括在读取电路中的各元件的布置位置时具有余量,并且进一步便于像素的小型化,并且便于电路设计。也可以设置其他必要的电路。

[0252] 注意,上述示例是四个像素共用一个读取电路的示例。另一方面,共用读取电路的像素的数量不限于四个。例如,两个或三个像素可以共用一个读取电路,或者五个或更多个像素(例如,八个像素)可以共用一个读取电路。

[0253] 在图25和图26中,已经说明了图22所示的第九实施方案的读取电路由多个像素共用的示例。然而,不必说,上述各个其他实施方案的读取电路的构成也可以由多个像素共用。

[0254] ＜12.传感器侧配线层的详细构成示例＞

[0255] 在第一至第十实施方案的像素结构中,如上所述,在传感器侧配线层23中形成有诸如二极管241、电阻器321、MOS晶体管441、MOS晶体管12等的至少一个元件。下文中,将说明在形成有各元件的情况下传感器侧配线层23的详细构成示例。

[0256] ＜没有形成元件的情况＞

[0257] 首先,将参照图27的截面图说明如作为比较例说明的图3的SPAD像素10的传感器侧配线层23中那样在像素基板21侧没有形成元件的情况下,传感器侧配线层23的详细构成。

[0258] 在图27中,图27的上侧是包括其中形成雪崩倍增区域的P型扩散层32和N型扩散层33的半导体基板22,并且图27的下侧是在像素基板21和逻辑基板51之间的接合面,由单点划线表示。这里,在图27中,省略了半导体基板22中的P型扩散层32、N型扩散层33等的详细构成。

[0259] 通过从更靠近半导体基板22的一侧朝向与逻辑基板51的接合面按顺序层叠过孔形成层801、第一金属配线层802、过孔形成层803和接合金属配线层804而形成传感器侧配

线层23。

[0260] 过孔形成层801包括层间连接过孔831和多个层间绝缘膜。在图27的示例中，通过层叠SiO膜821、TEOS膜822、SiN膜823和TEOS膜824的四层来构造多个层间绝缘膜。层间连接过孔831使用例如钨(W)来形成，并且穿透过孔形成层801。层间连接过孔831对应于例如图3中的接触电极41和接触电极42。

[0261] 第一金属配线层802包括金属配线851和多个层间绝缘膜。在图27的示例中，通过层叠SiCN膜841和SRO(P-SiH4)膜842的两层来构造多个层间绝缘膜。例如使用铜(Cu)来形成金属配线851。金属配线851对应于例如图3中的金属配线43和金属配线44。

[0262] 过孔形成层803包括层间连接过孔871和多个层间绝缘膜。在图27的示例中，通过层叠SiCN膜861、TEOS膜862和SiN膜863的三层来构造多个层间绝缘膜。例如使用铜(Cu)形成层间连接过孔871。层间连接过孔871对应于例如图3中的接触电极45。

[0263] 接合金属配线层804包括金属配线891和一个或多个层间绝缘膜。在图27的示例中，层间绝缘膜包括单层TEOS膜881。例如使用铜(Cu)形成金属配线891。例如，金属配线891对应于图3中的金属配线46。

[0264] <形成电阻器的情况>

[0265] 图28是示出例如，如根据图12所示的第四实施方案的SPAD像素10的传感器侧配线层23中那样在像素基板21侧形成电阻器321的情况下，传感器侧配线层23的详细构成示例的截面图。

[0266] 与上述图27类似，在图28至图31中，图28至图31的上侧表示半导体基板22，图28至图31的下侧表示在像素基板21和逻辑基板51之间的接合面，并且省略了半导体基板22的详细构成。

[0267] 通过从更靠近半导体基板22的一侧朝向与逻辑基板51的接合面按顺序层叠过孔形成层901、多晶硅层902、过孔形成层903、第一金属配线层904、过孔形成层905和接合金属配线层906来构造传感器侧配线层23。

[0268] 过孔形成层901包括层间连接过孔931和多个层间绝缘膜。在图28的示例中，通过层叠SiO膜921和TEOS膜922的两层来构造多个层间绝缘膜。层间连接过孔931使用例如钨(W)来形成，并且穿透过孔形成层901、多晶硅层902和过孔形成层903。层间连接过孔931对应于例如图21中的接触电极41和接触电极42。

[0269] 多晶硅层902包括层间连接过孔931、电阻器933和层间绝缘膜。在图28的示例中，层间绝缘膜包括SiN膜923。电阻器933包括例如多晶硅膜。电阻器933可以包括金属膜。

[0270] 过孔形成层903包括层间连接过孔931和932以及一个或多个层间绝缘膜。在图28的示例中，层间绝缘膜包括单层TEOS膜924。层间连接过孔932使用例如钨(W)来形成，并且连接电阻器933和金属配线951。

[0271] 第一金属配线层904包括金属配线951和多个层间绝缘膜。在图28的示例中，通过层叠SiCN膜941和SRO(P-SiH4)膜942的两层来构造多个层间绝缘膜。金属配线951例如使用铜(Cu)来形成。金属配线951对应于例如图13中的金属配线322和金属配线323。

[0272] 过孔形成层905包括层间连接过孔971和多个层间绝缘膜。在图28的示例中，通过层叠SiCN膜961、TEOS膜962和SiN膜963的三层来构造多个层间绝缘膜。层间连接过孔971例如使用铜(Cu)来形成。层间连接过孔971对应于例如图13中的接触电极45。

[0273] 接合金属配线层906包括金属配线991和一个或多个层间绝缘膜。在图28的示例中，层间绝缘膜包括单层TEOS膜981。金属配线991使用例如铜(Cu)来形成。金属配线991对应于例如图13中的金属配线46。

[0274] 如上所述，可以在传感器侧配线层23中使用多晶硅膜或金属膜形成电阻器933。

[0275] 〈形成多晶硅TFT的情况〉

[0276] 图29是示出例如，如根据图17所示的第六实施方案的SPAD像素10的传感器侧配线层23中那样在像素基板21侧形成多晶硅TFT 371的情况下，传感器侧配线层23的详细构成示例的截面图。

[0277] 在图29中，与图28共同的部分使用相同的附图标记，并且适当地省略对这些部分的说明。

[0278] 通过从更靠近半导体基板22的一侧朝向与逻辑基板51的接合面按顺序层叠过孔形成层901、多晶硅层902、过孔形成层903、第一金属配线层904、过孔形成层905和接合金属配线层906来构造传感器侧配线层23。除了在多晶硅层902中代替图28的电阻器933形成了多晶硅TFT1001之外，图29的构成与图28的构成类似。

[0279] 在多晶硅层902中，代替图28的电阻器933形成了多晶硅TFT 1001。多晶硅TFT 1001包括栅极1011、栅极绝缘膜1012和漏极/源极1013。栅极1011和漏极/源极1013包括多晶硅膜，并且栅极绝缘膜1012包括SiO或SiN。漏极/源极1013是漏极和源极中的一者，并且漏极和源极中的另一者形成在图29中未图示的区域中。

[0280] 如上所述，可以在传感器侧配线层23中使用多晶硅膜形成多晶硅TFT 1001。

[0281] 〈形成MOS晶体管的情况〉

[0282] 图30是示出例如，如根据图21所示的第八实施方案的SPAD像素10的传感器侧配线层23中那样在像素基板21侧形成二极管241、电阻器321和MOS晶体管441的情况下，传感器侧配线层23的详细构成示例的截面图。

[0283] 在图30中，与图28和图29共同的部分使用相同的附图标记，并且适当地省略对这些部分的说明。

[0284] 通过从更靠近半导体基板22的一侧朝向与逻辑基板51的接合面按顺序层叠过孔形成层1031、硅层1032、过孔形成层1033、第一金属配线层904、过孔形成层905和接合金属配线层906来构造传感器侧配线层23。因此，在图30的传感器侧配线层23中，过孔形成层1031、硅层1032和过孔形成层1033的构成与图28和图29的传感器侧配线层23的构成不同，并且第一金属配线层904、过孔形成层905和接合金属配线层906的构成与图28和图29的构成类似。

[0285] 过孔形成层1031包括层间连接过孔931和多个层间绝缘膜。在图30的示例中，通过层叠SiO膜1051、TEOS膜1052、SiN膜1053、TEOS膜1054、SiN膜1055、SiO膜1056和TEOS膜1057来构造多个层间绝缘膜。层间连接过孔931使用例如钨(W)来形成，并且穿透过孔形成层1031、硅层1032和过孔形成层1033。层间连接过孔931对应于例如图21中的接触电极41和接触电极42。

[0286] 硅层1032包括层间连接过孔931、硅膜1071和1072以及层间绝缘膜。在图30的示例中，层间绝缘膜包括SiO膜1073。

[0287] 过孔形成层1033包括层间连接过孔931、多晶硅膜1091和1092、层间连接过孔1101

至1103以及层间绝缘膜。在图30的示例中，层间绝缘膜包括SiN膜1111和TEOS膜1112。

[0288] 在硅层1032和过孔形成层1033中，形成了MOS晶体管1131、电阻器1132和二极管1133。MOS晶体管1131、电阻器1132和二极管1133对应于例如图21所示的MOS晶体管441、电阻器321和二极管241。这里，在图30的示例中，与图21的电路不同，为了便于说明，MOS晶体管1131、电阻器1132和二极管1133全部都通过层间连接过孔1101至1103连接至相同的金属配线951。

[0289] 在MOS晶体管1131中，栅极包括多晶硅膜1091，栅极绝缘膜包括SiO膜1073，并且源极和漏极中的一者包括硅膜1071。源极和漏极中的另一者形成在与硅膜1071的平面相同的平面上的区域(未图示)中。

[0290] 电阻器1132包括多晶硅膜1092。二极管1133包括硅膜1072。注意，二极管1133可以包括如电阻器1132中的多晶硅膜1092，并且电阻器1132可以包括如二极管1133中的硅膜1072。

[0291] 层间连接过孔1101至1103使用例如钨(W)来形成，并且穿透过孔形成层1033。

[0292] 如上所述，可以在传感器侧配线层23中使用硅层1032形成MOS晶体管1131。

[0293] 图31是示出从图30的MOS晶体管1131的源极和漏极都可见的角度来看的传感器侧配线层23的详细构成示例的截面图。

[0294] MOS晶体管1131的源极1221、漏极1222、沟道1223和N阱1224形成在硅层1032的硅膜1071中。MOS晶体管1131的源极1221和N阱1224分别连接至配线金属1212，通过过孔形成层1033的层间连接过孔1201和1203将电源电压VE供给至配线金属1212。配线金属1212经由层间连接过孔972和金属配线992连接至逻辑基板51侧的电源电压VE的供应电路。MOS晶体管1131的漏极1222经由层间连接过孔1202连接至配线金属1211。

[0295] <13.SPAD像素的实施方案的概述>

[0296] 如上所述，通过层叠像素基板21(第一基板21)和逻辑基板51(第二基板51)这两个基板来构造根据第一至第十实施方案的SPAD像素100。然后，SPAD 11和包括在读取电路中的至少一个元件被设置在传感器侧配线层23中，传感器侧配线层23是在其上形成有SPAD 11的像素基板21侧的配线层23。读取电路包括MOS晶体管12、反相器13(MOS晶体管15和16)、二极管241、电阻器321、多晶硅TFT 371和MOS晶体管441。二极管241、电阻器321、多晶硅TFT 371和MOS晶体管441用作限流电路或箝位电路。

[0297] 通过形成具有两个基板的层叠结构的SPAD像素100，与使用一个基板的情况相比，不需要在像素基板21侧的半导体基板22上形成诸如MOS晶体管等元件。因此，可以确保大的光电转换区域，并且可以实现高的PDE。此外，与三个基板的层叠结构相比，仅需要层叠两个基板，因此可以提高工艺容易性并且降低制造成本。

[0298] 此外，与如图1和图3所示的比较例中那样SPAD 11以外的所有元件都设置在逻辑基板51侧的情况相比，可以减少设置在逻辑基板51上的元件的数量。因此，能够便于逻辑基板51的电路布置，并且能够减小像素尺寸。

[0299] 在MOS晶体管12和反相器13设置在像素基板21侧的情况下，可以减小阴极电容，因此可以改善直到通过再充电操作可以检测到下一个新光子的状态为止的时间(死区时间(dead time))。

[0300] 通过在SPAD像素100上设置箝位电路，可以在功耗允许的范围内任意增加与过量

偏压相对应的电源电压VE,因此可以提高PDE。此外,通过设置箝位电路,在大量光入射在SPAD 11上的情况下,可以提高读取电路的耐破坏性。

[0301] 通过在传感器侧配线层23中设置金属配线201等作为金属遮光层M0,可以防止穿过半导体基板22中的光电转换区域的光进入下层的元件,并且可以防止在下层的元件中产生光电流。

[0302] 可以使用上述第一至第十实施方案中的至少两个实施方案任意组合的构成,并且第一至第十实施方案中的任意一个实施方案的构成可以并入到另一个实施方案的构成中或者被另一个实施方案的构成替代。

[0303] 上述SPAD像素100的构成示例是电子被读取为信号电荷(载流子)的结构的示例。另一方面,可以使用读取空穴的结构。在这种情况下,N型扩散层33变为P型扩散层,并且P型扩散层32变为N型扩散层。此外,空穴累积层34变为N型扩散层。此外,将电源电压VRLD施加至从N型扩散层33变为P型扩散层的接触层33A,并且将电源电压VE施加至从P型扩散层32变为N型扩散层的接触层34A。

[0304] <14.测距系统的配置示例>

[0305] 图32是示出包括光接收元件的测距系统的构成示例的框图,该光接收元件包括上述SPAD像素100作为像素阵列。

[0306] 图32的测距系统2001包括控制装置2011、光接收装置2012和照明装置2013。

[0307] 控制装置2011是控制整个测距系统2001的操作的装置。例如,在从更高级别的主机装置接收到距离测量指令的情况下,控制装置2011向光接收装置2012提供发光请求。进一步地,控制装置2011从光接收装置2012获得距离测量数据,该距离测量数据是由光接收装置2012响应于发光请求而执行的测距的结果。

[0308] 光接收装置2012使照明装置2013响应于来自控制装置2011的发光请求而发射照射光,并且接收通过照射光被诸如被摄体2131和被摄体2132等物体反射而获得的反射光。从而,测量并输出到物体的距离。

[0309] 光接收装置2012包括透镜2111和光接收元件2112。照明装置2013包括LD 2121和发光单元2122。

[0310] 在从物体反射的反射光作为入射光入射的情况下,透镜2111在光接收元件2112的光接收表面上形成入射光的图像。注意,透镜2111的构成是任意的,并且例如,可以通过多个透镜组来构造透镜2111。

[0311] 在从控制装置2011供给发光请求的情况下,光接收元件2112向LD2121供给发光触发,并且使发光单元2122发射照射光。然后,光接收元件2112经由透镜2111接收来自被摄体2131、被摄体2132等的反射光。

[0312] 光接收元件2112包括像素阵列,在像素阵列中,以矩阵形式二维地布置根据上述第一至第十实施方案中的任一者的SPAD像素100。光接收元件2112接收来自被摄体2131、被摄体2132等的反射光,基于作为接收结果获得的像素信号,针对各像素计算到被摄体的距离,并且生成距离图像,在该距离图像中,到被摄体的距离信息作为计算结果被存储为像素值。光接收元件2112将生成的距离图像作为距离测量数据供给至控制装置2011。

[0313] LD 2121是驱动发光单元2122的激光驱动器,基于来自光接收元件2112的发光触发来驱动发光单元2122,并且使发光单元2122发射照射光。

[0314] 发光单元2122包括例如垂直腔表面发射激光LED(VCSEL LED)等,并且通过驱动LD 2121来发射照射光。作为照射光,例如,使用波长在约850nm至940nm范围内的红外光(IR光)。

[0315] 图33是示出光接收元件2112的示意性构成示例的框图。

[0316] 光接收元件2112包括控制单元2201、发光触发生成单元2202、像素驱动单元2203、像素阵列2204、时间测量单元2205和信号处理单元2206。

[0317] 控制单元2201控制光接收元件2112的整个操作。例如,控制单元2201基于来自控制装置2011的发光请求来控制发光触发生成单元2202,并且将发光触发输出至LD 2121。输出至LD 2121的发光触发也被供给至时间测量单元2205。

[0318] 像素驱动单元2203通过向像素阵列2204的各像素100(SPAD像素100)供给预定的控制信号来控制各SPAD像素100。例如,像素驱动单元2203基于来自控制单元2201的控制,执行将以矩阵形式二维地布置的多个SPAD像素100中的一些设置为有源像素,并且将剩余的SPAD像素100设置为非有源像素的控制。有源像素是检测光子入射的像素,非有源像素是不检测光子入射的像素。因此,像素驱动单元2203控制像素阵列2204的各SPAD像素100的光接收操作的开/关。当然,可以将像素阵列2204的所有SPAD像素100都设置为有源像素。由像素阵列2204中的有源像素生成的像素信号被输入至时间测量单元2205。

[0319] 像素阵列2204包括多个检测光子入射的SPAD像素100,并且输出表示检测结果的检测信号PFout_Low作为像素信号。各SPAD像素100包括SPAD 11和读取电路111,并且具有上述第一至第十实施方案中的任意一者的像素结构。

[0320] 读取电路111是从检测信号PFout_Low读取在SPAD 11中检测到光子的时刻的电路。读取电路111的构成不同于上述第一至第十实施方案中的任一者的构成。例如,在根据上述第一和第二实施方案的SPAD像素100中,读取电路111包括MOS晶体管12、反相器13和电压转换电路14。在根据第三至第十实施方案的SPAD像素100中,在读取电路111中还包括作为限流电路或箝位电路设置的二极管241、电阻器321、多晶硅TFT 371、MOS晶体管441等。

[0321] 注意,代替SPAD,可以使用APD作为光接收元件2112的各像素100的光接收元件。

[0322] 时间测量单元2205包括多个TDC 112。各TDC 112基于从像素阵列2204的有源像素供给的像素信号和从发光触发生成单元2202供给的发光触发,生成与从发光单元2122发光时到有源像素接收光时的飞行时间相对应的计数值。TDC 112将所生成的计数值供给至信号处理单元2206。

[0323] 信号处理单元2206包括输入单元113、直方图生成单元114和距离计算单元115。

[0324] 输入单元113将从时间测量单元2205的各TDC 112供给的计数值输出至直方图生成单元114。

[0325] 直方图生成单元114基于重复执行预定次数(例如,几次到几百次)的照射光的发射和反射光的接收,为各像素创建直到接收到反射光为止的飞行时间(计数值)的直方图。有关所创建的直方图的数据(下文中,称为直方图数据)被供给至距离计算单元115。

[0326] 距离计算单元115对从直方图生成单元114供给的直方图数据执行噪声去除、直方图峰值检测等。然后,距离计算单元115基于直方图的检测峰值来计算直到从发光单元2122发射的光被被摄体反射并返回为止的飞行时间,并且根据计算出的飞行时间针对各像素计算到被被摄体的距离。基于计算出的距离信息生成距离图像,并且将其作为距离测量数据

输出至控制装置2011。注意，可以不以像素为单位而是以多个像素为单位来生成直方图数据。

[0327] 如上所述，通过层叠像素基板21(第一基板21)和逻辑基板51(第二基板51)这两个基板来构造如上所述构造的光接收元件2112。各SPAD像素100的SPAD 11和读取电路111的一部分设置在像素基板21上。在逻辑基板51上，形成有对由读取电路111读取的像素信号执行信号处理的逻辑电路。例如，在逻辑基板51上形成有时间测量单元2205和信号处理单元2206作为逻辑电路。注意，在光接收元件2112中可以省略信号处理单元2206，并且信号处理单元2206的计算可以由设置在光接收元件2112的后级的数字信号处理器(DSP)等来执行。

[0328] <移动体的应用示例>

[0329] 根据本公开的技术可以应用到各种产品。例如，根据本公开的技术可以实现为安装在诸如汽车、电动汽车、混合动力汽车、摩托车、自行车、个人移动装置、飞机、无人机、船舶、机器人等任意类型的移动体上的装置。

[0330] 图34是示出作为可以应用根据本公开的技术的移动体控制系统的示例的车辆控制系统的示意性配置示例的框图。

[0331] 车辆控制系统12000包括经由通信网络12001彼此连接的多个电子控制单元。在图34所示的示例中，车辆控制系统12000包括驱动系统控制单元12010、车身系统控制单元12020、车外信息检测单元12030、车内信息检测单元12040和综合控制单元12050。此外，微型计算机12051、声音图像输出部12052和车载网络接口(I/F)12053被示出为综合控制单元12050的功能构成。

[0332] 驱动系统控制单元12010根据各种程序控制与车辆的驱动系统相关的装置的操作。例如，驱动系统控制单元12010用作以下装置的控制装置：诸如内燃机或驱动电机等用于产生车辆的驱动力的驱动力产生装置；用于将驱动力传递至车轮的驱动力传递机构；用于调整车辆的转向角的转向机构；以及用于产生车辆的制动力的制动装置等。

[0333] 车身系统控制单元12020根据各种程序控制设置到车身上的各种装置的操作。例如，车身系统控制单元12020用作无钥匙进入系统、智能钥匙系统、电动窗装置或诸如车头灯、车尾灯、刹车灯、转向信号灯或雾灯等各种灯的控制装置。在这种情况下，从作为钥匙的替代的便携式装置传输过来的无线电波或各种开关的信号能够输入至车身系统控制单元12020。车身系统控制单元12020接收这些输入的无线电波或信号，并且控制车辆的门锁装置、电动窗装置和灯等。

[0334] 车外信息检测单元12030检测关于具有车辆控制系统12000的车辆的外部的信息。例如，车外信息检测单元12030与摄像部12031连接。车外信息检测单元12030使摄像部12031对车辆外部的图像进行成像，并且接收所拍摄的图像。在接收的图像的基础上，车外信息检测单元12030可以对诸如人、车辆、障碍物、标记或路面上的符号等物体执行检测处理或距这些物体的距离的检测处理。

[0335] 摄像部12031是光学传感器，其用于接收光并且输出与接收的光的光量对应的电信号。摄像部12031可以输出电信号作为图像，或可以输出电信号作为关于测量距离的信息。此外，摄像部12031接收的光可以是可见光，或可以是诸如红外线等不可见光。

[0336] 车内信息检测单元12040检测关于车辆内部的信息。例如，车内信息检测单元12040与检测驾驶员状态的驾驶员状态检测部12041连接。驾驶员状态检测部12041例如包

括对驾驶员进行成像的相机。在从驾驶员状态检测部12041输入的检测信息的基础上，车内信息检测单元12040可以计算驾驶员的疲劳程度或驾驶员的集中程度，或可以判断驾驶员是否正在打瞌睡。

[0337] 微型计算机12051可以在关于车辆内部或外部的信息(该信息是由车外信息检测单元12030或车内信息检测单元12040获得的)的基础上计算驱动力产生装置、转向机构或制动装置的控制目标值，并向驱动系统控制单元12010输出控制命令。例如，微型计算机12051可以执行旨在实现先进驾驶员辅助系统(ADAS:advanced driver assistance system)的功能的协同控制，该功能包括:车辆的碰撞避免或撞击减轻、基于车间距离的跟车行驶、车辆速度维持行驶、车辆碰撞警告或车辆偏离车道警告等。

[0338] 此外，微型计算机12051可以执行旨在用于自动驾驶的协同控制，其在关于车辆内部或外部的信息(该信息是由车外信息检测单元12030或车内信息检测单元12040获得的)的基础上通过控制驱动力产生装置、转向机构或制动装置等使车辆自主行驶，而不依赖于驾驶员的操作等。

[0339] 此外，微型计算机12051可以在由车外信息检测单元12030获得的车辆外部的信息的基础上向车身系统控制单元12020输出控制命令。例如，微型计算机12051可以根据车外信息检测单元12030检测到的前方车辆或对向车辆的位置通过控制车头灯以从远光灯变为近光灯来执行旨在防止眩光的协同控制。

[0340] 声音图像输出部12052将声音和图像中的至少一种的输出信号传输到输出装置，该输出装置能够在视觉上或听觉上将信息通知车辆的乘客或车辆的外部。在图34的示例中，音频扬声器12061、显示部12062和仪表面板12063被示出为输出装置。例如，显示部12062可以包括车载显示器和平视显示器中的至少一者。

[0341] 图35是示出摄像部12031的安装位置的示例的示意图。

[0342] 在图35中，车辆12100包括作为摄像部12031的摄像部12101、摄像部12102、摄像部12103、摄像部12104和摄像部12105。

[0343] 例如，摄像部12101、摄像部12102、摄像部12103、摄像部12104和摄像部12105设置在诸如车辆12100的前鼻、侧视镜、后保险杠、后门以及车内的前挡风玻璃的上部等位置处。设置在前鼻的摄像部12101和设置在车内的挡风玻璃上部的摄像部12105主要获取车辆12100的前方的图像。设置在侧视镜的摄像部12102和摄像部12103主要获取车辆12100的两侧的图像。设置在后保险杠或后门上的摄像部12104主要获取车辆12100的后方的图像。由摄像部12101和12105获取的前方图像主要用于检测前方车辆、行人、障碍物、红绿灯、交通标志、车道等。

[0344] 注意，图35示出了摄像部12101至12104的拍摄范围的示例。摄像范围12111表示设置到前鼻上的摄像部12101的摄像范围。摄像范围12112和12113分别表示设置到侧视镜上的摄像部12102和12103的摄像范围。摄像范围12114表示设置到后保险杠或后门上的摄像部12104的摄像范围。例如，通过叠加由摄像部12101至12104拍摄的图像数据，获得从上方观看到的车辆12100的俯瞰图像。

[0345] 摄像部12101至12104中的至少一者可以具有获得距离信息的功能。例如，摄像部12101至12104中的至少一者可以是由多个摄像元件构成的立体相机，或者可以是具有用于相位差检测的像素的摄像元件。

[0346] 例如，微型计算机12051可以在从摄像部12101至12104获得的距离信息的基础上确定到摄像范围12111到12114内的每个三维物体的距离和距离的时间变化(相对于车辆12100的相对速度)，从而提取最近的三维物体作为前方车辆，特别地，该三维物体存在于车辆12100的行驶路径上并且以预定速度(例如，等于或大于0千米/小时)在与车辆12100基本相同的方向上行驶。此外，微型计算机12051可以预先设定在前方车辆前方要保持的车间距离，并且执行自动制动控制(包括跟车停止控制)或自动加速控制(包括跟车启动控制)等。因此，可以执行旨在用于自动驾驶的协同控制，其使得车辆自主行驶而不依赖于驾驶员的操作等。

[0347] 例如，微型计算机12051可以在从摄像部12101至12104获得的距离信息的基础上将关于三维物体的三维物体数据分类为两轮车辆、标准尺寸车辆、大型车辆、行人、电线杆和其他三维物体的三维物体数据，提取分类后的三维物体数据，并使用所提取的三维物体数据来自动避开障碍物。例如，微型计算机12051将车辆12100周围的障碍物识别为车辆12100的驾驶员可以在视觉上识别的障碍物以及车辆12100的驾驶员难以在视觉上识别的障碍物。然后，微型计算机12051确定表示与每个障碍物碰撞的风险的碰撞风险。在碰撞风险等于或高于设定值并且因此存在碰撞可能性的情况下，微型计算机12051经由音频扬声器12061或显示部12062向驾驶员输出警告，并通过驱动系统控制单元12010执行强制减速或者避让转向。微型计算机12051由此可以辅助驱动以避免碰撞。

[0348] 摄像部12101至12104中的至少一者可以是检测红外线的红外摄像机。例如，微型计算机12051可以通过确定摄像部12101至12104的拍摄图像中是否存在行人来识别行人。例如，通过在作为红外摄像机的摄像部12101至12104的拍摄图像中提取特征点的程序以及通过对表示物体轮廓的一系列特征点执行图案匹配处理来确定是否是行人的程序来执行对行人的这种识别。当微型计算机12051确定摄像部12101至12104的拍摄图像中存在行人并且因此识别出行人时，声音图像输出部12052控制显示部12062，使得用于强调的方形轮廓线以叠加在识别出的行人上的方式显示。声音图像输出部12052还可以控制显示部12062，使得表示行人的图标等显示在期望的位置处。

[0349] 上面已经说明了可以应用根据本公开的技术的车辆控制系统的示例。根据本公开的技术可以应用于上述构成中的摄像部12031等。具体地，例如，图32中的光接收元件2112或测距系统2001的构成可以应用于摄像部12031。摄像部12031例如用于检测车辆12100周围的物体以及到该物体的距离。通过将根据本公开的技术应用于摄像部12031，可以减小成像模块的尺寸，减小像素尺寸，并且提高分辨率。此外，提高了车辆12100周围的物体以及到该物体的距离的检测精度。因此，例如，可以在适当的时刻执行车辆碰撞警告，并且可以防止交通事故。

[0350] 注意，在本说明书中，系统是指多个组件(装置、模块(部件)等)的组，并且所有组件是否都在同一外壳中并不重要。因此，容纳在单独外壳中并通过网络连接的多个装置和多个模块容纳在一个外壳中的单个装置都是系统。

[0351] 此外，本公开的实施方案不限于上述实施方案，并且可以在不脱离本公开的主旨的情况下进行各种变形。

[0352] 注意，本说明书中所述的效果仅仅是示例，而不是限制性的，并且可以提供本说明书中所述的效果之外的效果。

[0353] 注意,本公开的技术可以具有以下构成。

[0354] (1)一种光接收元件,包括:

[0355] 第一基板,在所述第一基板上形成有将接收到的光转换为电信号的雪崩光电二极管和至少一个元件,所述元件包括在基于所述电信号输出像素信号的读取电路中;和

[0356] 第二基板,在所述第二基板上形成有逻辑电路,所述逻辑电路是处理从所述雪崩光电二极管读取的所述像素信号的电路,

[0357] 所述第一基板和所述第二基板被层叠在一起。

[0358] (2)根据(1)所述的光接收元件,

[0359] 其中,所述第一基板包括第一半导体基板和第一配线层,

[0360] 所述第二基板包括第二半导体基板和第二配线层,

[0361] 通过使所述第一配线层和所述第二配线层接合来层叠所述第一基板和所述第二基板,并且

[0362] 所述至少一个元件设置在所述第一半导体基板和所述第二半导体基板之间。

[0363] (3)根据(2)所述的光接收元件,

[0364] 其中,所述至少一个元件设置在所述第一配线层中。

[0365] (4)根据(2)或(3)所述的光接收元件,

[0366] 其中,所述至少一个元件设置于在平面图中所述至少一个元件的至少一部分与所述雪崩光电二极管重叠的区域中。

[0367] (5)根据(1)至(4)中任一项所述的光接收元件,

[0368] 其中,所述至少一个元件设置于在所述第一基板的厚度方向上与所述雪崩光电二极管的位置的不同的位置处。

[0369] (6)根据(1)至(5)中任一项所述的光接收元件,

[0370] 其中,所述第一基板包括二极管作为所述元件。

[0371] (7)根据(1)至(5)中任一项所述的光接收元件,

[0372] 其中,所述第一基板包括电阻器作为所述元件。

[0373] (8)根据(1)至(5)中任一项所述的光接收元件,

[0374] 其中,所述第一基板包括电阻器和二极管作为所述元件。

[0375] (9)根据(1)至(8)中任一项所述的光接收元件,

[0376] 其中,所述第一基板包括多晶硅TFT作为所述元件。

[0377] (10)根据(1)至(8)中任一项所述的光接收元件,

[0378] 其中,所述第一基板包括MOS晶体管作为所述元件。

[0379] (11)根据(1)至(5)中任一项所述的光接收元件,

[0380] 其中,所述第一基板包括电阻器、二极管和MOS晶体管作为所述元件。

[0381] (12)根据(1)至(5)中任一项所述的光接收元件,

[0382] 其中,所述第一基板包括作为恒流源的MOS晶体管作为所述元件。

[0383] (13)根据(1)至(5)中任一项所述的光接收元件,

[0384] 其中,所述第一基板包括作为恒流源的MOS晶体管和反相器作为所述元件。

[0385] (14)根据(1)至(5)中任一项所述的光接收元件,

[0386] 其中,所述第一基板包括电阻器、二极管、作为箝位电路的MOS晶体管和作为恒流

源的MOS晶体管作为所述元件。

[0387] (15)根据(14)所述的光接收元件，

[0388] 其中，在像素区域中，所述电阻器和所述二极管对称地设置，并且所述作为箝位电路的MOS晶体管和所述作为恒流源的MOS晶体管对称地设置。

[0389] (16)根据(1)至(15)中任一项所述的光接收元件，还包括：

[0390] 在所述雪崩光电二极管和所述元件之间的遮光层。

[0391] (17)根据(1)至(16)中任一项所述的光接收元件，

[0392] 其中，所述读取电路被多个所述雪崩光电二极管共用。

[0393] (18)一种测距系统，包括：

[0394] 照明装置，所述照明装置发射照射光；和

[0395] 光接收元件，其接收所述照射光被预定的物体反射而获得的反射光，

[0396] 其中，所述光接收元件包括：

[0397] 第一基板，在所述第一基板上形成有将接收到的光转换为电信号的雪崩光电二极管和至少一个元件，所述元件包括在基于所述电信号输出像素信号的读取电路中；和

[0398] 第二基板，在所述第二基板上形成有逻辑电路，所述逻辑电路是处理从所述雪崩光电二极管读取的所述像素信号的电路，

[0399] 所述第一基板和所述第二基板被层叠在一起。

[0400] 附图标记列表

[0401] 11 SPAD

[0402] 12 MOS晶体管

[0403] 13 反相器

[0404] 14 电压转换电路

[0405] 15、16 MOS晶体管

[0406] 21 第一基板(像素基板)

[0407] 22 半导体基板

[0408] 23 配线层(传感器侧配线层)

[0409] 24 片上透镜

[0410] 31 N阱

[0411] 32 P型扩散层

[0412] 33 N型扩散层

[0413] 33A 接触层

[0414] 34 空穴累积层

[0415] 34A 接触层

[0416] 35 像素隔离部

[0417] 41 接触电极

[0418] 42 接触电极

[0419] 51 第二基板(逻辑基板)

[0420] 52 半导体基板

[0421] 53 配线层(逻辑侧配线层)

[0422] 100 SPAD像素

[0423] 241 二极管

[0424] 321 电阻器

[0425] 371 多晶硅TFT

[0426] 441 MOS晶体管

[0427] 901 过孔形成层

[0428] 902 多晶硅层

[0429] 903 过孔形成层

[0430] 904 第一金属配线层

[0431] 905 过孔形成层

[0432] 906 接合金属配线层

[0433] 933 电阻器

[0434] 1001 多晶硅TFT

[0435] 1031 过孔形成层

[0436] 1032 硅层

[0437] 1033 过孔形成层

[0438] 1131 MOS晶体管

[0439] 1132 电阻器

[0440] 1133 二极管

[0441] 2001 测距系统

[0442] 2011 控制装置

[0443] 2012 光接收装置

[0444] 2013 照明装置

[0445] 2012 光接收元件

[0446] 2113 信号处理电路

[0447] 2122 发光单元

[0448] M0 金属遮光层

[0449] M1 第一金属配线层

[0450] M2 第二金属配线层

[0451] VE 电源电压

[0452] VRLD 电源电压(阳极电压)

[0453] VS 阴极电压

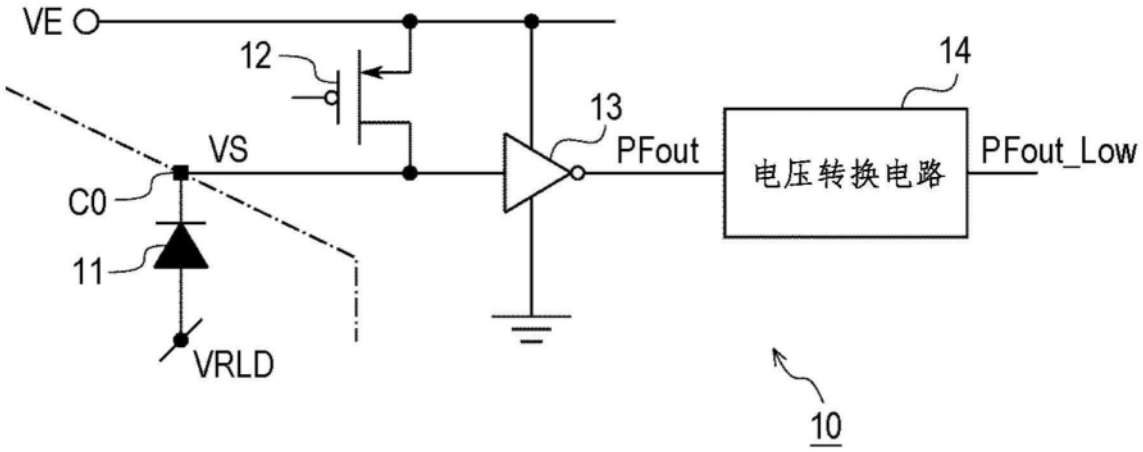

VE
12
13
14
VS
PFout
电压转换电路
PFout_Low
C0
11
VRLD
10

图1

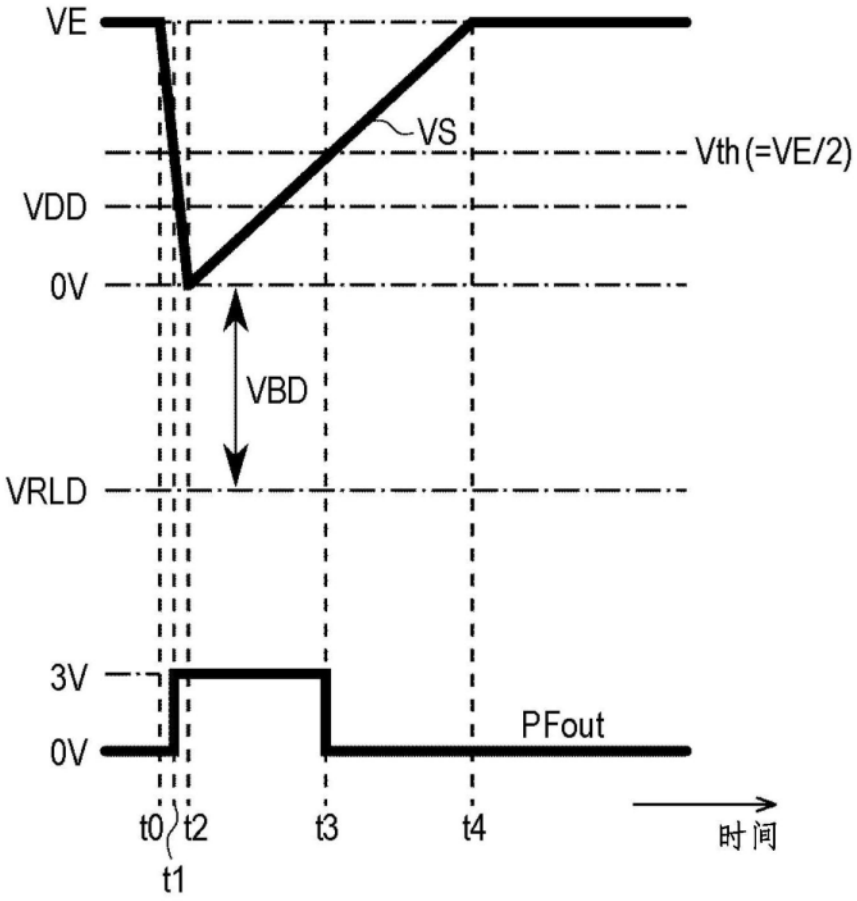

VE
VS
Vth (=VE/2)
VDD
0V
VBD
VRLD
3V
0V
PFout
t0
t1
t2
t3
t4
时间

图2

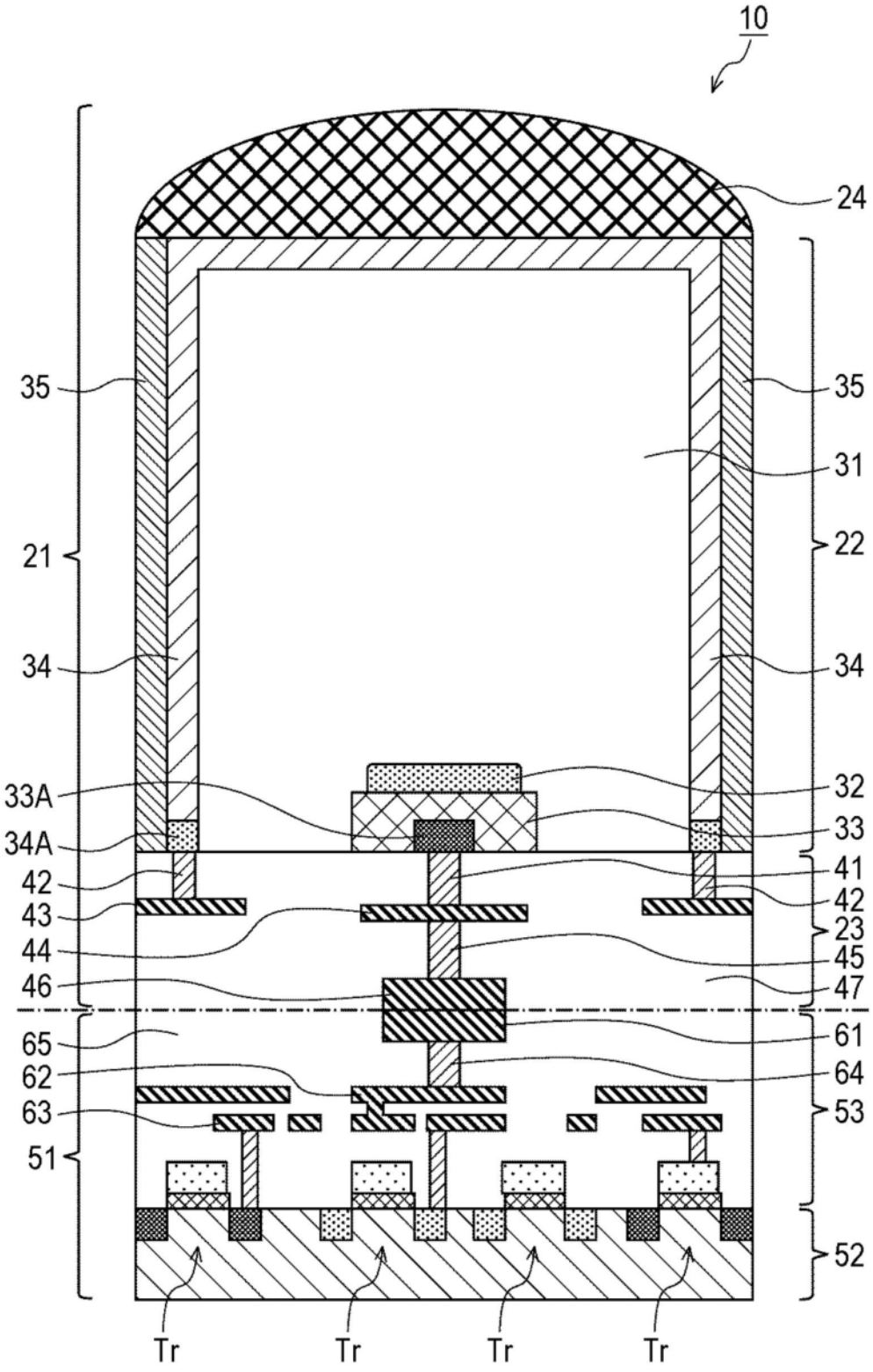

10
24
35
35
31
21
22
34
34
33A
32
34A
33
41
42
42
43
23
44
45
46
47
65
61
62
64
63
53
51
52
Tr
Tr
Tr
Tr

图3

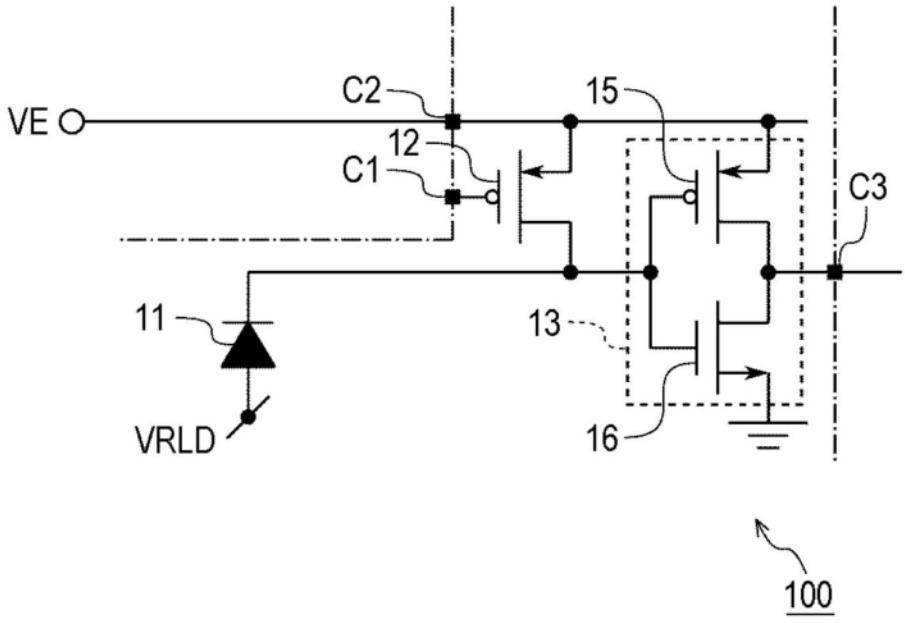


图4

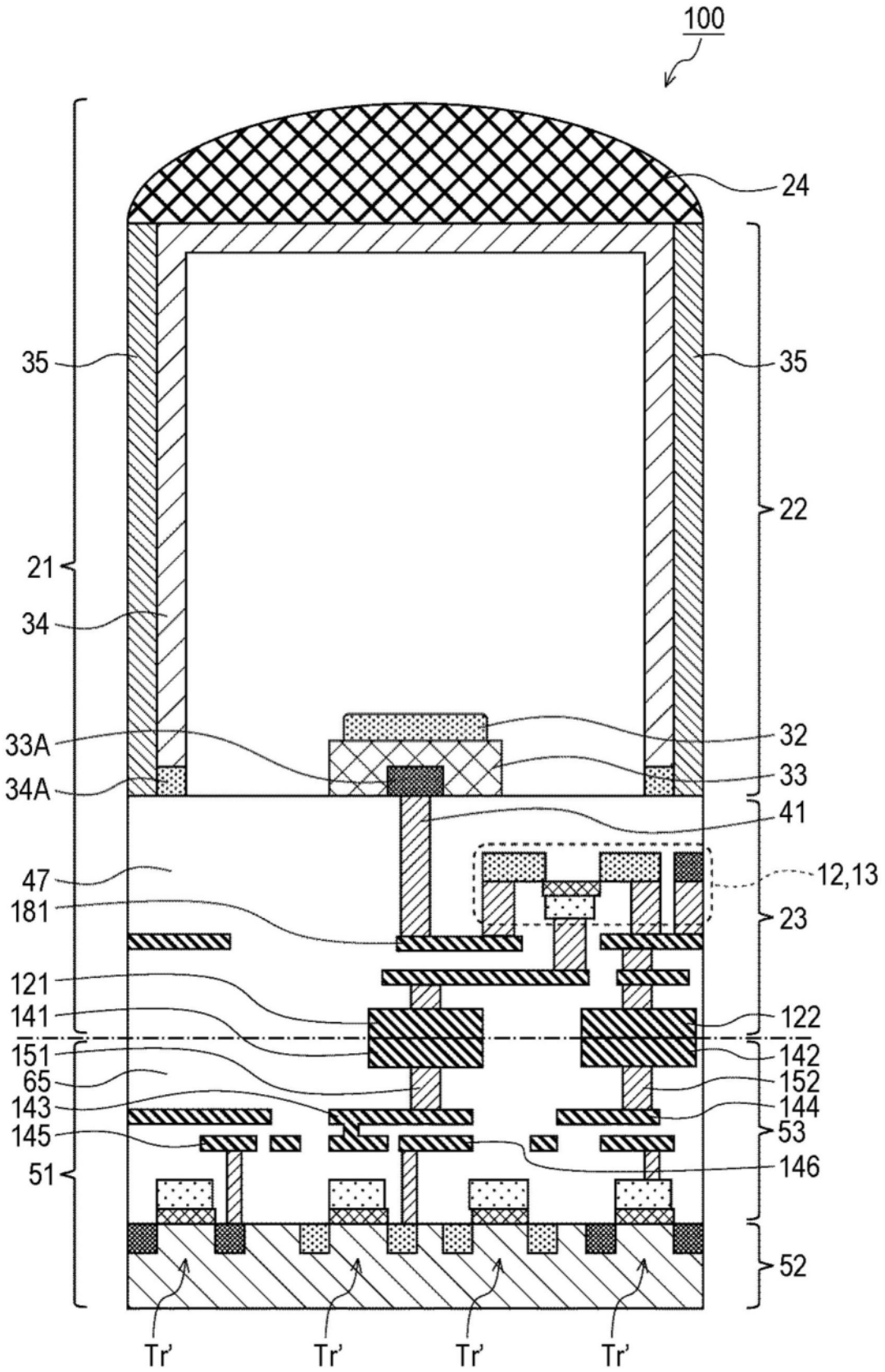

100
24
35
35
22
21
34
33A
32
34A
33
41
47
12,13
181
23
121
141
122
151
142
65
152
143
144
145
53
146
51
52
Tr'
Tr'
Tr'
Tr'

图5

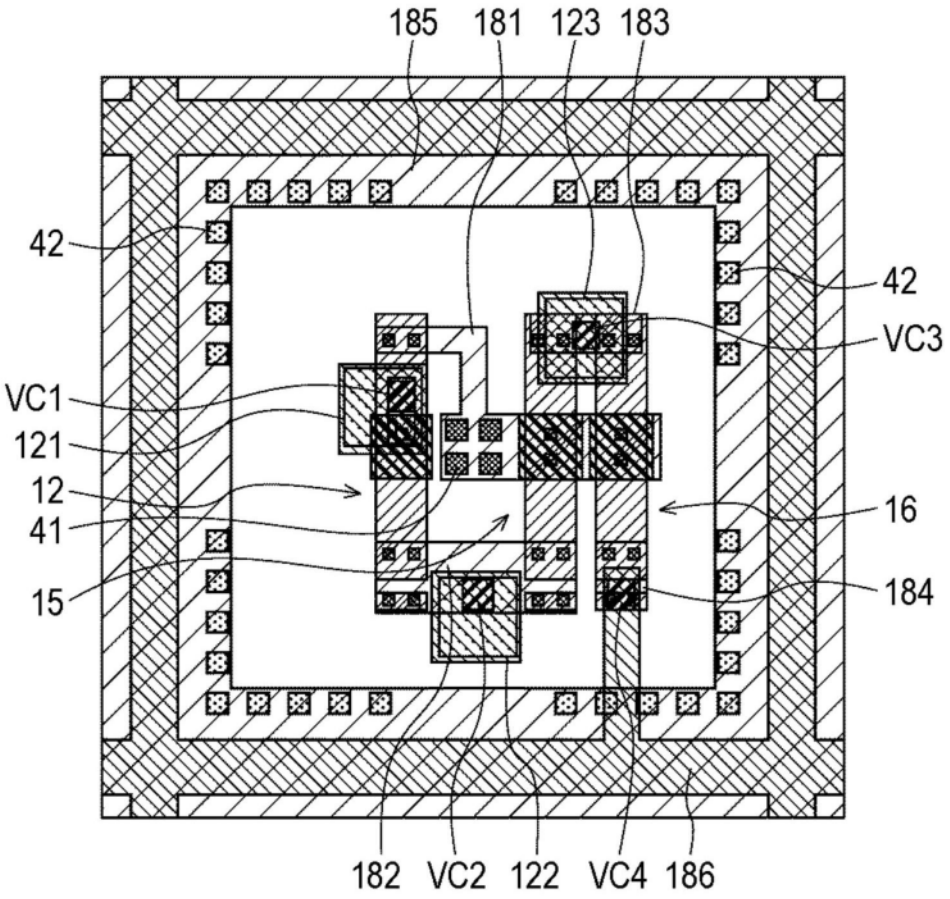

185
181
123
183
42
42
VC3
VC1
121
12
41
16
15
184
182
VC2
122
VC4
186

图6

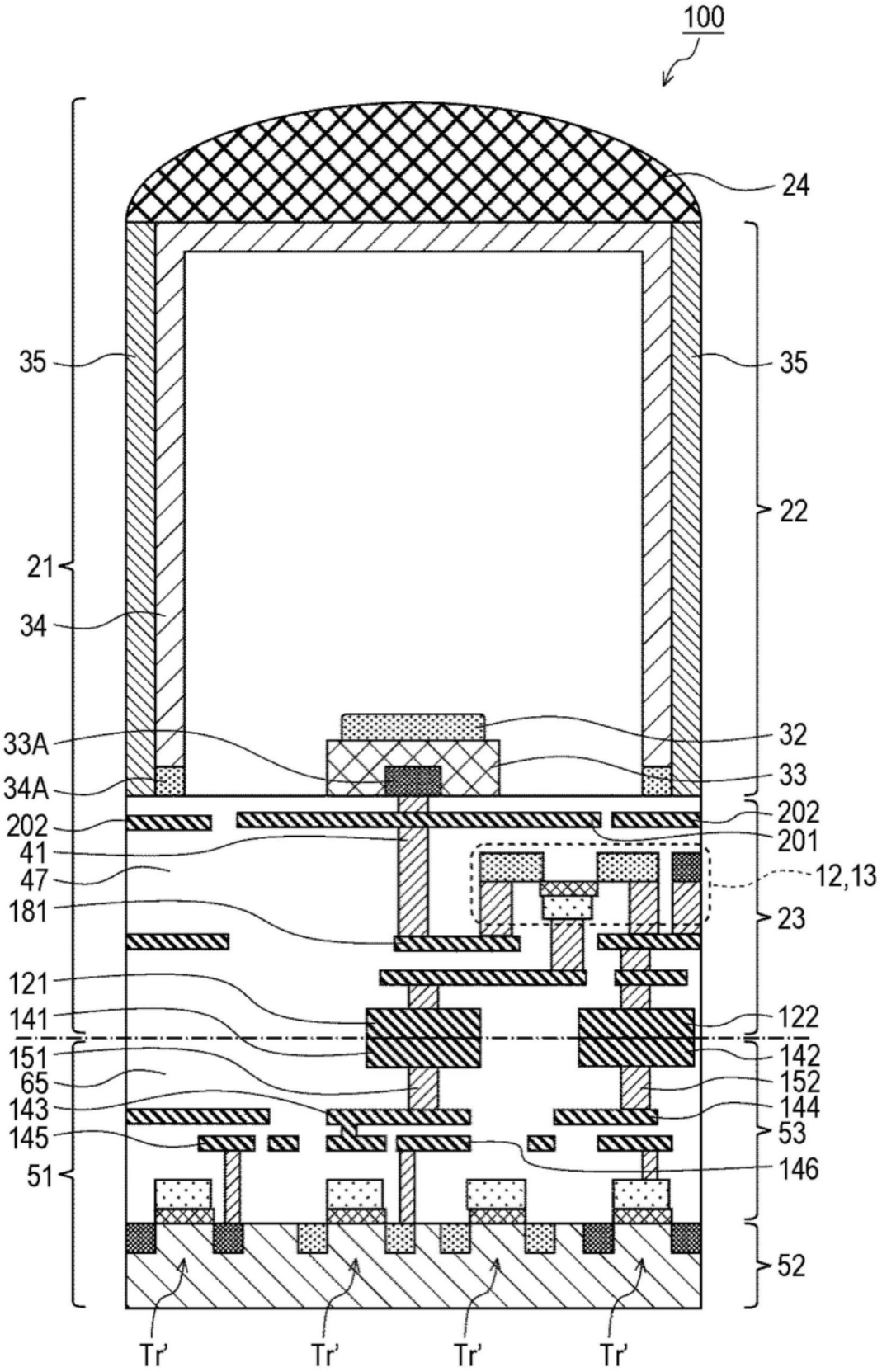

100
24
35
35
22
21
34
33A
32
34A
33
202
202
41
201
47
12,13
181
23
121
141
122
151
142
65
152
143
144
145
53
51
146
52
Tr'
Tr'
Tr'
Tr'

图7

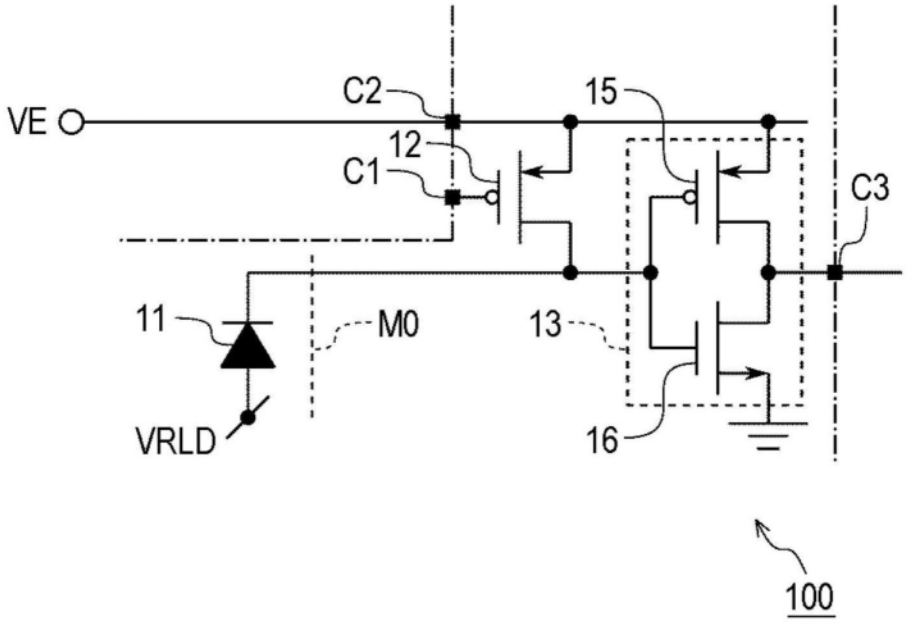

VE
C2
15
12
C1
C3
11
M0
13
VRLD
16
100

图8

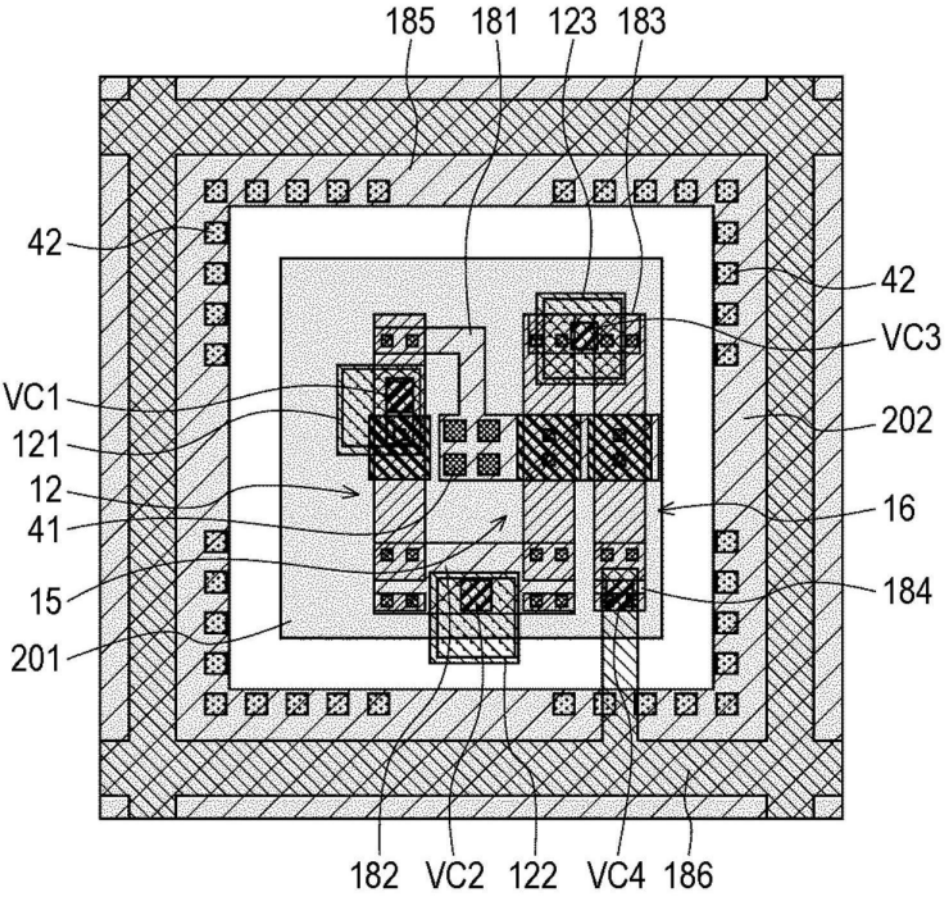

185
181
123
183
42
42
VC3
VC1
202
121
12
16
41
184
15
201
182
VC2
122
VC4
186

图9

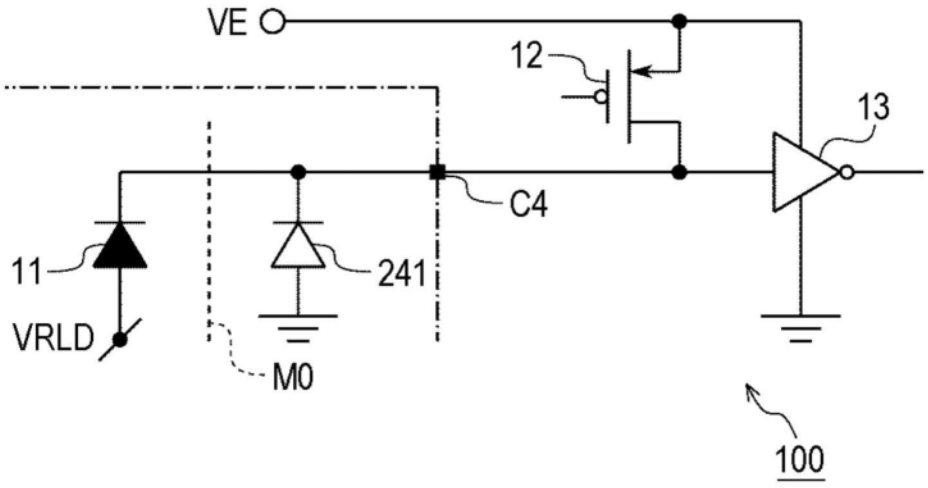


图10

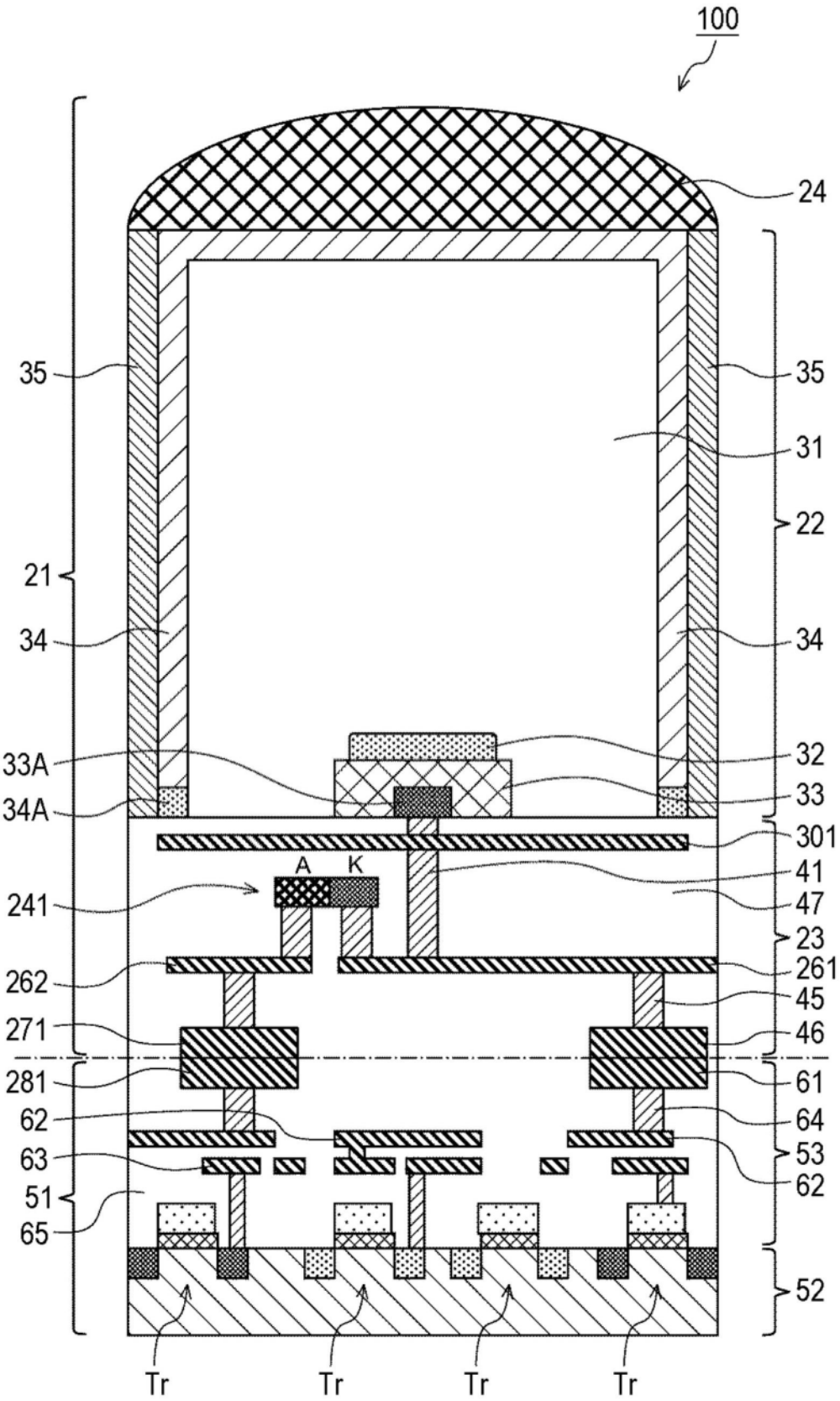

100
24
35
35
31
22
21
34
34
33A
32
34A
33
301
A
K
41
241
47
23
262
261
45
271
46
281
61
62
64
63
53
62
51
65
52
Tr
Tr
Tr
Tr

图11

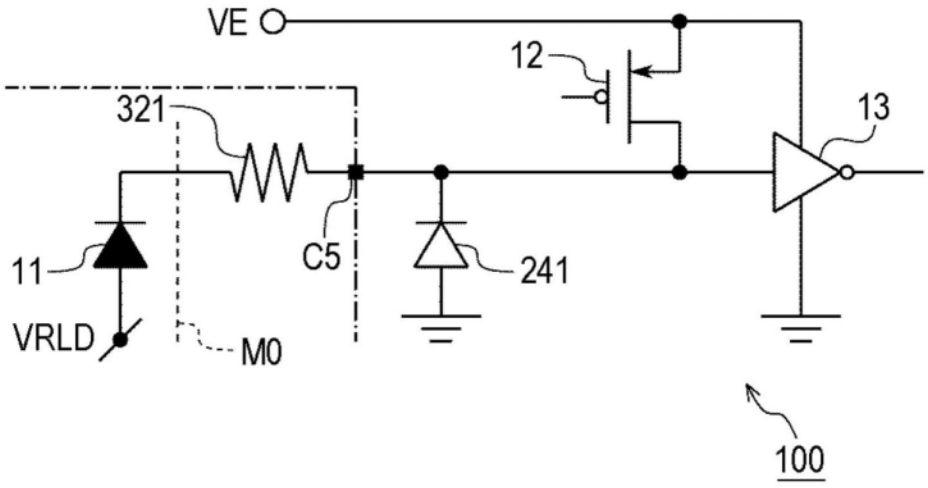


图12

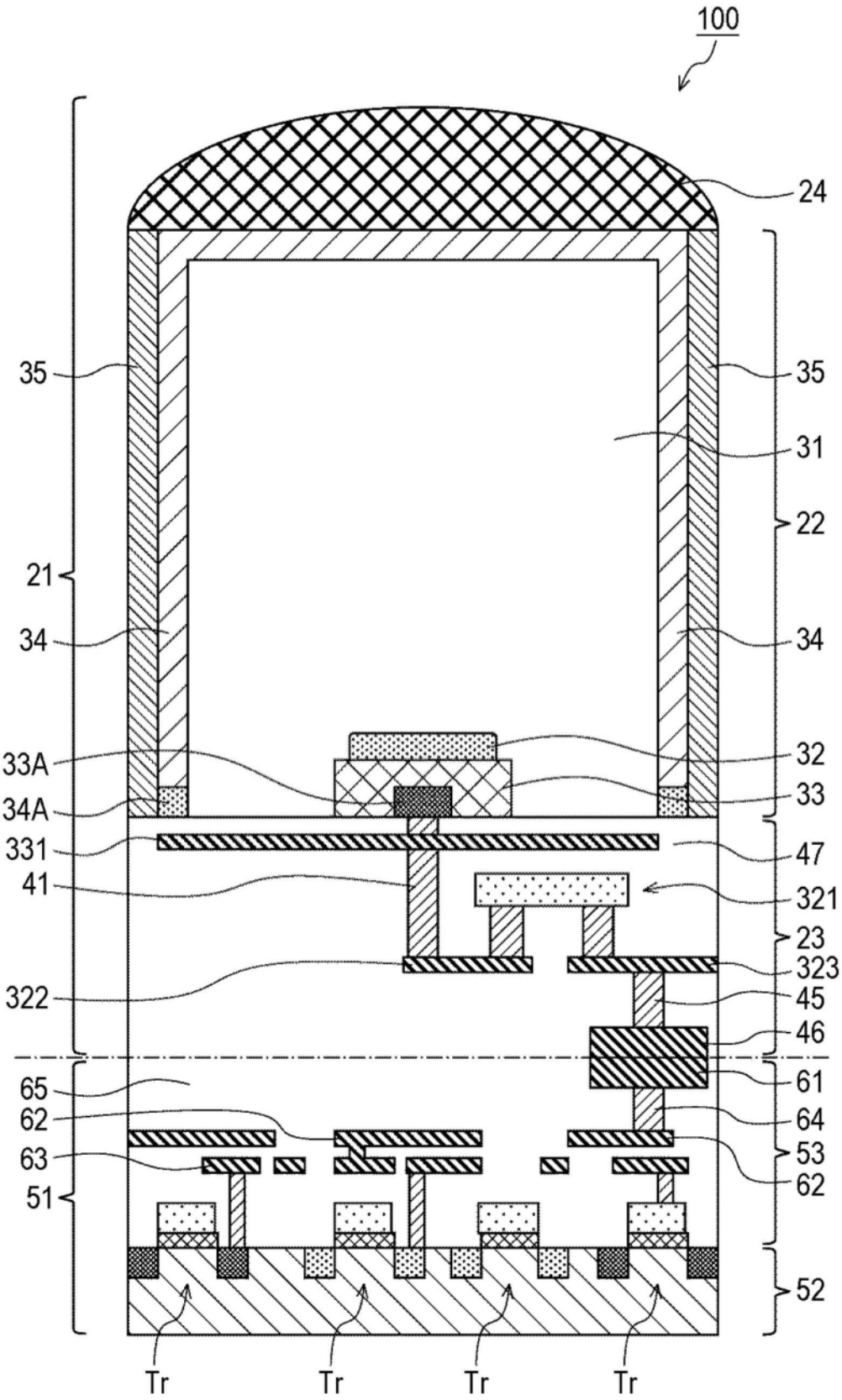

100
24
35
35
31
22
21
34
34
33A
32
34A
33
331
47
41
321
23
323
322
45
46
65
61
62
64
63
53
62
51
52
Tr
Tr
Tr
Tr

图13

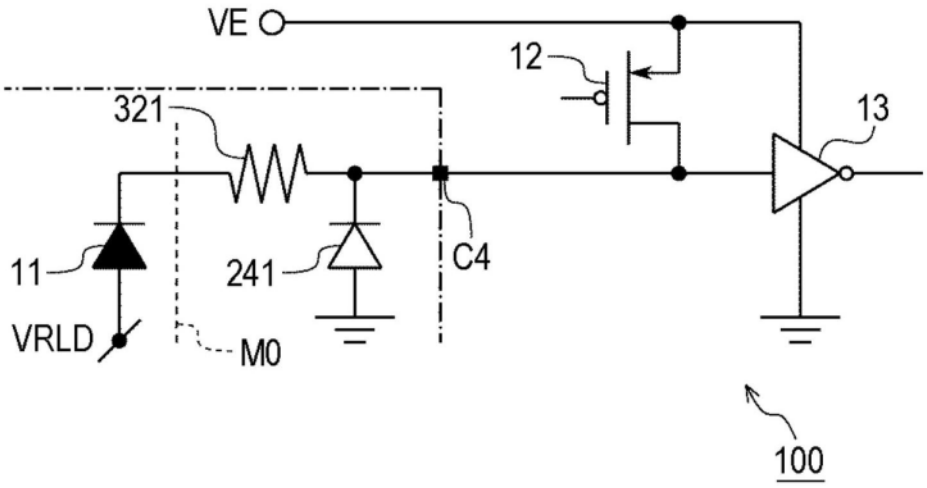


图14

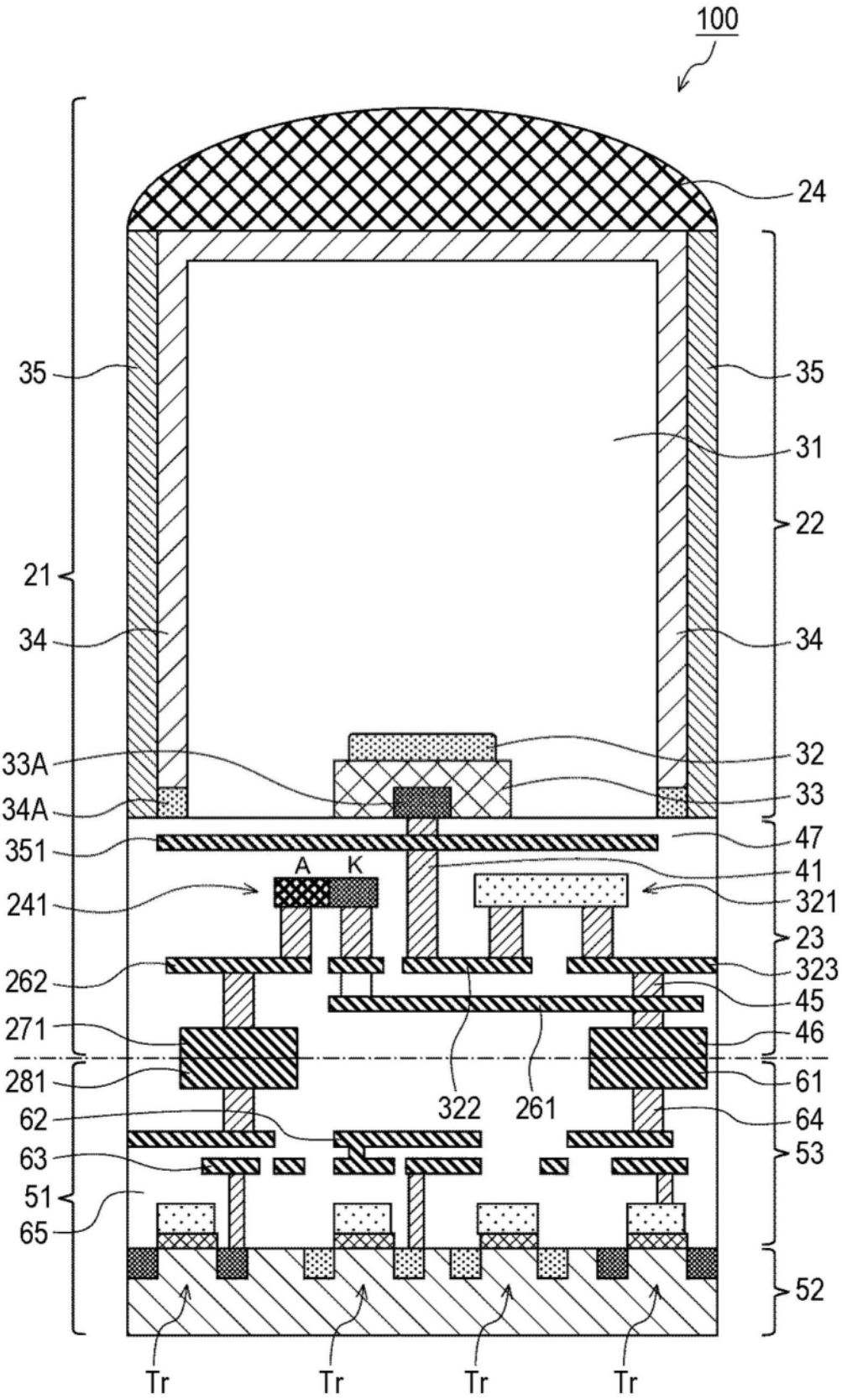

100
24
35
35
31
22
21
34
34
33A
32
34A
33
351
47
A
K
241
41
321
23
262
323
45
271
46
281
61
322
261
62
64
63
53
51
65
52
Tr
Tr
Tr
Tr

图15

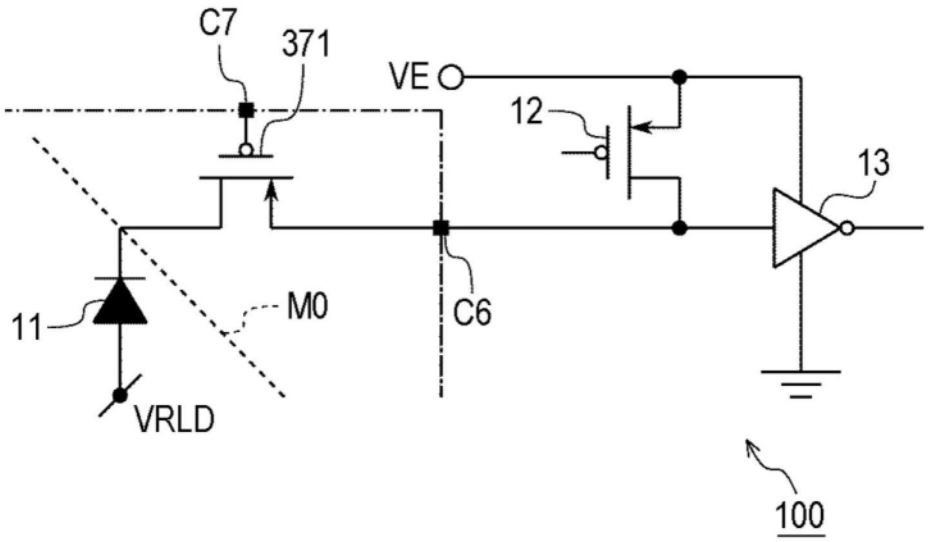


图16

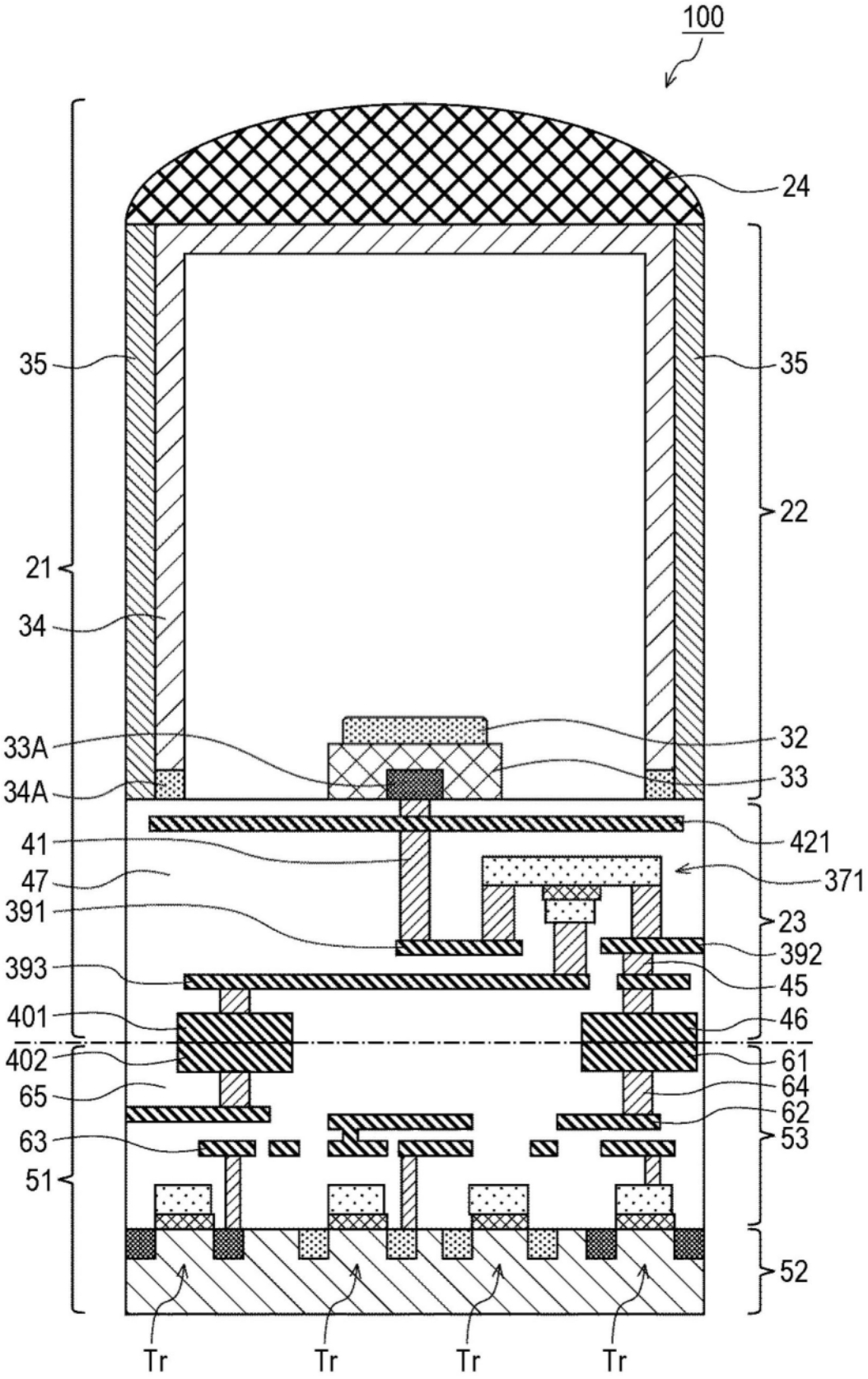

100
24
35
35
22
21
34
33A
32
34A
33
41
421
47
371
391
23
392
393
45
401
46
402
61
65
64
62
63
53
51
52
Tr
Tr
Tr
Tr

图17

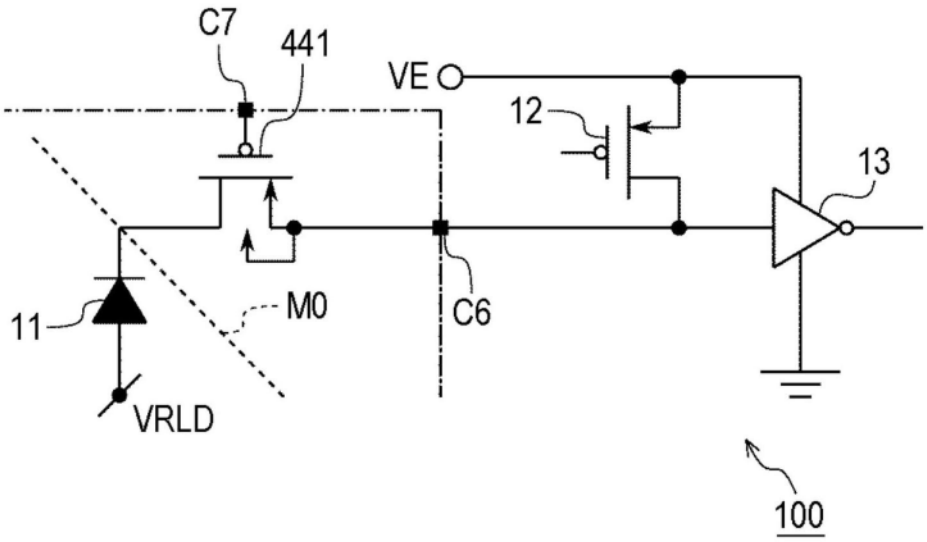


图18

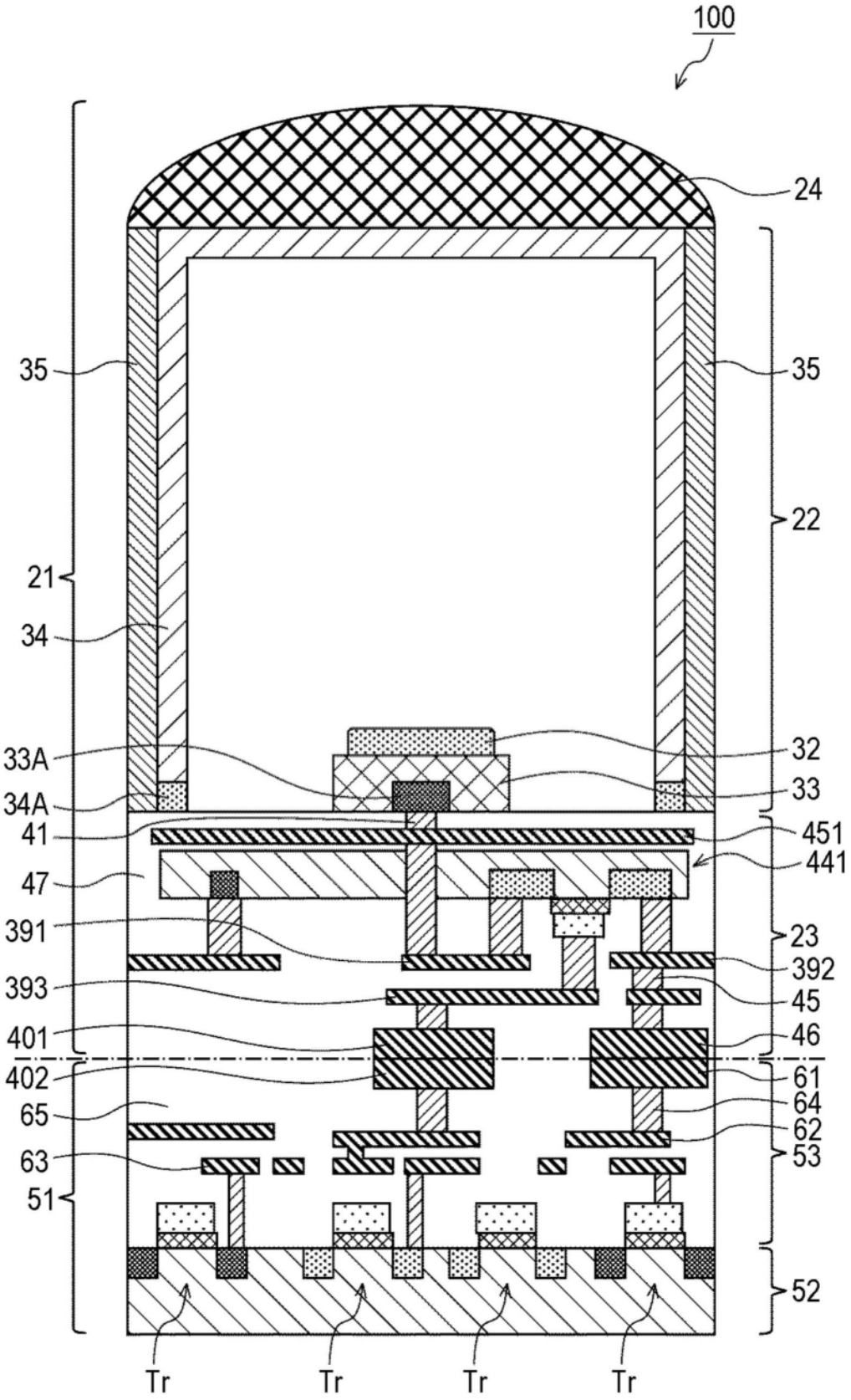

100
24
35
35
22
21
34
33A
32
34A
33
41
451
441
47
391
23
392
393
45
401
46
402
61
65
64
62
63
53
51
52
Tr
Tr
Tr
Tr

图19

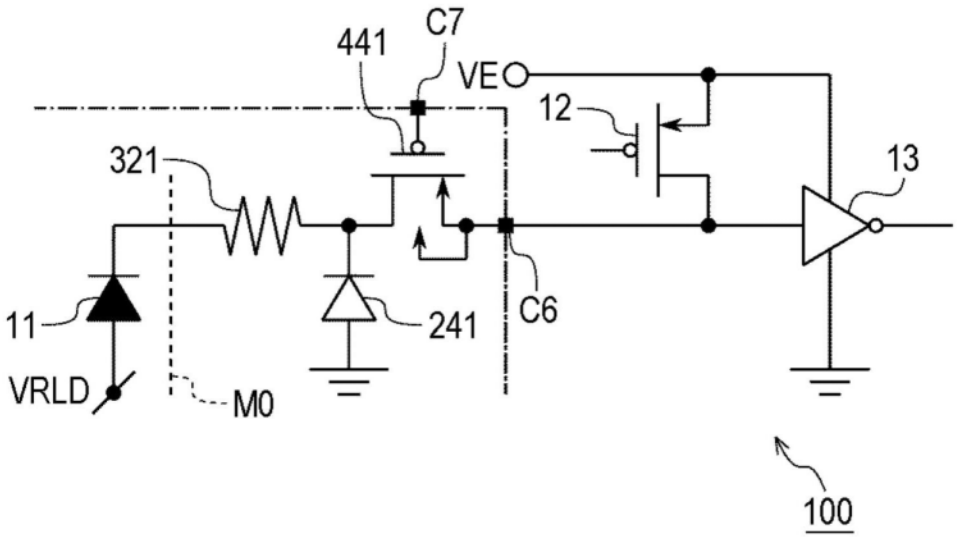


图20

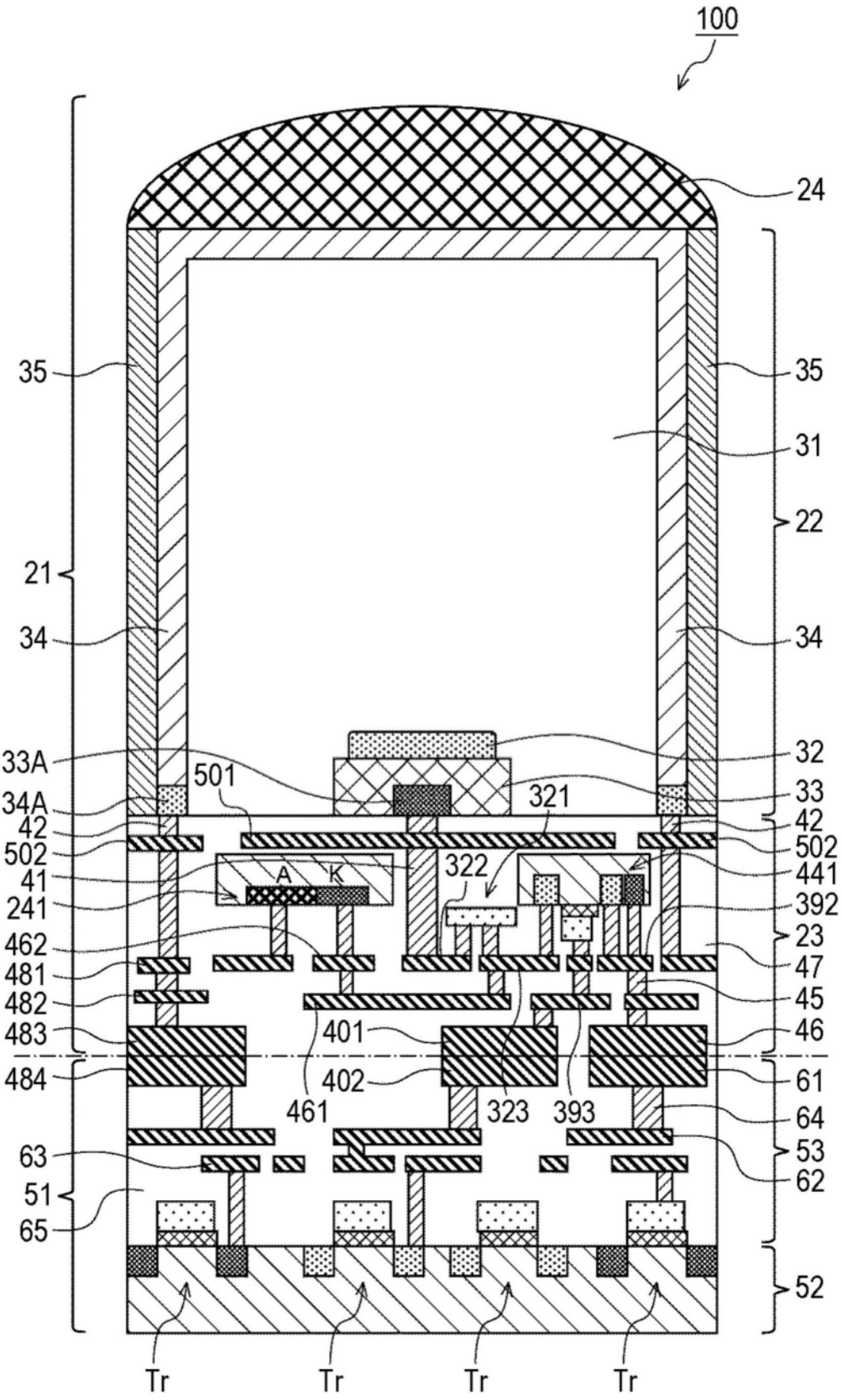

100
24
35
35
31
22
21
34
34
33A
32
501
321
34A
33
42
42
502
502
A
K
322
41
441
241
392
462
23
481
47
482
45
483
401
46
484
402
61
461
323
393
64
63
53
62
51
65
52
Tr
Tr
Tr
Tr

图21

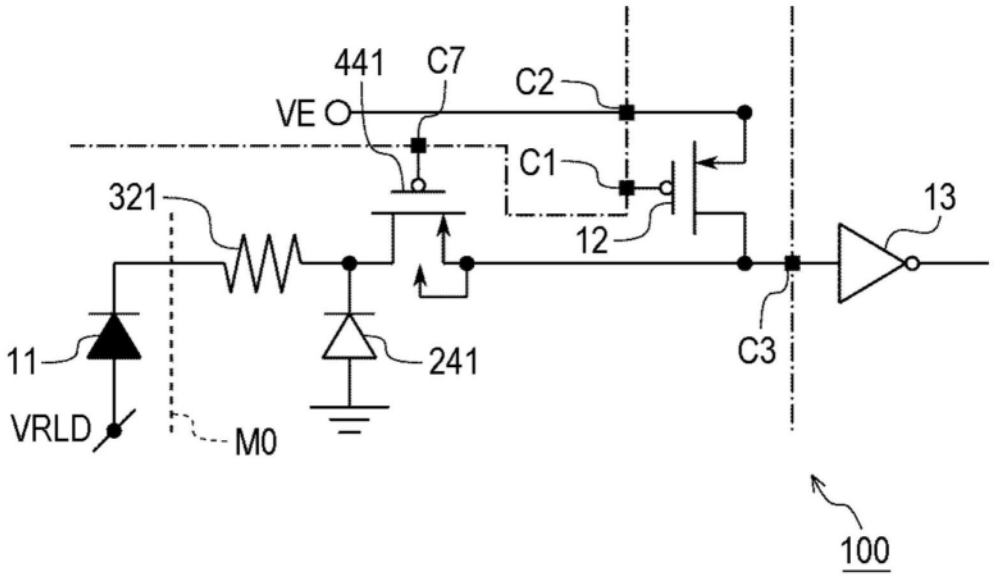


图22

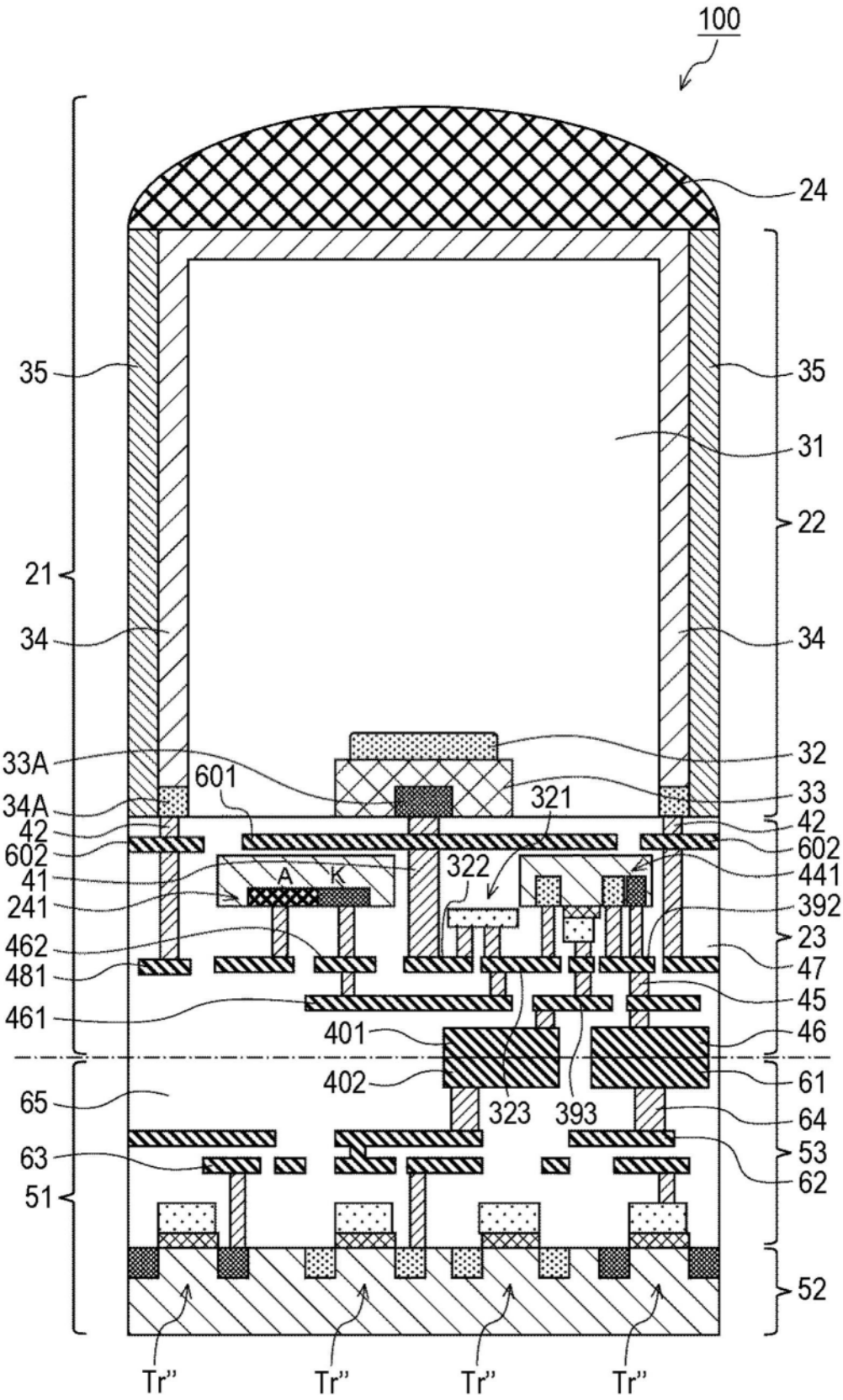

100
24
35
35
31
22
21
34
34
33A
32
601
34A
321
33
42
42
602
602
322
A
K
41
441
241
392
462
23
481
47
461
45
401
46
402
61
65
323
393
64
63
53
62
51
52
Tr"
Tr"
Tr"
Tr"

图23

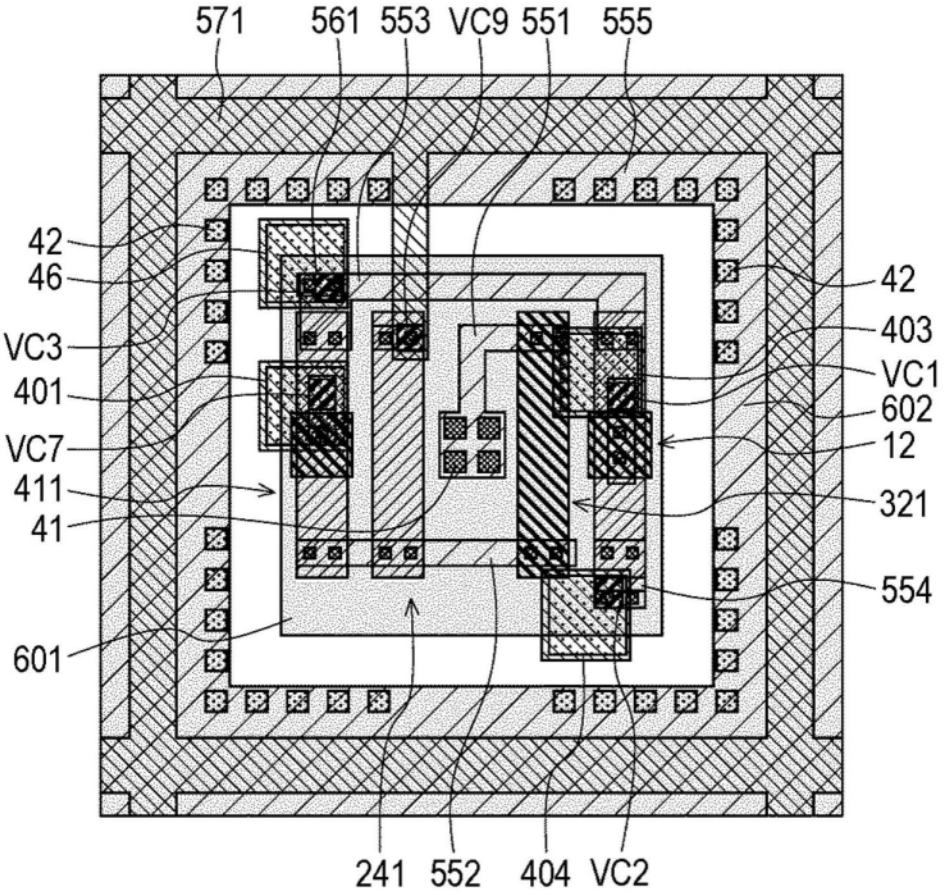

571
561
553
VC9
551
555
42
46
VC3
401
VC7
411
41
601
42
403
VC1
602
12
321
554
241
552
404
VC2

图24

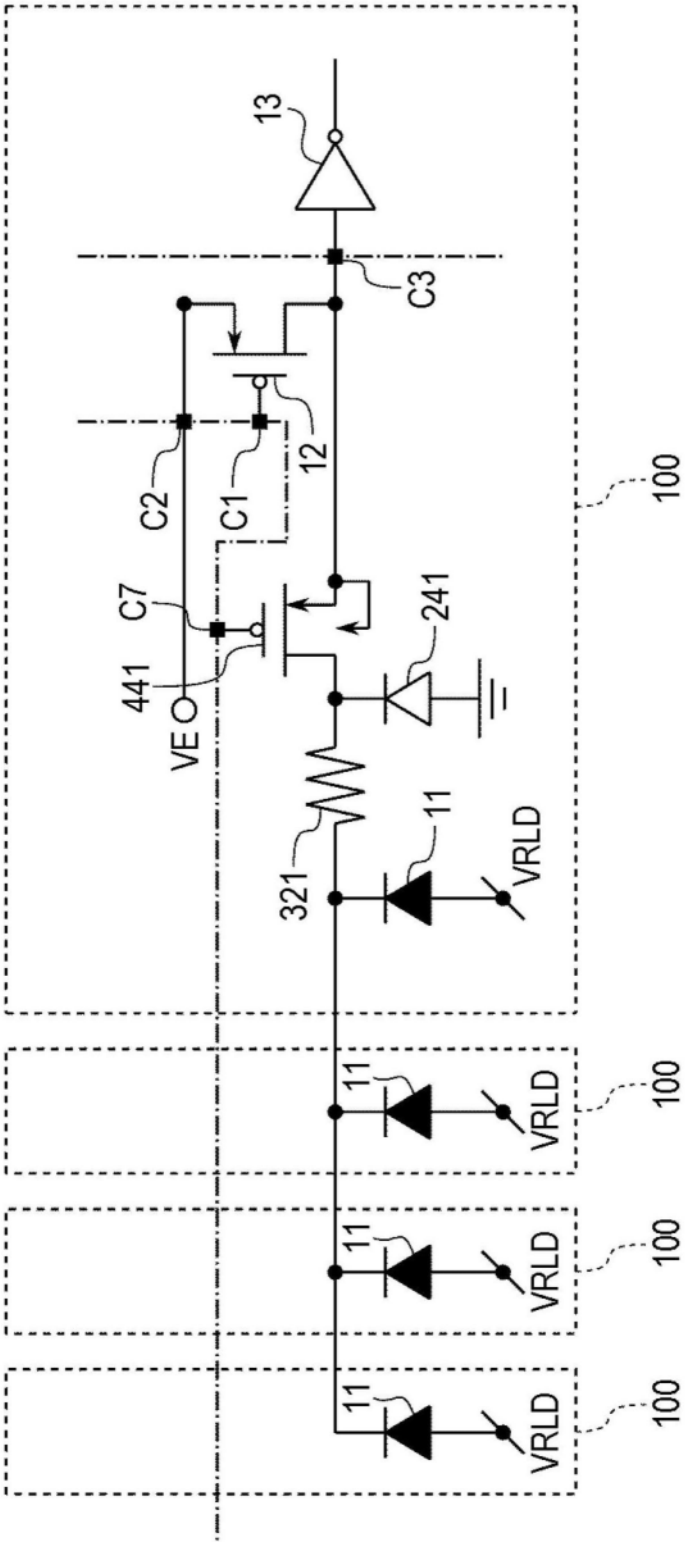

13
C3
C2
C1
12
100
C7
241
441
VE
321
11
VRLD
11
VRLD
100
11
VRLD
100
11
VRLD
100

图25

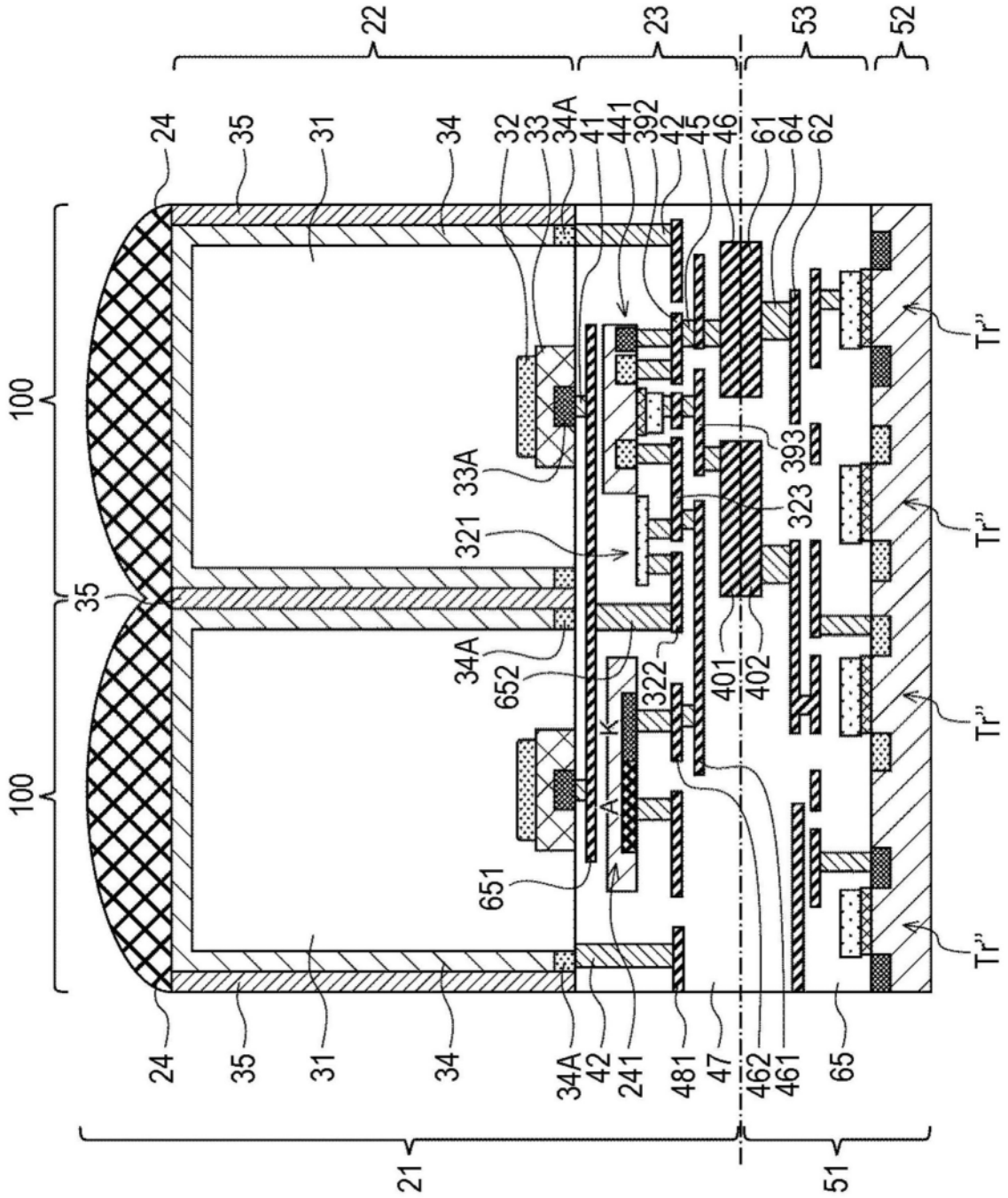

22
23
53
52
24
35
31
34
32
33
34A
41
441
392
42
45
46
61
64
62
100
100
35
33A
321
393
323
Tr''
34A
652
322
401
402
K
A
651
21
51
241
481
47
462
461
65

图26

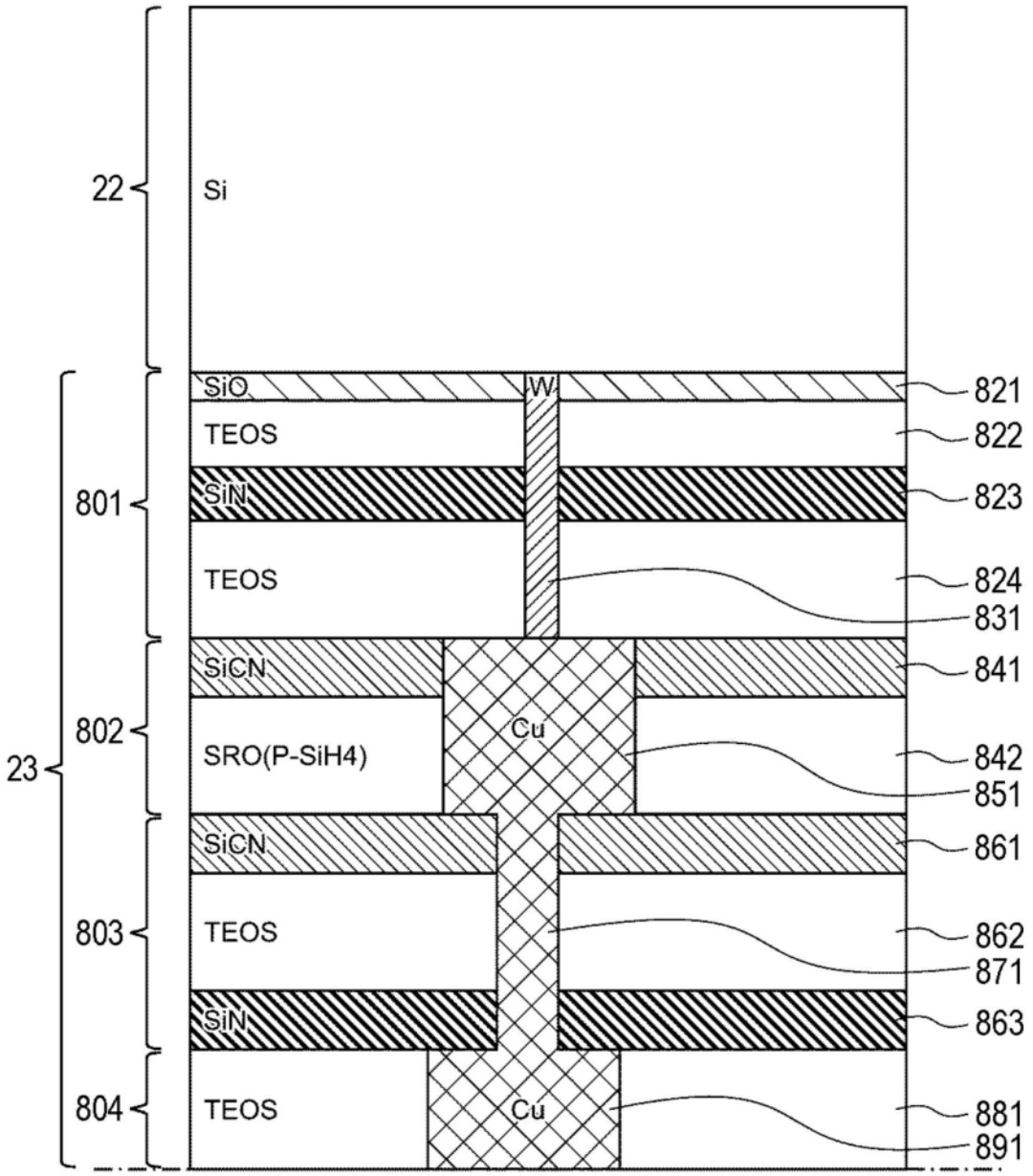

22
Si
23
801
802
803
804
SiO
W
TEOS
SiN
TEOS
SiCN
SRO(P-SiH4)
Cu
SiCN
TEOS
SiN
TEOS
Cu
821
822
823
824
831
841
842
851
861
862
871
863
881
891

图27

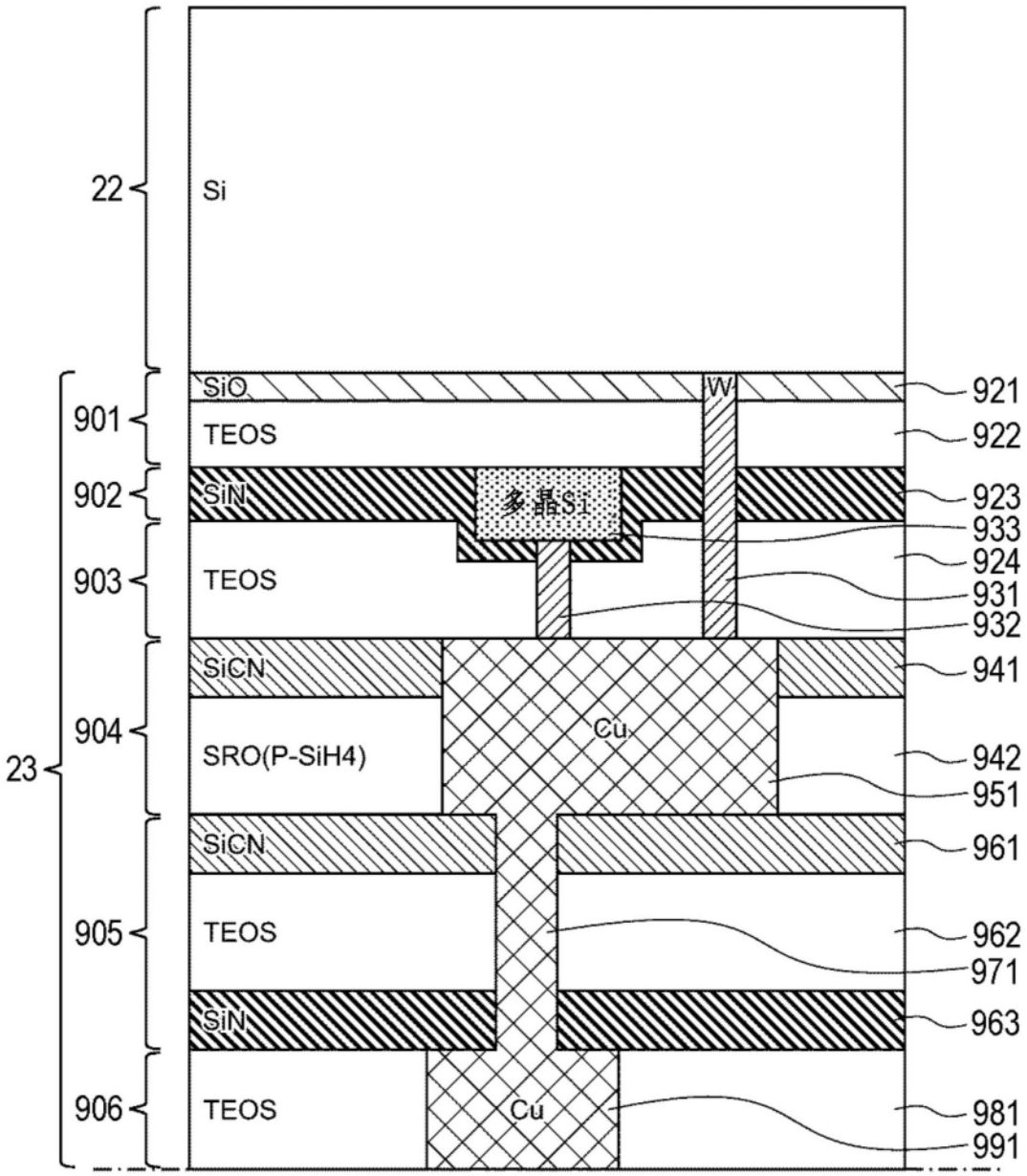

22
Si
23
901
SiO
TEOS
902
SiN
多晶Si
903
TEOS
904
SiCN
SRO(P-SiH4)
905
SiCN
TEOS
SiN
906
TEOS
W
Cu
Cu
921
922
923
933
924
931
932
941
942
951
961
962
971
963
981
991

图28

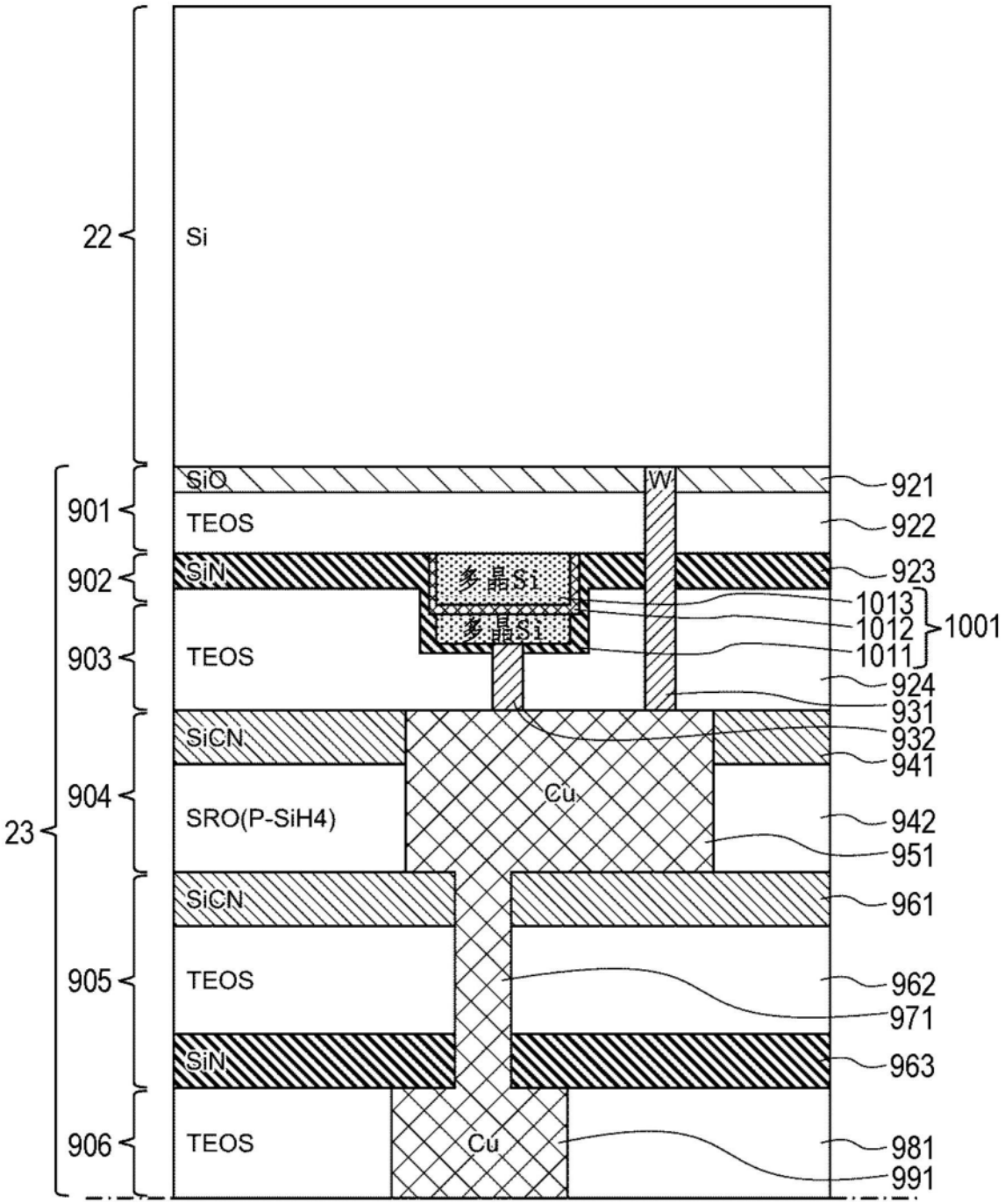

22
Si
901
SiO
TEOS
W
921
922
902
SiN
多晶Si
923
1013
1012
1001
1011
903
TEOS
多晶Si
924
931
932
941
904
SiCN
SRO(P-SiH4)
Cu
942
951
23
905
SiCN
961
TEOS
962
971
SiN
963
906
TEOS
Cu
981
991

图29

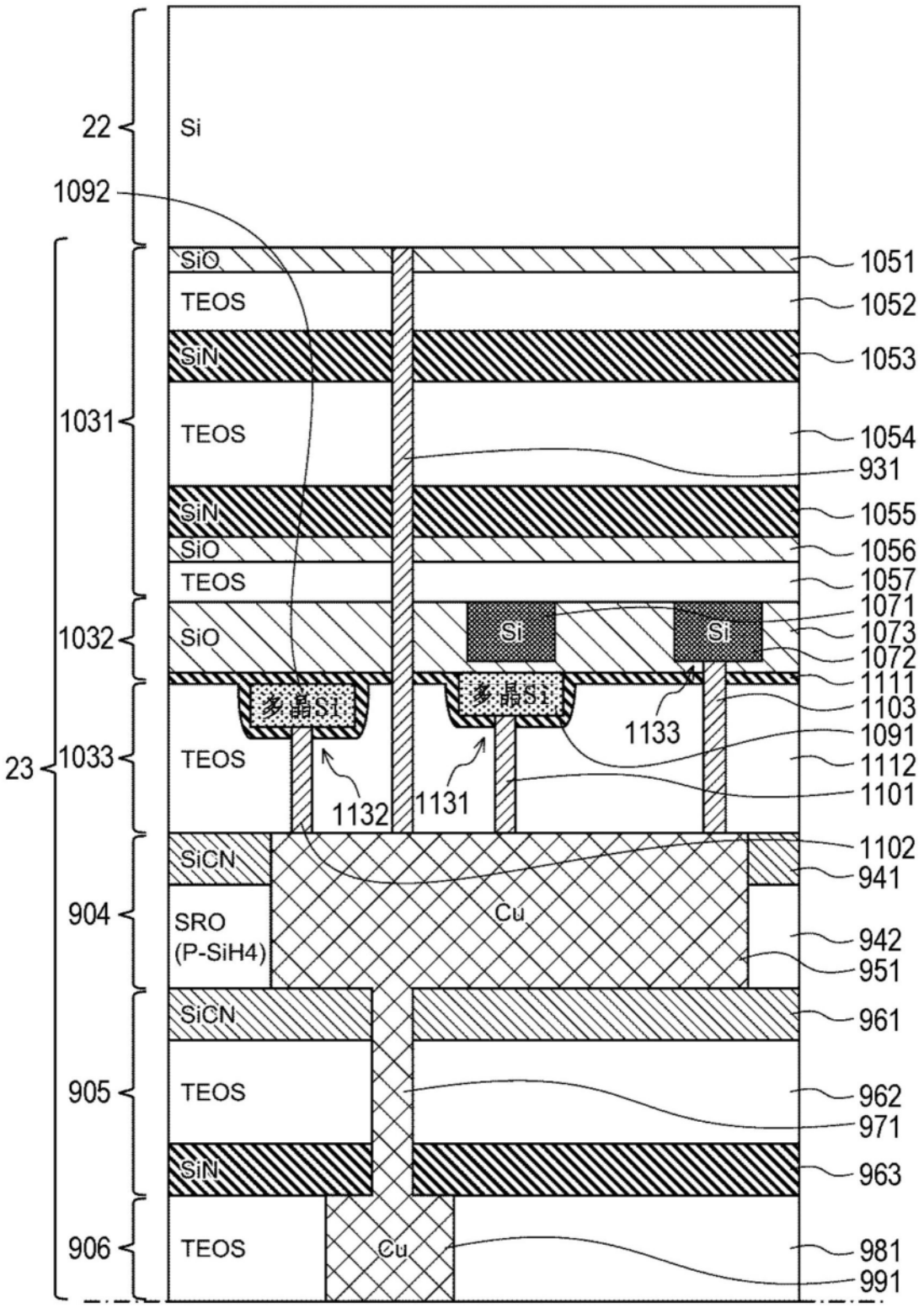

22
Si
1092
SiO
TEOS
SiN
1031
TEOS
SiN
SiO
TEOS
1032
SiO
Si
Si
多晶Si
多晶Si
1033
TEOS
23
1132
1131
1133
SiCN
904
SRO
(P-SiH4)
Cu
SiCN
905
TEOS
SiN
906
TEOS
Cu
1051
1052
1053
1054
931
1055
1056
1057
1071
1073
1072
1111
1103
1091
1112
1101
1102
941
942
951
961
962
971
963
981
991

图30

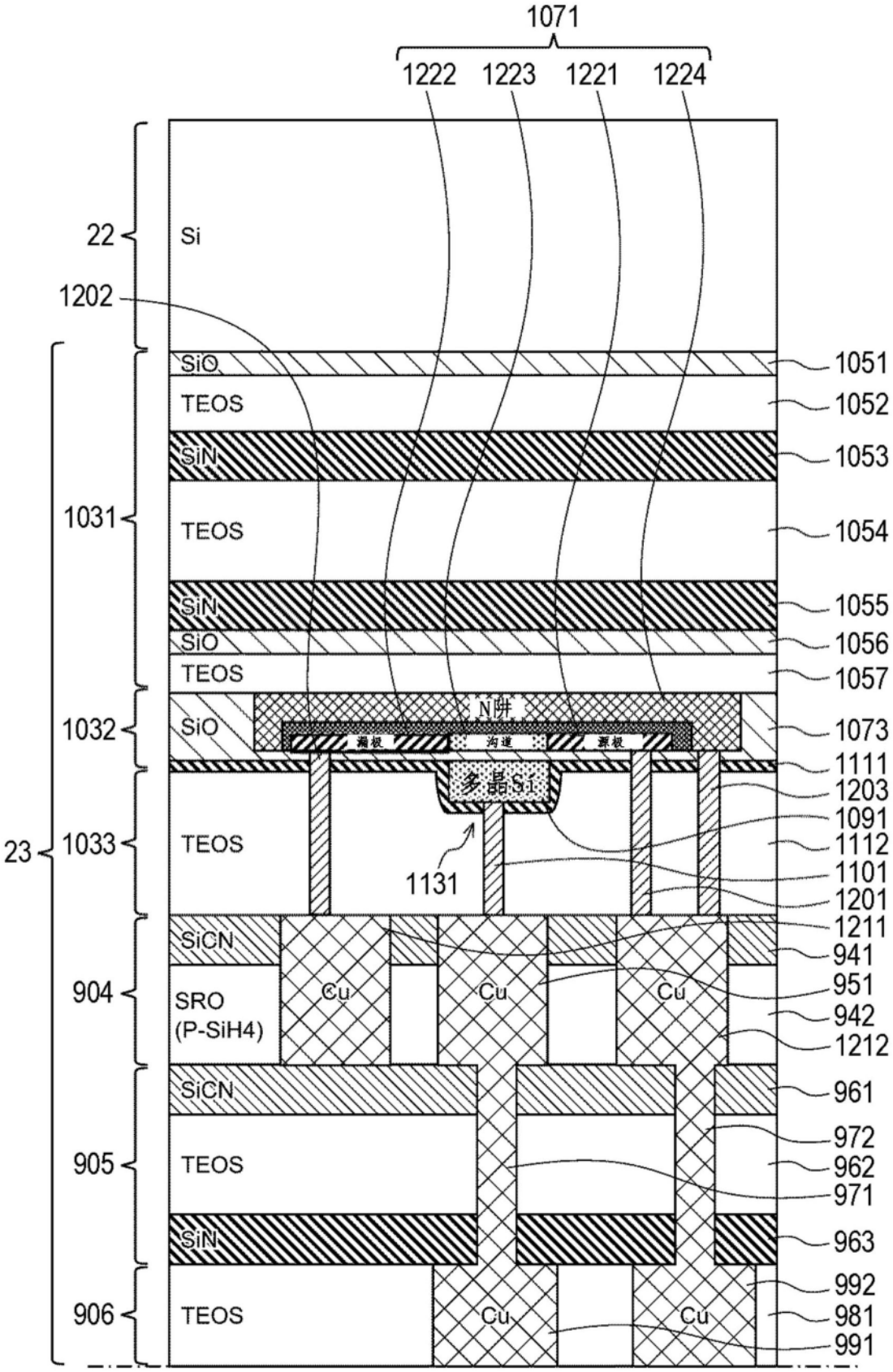

1071
1222
1223
1221
1224
22
Si
1202
SiO
TEOS
SiN
1031
TEOS
SiN
SiO
TEOS
1032
SiO
N阱
漏极
沟道
源极
多晶Si
1033
TEOS
1131
23
SiCN
SRO
(P-SiH4)
904
Cu
Cu
Cu
SiCN
905
TEOS
SiN
906
TEOS
Cu
Cu
1051
1052
1053
1054
1055
1056
1057
1073
1111
1203
1091
1112
1101
1201
1211
941
951
942
1212
961
972
962
971
963
992
981
991

图31

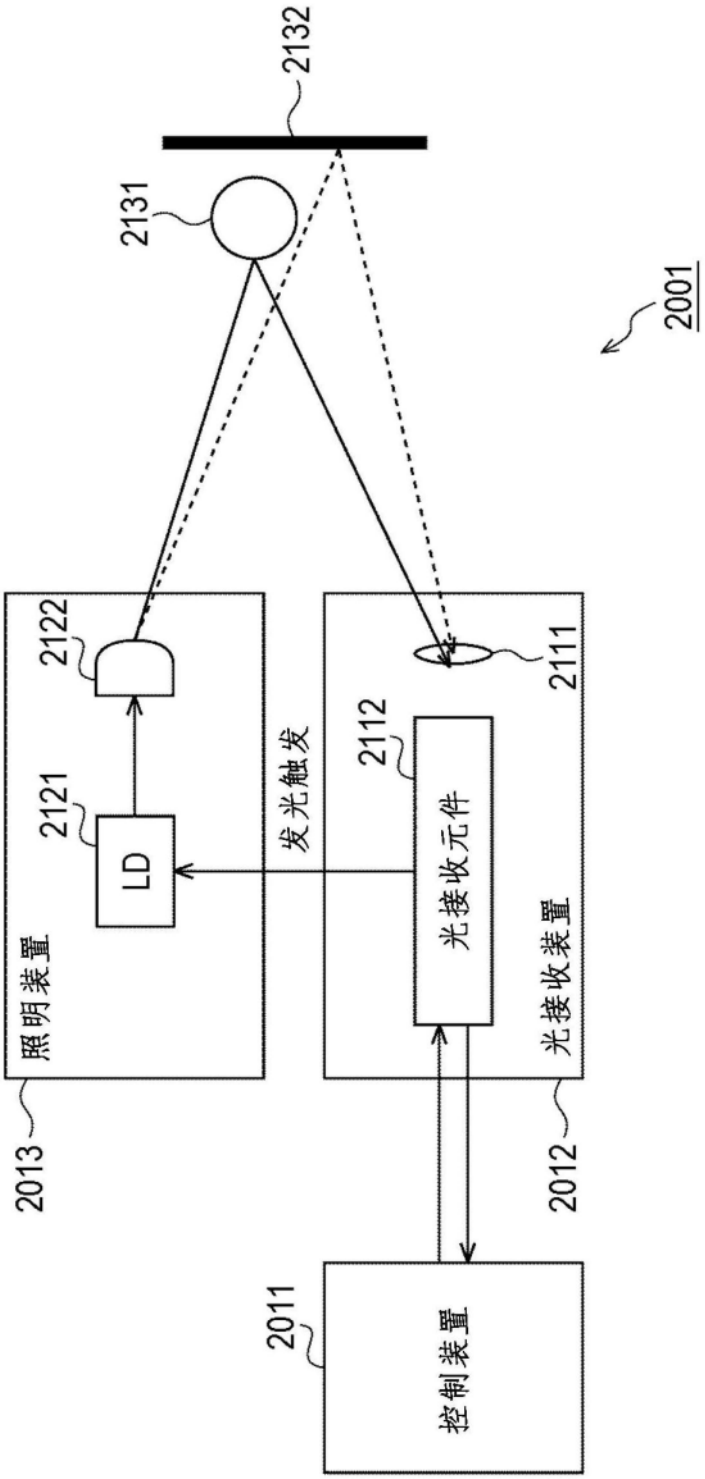

2132
2131
2001
2122
2111
2112
2121
LD
发光触发
光接收元件
照明装置
光接收装置
2013
2012
2011
控制装置

图32

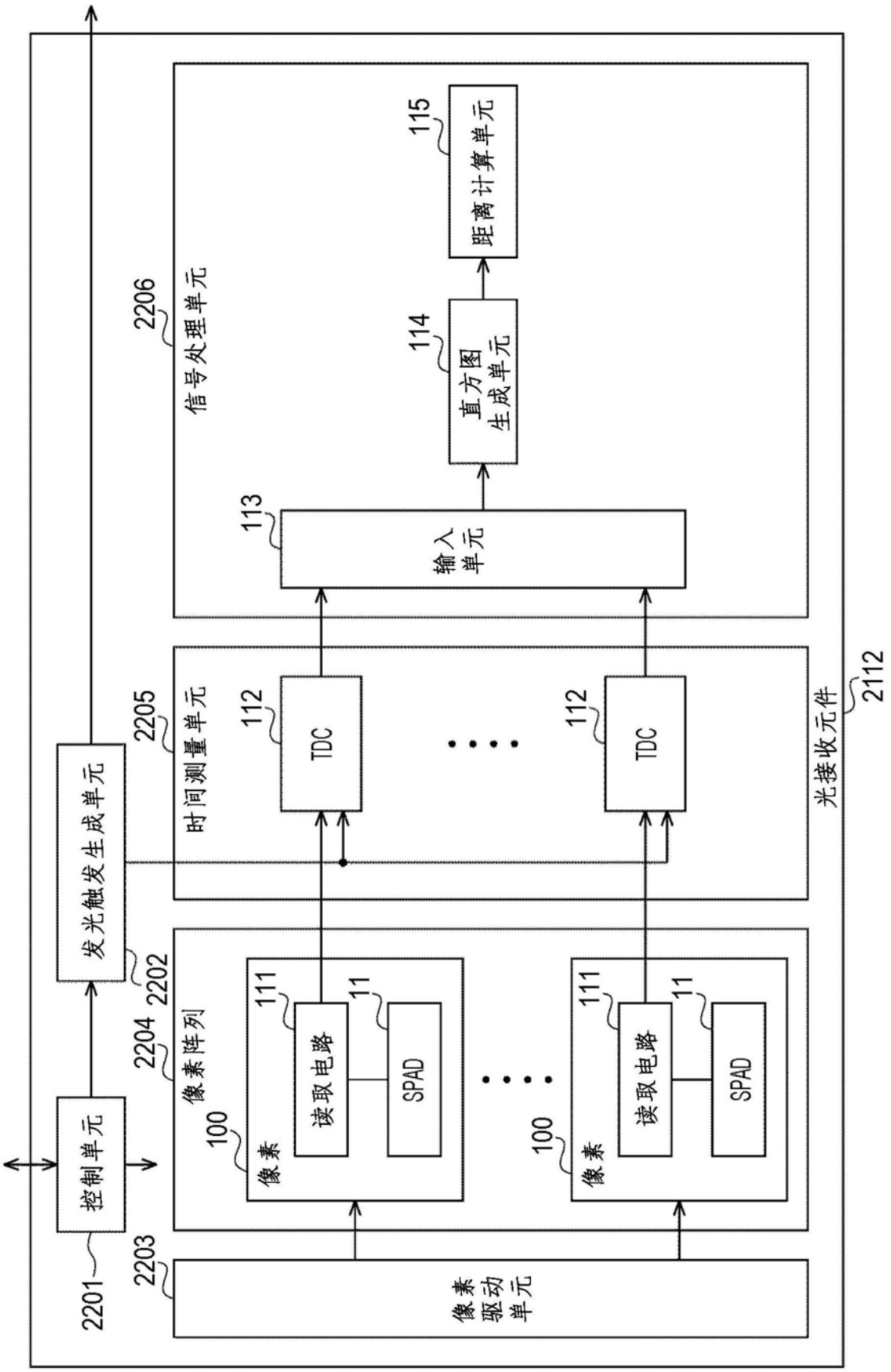

光接收元件
2112
信号处理单元
2206
距离计算单元
115
直方图生成单元
114
输入单元
113
时间测量单元
2205
TDC
112
TDC
112
发光触发生成单元
2202
控制单元
2201
像素阵列
2204
像素
100
读取电路
111
SPAD
11
像素
100
读取电路
111
SPAD
11
像素驱动单元
2203

图33

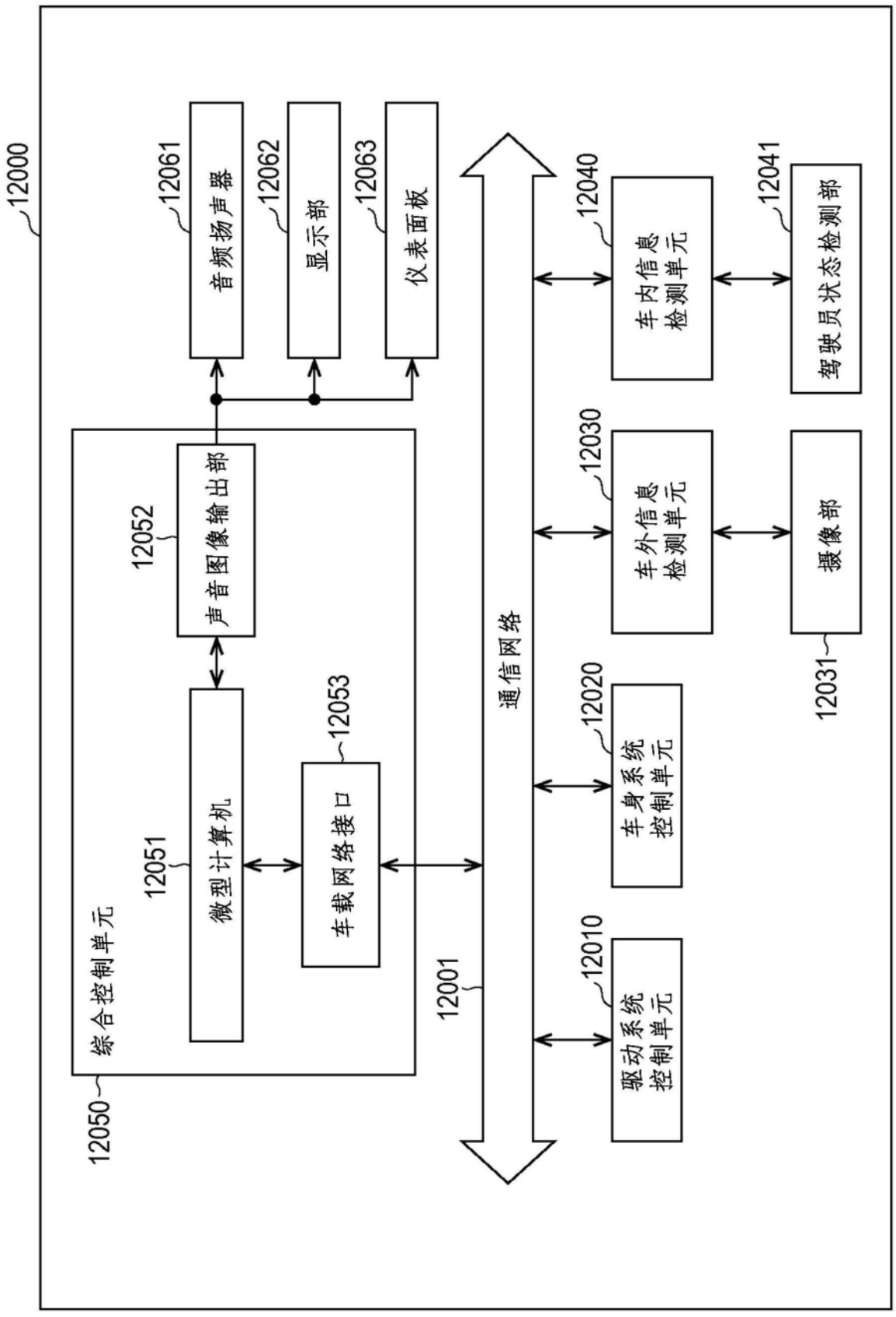

12000
12061
音频扬声器
12062
显示部
12063
仪表面板
12040
车内信息检测单元
12041
驾驶员状态检测部
12052
声音图像输出部
12030
车外信息检测单元
摄像部
12031
12053
车载网络接口
12051
微型计算机
通信网络
12020
车身系统控制单元
综合控制单元
12001
12010
驱动系统控制单元
12050

图34

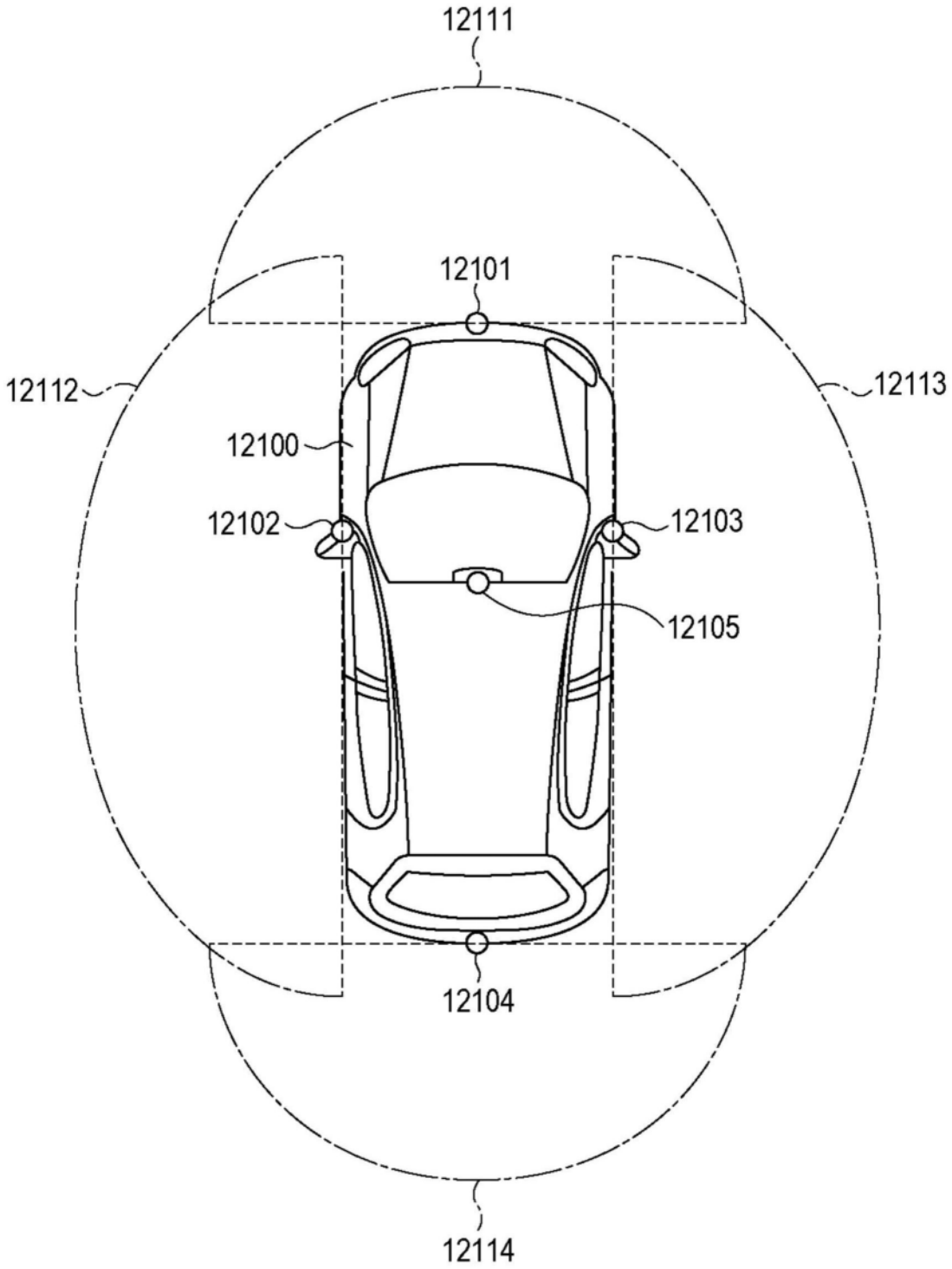

12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

图35