

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2012年2月9日 (09.02.2012)

PCT

(10) 国际公布号

WO 2012/016361 A1

(51) 国际专利分类号:

H01L 21/336 (2006.01) H01L 21/8238 (2006.01)
H01L 29/78 (2006.01)

(21) 国际申请号:

PCT/CN2010/001436

(22) 国际申请日:

2010年9月19日 (19.09.2010)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

201010244987.3 2010年8月4日 (04.08.2010) CN

(71) 申请人(对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路3号, Beijing 100029 (CN)。

(72) 发明人; 及

(75) 发明人/申请人(仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街11#, New York 12603 (US)。 朱慧珑 (ZHU, Hui-long) [US/US]; 美国纽约州波基普西市奥特姆路93#, New York 12603 (US)。 骆志炯 (LUO, Zhi-

jiong) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街11#, New York 12603 (US)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD); 中国北京市海淀区王庄路1号清华同方科技大厦B座25层, Beijing 100083 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

[见续页]

(54) Title: METHOD FOR FORMING STRAINED SEMICONDUCTOR CHANNEL AND SEMICONDUCTOR DEVICE

(54) 发明名称: 应变半导体沟道形成方法和半导体器件

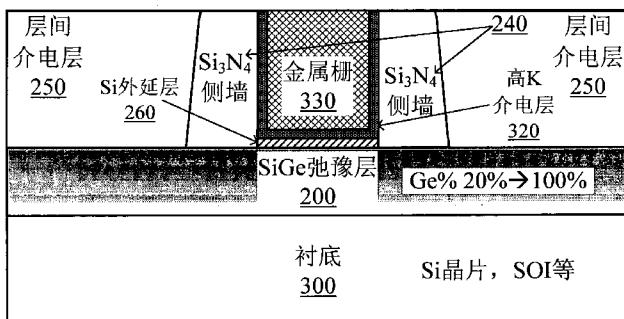


图 18 / Fig. 18

200 SiGe RELAXATION LAYER

240 Si₃N₄ SPACER

250 INTER-LAYER DIELECTRIC LAYER

300 SUBSTRATE

310 Si WAFER, SOI ET AL.

320 HIGH-K DIELECTRIC LAYER

330 METAL GATE

(57) Abstract: A method for forming a strained semiconductor channel and a semiconductor device are provided. The method includes the following steps: forming a SiGe relaxation layer on a semiconductor substrate; forming a dielectric layer on the SiGe relaxation layer, forming a dummy gate on the dielectric layer, the dielectric layer and the dummy gate composing a dummy gate structure; depositing an inter-layer dielectric layer, planarizing the inter-layer dielectric layer to expose the dummy gate; etching and removing the dummy gate and the dielectric layer to form an opening; selectively growing a semiconductor epitaxial layer in the opening; depositing a high-K dielectric layer and a metal layer; planarizing the metal layer and the high-K dielectric layer, and then removing the high-K dielectric layer and the metal layer which cover the inter-layer dielectric layer to form a metal gate.

[见续页]



CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, 本国际公布:

TG)。

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

提供一种应变半导体沟道形成方法以及半导体器件。上述方法包括以下步骤：在半导体衬底上形成 SiGe 驰豫层；在所述 SiGe 驰豫层上形成介电层，在所述电介质层上形成替代栅，所述电介质层和所述替代栅构成了替代栅结构；沉积层间介电层，平坦化所述层间介电层以暴露所述替代栅；刻蚀去除所述替代栅和所述介电层，以形成开口；在所述开口中选择性生长半导体外延层；沉积高 K 介电层和金属层；平坦化所述金属层和高 K 介电层，然后去除覆盖在所述层间介电层上的高 K 介电层和金属层，形成金属栅。

应变半导体沟道形成方法和半导体器件

技术领域

本发明涉及半导体领域，尤其涉及半导体器件及其制造方法，更具体地，涉及
5 一种应变半导体沟道形成方法以及利用所述方法制造出的半导体器件。

背景技术

在 SiGe 半导体器件中，大量采用了设置在 SiGe 驰豫层上的拉应变 Si 层结构。通常，SiGe 驰豫层的组成以 $\text{Si}_{1-x}\text{Ge}_x$ 的形式表示， $x \in [0, 1]$ 。

10 图 1A 示出了设置在 SiGe 驰豫层上的拉应变 Si 层结构的原子晶格示意图，图 1B 示出了设置在 SiGe 驰豫层上的拉应变 Si 层结构的能级结构。如图 1B 所示，由于拉应变 Si 层中较大的双轴拉应力，拉应变 Si 层中的导带低于 SiGe 驰豫层中的导带。根据这种结构，在拉应变 Si 层中将获得非常高的电子面内迁移率。

Currie 等在 Applied Physics Letters (第 72 卷, 第 14 期, 第 1718–20 页, 15 1998 年) 中描述了驰豫层的制备方法及其性能(如图 2A~2D 所示)。图 2A 示出了 SiGe 驰豫层的纵向 Ge 原子百分比分布。如图 2A 所示, Ge 原子百分比 (Ge%) 从下至上逐渐从 0% 增加至 100%，即组成 $\text{Si}_{1-x}\text{Ge}_x$ 中的 x 从 0 逐渐变化为 1。通过在 Si 衬底上生长超厚 (几微米) 的 SiGe 层来获得 SiGe 驰豫层或 Ge 层。此外，通过缺陷产生 (图 2B) 来释放 SiGe 驰豫层中的压应变，从而获得 SiGe 驰豫层或 Ge 层。

20 图 3A、3B 和 3C 分别示出了三种传统的应变 Si 沟道形成方法，图 3A 示出了应变 Si/体 SiGe MOSFET (金属氧化物半导体场效应晶体管) 结构，图 3B 示出了 SGOI (SiGe-On-Insulator) MOSFET 结构，图 3C 示出了 SSDOI (Strained Si Directly On Insulator) MOSFET 结构。

但是，在传统的 Si 沟道形成方法中，在器件制造工艺(例如，浅沟槽隔离 (STI)、25 栅极形成等)之前，必须先在 SiGe 层 (或埋层氧化物) 上形成应变 Si 覆层。这也导致了传统的 Si 沟道形成方法存在以下问题：(1) 在器件制造工艺期间，应变 Si 覆层可能受到损耗，例如，STI 工艺中的垫氧化处理、栅极形成工艺前的牺牲氧化处理、多种湿法化学清洗处理等，都可能导致应变 Si 覆层发生损耗；(2) 应变 Si 覆层在高温步骤中可能发生弛豫 (应力被释放)，例如，用于激活源极/漏极掺杂剂的退火处理 30 可能会导致应变 Si 覆层中的应力被释放。

发明内容

考虑到传统工艺的上述缺陷，本发明提出了一种应变半导体沟道形成方法，其中在去除替代栅之后，形成应变半导体沟道（材料可以选用 Si、Ge 或 SiGe），从而避免了应变半导体沟道暴露于高温的源极/漏极退火处理，而且由于减少了应变半导体沟道所要经历的处理步骤，避免了半导体层损耗。此外，本发明还提出了一种利用所述方法制造出的半导体器件。

根据本发明的第一方案，提出了一种应变半导体沟道形成方法，包括以下步骤：在半导体衬底上形成 SiGe 弛豫层；在所述 SiGe 弛豫层上形成电介质层，在所述电介质层上形成替代栅，所述电介质层和所述替代栅构成了替代栅叠层结构；沉积层间介电层，对所述层间介电层进行平坦化处理，以暴露出所述替代栅；刻蚀去除所述替代栅和所述电介质层，以形成开口；在所述开口中执行选择性半导体外延生长，形成半导体外延层；沉积高 K 介电层和金属层；以及对所沉积的金属层和高 K 介电层执行平坦化处理，去除覆盖在所述层间介电层上的高 K 介电层和金属层，形成金属栅。

优选地，所述半导体外延层是 Si 外延层、Ge 外延层、或者 SiGe 外延层。

优选地，在去除所述电介质层之后，外延生长所述半导体外延层之前，所述应变半导体沟道形成方法还包括以下步骤：在所述开口中，对所述 SiGe 弛豫层进行刻蚀，以刻蚀出用于半导体外延生长的空间。

优选地，所述半导体外延层的厚度在 5~10nm 的范围内。

优选地，所述 SiGe 弛豫层中 Ge 原子百分比从邻近所述半导体衬底的 20% 逐渐变化为远离所述半导体衬底的 100%。

优选地，在形成所述 SiGe 弛豫层的步骤中，形成刻蚀停止层。更优选地，所述刻蚀停止层具有与所述 SiGe 弛豫层不同的 Ge 原子百分比。

根据本发明的第二方案，提出了一种半导体器件，包括：半导体衬底；SiGe 弛豫层，形成在所述半导体衬底上；半导体外延层，形成在所述 SiGe 弛豫层上，位于所述 SiGe 弛豫层上，或者嵌入在所述 SiGe 弛豫层中；高 K 介电层，沉积在所述半导体外延层的整个表面上，形成为有底面的空心柱形；和金属栅，填充在由所述高 K 介电层形成的空心柱形的内部。

优选地，所述半导体外延层是 Si 外延层、Ge 外延层、或者 SiGe 外延层。

优选地，所述半导体外延层的厚度在 5~10nm 的范围内。

优选地，所述半导体器件还包括：侧墙，沉积在所述 SiGe 驰豫层上，围绕所述半导体外延层和所述高 K 介电层的外周，或者围绕所述高 K 介电层的外周；和层间介电层，沉积在所述 SiGe 驰豫层上，围绕所述侧墙的外周。

优选地，所述 SiGe 驰豫层中 Ge 原子百分比从邻近所述半导体衬底的 20% 逐渐变化为远离所述半导体衬底的 100%。
5

优选地，所述 SiGe 驰豫层形成有刻蚀停止层。更优选地，所述刻蚀停止层具有与所述 SiGe 驰豫层不同的 Ge 原子百分比。

根据本发明，不必在器件制造工艺之前，先在 SiGe 层（或埋层氧化物）上形成应变 Si 覆层，而是利用替代栅工艺，在去除替代栅之后，才形成应变半导体层，从而避免了应变半导体沟道暴露于高温的源极/漏极退火处理，而且由于减少了应变半导体沟道所要经历的处理步骤，避免了应变半导体层的损耗。
10

附图说明

通过下面结合附图说明本发明的优选实施例，将使本发明的上述及其它目的、
15 特征和优点更加清楚，其中：

图 1A 示出了设置在 SiGe 驰豫层上的拉应变 Si 层结构的原子晶格示意图；

图 1B 示出了设置在 SiGe 驰豫层上的拉应变 Si 层结构的能级结构；

图 2A 和 2B 是用于说明驰豫层的制备方法及其性能的示意图；

图 3A、3B 和 3C 分别示出了三种传统的应变 Si 沟道形成方法；

20 图 4~14 是示出了本发明第一实施例所提出的半导体器件制造方法的各个步骤的示意图，其中图 14 示出了根据本发明第一实施例所提出的半导体器件制造方法制造完成的半导体器件；

图 4~9 和 15~18 是示出了本发明第二实施例所提出的半导体器件制造方法的各个步骤的示意图，其中图 18 示出了根据本发明第二实施例所提出的半导体器件制造方法制造完成的半导体器件。
25

应当注意的是，本说明书附图并非按照比例绘制，而仅为示意性的目的，因此，不应被理解为对本发明范围的任何限制和约束。在附图中，相似的组成部分以相似的附图标号标识。

30 具体实施方式

下面参照附图对本发明的优选实施例进行详细说明，在描述过程中省略了对于本发明来说是不必要的细节和功能，以防止对本发明的理解造成混淆。

【第一实施例】

5 首先，参考图 14，对根据本发明第一实施例所提出的工艺制造的半导体器件进行详细描述。图 14 是示出了根据本发明第一实施例所提出的半导体器件制造方法制造完成的半导体器件的示意图。

如图 14 所示，根据本发明第一实施例所提出的工艺制造的半导体器件主要包括：衬底 300 (Si 晶片、SOI 等)、SiGe 弛豫层 200 (Ge 原子%按照图 14 所示从下到上的 10 方向，从 20%变化至 100%)、半导体外延层 260 (图示为 Si 外延层 260，也可以是 Ge 外延层或 SiGe 外延层) (厚度为 5~10nm)、高 K 介电层 320 (厚度为 1~3nm)、金属栅 330、 Si_3N_4 侧墙 240 (宽度为 10~40nm)、层间介电层 250 (厚度为 15~50nm)，其中 SiGe 弛豫层 200 形成在衬底 300 上；由 Si_3N_4 侧墙 240、Si 外延层 260、高 K 介电层 320 和金属栅 330 构成的栅极结构形成在 SiGe 弛豫层 200 上；层间介电层 250 沉 15 积在 SiGe 弛豫层 200 上，围绕所述栅极结构的 Si_3N_4 侧墙 240 的外周；Si 外延层 260 形成在 SiGe 弛豫层 200 上，嵌入在 SiGe 弛豫层 200 中；高 K 介电层 320 沉积在 Si 外延层 260 的整个表面上，且形成为有底面的空心柱形；金属栅 330 填充在由高 K 介电层 320 形成的空心柱形的内部； Si_3N_4 侧墙 240 形成在 SiGe 弛豫层 200 上，围绕高 K 介电层 320 的外周。

20 根据本发明第一实施例，不必在器件制造工艺之前，尤其是在形成源区/漏区之前，先在 SiGe 弛豫层 200 上形成应变 Si 覆层，而是利用替代栅工艺，在去除替代栅、形成源区/漏区之后，才形成 Si 外延层 260，从而避免了应变 Si 沟道暴露于高温的源极/漏极退火处理，而且由于减少了应变 Si 沟道所要经历的处理步骤，避免了 Si 外延层 260 的损耗。

25 接下来，将结合图 4~14，对根据本发明第一实施例的半导体器件制造方法的各个步骤进行详细描述。

首先，如图 4 所示，在衬底 300 (Si 晶片、SOI 等) 上形成 SiGe 弛豫层 200。在 SiGe 弛豫层 200 中，Ge 原子%，即 Ge 原子的数目占总原子数的百分比，按照图 4 所示从下到上的方向 (从邻近衬底 300 到远离衬底 300 的方向)，例如，从 20%逐渐变 30 化至 100%，即组成 $\text{Si}_{1-x}\text{Ge}_x$ 中的 x 从 0.2 逐渐变化为 1。在此，SiGe 弛豫层 200 的组

成的具体数值仅用作示例的目的，本领域普通技术人员可以根据实际需要选用适当其他组成（即，重新选定 x 的变化范围），x 的逐渐变化可以是线性变化、双曲线变化、指数变化等多种变化形式。可选地，结合图 10，可以在 SiGe 驰豫层 200 中形成刻蚀停止层（例如，改变 Ge 原子%），从而可以控制在图 10 所示的步骤中将要执行的刻蚀 5 的深度。具体地讲，可以根据需要在 SiGe 驰豫层 200 中形成驰豫层/刻蚀停止层/驰豫层的叠层结构来实现对刻蚀深度的控制。

然后，如图 5 所示，在 SiGe 驰豫层 200 上形成替代栅结构（电介质层 220、替代栅 230（图示为多晶硅栅 230，也可以选用本领域公知的其他材料）、围绕和覆盖电介质层 220 和多晶硅栅 230 的 Si₃N₄侧墙 240 和 Si₃N₄盖层）。作为本发明的示例，电介质层 220 的厚度为 1~3nm，多晶硅栅 230 的厚度为 20~70nm，Si₃N₄侧墙 240 在图示水平方向上的宽度为 10~40nm，Si₃N₄盖层的厚度为 15~40nm。这一步骤同样是传统工艺的一部分，这里形成了多晶硅栅 230 以作为替代金属栅的替代栅。可选地，在上述形成有替代栅结构的半导体中间结构中，采用常规方法（例如，通过进行离子和高温退火），来形成源区/漏区（图中未示出）。

15 之后，如图 6 所示，在已形成替代栅结构的 SiGe 驰豫层 200 上沉积层间介电层（Inter Layer Dielectric layer）250。例如，未掺杂的氧化硅（SiO₂）、各种掺杂的氧化硅（如硼硅玻璃、硼磷硅玻璃等）和氮化硅（Si₃N₄）等可以作为层间介电层 250 的构成材料。

接下来，如图 7 所示，对层间介电层 250 进行化学机械平坦化（CMP）处理，从而暴露出替代栅结构的 Si₃N₄盖层。

20 然后，如图 8 所示，执行另外的 CMP 处理或针对 Si₃N₄的反应离子刻蚀（RIE）处理，去除 Si₃N₄盖层，暴露出替代栅结构的多晶硅栅 230。

之后，如图 9 所示，采用湿法刻蚀或干法刻蚀，去除多晶硅栅 230。

接下来，如图 10 所示，采用湿法刻蚀或干法刻蚀，对 SiGe 驰豫层 200 进行刻蚀，以刻蚀出用于 Si 外延生长的空间（刻蚀深度为 5~10nm）。可选地，如之前参考 25 图 4 所述，可以在 SiGe 驰豫层 200 中形成刻蚀停止层（例如，改变 Ge 原子%），从而可以控制刻蚀深度。

然后，如图 11 所示，在刻蚀形成的开口中，执行选择性 Si 外延生长，形成嵌入在 SiGe 驰豫层 200 中的 Si 外延层 260，Si 外延层 260 的顶面可以与 SiGe 驰豫层 30 200 的顶面在同一平面上（如图 11 所示），也可以不在同一平面上（未示出）。

之后，如图 12 所示，在图 11 所示的结构的表面上沉积高 K 介电层 320，沉积厚度在 1~3nm 的范围内。

接下来，如图 13 所示，在高 K 介电层 320 的表面上沉积用于构成金属栅 330 的金属层，根据本发明，金属层可以包括多层导电层，例如，首先沉积 TiN 层，然后再沉积 TiAl 层。

最后，如图 14 所示，对所形成的金属层和高 K 介电层 320 执行平坦化处理（例如，CMP 处理等），去除覆盖在层间介电层 250 和 Si₃N₄侧墙 240 顶部的高 K 介电层 320 和金属层，形成金属栅 330。在完成这一步骤之后，作为替代栅的多晶硅栅 230 已经完全被金属栅 330 所取代。

此后，可以按照传统的方法执行半导体制造工艺，例如形成源区硅化物/漏区硅化物，和/或形成 CMOS 器件等。

根据本发明第一实施例，不必在器件制造工艺之前，尤其是在形成源区/漏区之前，先在 SiGe 弛豫层 200 上形成应变 Si 覆层，而是利用替代栅工艺，在去除替代栅、形成源区/漏区之后，才形成 Si 外延层 260，从而避免了应变 Si 沟道暴露于高温的源极/漏极退火处理，而且由于减少了应变 Si 沟道所要经历的处理步骤，避免了 Si 外延层 260 的损耗。

【第二实施例】

首先，参考图 18，对根据本发明第二实施例所提出的工艺制造的半导体器件进行详细描述。图 18 是示出了根据本发明第二实施例所提出的半导体器件制造方法制造完成的半导体器件的示意图。

如图 18 所示，根据本发明第二实施例所提出的工艺制造的半导体器件主要包括：衬底 300（Si 晶片、SOI 等）、SiGe 弛豫层 200（Ge 原子%按照图 18 所示从下到上的方向，从 20%变化至 100%）、半导体外延层 260（图示为 Si 外延层 260，也可以是 Ge 外延层或 SiGe 外延层）（厚度为 5~10nm）、高 K 介电层 320（厚度为 1~3nm）、金属栅 330、Si₃N₄侧墙 240（宽度为 10~40nm）、层间介电层 250（厚度为 15~50nm），其中 SiGe 弛豫层 200 形成在衬底 300 上；由 Si₃N₄侧墙 240、Si 外延层 260、高 K 介电层 320 和金属栅 330 构成的栅极结构形成在 SiGe 弛豫层 200 上；层间介电层 250 沉积在 SiGe 弛豫层 200 上，围绕所述栅极结构的 Si₃N₄侧墙 240 的外周；Si 外延层 260 位于 SiGe 弛豫层 200 的顶面上；高 K 介电层 320 沉积在 Si 外延层 260 的整个表面上，

且形成为有底面的空心柱形；金属栅 330 填充在由高 K 介电层 320 形成的空心柱形的内部； Si_3N_4 侧墙 240 形成在 SiGe 弛豫层 200 上，围绕 Si 外延层 260 和高 K 介电层 320 的外周。

根据本发明第二实施例，不必在器件制造工艺之前，尤其是在形成源区/漏区之前，先在 SiGe 弛豫层 200 上形成应变 Si 覆层，而是利用替代栅工艺，在去除替代栅、形成源区/漏区之后，才形成 Si 外延层 260，从而避免了应变 Si 沟道暴露于高温的源极/漏极退火处理，而且由于减少了应变 Si 沟道所要经历的处理步骤，避免了 Si 外延层 260 的损耗。

接下来，将结合图 4~9 和 15~18，对根据本发明第二实施例的半导体器件制造方法的各个步骤进行详细描述。

图 4~9 的步骤与本发明上述第一实施例相同，为了行文简洁起见，这里省略了对图 4~9 的详细描述，具体内容可参考第一实施例中的详细描述。

如图 9 所示，多晶硅栅 230 已通过湿法刻蚀或干法刻蚀被去除。

接下来，如图 15 所示，直接在 SiGe 弛豫层 200 上、由 Si_3N_4 侧墙 240 所环绕的开口中，执行选择性 Si 外延生长，形成位于 SiGe 弛豫层 200 的顶面上的 Si 外延层 260，Si 外延层 260 的厚度为 5~10nm。

之后，如图 16 所示，在图 15 所示的结构的表面上沉积高 K 介电层 320，沉积厚度在 1~3nm 的范围内。

接下来，如图 17 所示，在高 K 介电层 320 的表面上沉积用于构成金属栅 330 的金属层，根据本发明，金属层可以包括多层导电层，例如，首先沉积 TiN 层，然后再沉积 TiAl 层。

最后，如图 18 所示，对所形成的金属层和高 K 介电层 320 执行平坦化处理（例如，CMP 处理等），去除覆盖在层间介电层 250 和 Si_3N_4 侧墙 240 顶部的高 K 介电层 320 和金属层，形成金属栅 330。在完成这一步骤之后，作为替代栅的多晶硅栅 230 已经完全被金属栅 330 所取代。

此后，可以按照传统的方法执行半导体制造工艺，例如形成源区硅化物/漏区硅化物，和/或形成 CMOS 器件等。

根据本发明第二实施例，不必在器件制造工艺之前，尤其是在形成源区/漏区之前，先在 SiGe 弛豫层 200 上形成应变 Si 覆层，而是利用替代栅工艺，在去除替代栅、形成源区/漏区之后，才形成 Si 外延层 260，从而避免了应变 Si 沟道暴露于高温的源

极/漏极退火处理，而且由于减少了应变 Si 沟道所要经历的处理步骤，避免了 Si 外延层 260 的损耗。

至此已经结合优选实施例对本发明进行了描述。应该理解，本领域技术人员在不脱离本发明的精神和范围的情况下，可以进行各种其它的改变、替换和添加。因此，
5 本发明的范围不局限于上述特定实施例，而应由所附权利要求所限定。

权 利 要 求

1. 一种应变半导体沟道形成方法，包括以下步骤：

在半导体衬底上形成 SiGe 弛豫层；

5 在所述 SiGe 弛豫层上形成电介质层，在所述电介质层上形成替代栅，所述电介质层和所述替代栅构成了替代栅叠层结构；

沉积层间介电层，对所述层间介电层进行平坦化处理，以暴露出所述替代栅；

刻蚀去除所述替代栅和所述电介质层，以形成开口；

在所述开口中执行选择性半导体外延生长，形成半导体外延层；

10 沉积高 K 介电层和金属层；以及

对所沉积的金属层和高 K 介电层执行平坦化处理，去除覆盖在所述层间介电层上的高 K 介电层和金属层，形成金属栅。

2. 根据权利要求 1 所述的应变半导体沟道形成方法，其中

所述半导体外延层是 Si 外延层、Ge 外延层、或者 SiGe 外延层。

15 3. 根据权利要求 1 或 2 所述的应变半导体沟道形成方法，在去除所述电介质层之后，外延生长所述半导体外延层之前，还包括以下步骤：

在所述开口中，对所述 SiGe 弛豫层进行刻蚀，以刻蚀出用于半导体外延生长的空间。

4. 根据权利要求 1~3 之一所述的应变半导体沟道形成方法，其中

20 所述半导体外延层的厚度在 5~10nm 的范围内。

5. 根据权利要求 1~4 之一所述的应变半导体沟道形成方法，其中

所述 SiGe 弛豫层中 Ge 原子百分比从邻近所述半导体衬底的 20% 逐渐变化为远离所述半导体衬底的 100%。

6. 根据权利要求 1~5 之一所述的应变半导体沟道形成方法，其中

25 在形成所述 SiGe 弛豫层的步骤中，形成刻蚀停止层。

7. 根据权利要求 6 所述的应变半导体沟道形成方法，其中

所述刻蚀停止层具有与所述 SiGe 弛豫层不同的 Ge 原子百分比。

8. 一种半导体器件，包括：

半导体衬底；

30 SiGe 弛豫层，形成在所述半导体衬底上；

半导体外延层，形成在所述 SiGe 弛豫层上，位于所述 SiGe 弛豫层上，或者嵌入在所述 SiGe 弛豫层中；

高 K 介电层，沉积在所述半导体外延层的整个表面上，形成为有底面的空心柱形；和

5 金属栅，填充在由所述高 K 介电层形成的空心柱形的内部。

9. 根据权利要求 8 所述的半导体器件，其中

所述半导体外延层是 Si 外延层、Ge 外延层、或者 SiGe 外延层。

10. 根据权利要求 8 或 9 所述的半导体器件，其中

所述半导体外延层的厚度在 5~10nm 的范围内。

10 11. 根据权利要求 8~10 之一所述的半导体器件，还包括：

侧墙，沉积在所述 SiGe 弛豫层上，围绕所述半导体外延层和所述高 K 介电层的外周，或者围绕所述高 K 介电层的外周；和

层间介电层，沉积在所述 SiGe 弛豫层上，围绕所述侧墙的外周。

12. 根据权利要求 8~11 之一所述的半导体器件，其中

15 所述 SiGe 弛豫层中 Ge 原子百分比从邻近所述半导体衬底的 20% 逐渐变化为远离所述半导体衬底的 100%。

13. 根据权利要求 8~12 之一所述的半导体器件，其中

所述 SiGe 弛豫层形成有刻蚀停止层。

14. 根据权利要求 13 所述的半导体器件，其中

20 所述刻蚀停止层具有与所述 SiGe 弛豫层不同的 Ge 原子百分比。

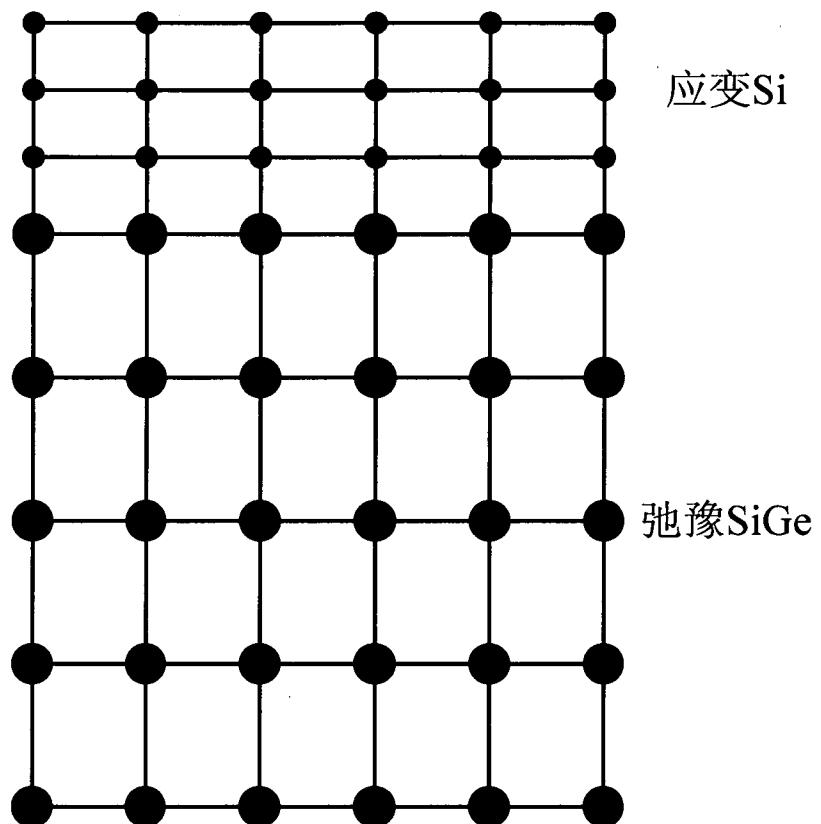


图 1A

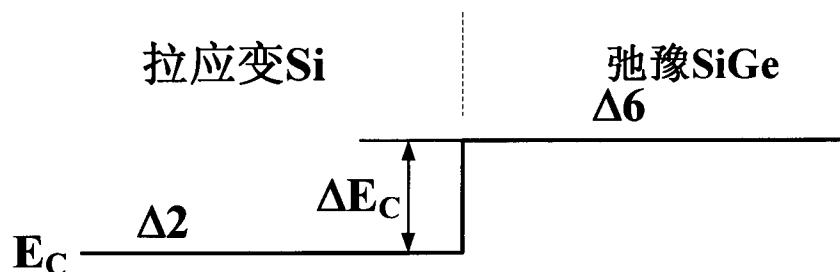


图 1B

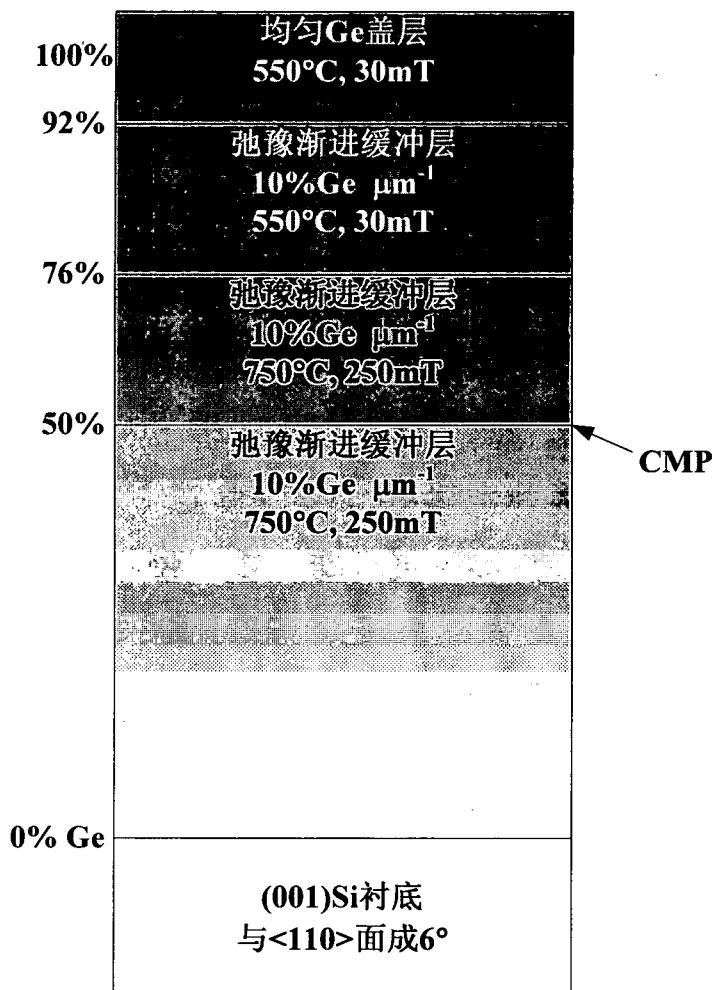


图 2A



图 2B

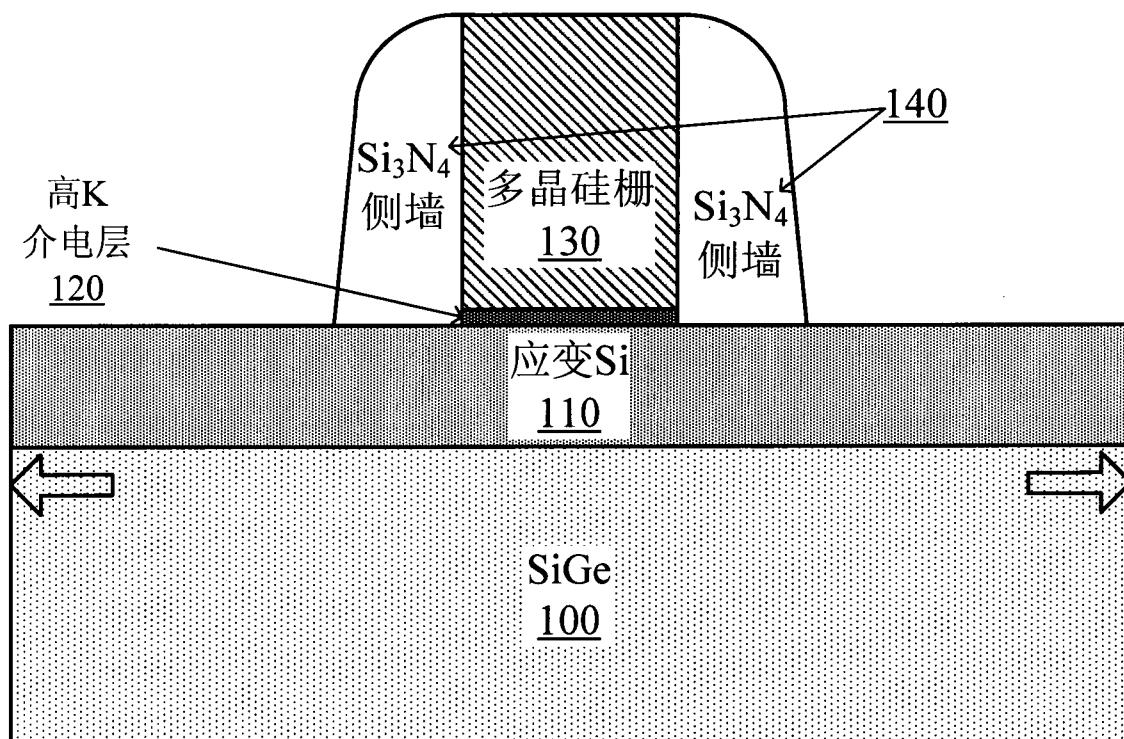


图 3A

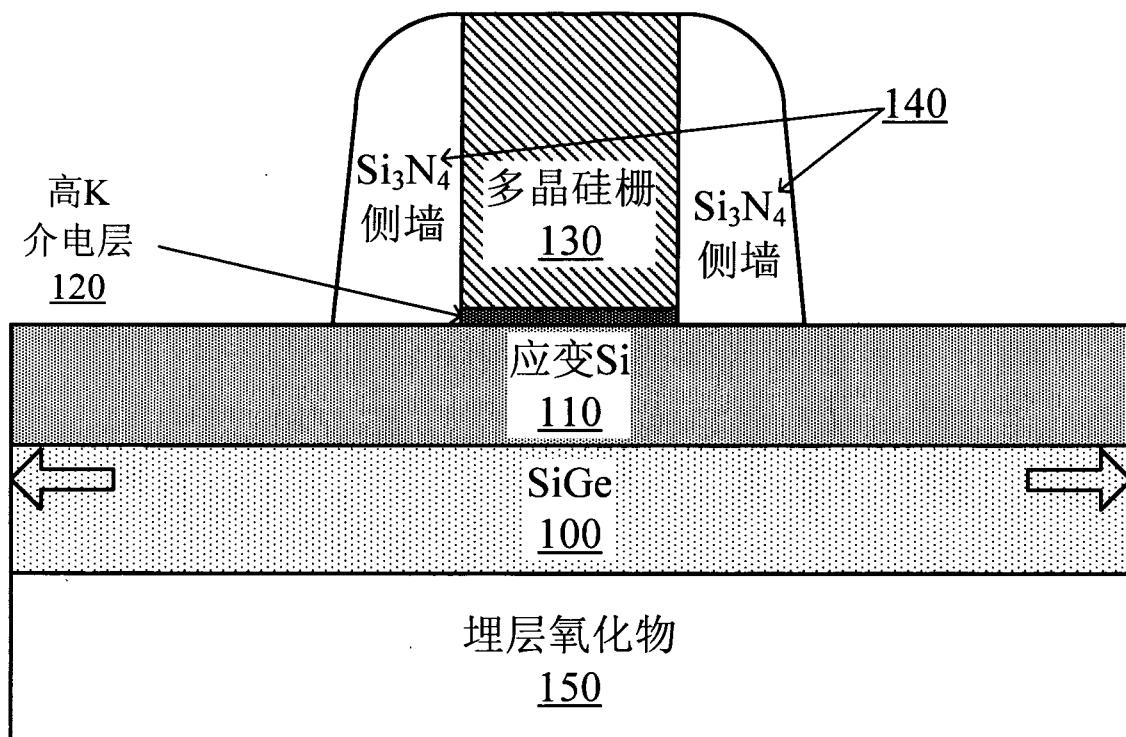


图 3B

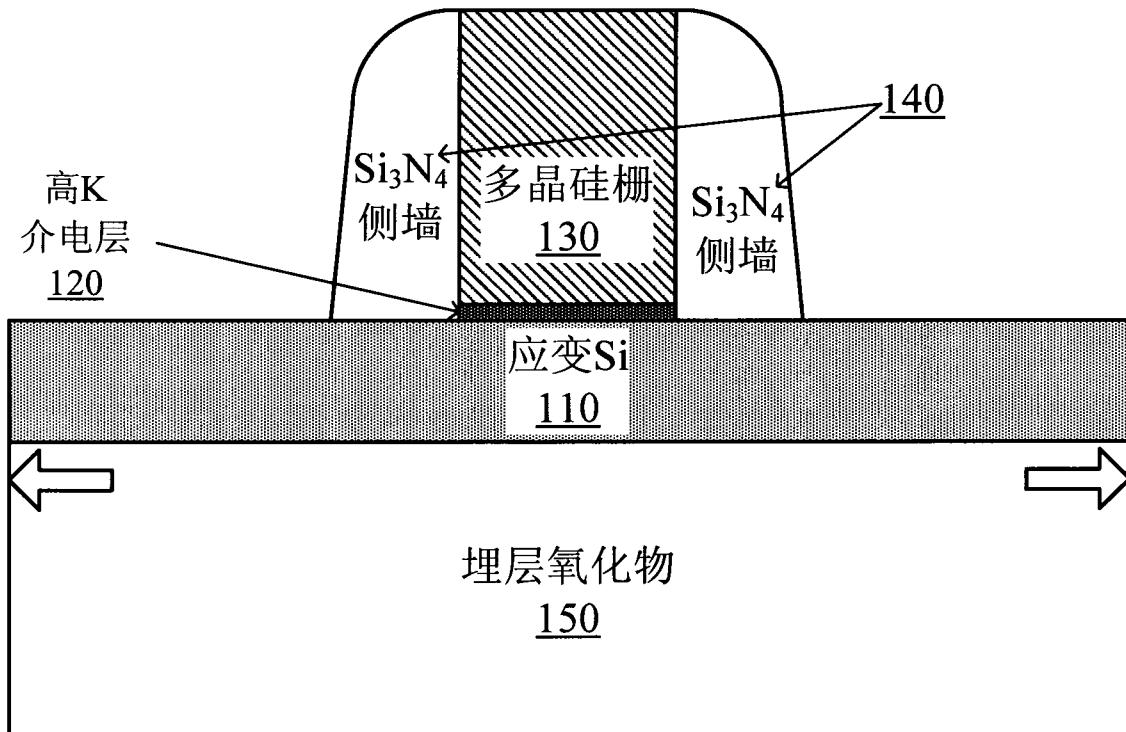


图 3C



图 4

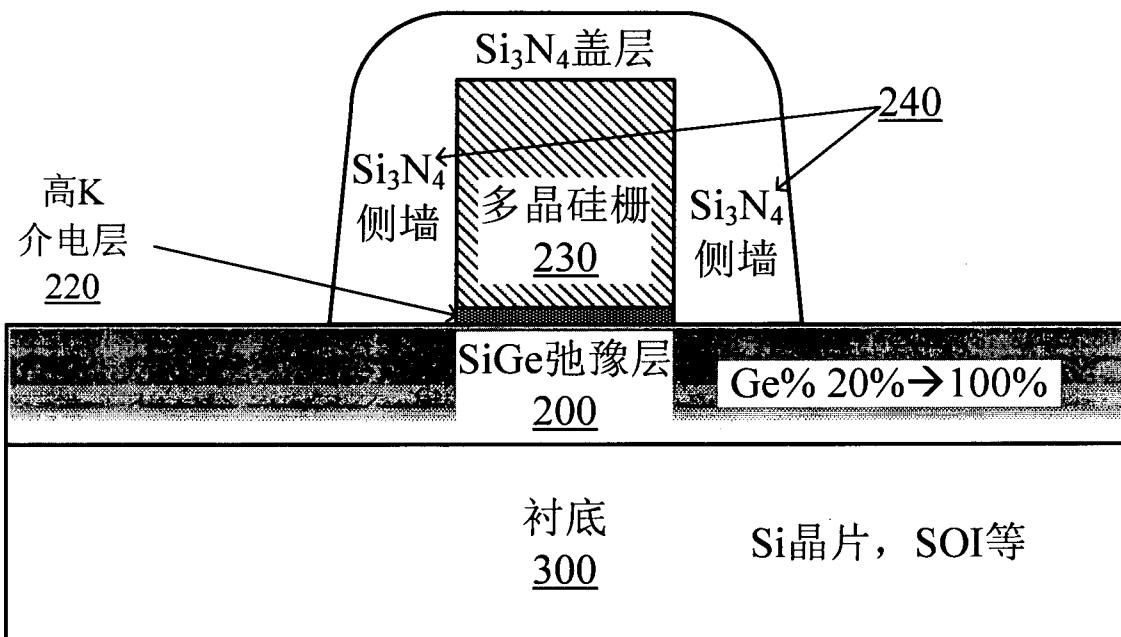


图 5

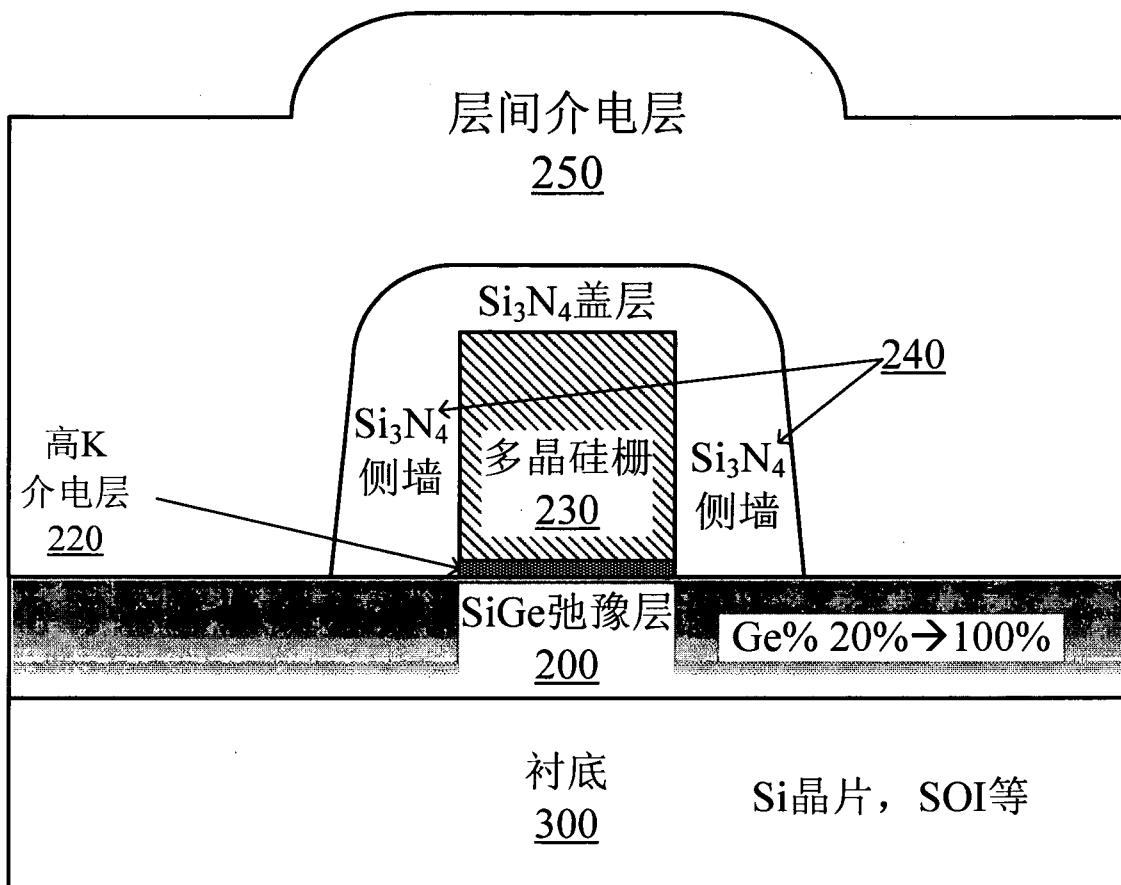


图 6

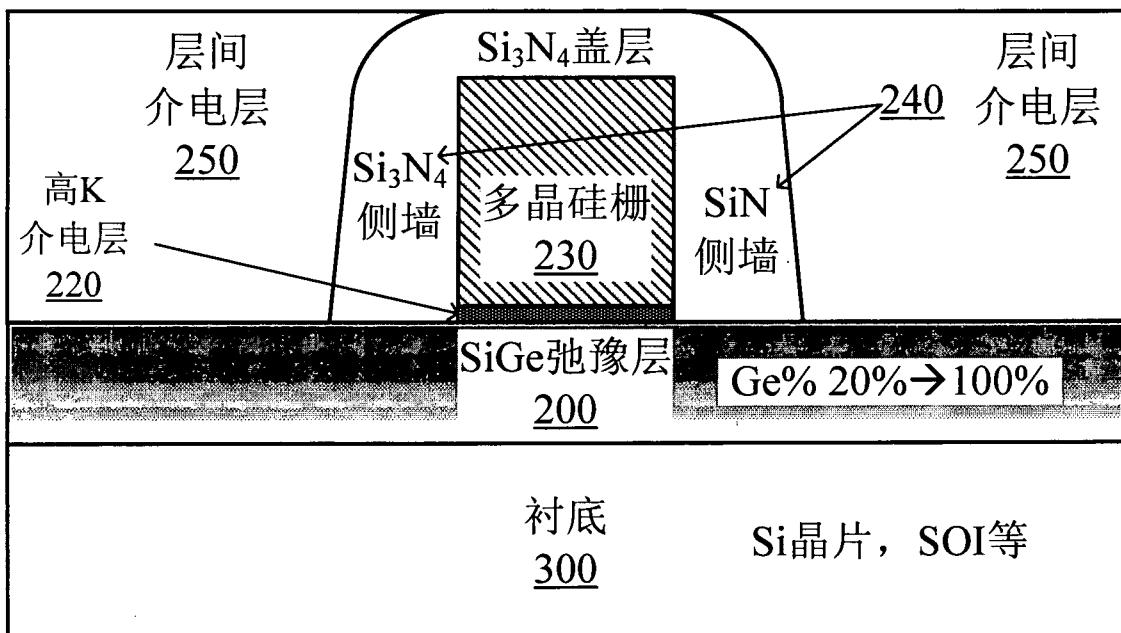


图 7

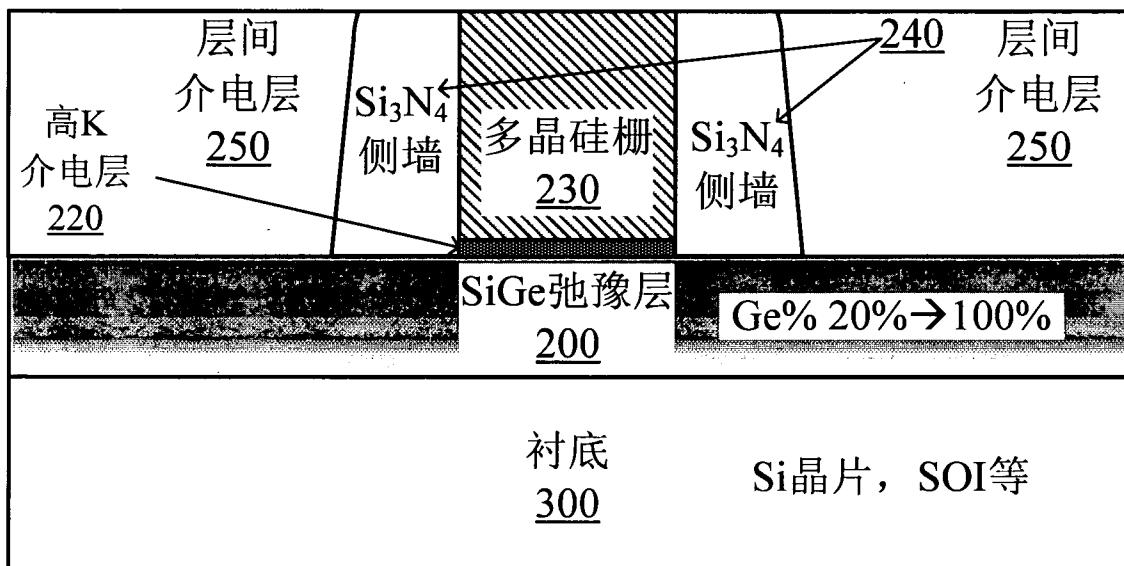


图 8

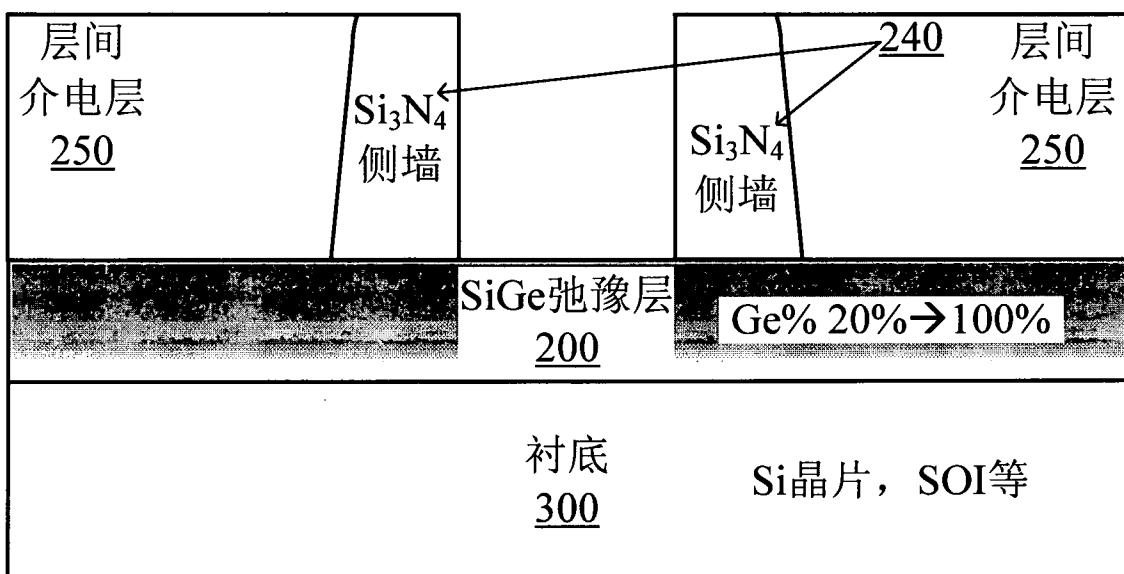


图 9

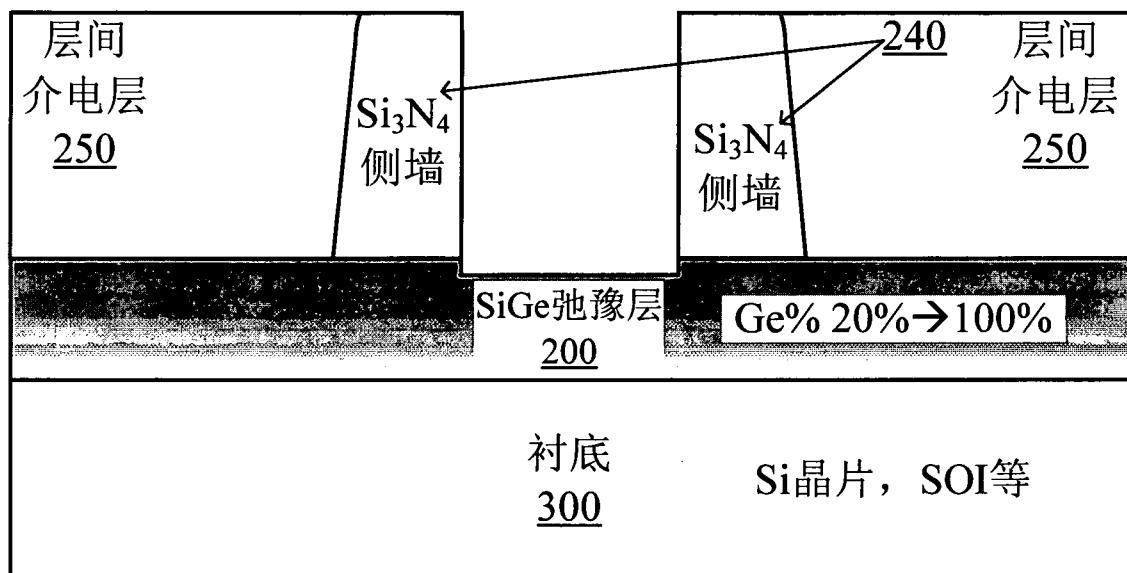


图 10

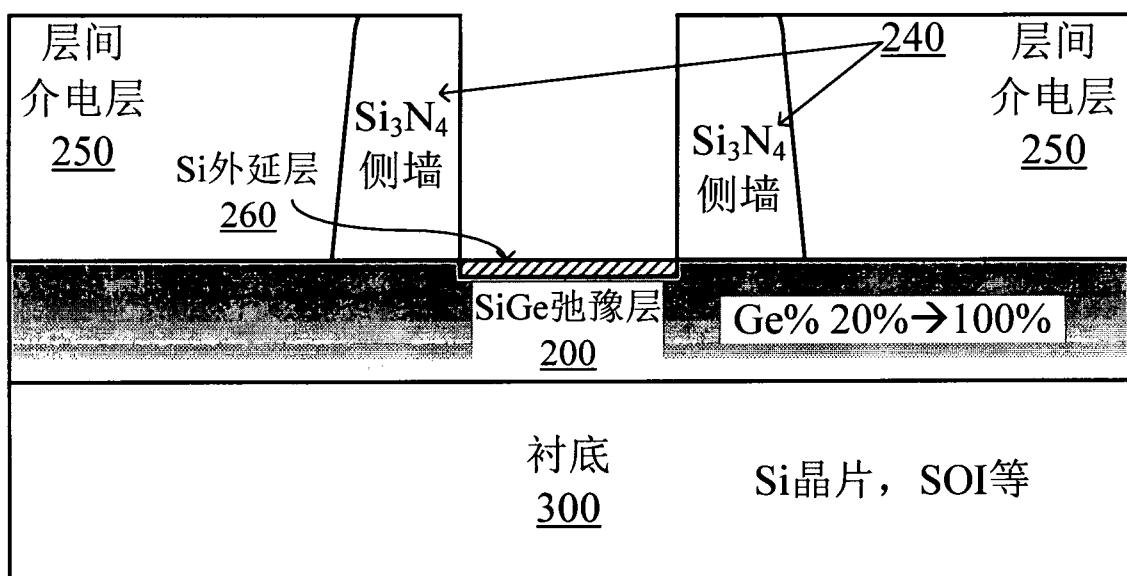


图 11

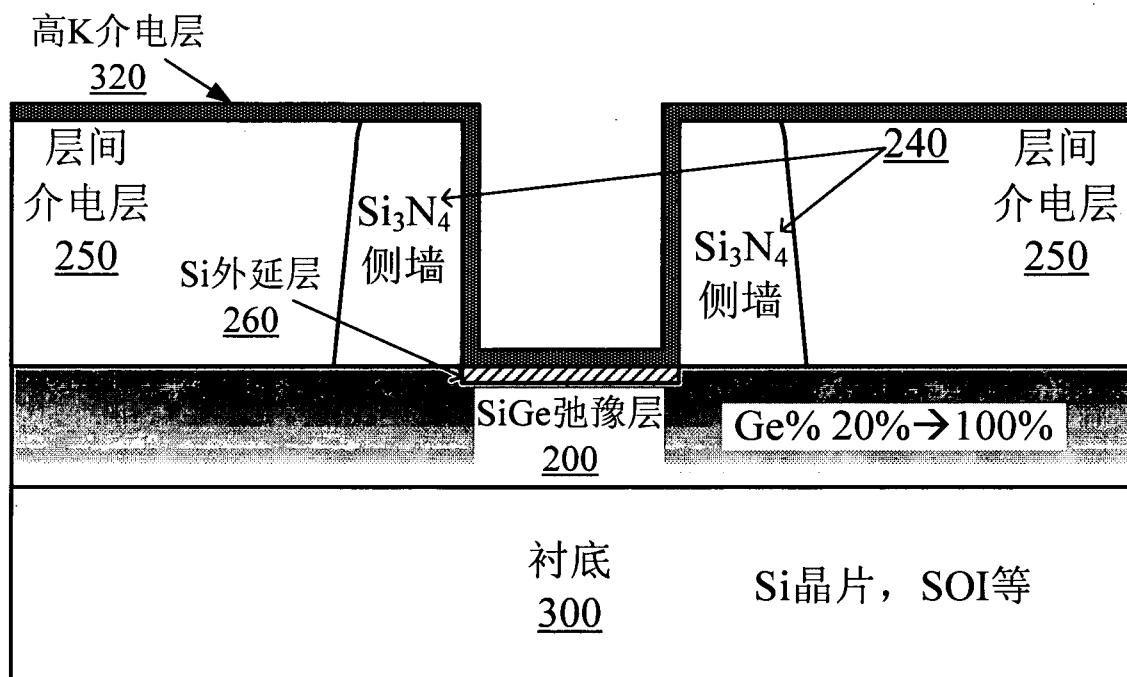


图 12

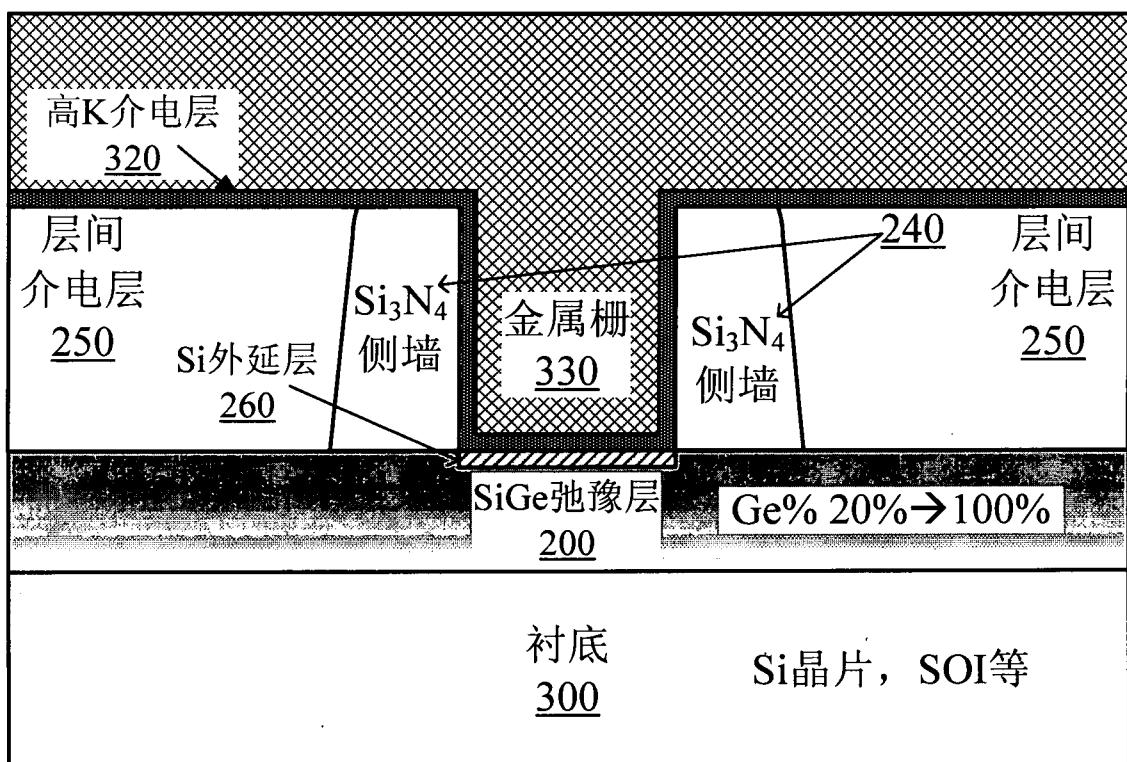


图 13

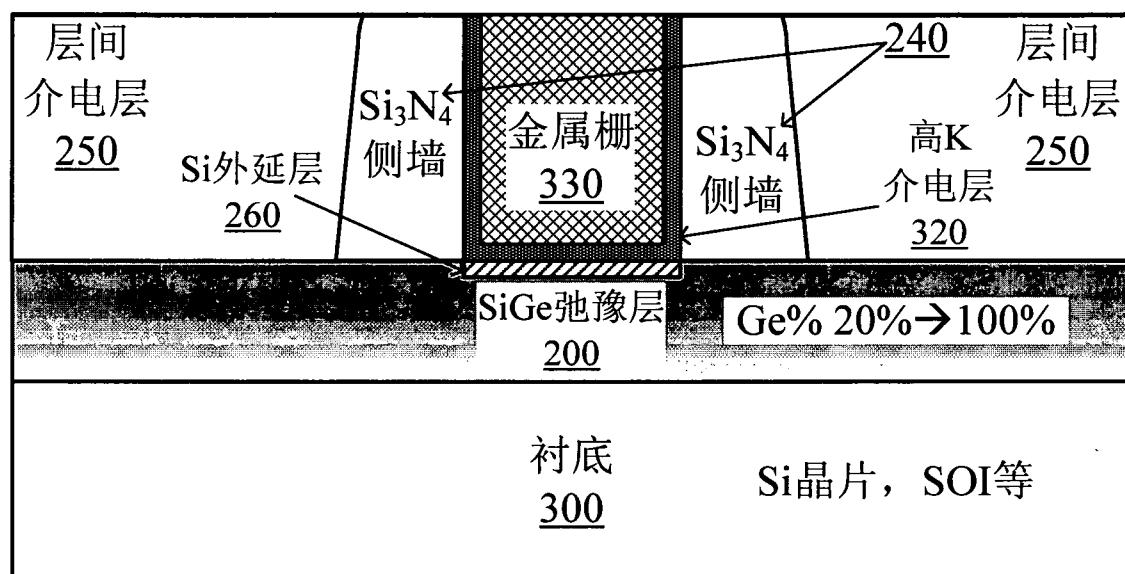


图 14

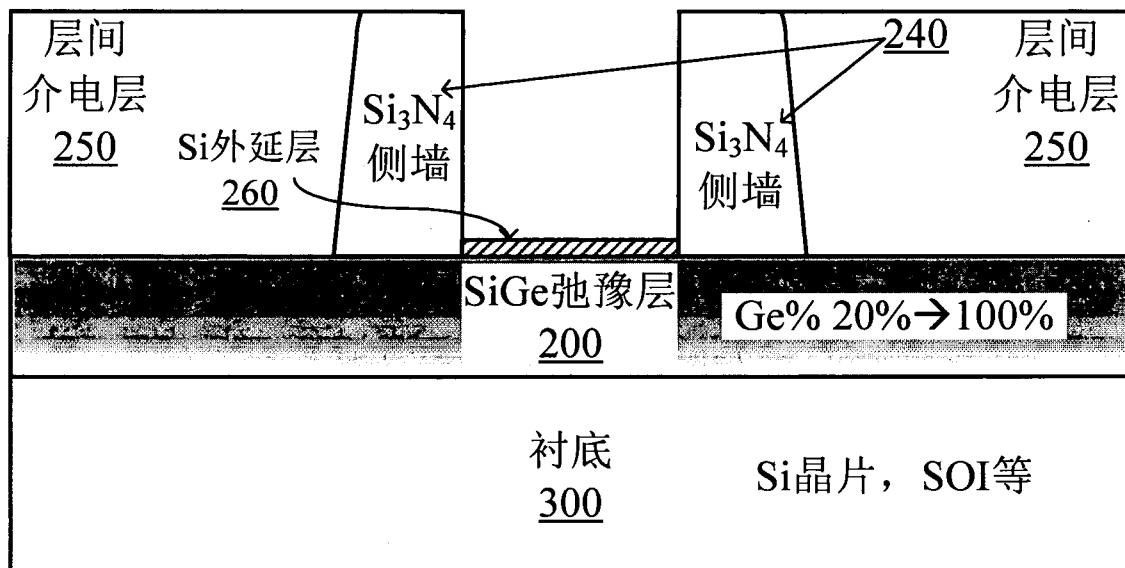


图 15

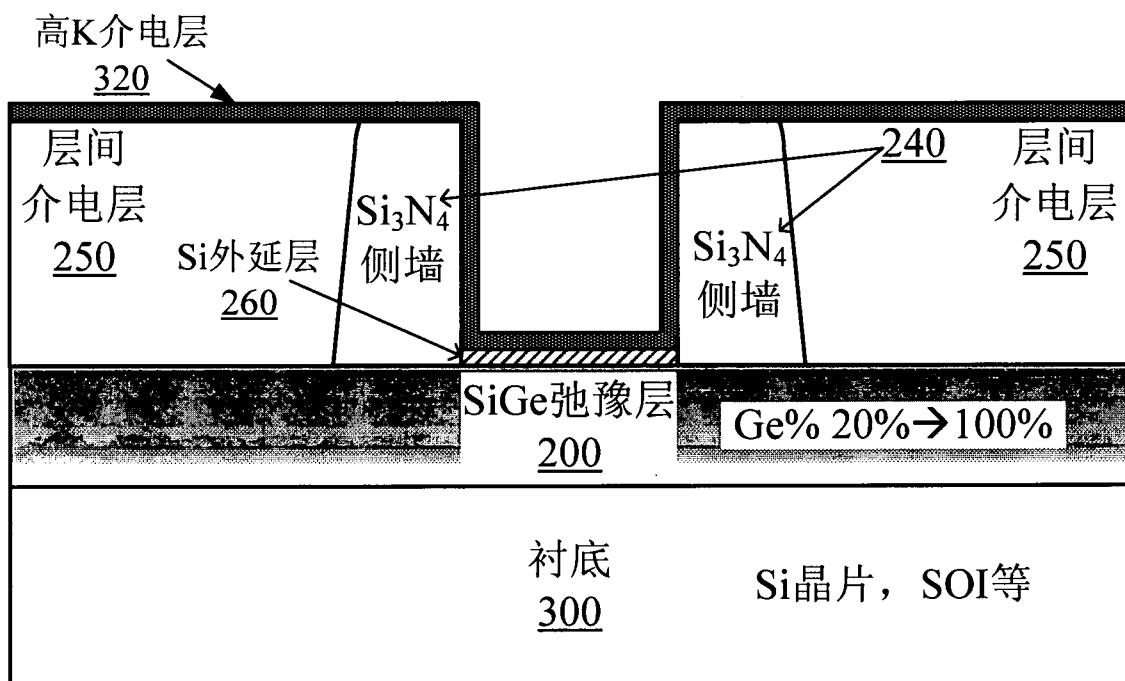


图 16

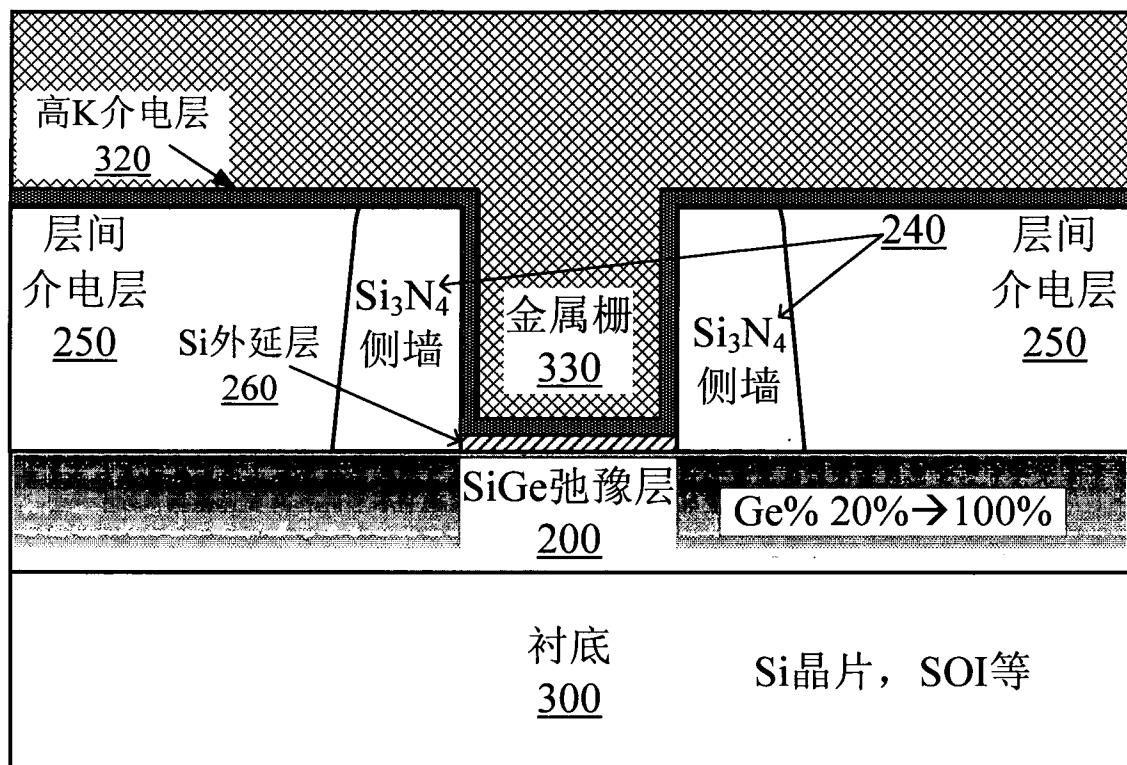


图 17

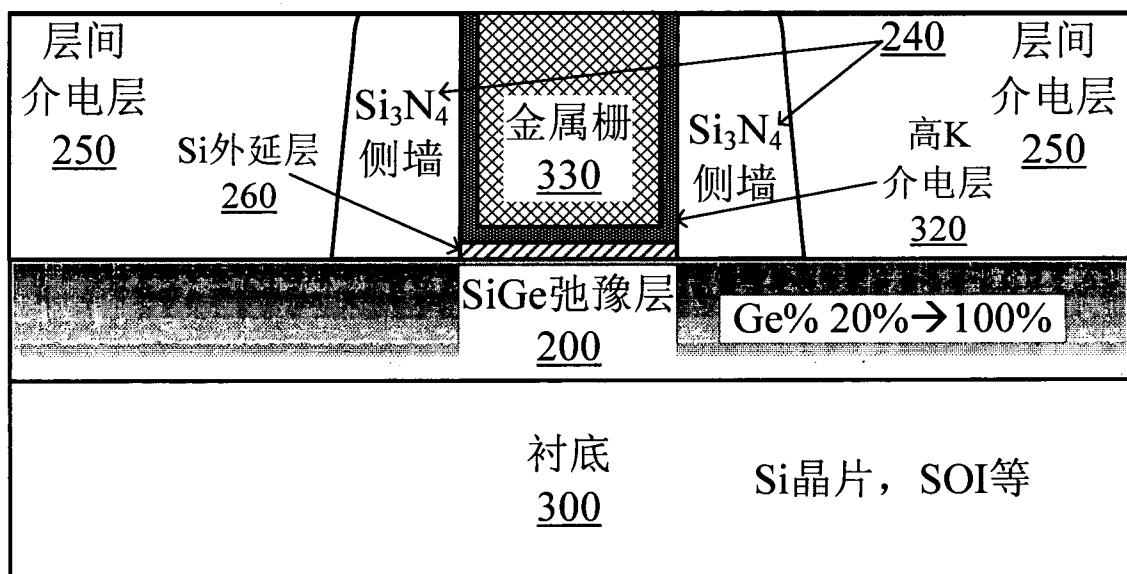


图 18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/001436

A. CLASSIFICATION OF SUBJECT MATTER

Refer to extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT CNKI EPODOC WPI: strained, channel, SiGe, relaxation, dummy gate, sacrificial, epitaxial

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US2006166417A1 (INT. BUSINESS MACHINES CORP.) 27 Jul. 2006 (27.07.2006) the whole document	1-14
Y	CN1612353A (INT. BUSINESS MACHINES CORP.) 04 May 2005 (04.05.2005) paragraph 2 page 4 to paragraph 2 page 5 in description, fig. 1A	1-14
A	CN101236968A (INT. BUSINESS MACHINES CORP.) 06 Aug. 2008 (06.08.2008) paragraph 3 page 4 to paragraph 4 page 5, fig. 1	1-14
A	CN1790742A (INT. BUSINESS MACHINES CORP.) 21 Jun. 2006 (21.06.2006) line 29 page 2 to line 13 page 7 in description, figures 1-9	1-14
A	US2004000268A1 (MASSACHUSETTS INST. TECHNOLOGY) 01. Jan. 2004 (01.01.2004) the whole document	1-14
A	CN1525542A (SAMSUNG ELECTRONICS CO., LTD.) 01 Sep. 2004 (01.09.2004) the whole document	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 Apr. 2011(18.04.2011)	Date of mailing of the international search report 05 May 2011 (05.05.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer CAO, Yile Telephone No. (86-10)62413978

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/CN2010/001436
--

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2006166417 A1	27.07.2006	US 2007087540 A1	19.04.2007
		US 7682887 B2	23.03.2010
CN 1612353 A	04.05.2005	JP 2005217391 A	11.08.2005
		KR 20050041881 A	04.05.2005
		US 2005093021 A1	05.05.2005
		US 7057216 B2	06.06.2006
		CN 100405611 C	23.07.2008
		KR 100633499 B1	16.10.2006
CN 101236968 A	06.08.2008	US 7525161 B2	28.04.2009
		US 2008179627 A1	31.07.2008
		CN 101236968 B	20.10.2010
CN 1790742 A	21.06.2006	US 2006091432 A1	04.05.2006
		US 7479684 B2	20.01.2009
US 2004000268 A1	01.01.2004	US 2001003269 A1	14.06.2001
		JP 2002511652 T	16.04.2002
		JP 2006140507 A	01.06.2006
		WO 9953539 A1	21.10.1999
		EP 1070341 A1	24.01.2001
CN 1525542 A	01.09.2004	DE 102004005502 A1	16.09.2004
		KR 20040077289 A	04.09.2004
		TW 200416964 A	01.09.2004
		DE 102004064122 A1	30.04.2008
		US 2004169221 A1	02.09.2004
		JP 2004266278 A	24.09.2004

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/001436

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

H01L 21/8238 (2006.01) i

国际检索报告

国际申请号
PCT/CN2010/001436

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

CNPAT CNKI EPODOC WPI: 应变, 沟道, 硅锗, 弛豫, 伪栅, 牺牲, 替代, 硅外延层 strained, channel, SiGe, relaxation, dummy gate, sacrificial, epitaxial

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US2006166417A1 (INT. BUSINESS MACHINES CORP.) 27.7 月 2006 (27.07.2006) 说明书第[0016]-[0021]段, 附图 1-6	1-14
Y	CN1612353A (国际商业机器公司) 04.5 月 2005 (04.05.2005) 说明书第 4 页第 2 段至第 5 页第 2 段, 附图 1A	1-14
A	CN101236968A (国际商业机器公司) 06.8 月 2008 (06.08.2008) 说明书第 4 页第 3 段至第 5 页第 4 段, 附图 1	1-14
A	CN1790742A (国际商业机器公司) 21.6 月 2006 (21.06.2006) 说明书第 2 页第 29 行	1-14
A	US2004000268A1 (MASSACHUSETTS INST. TECHNOLOGY) 01. 1 月 2004 (01.01.2004) 全文	1-14
A	CN1525542A (三星电子株式会社) 01.9 月 2004 (01.09.2004) 全文	1-14

 其余文件在 C 栏的续页中列出。 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期 18.4 月 2011(18.04.2011)	国际检索报告邮寄日期 05.5 月 2011 (05.05.2011)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451	受权官员 曹轶乐 电话号码: (86-10) 62413978

国际检索报告
关于同族专利的信息

**国际申请号
PCT/CN2010/001436**

检索报告中引用的专利文件	公布日期	同族专利	公布日期
US 2006166417 A1	27.07.2006	US 2007087540 A1 US 7682887 B2	19.04.2007 23.03.2010
CN 1612353 A	04.05.2005	JP 2005217391 A KR 20050041881 A US 2005093021 A1 US 7057216 B2 CN 100405611 C KR 100633499B1	11.08.2005 04.05.2005 05.05.2005 06.06.2006 23.07.2008 16.10.2006
CN 101236968 A	06.08.2008	US 7525161 B2 US 2008179627 A1 CN 101236968 B	28.04.2009 31.07.2008 20.10.2010
CN 1790742 A	21.06.2006	US 2006091432 A1 US 7479684 B2	04.05.2006 20.01.2009
US 2004000268 A1	01.01.2004	US 2001003269 A1 JP 2002511652 T JP 2006140507 A WO 9953539 A1 EP 1070341 A1	14.06.2001 16.04.2002 01.06.2006 21.10.1999 24.01.2001
CN 1525542 A	01.09.2004	DE 102004005502 A1 KR 20040077289 A TW 200416964 A DE 102004064122 A1 US 2004169221 A1 JP 2004266278 A	16.09.2004 04.09.2004 01.09.2004 30.04.2008 02.09.2004 24.09.2004

A. 主题的分类

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

H01L 21/8238 (2006.01) i