



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I685204 B

(45) 公告日：中華民國 109 (2020) 年 02 月 11 日

(21) 申請案號：108107921

(22) 申請日：中華民國 108 (2019) 年 03 月 08 日

(51) Int. Cl. : **H03L7/08 (2006.01)**

(71) 申請人：大陸商北京集創北方科技股份有限公司 (中國大陸) CHIPONE TECHNOLOGY (BEIJING) CO.,LTD (CN)

中國大陸

(72) 發明人：黃志正 (CN)

(74) 代理人：葉盛豐

(56) 參考文獻：

US 8502609B2

US 8774321B2

US 9559878B2

US 2005/0084048A1

WO 0014922 (2000014922) A1

審查人員：范士隆

申請專利範圍項數：5 項 圖式數：7 共 17 頁

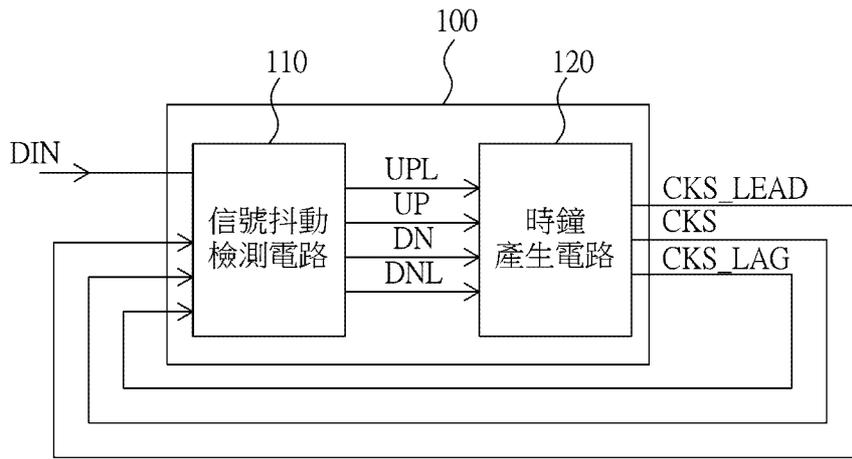
(54) 名稱

時鐘數據恢復電路及通信系統

(57) 摘要

一種可改善誤碼率的時鐘數據恢復電路，具有：一信號抖動檢測電路，係依一資料輸入信號和一領先時鐘信號、一同步時鐘信號及一落後時鐘信號間之相對相位關係產生一第一向上信號、一第二向上信號、一第一向下信號及一第二向下信號，其中，該領先時鐘信號領先該同步時鐘信號一第一差距時間，且該落後時鐘信號落後該同步時鐘信號一第二差距時間；以及一時鐘產生電路，係依該第二向上信號及該第二向下信號之一統計值決定一對應操作模式，以及在該對應操作模式下依該第一向上信號和該第一向下信號的控制調整該時鐘產生電路所產生的所述同步時鐘信號的頻率，並同時輸出該領先時鐘信號及該落後時鐘信號。

指定代表圖：



符號簡單說明：

100 . . . 時鐘數據恢復電路

110 . . . 信號抖動檢測電路

120 . . . 時鐘產生電路

圖 2

【發明說明書】

【中文發明名稱】時鐘數據恢復電路及通信系統

【技術領域】

【0001】 本發明係關於一種時鐘數據恢復電路，特別是能夠區別信號抖動原因並據以可改善誤碼率的時鐘數據恢復電路。

【先前技術】

【0002】 高速互連電路的信號經過長距離傳輸以後信號品質往往會有嚴重的損失，且環境雜訊會進一步惡化信號品質，導致接收端恢復資料難度增加。長距離傳輸信號損失一般表現為碼間干擾（ISI），其情形可見於圖 1 的輸入信號 V_{in} 和輸出信號 V_{out} 的相對波形圖中。當傳輸通道頻寬不足以傳輸具有一高資料率的輸入信號 V_{in} 時，輸出信號 V_{out} 會無法在單個信號週期內完好的建立其應有的電位，其情形如圖 1 之時間 t_1 及 t_2 處所示。

【0003】 當通道頻寬進一步變小，輸出信號 V_{out} 有可能會在兩個週期的時間內也無法建立，將會產生更複雜的碼間干擾現象並帶來更大的時間偏差，從而導致輸出信號 V_{out} 的品質進一步的惡化，甚至使輸出信號 V_{out} 無法在一個週期內超過 $V_0/2$ ，從而使得輸出信號 V_{out} 無法正常恢復。為了解決碼間干擾的問題，一般會在輸出端進行預加重以及在輸入接收端做等化（equalization）補償，其原理均為增加高頻增益，以補償通道的高頻損失。然而，過度的增加高頻增益，使得信號高頻部分過補償也會導致信號抖動變差，並且也會造成功耗的浪費。

【0004】 另一個影響傳輸信號性能的因素就是雜訊，在信號產生、傳送以及接收的過程中，都會有雜訊引入從而導致信號品質變差。當輸入信號雜訊較大的時候，須增加時鐘資料恢復電路（CDR）模組頻寬以跟蹤輸入信號的抖動，從而正確的恢復信號。但時鐘資料恢復電路模組的頻寬增加也會導致時鐘資料恢復電路模組本身的抖動變大，從而影響誤碼率。

【0005】 碼間干擾和雜訊都影響信號品質，但是兩者的解決方法並不一樣。而且高速互連設備的通道環境並不是一成不變的，如網路介面、視頻介面

等，不同的用戶所用的連線材質以及連線長度都很不一樣，工作的環境也不相同，無法使用完全相同的配置解決所有的使用者需求。

【0006】 為解決上述問題，本領域亟需一新穎的可改善誤碼率的時鐘數據恢復電路。

【發明內容】

【0007】 本發明之目的在於提供一種可改善誤碼率的時鐘數據恢復電路，其可透過產生同步時鐘信號之領先信號和落後信號，及利用所述領先信號和落後信號與一資料輸入信號間之相對相位關係來判斷該資料輸入信號之抖動原因，並根據該抖動原因調整一電路或一電路頻寬，達到最優的接收端配置，從而使誤碼率降到最低。

【0008】 為達上述目的，一種可改善誤碼率的時鐘數據恢復電路乃被提出，其具有：

【0009】 一信號抖動檢測電路，係依一資料輸入信號和一領先時鐘信號、一同步時鐘信號及一落後時鐘信號間之相對相位關係產生一第一向上信號、一第二向上信號、一第一向下信號及一第二向下信號，其中，該領先時鐘信號領先該同步時鐘信號一第一差距時間，且該落後時鐘信號落後該同步時鐘信號一第二差距時間，其中，該第一向上信號係用以代表該同步時鐘信號是否落後該資料輸入信號，該第二向上信號係用以代表該領先時鐘信號是否落後該資料輸入信號，該第一向下信號係用以代表該同步時鐘信號是否領先該資料輸入信號，及該第二向下信號係用以代表該落後時鐘信號是否領先該資料輸入信號；以及

【0010】 一時鐘產生電路，係用以依該第二向上信號及該第二向下信號之一統計值決定一對應操作模式，當該統計值超過一預設值時，該對應操作模式為一雜訊操作模式，當該統計值未超過該預設值時，該對應操作模式為一碼間干擾操作模式，以及用以在該對應操作模式下依該第一向上信號和該第一向下信號的控制調整該時鐘產生電路所產生的所述同步時鐘信號的頻率，並同時輸出該領先時鐘信號及該落後時鐘信號。

【0011】 在一實施例中，當該對應操作模式為該碼間干擾操作模式時，該時鐘產生電路調整一等化器電路，以及當該對應操作模式為該雜訊操作模式時，該時鐘產生電路調整一電路頻寬。

【0012】 在一實施例中，該時鐘產生電路包括一第一延時單元及一第二延時單元以提供所述的第一差距時間和第二差距時間。

【0013】 在一實施例中，該統計值係在一預定期間內的累計值。

【0014】 在一實施例中，該信號抖動檢測電路具有一第一門鎖器、一第一輔助門鎖器、一第二門鎖器、一第二輔助門鎖器、一第三門鎖器、一第三輔助門鎖器、一第四門鎖器、一第四輔助門鎖器、一第一互斥或閘、一第一輔助互斥或閘、一第二互斥或閘及一第二輔助互斥或閘，其中，該第一門鎖器、該第二門鎖器、該第二輔助門鎖器、該第四門鎖器和該第四輔助門鎖器均係由該同步時鐘信號的上升沿觸發，該第三門鎖器係由該同步時鐘信號的下降沿觸發，該第一輔助門鎖器係由該領先時鐘信號的下降沿觸發，及該第三輔助門鎖器係由該落後時鐘信號的下降沿觸發；該第一門鎖器的輸入端係與該資料輸入信號耦接，而其輸出端提供一第一輸出信號；該第二門鎖器的輸入端係與該第一輸出信號耦接，而其輸出端提供一第二輸出信號；該第三門鎖器的輸入端係與該資料輸入信號耦接，而其輸出端提供一第三輸出信號；該第四門鎖器的輸入端係與該第三輸出信號耦接，而其輸出端提供一第四輸出信號；該第一輔助門鎖器的輸入端係與該資料輸入信號耦接，而其輸出端係耦接至該第二輔助門鎖器；該第二輔助門鎖器的輸入端係與該第一輔助門鎖器的輸出端耦接，而其輸出端提供一第五輸出信號；該第三輔助門鎖器的輸入端係與該資料輸入信號耦接，而其輸出端係耦接至該第四輔助門鎖器；該第四輔助門鎖器的輸入端係與該第三輔助門鎖器的輸出端耦接，而其輸出端提供一第六輸出信號；該第一互斥或閘的兩輸入端分別與該第二輸出信號及該第四輸出信號耦接，而其輸出端提供該第一向上信號；該第一輔助互斥或閘的兩輸入端分別與該第二輸出信號及該第五輸出信號耦接，而其輸出端提供該第二向上信號；該第二互斥或閘的兩輸入端分別與該第一輸出信號及該第四輸出信號耦接，而其輸出端提供該第

一向下信號；以及該第二輔助互斥或閘的兩輸入端分別與該第一輸出信號及該第六輸出信號耦接，而其輸出端提供該第二向下信號。

【0015】此外，本發明進一步提出一種通信系統，其具有如前述之可改善誤碼率的時鐘數據恢復電路以降低通信誤碼率。

【0016】為使 貴審查委員能進一步瞭解本發明之結構、特徵及其目的，茲附以圖式及較佳具體實施例之詳細說明如後。

【圖式簡單說明】

【0017】

圖1繪示現有通信技術之輸入信號和輸出信號的相對波形圖；

圖2繪示本發明可改善誤碼率的時鐘數據恢復電路之一實施例示意圖；

圖3繪示一開關式鑿相器電路；

圖4繪示圖3之開關式鑿相器電路之一工作波形圖；

圖5繪示本發明在同步時鐘前後分別加上一延時單元以提供第一差距時間和第二差距時間，從而產生領先時鐘信號及落後時鐘信號的電路圖；

圖6繪示圖5的電路工作波形圖；以及

圖7繪示圖2之信號抖動檢測電路之一實施例方塊圖。

【實施方式】

【0018】請參照圖 2，其繪示本發明可改善誤碼率的時鐘數據恢復電路之一實施例示意圖。

【0019】如圖 2 所示，一時鐘數據恢復電路 100 包括一信號抖動檢測電路 110 及一時鐘產生電路 120，其中，當時鐘數據恢復電路 100 處於鎖定狀態時，一同步時鐘信號 CKS 之下降沿會與一資料輸入信號 DIN 之一翻轉沿對齊。

【0020】信號抖動檢測電路 110 係依資料輸入信號 DIN 和一領先時鐘信號 CKS_LEAD、同步時鐘信號 CKS 及一落後時鐘信號 CKS_LAG 間之相對相位關係產生一第一向上信號 UP、一第二向上信號 UPL、一第一向下信號 DN 及一第二向下信號 DNL，其中，領先時鐘信號 CKS_LEAD 領先同步時鐘信號 CKS 一第一差距時間，且落後時鐘信號 CKS_LAG 落後同步時鐘信號 CKS 一第二差

距時間，因此，當 UP=1(高電位)時，表示 CKS 落後 DIN，而當 UPL=1(高電位)時，表示領先時鐘信號 CKS_LEAD 落後資料輸入信號 DIN，亦即 CKS 落後 DIN 過多；以及當 DN=1(高電位)時，表示 CKS 領先 DIN，而當 DNL=1(高電位)時，表示落後時鐘信號 CKS_LAG 領先資料輸入信號 DIN，亦即 CKS 領先 DIN 過多。

【0021】 時鐘產生電路 120 係依第二向上信號 UPL 及第二向下信號 DNL 之一統計值決定一對應操作模式，當該統計值超過一預設值時，該對應操作模式為一雜訊操作模式，當該統計值未超過該預設值時，該對應操作模式為一碼間干擾操作模式，以及在該對應操作模式下依第一向上信號 UP 和第一向下信號 DN 的控制調整時鐘產生電路 120 所產生的同步時鐘信號 CKS 的頻率，並同時輸出領先時鐘信號 CKS_LEAD 及落後時鐘信號 CKS_LAG。

【0022】 以下將說明本發明的原理：

【0023】 時鐘資料恢復電路 100 之資料信號抖動原因係由一碼間干擾及/或一雜訊所造成。碼間干擾和雜訊雖然都會對接收端的信號品質產生影響，但是兩者對信號品質影響的方式是不太相同的：(1)碼間干擾完全是由通道損失和資料序列所決定的，因此，碼間干擾產生的抖動是有規律的，在發送同樣資料的流程中，每一拍信號的抖動大小和方向都是一致的；(2)而雜訊對資料信號的影響則完全是隨機的，在同樣的資料序列中，每一拍資料抖動的大小和方向都可能不一樣。

【0024】 通道建立時，資料接收工作模式保持與原先一致，並先讓時鐘資料恢復電路進入鎖定狀態。請一併參照圖 3 及圖 4，其中，圖 3 繪示一開關式鑿相器電路；以及圖 4 繪示圖 3 之開關式鑿相器電路之一工作波形圖。

【0025】 如圖 3 所示，該開關式鑿相器電路包括一第一門鎖器 111、一第二門鎖器 112、一第三門鎖器 113、一第四門鎖器 114、一第一互斥或閘 115 及一第二互斥或閘 116，其中，第一門鎖器 111、第二門鎖器 112 和第四門鎖器 114 均係由同步時鐘信號 CKS 的上升沿觸發，而第三門鎖器 113 則係由同步時鐘信號 CKS 的下降沿觸發；第一門鎖器 111 的輸入端係與資料輸入信號 DIN 耦接，而其輸出端提供一第一輸出信號 Q1；第二門鎖器 112 的輸入端係與第一

輸出信號 Q1 耦接，而其輸出端提供一第二輸出信號 Q2；第三門鎖器 113 的輸入端係與資料輸入信號 DIN 耦接，而其輸出端提供一第三輸出信號 Q3；第四門鎖器 114 的輸入端係與第三輸出信號 Q3 耦接，而其輸出端提供一第四輸出信號 Q4；第一互斥或閘 115 的兩輸入端分別與第二輸出信號 Q2 及第四輸出信號 Q4 耦接，而其輸出端提供第一向上信號 UP；第二互斥或閘 116 的兩輸入端分別與第一輸出信號 Q1 及第四輸出信號 Q4 耦接，而其輸出端提供第一向下信號 DN。DIN 與 CKS、Q1、Q2、Q3 及 Q4 的相對關係如圖 4 所示。

【0026】 當時鐘資料恢復電路操作於鎖定狀態時，同步時鐘信號 CKS 的下降沿會與資料輸入信號 DIN 的翻轉沿對齊，從而保證在同步時鐘信號 CKS 上升沿採資料的時候有最大的裕度。因為同步時鐘信號 CKS 的下降沿與資料輸入信號 DIN 的翻轉沿對齊，所以同步時鐘信號 CKS 下降沿採樣資料輸入信號 DIN 時有可能采到輸入信號 DIN 翻轉之前的資料也有可能採樣到資料輸入信號 DIN 翻轉之後的資料，當不考慮非理想效應時兩者出現的概率基本一致。

【0027】 時鐘資料恢復電路會促使同步時鐘信號 CKS 去跟蹤資料輸入信號 DIN 的抖動，但如果資料輸入信號 DIN 的抖動是由碼間干擾引起的，傳統設計的同步時鐘信號 CKS 並無法判斷，其結果會導致同步時鐘信號 CKS 的變化方向與碼間干擾的方向相反，從而加大了誤碼率；而如果資料輸入信號 DIN 的抖動是由雜訊引起的，則需要同步時鐘信號 CKS 能夠快速跟蹤資料輸入信號 DIN 的變化。也就是說，碼間干擾和雜訊對時鐘資料恢復電路回應頻寬的要求並不一致，如果抖動是碼間干擾引起的，時鐘資料恢復電路儘量不去跟蹤，而抖動如果是雜訊引起的，時鐘資料恢復電路應該盡可能的跟蹤上。

【0028】 當抖動原因為碼間干擾時，時鐘資料恢復電路進行電路的等化補償；以及當抖動原因為雜訊時，時鐘資料恢復電路則調整電路頻寬。

【0029】 本發明通過檢測信號的抖動特性並記錄，然後在數位電路中統計並分析其抖動原因為碼間干擾還是雜訊，如果為碼間干擾則調整前端放大電路的等化器特性或者如果傳輸協定有反向傳輸指令的功能可以調整發送級的預加重特性，如果是雜訊則調整時鐘資料恢復電路的頻寬使時鐘資料恢復電路能

更好的跟蹤資料輸入信號。

【0030】 本發明在同步時鐘前後分別加上延時單元 121、122 以提供所述的第一差距時間和第二差距時間，如圖 5 所示，從而產生領先時鐘信號 CKS_LEAD 及落後時鐘信號 CKS_LAG，其中，延時單元 121、122 的延時均可調整以滿足不同的應用需求和達到最優的效果，其時鐘波形關係如圖 6 所示。

【0031】 請參照圖 7，其繪示圖 2 之信號抖動檢測電路 110 之一實施例方塊圖。如圖 7 所示，信號抖動檢測電路 110 具有一第一門鎖器 111、一第一輔助門鎖器 111a、一第二門鎖器 112、一第二輔助門鎖器 112a、一第三門鎖器 113、一第三輔助門鎖器 113a、一第四門鎖器 114、一第四輔助門鎖器 114a、一第一互斥或閘 115、一第一輔助互斥或閘 115a、一第二互斥或閘 116 及一第二輔助互斥或閘 116a，其中，第一門鎖器 111、第二門鎖器 112、第二輔助門鎖器 112a、第四門鎖器 114 和第四輔助門鎖器 114a 均係由同步時鐘信號 CKS 的上升沿觸發，第三門鎖器 113 係由同步時鐘信號 CKS 的下降沿觸發，第一輔助門鎖器 111a 係由領先時鐘信號 CKS_LEAD 的下降沿觸發，及第三輔助門鎖器 113a 係由落後時鐘信號 CKS_LAG 的下降沿觸發；第一門鎖器 111 的輸入端係與資料輸入信號 DIN 耦接，而其輸出端提供一第一輸出信號 Q1；第二門鎖器 112 的輸入端係與第一輸出信號 Q1 耦接，而其輸出端提供一第二輸出信號 Q2；第三門鎖器 113 的輸入端係與資料輸入信號 DIN 耦接，而其輸出端提供一第三輸出信號 Q3；第四門鎖器 114 的輸入端係與第三輸出信號 Q3 耦接，而其輸出端提供一第四輸出信號 Q4；第一輔助門鎖器 111a 的輸入端係與資料輸入信號 DIN 耦接，而其輸出端係耦接至第二輔助門鎖器 112a；第二輔助門鎖器 112a 的輸入端係與第一輔助門鎖器 111a 的輸出端耦接，而其輸出端提供一第五輸出信號 Q5；第三輔助門鎖器 113a 的輸入端係與資料輸入信號 DIN 耦接，而其輸出端係耦接至第四輔助門鎖器 114a；第四輔助門鎖器 114a 的輸入端係與第三輔助門鎖器 113a 的輸出端耦接，而其輸出端提供一第六輸出信號 Q6；第一互斥或閘 115 的兩輸入端分別與第二輸出信號 Q2 及第四輸出信號 Q4 耦接，而其輸出端提供第一向上信號 UP；第一輔助互斥或閘 115a 的兩輸入端分別與第二輸出信

號 Q2 及第五輸出信號 Q5 耦接，而其輸出端提供第二向上信號 UPL；第二互斥或閘 116 的兩輸入端分別與第一輸出信號 Q1 及第四輸出信號 Q4 耦接，而其輸出端提供第一向下信號 DN；以及第二輔助互斥或閘 116a 的兩輸入端分別與第一輸出信號 Q1 及第六輸出信號 Q6 耦接，而其輸出端提供第二向下信號 DNL。

【0032】 在圖 7 的電路中，主要是利用領先時鐘信號 CKS_LEAD 和落後時鐘信號 CKS_LAG 產生第二向下信號 DNL 和第二向上信號 UPL 兩個信號，因為領先時鐘信號 CKS_LEAD 領先同步時鐘信號 CKS，所以如果第二向上信號 UPL 為 1 則可認為同步時鐘信號 CKS 的相位落後資料輸入信號 DIN 過多；而落後時鐘信號 CKS_LAG 遲於同步時鐘信號 CKS，所以如果第二向下信號 DNL 為 1 則認為同步時鐘信號 CKS 領先資料輸入信號 DIN 過多，第二向上信號 UPL 和第二向下信號 DNL 如果經常為 1，則表示時鐘資料恢復電路跟蹤資料輸入信號 DIN 比較困難，時鐘相對於資料有較大的抖動。

【0033】 因此，時鐘產生電路 120 即可藉由將第二向上信號 UPL 輸出信號和第二向下信號 DNL 的一統計值(例如在一預定期間內的累計值)和一預設值比較，以決定資料輸入信號的抖動原因是碼間干擾還是雜訊，並在判斷抖動原因為碼間干擾時，進行一前端放大電路的等化器特性調整或者一發送級的預加重特性調整(如果傳輸協定有反向傳輸指令的功能)，以及在判斷抖動原因是雜訊時，調整時鐘資料恢復電路的頻寬使時鐘資料恢復電路能更好的跟蹤資料輸入信號。

【0034】 依上述的說明，本發明進一步提出一種通信系統，其具有如圖 2 所示之時鐘數據恢復電路 100 以降低通信誤碼率。

【0035】 藉由前述所揭露的設計，本發明乃具有以下優點：

【0036】 1. 實現最優化前端放大器特性以及 CDR 頻寬特性，從而達到最優的誤碼率。

【0037】 2. 在傳輸建立前開啟，因此不會給原先的工作電路增加額外的功耗，也不會影響原先電路的性能。

【0038】 3. 可改善誤碼率的時鐘數據恢復電路不需要持續工作，可以僅在

通道建立的時候或者間隔一段時間啟動一次，所以並不會給原先的接收端電路帶來額外的功耗。

【0039】 本案所揭示者，乃較佳實施例，舉凡局部之變更或修飾而源於本案之技術思想而為熟習該項技藝之人所易於推知者，俱不脫本案之專利權範疇。

【0040】 綜上所陳，本案無論就目的、手段與功效，在在顯示其迥異於習知之技術特徵，且其首先發明合於實用，亦在在符合發明之專利要件，懇請 貴審查委員明察，並祈早日賜予專利，俾嘉惠社會，實感德便。

【符號說明】

【0041】

100：時鐘數據恢復電路

110：信號抖動檢測電路

111：第一門鎖器

111a：第一輔助門鎖器

112：第二門鎖器

112a：第二輔助門鎖器

113：第三門鎖器

113a：第三輔助門鎖器

114：第四門鎖器

114a：第四輔助門鎖器

115：第一互斥或閘

115a：第一輔助互斥或閘

116：第二互斥或閘

116a：第二輔助互斥或閘

120：時鐘產生電路

121、122：延時單元

I685204

【發明摘要】

【中文發明名稱】時鐘數據恢復電路及通信系統

【中文】

一種可改善誤碼率的時鐘數據恢復電路，具有：一信號抖動檢測電路，係依一資料輸入信號和一領先時鐘信號、一同步時鐘信號及一落後時鐘信號間之相對相位關係產生一第一向上信號、一第二向上信號、一第一向下信號及一第二向下信號，其中，該領先時鐘信號領先該同步時鐘信號一第一差距時間，且該落後時鐘信號落後該同步時鐘信號一第二差距時間；以及一時鐘產生電路，係依該第二向上信號及該第二向下信號之一統計值決定一對應操作模式，以及在該對應操作模式下依該第一向上信號和該第一向下信號的控制調整該時鐘產生電路所產生的所述同步時鐘信號的頻率，並同時輸出該領先時鐘信號及該落後時鐘信號。

【指定代表圖】 第(2)圖。

【代表圖之符號簡單說明】

100：時鐘數據恢復電路

110：信號抖動檢測電路

120：時鐘產生電路

【發明圖式】

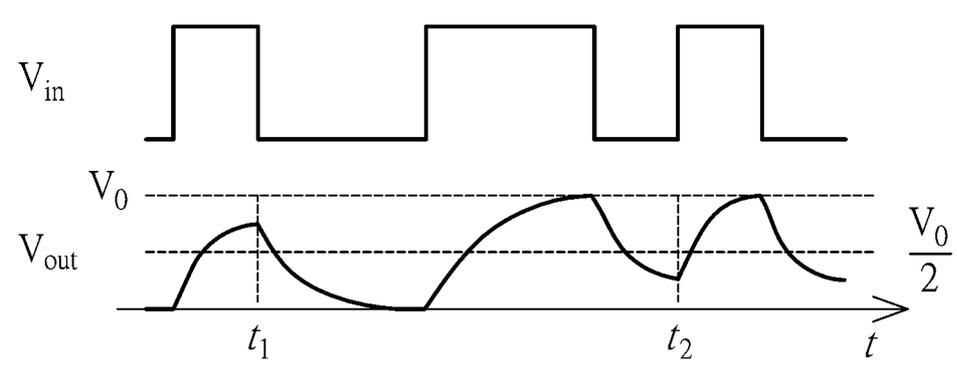


圖 1

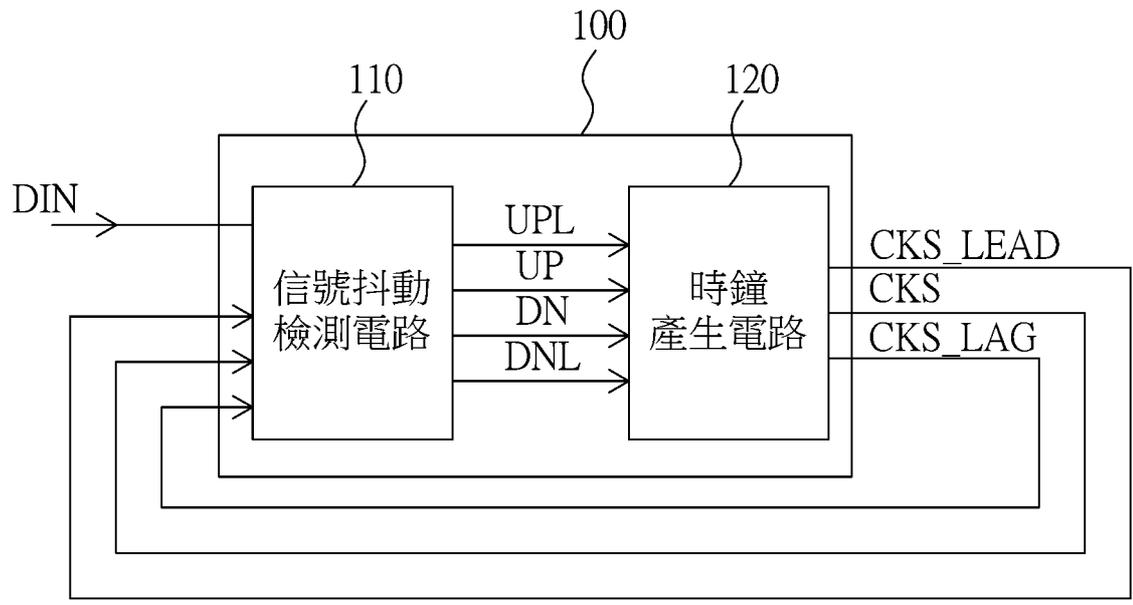


圖 2

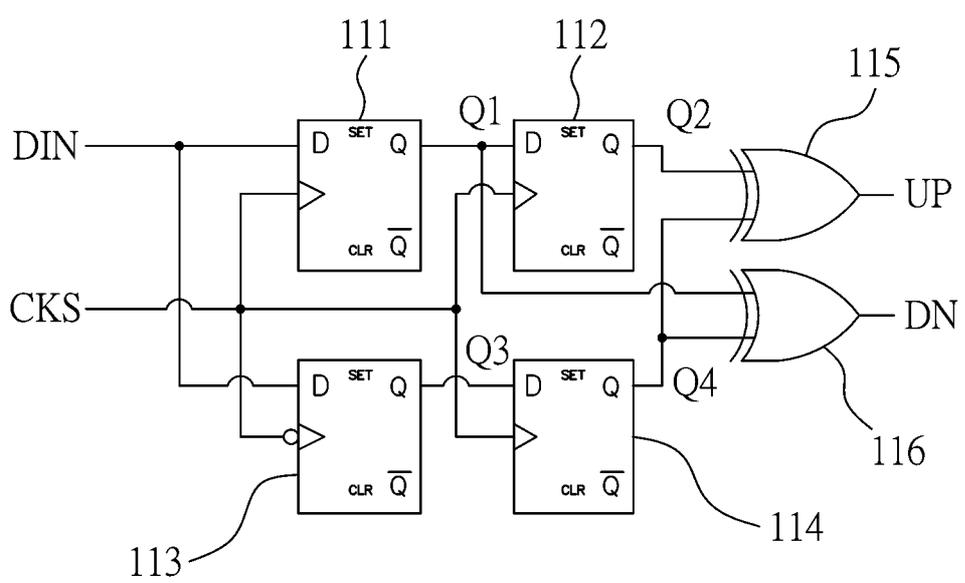


圖 3

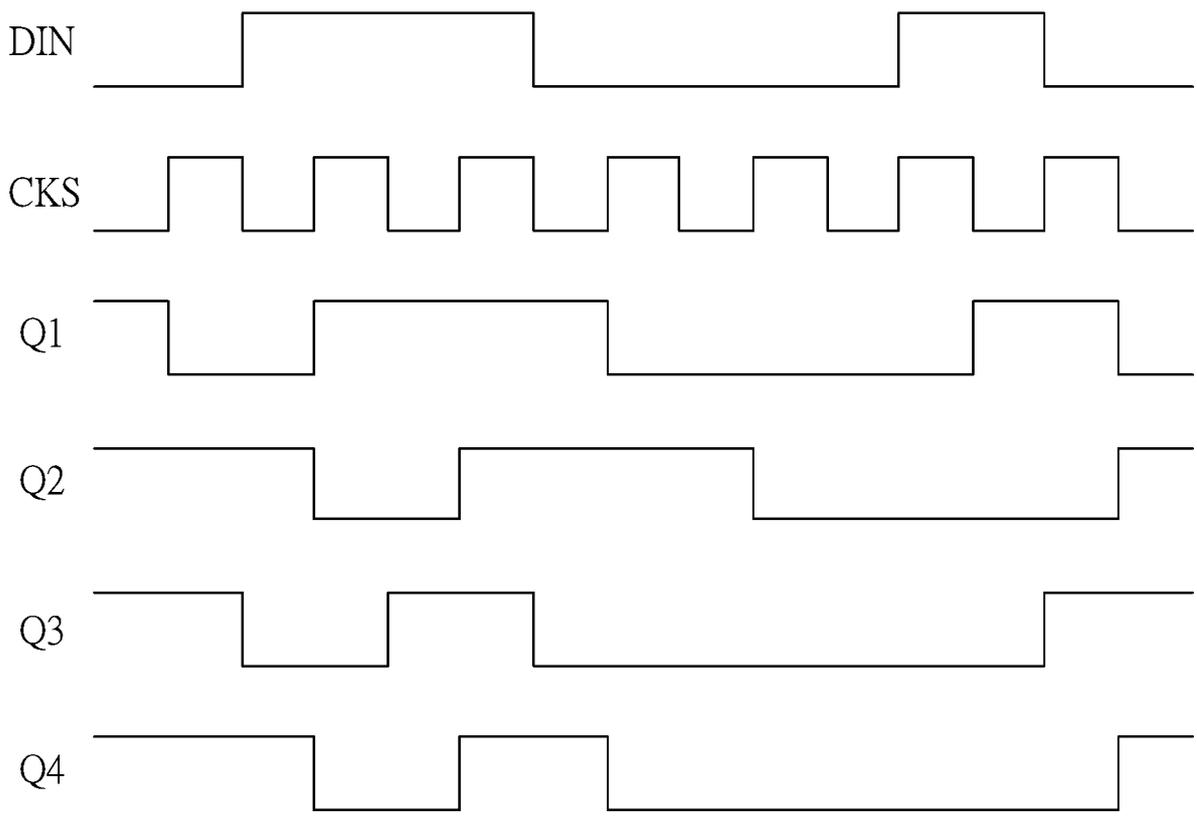


圖 4

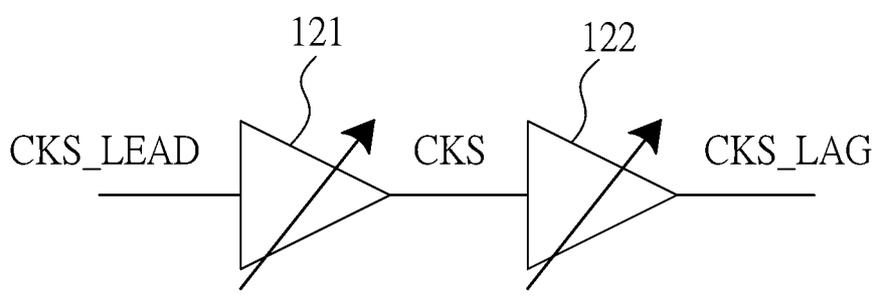


圖 5

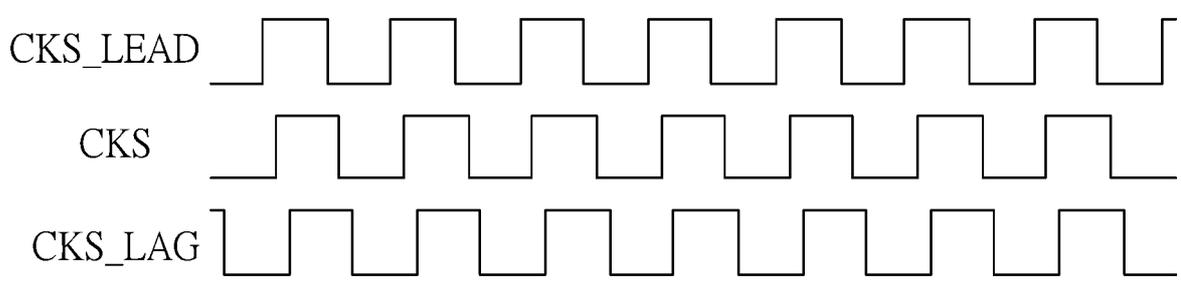


圖 6

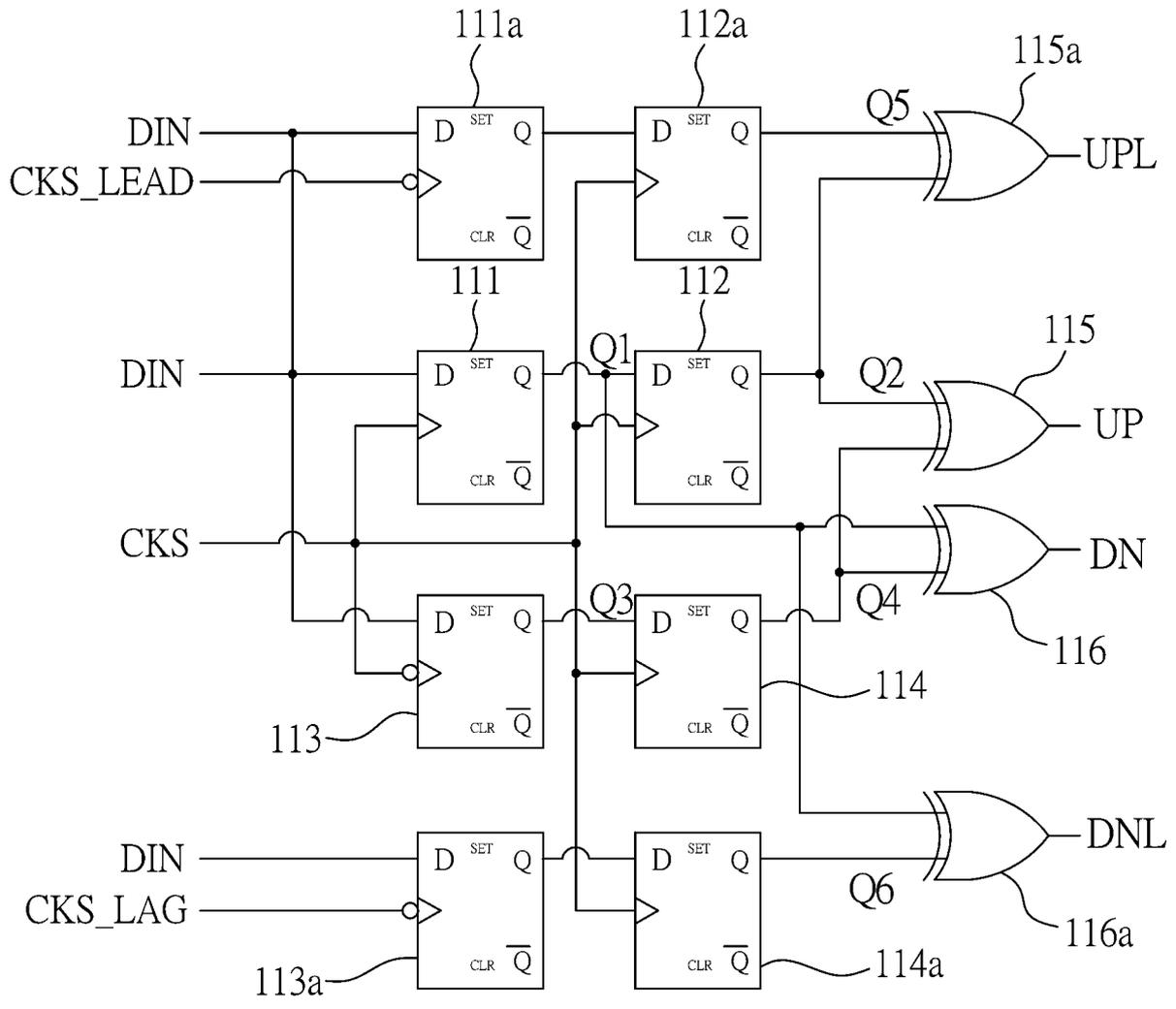


圖 7

【發明申請專利範圍】

【第1項】 一種可改善誤碼率的時鐘數據恢復電路，其具有：

一信號抖動檢測電路，係依一資料輸入信號和一領先時鐘信號、一同步時鐘信號及一落後時鐘信號間之相對相位關係產生一第一向上信號、一第二向上信號、一第一向下信號及一第二向下信號，其中，該領先時鐘信號領先該同步時鐘信號一第一差距時間，且該落後時鐘信號落後該同步時鐘信號一第二差距時間，其中，該第一向上信號係用以代表該同步時鐘信號是否落後該資料輸入信號，該第二向上信號係用以代表該領先時鐘信號是否落後該資料輸入信號，該第一向下信號係用以代表該同步時鐘信號是否領先該資料輸入信號，及該第二向下信號係用以代表該落後時鐘信號是否領先該資料輸入信號；以及

一時鐘產生電路，係用以依該第二向上信號及該第二向下信號之一統計值決定一對應操作模式，當該統計值超過一預設值時，該對應操作模式為一第一操作模式，當該統計值未超過該預設值時，該對應操作模式為一第二操作模式，以及用以在該對應操作模式下依該第一向上信號和該第一向下信號的控制調整該時鐘產生電路所產生的所述同步時鐘信號的頻率，並同時輸出該領先時鐘信號及該落後時鐘信號；

其中，當該對應操作模式為該第二操作模式時，該時鐘產生電路調整一等化器電路，以及當該對應操作模式為該第一操作模式時，該時鐘產生電路調整一電路頻寬。

【第2項】 如請求項 1 所述之可改善誤碼率的時鐘數據恢復電路，其中該時鐘產生電路包括一第一延時單元及一第二延時單元以提供所述的第一差距時間和第二差距時間。

【第3項】 如請求項 1 所述之可改善誤碼率的時鐘數據恢復電路，其中該統計值係在一預定期間內的累計值。

【第4項】 如請求項 1 所述之可改善誤碼率的時鐘數據恢復電路，其中該信號抖動檢測電路具有一第一門鎖器、一第一輔助門鎖器、一第二門鎖器、一第二輔助門鎖器、一第三門鎖器、一第三輔助門鎖器、一第四門鎖器、一第四輔

108年9月24日修正

助門鎖器、一第一互斥或閘、一第一輔助互斥或閘、一第二互斥或閘及一第二輔助互斥或閘，其中，該第一門鎖器、該第二門鎖器、該第二輔助門鎖器、該第四門鎖器和該第四輔助門鎖器均係由該同步時鐘信號的上升沿觸發，該第三門鎖器係由該同步時鐘信號的下降沿觸發，該第一輔助門鎖器係由該領先時鐘信號的下降沿觸發，及該第三輔助門鎖器係由該落後時鐘信號的下降沿觸發；該第一門鎖器的輸入端係與該資料輸入信號耦接，而其輸出端提供一第一輸出信號；該第二門鎖器的輸入端係與該第一輸出信號耦接，而其輸出端提供一第二輸出信號；該第三門鎖器的輸入端係與該資料輸入信號耦接，而其輸出端提供一第三輸出信號；該第四門鎖器的輸入端係與該第三輸出信號耦接，而其輸出端提供一第四輸出信號；該第一輔助門鎖器的輸入端係與該資料輸入信號耦接，而其輸出端係耦接至該第二輔助門鎖器；該第二輔助門鎖器的輸入端係與該第一輔助門鎖器的輸出端耦接，而其輸出端提供一第五輸出信號；該第三輔助門鎖器的輸入端係與該資料輸入信號耦接，而其輸出端係耦接至該第四輔助門鎖器；該第四輔助門鎖器的輸入端係與該第三輔助門鎖器的輸出端耦接，而其輸出端提供一第六輸出信號；該第一互斥或閘的兩輸入端分別與該第二輸出信號及該第四輸出信號耦接，而其輸出端提供該第一向上信號；該第一輔助互斥或閘的兩輸入端分別與該第二輸出信號及該第五輸出信號耦接，而其輸出端提供該第二向上信號；該第二互斥或閘的兩輸入端分別與該第一輸出信號及該第四輸出信號耦接，而其輸出端提供該第一向下信號；以及該第二輔助互斥或閘的兩輸入端分別與該第一輸出信號及該第六輸出信號耦接，而其輸出端提供該第二向下信號。

【第5項】一種通信系統，其具有如請求項 1-4 中任一項所述之可改善誤碼率的時鐘數據恢復電路以降低通信誤碼率。