

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5009519号
(P5009519)

(45) 発行日 平成24年8月22日(2012.8.22)

(24) 登録日 平成24年6月8日(2012.6.8)

(51) Int.Cl.

G09G 5/00 (2006.01)

F 1

G09G 5/00 510X
G09G 5/00 550M
G09G 5/00 555D

請求項の数 16 外国語出願 (全 17 頁)

(21) 出願番号 特願2005-298307 (P2005-298307)
 (22) 出願日 平成17年10月13日 (2005.10.13)
 (65) 公開番号 特開2006-126829 (P2006-126829A)
 (43) 公開日 平成18年5月18日 (2006.5.18)
 審査請求日 平成20年10月9日 (2008.10.9)
 (31) 優先権主張番号 60/620,094
 (32) 優先日 平成16年10月18日 (2004.10.18)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 11/061,151
 (32) 優先日 平成17年2月18日 (2005.2.18)
 (33) 優先権主張国 米国(US)

(73) 特許権者 510073235
 タミラス・パー・ピーティーイー・リミテッド・リミテッド ライアビリティ カンパニー
 Tamiras Per Pte. Ltd., LLC
 アメリカ合衆国 デラウェア州 19904
 ドーバー, グリーンツリー・ドライブ,
 160, スイート 101
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100109346
 弁理士 大貫 敏史

最終頁に続く

(54) 【発明の名称】 フラットパネルコントローラ中の仮想拡張ディスプレイ識別データ (E D I D)

(57) 【特許請求の範囲】

【請求項 1】

それが適切なタイプのビデオソースに接続されれる多数のデータポートと、実行可能な命令および関連付けられたデータを処理するよう構成されたプロセッサとを有するディスプレイコントローラにおいて、プロセッサのメモリ空間に記憶された拡張ディスプレイ識別データ(E D I D)の読み出しを制御する方法であって、

前記プロセッサのメモリ空間の第1部分に、前記プロセッサによって実行される命令および関連付けられたデータを記憶すること、および

前記プロセッサのメモリ空間の第2部分に、前記E D I Dを記憶することを備え、

前記第1および第2部分は、前記ディスプレイコントローラとプロセッサの電源がオフになっているときでも、前記データポートによってアクセスのために完全に利用可能であり、

前記E D I Dは、バッファメモリの中に一時的に格納され、

調停回路は、E D I Dリードリクエストと、クライアント装置リードリクエストを実行し、

前記バッファメモリに格納された前記E D I Dが少なくなったときに、未実行のE D I Dリードリクエストを実行するために、前記バッファメモリは前記第2部分へのアクセスが認められる、方法。

【請求項 2】

10

20

請求項 1 に記載の方法であって、
前記メモリ空間の前記第 2 部分に前記 E D I D を記憶することは、
前記メモリ空間の第 2 部分の一部に、アナログ拡張ディスプレイ識別データを記憶すること、および
前記メモリ空間の第 2 部分の他の部分に、デジタル拡張ディスプレイ識別データを記憶すること
を備える方法。

【請求項 3】

請求項 1 に記載の方法であって、前記データポートの少なくとも 1 つはアナログデータポートであり、前記データポートの少なくとも 1 つはデジタルデータポートである方法。 10

【請求項 4】

請求項 3 に記載の方法であって、前記アナログデータポートは選択的に前記アナログ拡張ディスプレイ識別データを取り出す方法。

【請求項 5】

請求項 3 に記載の方法であって、前記デジタルデータポートは選択的に前記デジタル拡張ディスプレイ識別データを取り出す方法。

【請求項 6】

請求項 1 に記載の方法であって、
電源オフモードにおいて前記データポートのうちの選択されたものを経由してホストデバイスによって前記プロセッサのメモリ空間に電力を供給すること、および
電源オンモードにおいてオンボード電源だけによって前記プロセッサのメモリ空間に電力を供給すること
をさらに備える方法。 20

【請求項 7】

請求項 1 に記載の方法であって、前記データポートはそれぞれ I 2 C 準拠データバスを経由して前記プロセッサのメモリ空間に接続される方法。

【請求項 8】

請求項 7 に記載の方法であって、
I 2 C 準拠を維持するように、適切な E D I D を前記リクエストしているポートによって前記プロセッサのメモリ空間から取り出すことおよびプロセッサメモリアクセスリクエストを調停すること
をさらに備える方法。 30

【請求項 9】

請求項 8 に記載の方法であって、デジタルポートは D V I ポートであり、アナログポートは V G A ポートである方法。

【請求項 10】

請求項 9 に記載の方法であって、
ディスプレイがデジタルディスプレイかアナログディスプレイかを決定すること、
前記ディスプレイがアナログまたはデジタルであるかに基づいて適切なポートをアクセイベートすること、および
前記ディスプレイがアナログまたはデジタルであるかに基づいて前記プロセッサのメモリ空間の適切な部分にアクセスすること
をさらに備える方法。 40

【請求項 11】

ディスプレイインターフェースによってディスプレイ装置に、多数のデータポートによってホストデバイスに結合されたディスプレイコントローラであって、
実行可能な命令および関連付けられたデータを処理するよう構成されたプロセッサ
であって、前記プロセッサは、前記ディスプレイコントローラの外部にある、前記実行可能な命令および関連付けられたデータおよび前記ディスプレイ装置に対応する拡張ディスプレイ識別データ（ E D I D ）を記憶する単一のメモリデバイスに結合しており、前記單 50

一のメモリデバイスは、前記プロセッサとディスプレイコントローラの電源がオフになっているときでも、前記データポートによってアクセスのために完全に利用可能である、プロセッサと、

前記単一のメモリデバイスから読まれた E D I D を一時的に格納するためのバッファメモリ格納領域であって、E D I D リードリクエストによる指示に従って前記単一のメモリデバイスから読み出された E D I D をデータポートが前記バッファメモリ格納領域から取得する、前記バッファメモリ格納領域と、

前記バッファメモリ格納領域が空になる前に前記プロセッサからのクライアントデバイスリードリクエストを遮ることによって前記データポートによって取得され得る E D I D を前記バッファメモリ格納領域が保持することを保証して、前記ディスプレイコントローラが前記多数のデータポートに接続されたバスをホールドする必要を回避する調停回路と、を備えるディスプレイコントローラ。 10

【請求項 1 2】

請求項 1 1 に記載のディスプレイコントローラであって、

前記データポートおよび前記単一のメモリデバイスを結合するブリッジ部分をさらに備え、

前記ブリッジ部分および前記単一のメモリデバイスは、電源ダウンモードにおいて必要に応じて前記ホストデバイスが適切な E D I D を前記単一のメモリデバイスからアクセスおよび取り出しできるように、前記ホストデバイスによって共に電源供給されるディスプレイコントローラ。 20

【請求項 1 3】

請求項 1 1 に記載のディスプレイコントローラであって、前記単一のメモリデバイスは不揮発性ランダムアクセスメモリデバイスであるディスプレイコントローラ。

【請求項 1 4】

請求項 1 1 に記載のディスプレイコントローラであって、前記ディスプレイコントローラは、アナログタイプディスプレイおよび / またはデジタルタイプディスプレイを制御するよう適切に構成されたデュアルポートコントローラであるディスプレイコントローラ。

【請求項 1 5】

請求項 1 1 に記載のディスプレイコントローラであって、前記 E D I D の記憶のために割り当てられた前記単一のメモリデバイスの部分は、アナログ E D I D 部分とデジタル E D I D 部分とにさらに区切られるディスプレイコントローラ。 30

【請求項 1 6】

請求項 1 5 に記載のディスプレイコントローラであって、

前記ディスプレイ装置がアナログまたはデジタルディスプレイのどちらかを決定するよう構成されたディスプレイタイプ決定器、および

前記ディスプレイタイプ決定器に結合された、ディスプレイタイプの前記決定の結果に基づいて前記ポートのうちの適切な 1 つをアクティベートするよう構成されたポートアクティベータ

をさらに備えるディスプレイコントローラ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、ディスプレイ装置に関する。より具体的には、本発明は、デジタルおよびアナログの両方のディスプレイ情報を記憶することができる単一のメモリデバイスにディスプレイ装置がアクセスできるようにする方法および装置を記述する。

【背景技術】

【0 0 0 2】

コンピュータでは、基本入出力システム (B I O S) は、モニタが存在するかを決定するために、コンピュータのポートにクエリーを送る。もしモニタが存在するなら、B I O S は、典型的にはモニタ内の読み出し専用メモリ (R O M) に含まれる標準化されたデー 50

タをダウンロードする。この標準化されたデータは、モニタのタイプ、モデルおよび機能のような情報を含むモニタに関する情報を含む拡張ディスプレイ識別データ（E D I D）と典型的には呼ばれる。典型的にはB I O Sは、そのコンピュータによってサポートされる全てのさまざまなモニタをリストするテーブルを含む。モニタがポートに接続されるとき、B I O Sは、E D I Dから選択された情報を読み出し、そのE D I DをB I O Sに記憶されたモニタデータと比較する。標準化されたプロトコルは、モニタの電源がオフにされているときでさえも、B I O Sがモニタの情報を読み出すことを要求する。この場合、少量の電力がコンピュータによってモニタコネクタを通してモニタに供給され、E D I D記憶デバイスを動作させ、それにアクセスする。

【0003】

10

もしE D I DおよびB I O Sに記憶されたモニタデータとの一致が見られるなら、コンピュータシステムは、この特定のタイプのモニタおよびその機能を利用するよう構成される。例えば、もしモニタがボリュームコントロールまたはスリープボタンを有するなら、コンピュータは、この機能をサポートするよう構成される。しかし、もしE D I Dからの情報がB I O Sに記憶されたモニタデータと一致しないなら、コンピュータは、それが「レガシー」モニタと通信していると想定する。レガシーモニタは、比較的古い、時代遅れのモニタのような基本的な機能を有するモニタを指す語である。よってB I O Sは、コンピュータをデフォルトのコンフィギュレーションに構成して、レガシーモニタと動作する。

【0004】

20

現在、D D Cモニタ（ディスプレイデータチャネル）は、モニタの解像度およびリフレッシュレートのようなモニタの機能に関するE D I Dを記憶するE E P R O Mのような記憶デバイスを含む。E D I Dフォーマットは、より高いモニタ／ホストコンピュータ互換性を促進するためにV E S A（ビデオ電子装置規格化協会）によって開発された標準データフォーマットである。現時点において、現在のE D I Dフォーマットは1994年8月12日付けのDisplay Data Channel(DDC.TM.) Standard, version 1.0 revision 0のAppendix D (D D C . T M .)において記述される。D D Cモニタを利用するパーソナルコンピュータについては、システムソフトウェアは、D D C関連のモニタ内に記憶されるE D I Dにアクセスする。このシステムソフトウェアは、システムにインストールされているビデオコントローラのタイプも決定する。ビデオコントローラは、モニタに送られるビデオデータを制御および構成するのに用いられる。それからシステムソフトウェアは、D D Cモニタから得られるリフレッシュレートをビデオコントローラの能力と比較し、モニタを制御するビデオコントローラにおいて設定される適切なリフレッシュレートを決定する。

【0005】

典型的にはE D I Dは、モニタの電源が落ちているときでさえも、ホストがアクセス可能なディスプレイ情報である。「デュアルインターフェース」（アナログおよびディジタルの両方のコネクタがサポートされる）をサポートするモニタにおいて、典型的には2つの別個の標準E D I D R O Mデバイスが存在し、これらはフラットパネルコントローラボード上に位置し、これらR O MがアナログおよびディジタルE D I Dを記憶する。E D I Dは専用のD D Cバスを介してアクセスされる。従来のデュアルパネルフラットパネルコントローラ設計においては、2つのE D I D R O Mデバイスは、フラットパネルコントローラ上にあり、アナログE D I D R O Mについてはアナログケーブル（V G A D D Cケーブル）で、ディジタルE D I D R O Mについてはディジタルケーブルでホスト電源から電源供給されている。2つのE D I D R O Mデバイスをフラットパネルコントローラボード上に設けるコストは高い。

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

したがって、現在のコストプレッシャーのある市場では、2つのE D I D R O Mデバ

50

イスを持つことなく DDC ポートを通して E D I D をサポートするソリューションの要求がある。

【課題を解決するための手段】

【 0 0 0 7 】

単一のメモリからアナログおよびデジタル E D I D の両方をサポートする方法および装置が記載される。

【 0 0 0 8 】

ある実施形態において、それぞれが適切なタイプのビデオソースに接続される多数のデータポートおよび実行可能な命令および関連付けられたデータを処理するよう構成されたプロセッサを有するディスプレイコントローラ内の単一のメモリデバイスのメモリ空間を区切る方法が記載される。この方法は、前記メモリ空間の第 1 部分に、前記実行可能な命令および関連付けられたデータを記憶するよう割り当てるここと、および前記メモリ空間の第 2 部分に、拡張ディスプレイ識別データを記憶するよう割り当てることを備え、前記第 1 および第 2 部分は、前記ディスプレイコントローラの電源状態に関係なく、前記データポートおよび / または前記プロセッサによってアクセスのために常に利用可能である。10

【 0 0 0 9 】

ディスプレイインターフェースによってディスプレイ装置に、多数のデータポートによってホストデバイスに結合されたディスプレイコントローラは、実行可能な命令および関連付けられたデータを処理するよう構成されたプロセッサ、および前記実行可能な命令および関連付けられたデータおよび前記ディスプレイ装置に対応する E D I D を記憶する単一のメモリデバイス、および前記単一のメモリデバイスを前記データポートによって前記ホストデバイスに結合するブリッジ部分を含み、前記ディスプレイコントローラが電源オフ状態であるブートアッププロセスのあいだのような前記ディスプレイコントローラが電源オフ状態であるときでさえも、前記ブリッジ部分は、常に電源オン状態であることによって、前記ホストデバイスによる前記単一のメモリデバイスへのアクセスを提供し、前記ブリッジ部分および前記単一のメモリデバイスは前記ホストデバイスによって共に電源供給されることによって、前記ホストデバイスは必要に応じて前記単一のメモリデバイスから前記適切な E D I D をアクセスおよび取り出しができる。20

【発明を実施するための最良の形態】

【 0 0 1 0 】

本発明の特定の実施形態が詳細に参照され、その例が添付の図面に示される。本発明は、特定の実施形態について記載されるが、本発明を記載された実施形態に限定するよう意図されないことが理解されよう。逆に、添付の特許請求の範囲によって規定されるように、本発明の精神および範囲内に含まれるよう代替物、変更物、および等価物を含むよう意図される。30

【 0 0 1 1 】

DDC モニタ（ディスプレイデータチャネル）は、モニタの解像度およびリフレッシュレートのようなモニタの機能に関する E D I D を記憶する E E P R O M のような記憶デバイスを含む。「デュアルインターフェース」（すなわちアナログおよびデジタルの両方のコネクタがサポートされる）をサポートするモニタにおいて、典型的には 2 つの別個の標準 E D I D ROM デバイスが存在し、これらはフラットパネルコントローラボード上に位置し、これら ROM がそれぞれアナログおよびデジタル E D I D を記憶する。E D I D ROM デバイスに加えて、モニタも、典型的にはシリアル周辺インターフェース（S P I ）フラッシュシリアル R O M として構成されたプログラム可能な R O M デバイスとして構成された関連付けられたプログラムメモリ記憶を有するプロセッサをそれ自身が含むモニタコントローラを含む。S P I フラッシュ R O M は、それ自身におけるパネルを制御する重要なファームウェアルーチンを保持するためにフラットパネルコントローラボード上で必要とされる。これらルーチンは、必要なコマンドをある時刻において実行するために我々のオンチップマイクロコントローラによって呼ばれる。シリアル周辺インターフェース（S P I ）は、フルデュープレクスマードで動作する、シリアル（すなわち一度に 1 ビット）40

トずつ)のデータ交換を多くのデバイス(少なくとも1つはマスタと呼ばれ、その他はスレーブと呼ばれる)の間で可能にするインターフェースであることに注意されたい。フルデュープлексであるとは、同時に双方向にデータが転送されることを意味する。S P Iは、中央処理ユニット(C P U)および周辺装置の間での通信のためにシステムで最もしばしば採用される。2つのマイクロプロセッサをS P Iによって接続することも可能である。

【0012】

このことを頭に入れて、本発明は、E D I Dを記憶するためにプロセッサメモリ(S P IフラッシュシリアルR O Mのような)の使用されない部分(群)を利用するによって、E D I Dを記憶するための外部メモリデバイスの高価な使用をなくす。このようにして、E D I Dを記憶するために既にプロセッサに利用可能なS P IフラッシュR O Mを用いることによって、本発明は、E D I Dだけを記憶するため専用であった別個のR O Mを持つコストを削減する。このようにして、E D I Dは、2つの別個のE D I D R O Mデバイスを有することなく、D D Cポート(もし必要ならアナログおよびデジタルの両方)に利用可能になる。

10

【0013】

本発明は、ここでディスプレイコントローラ回路について記載される。ディスプレイコントローラは、任意の個数および種類のフラットパネルディスプレイモニタにおいて用いるのに適するフラットパネルディスプレイコントローラについて記載されるが、本発明のコントローラ回路は、適切とみなされる任意のタイプのディスプレイのために適することに注意されたい。したがって、ここで記載されるフラットパネルディスプレイは、コンピュータおよびディスプレイを必要とする他の装置と共に用いるのに適する液晶ディスプレイ(L C D)タイプのモニタを含む。

20

【0014】

図1は、本発明のある実施形態による本発明のディスプレイコントローラ102の実現例を含むシステム100を示す。示されるように、ディスプレイコントローラ102は、ディスプレイ107に関連付けられたE D I Dを、プロセッサ104によって処理される実行可能な命令および関連付けられたデータを記憶するためのメモリ位置109とは別個で、異なる特定のメモリ位置において記憶するよう構成されたS P I - R O M106の形態をとるメモリデバイス106に結合されたプロセッサ104を含む。記載される実施形態において、システム100は、外部ビデオソース110(コンピュータまたはP Cホストのような)およびディスプレイコントローラ102の間の転送リンクを提供する多くのデータポート108も含む。一般に言って、システム100は、任意の個数およびタイプのデータポート108を含みえるが、ここでの説明のために、システム100は、ディスプレイデータチャネル(D D C)タイプのデジタルポート(D D C - D V Iポート108aと呼ばれる)およびD D Cアナログデータポート(D D C - V G Aポート108bと呼ばれる)を含むデュアルインターフェースタイプのシステムであるとされる。ディスプレイコントローラ102は、アナログディスプレイについてはD D C - V G Aポート108bを、デジタルディスプレイについてはD D C - D V Iポート108aを用いてビデオソース110へケーブル112によって結合される。D D C標準は、モニタと、それが接続されるビデオソース中に含まれるディスプレイアダプタとの間の通信チャネルを定義する標準であることに注意されたい。モニタは、このチャネルを用いてそのアイデンティティおよび能力をディスプレイアダプタに伝える。

30

【0015】

記載された実施形態において、S P I - R O M106は、仮想E D I D部114を含むように区切られ、この仮想E D I D部114はさらに、アナログディスプレイデータを記憶するのに用いられるアナログE D I D部116、およびデジタルディスプレイデータを記憶するのに用いられるデジタルE D I D部118に区切られる。特定の実現例において、アナログE D I D部116は、メモリ位置000~100に広がり、一方、デジタルE D I D部118は、メモリ位置101~1FFに広がるが、もちろん適切とみなさ

40

50

れる任意のやり方で構成されえる。

【0016】

コントローラ102の一部は、DDC-VGAポート108bおよびDDC-DVIポート108aと、SPIフラッシュROM106との間のブリッジとして働くブリッジ部120と呼ばれるものに区切られる。(このブリッジ部120は、図2を参照してさらに詳細が以下に記載される。)ブリッジ部120はアナログ部122も含むことに注意されたい。動作のあいだ、ポート108のうちの1つからの任意のEDIDリードリクエストは、適切なEDIDを記憶するROM106の該当部分(アナログデータについては部分116であり、デジタルデータについては部分118である)にアクセスすることによってブリッジ部120によって処理される。さらにブリッジ部120は、SPIフラッシュROM106から読み出されたデータをリクエストしているポートに戻す。10

【0017】

記載される実施形態において、コントローラ102は、SDA(Serial DATA line、シリアルデータライン)およびSCL(Serial CLock line、シリアルクロックライン)の2つのアクティブな双方向ワイヤおよびグラウンド接続を有する集積回路群間の通信リンクを記述するインターICバス(I2C)プロトコルに準拠する。I2Cバスに接続された各デバイスは、機能に依存して、レシーバおよび/またはトランスマッタとして働きえるそれ自身のユニークなアドレスを有する。例えば、LCDドライバはレシーバだけとして働くが、一方、メモリまたはI/Oチップは、トランスマッタおよびレシーバの両方として働きえる。20

【0018】

したがって、I2Cバースト読み出しのあいだ、ブリッジ部120は、EDID関連データのそれぞれのバイトを、情報のシリアルビットに変換し、それをリクエストしているDDCポートの2ワイヤI2Cバス上で転送する。オフモード(OFF_Mode)と呼ばれる期間のあいだ(アナログビット122によって検出されるようにオンボード電源レギュレータ124がオフである)、外部電源126からの電力は、DDCポート群(すなわちDDC-DVIポート108aまたはDDC-VGAポート108b)のうちのアクティブなもののはずかによって、ケーブル112およびその関連付けられたチャネルを介して図3に示されるようにコントローラ102およびSPI-ROM106に供給される。このようにして、コントローラ102中に含まれる電源レギュレータ124が電源オフであるときでさえも、ブリッジ部120およびROM106は、ブートアップのあいだに必要なEDIDを提供するのに充分な電力をやはり受け取る。電源切り替えの遷移のあいだ(すなわちオンボード電源レギュレータ124がオフであるオフモード(OFF_MODE)およびオンボード電源レギュレータ124がオンであるオンモード(ON_MODE)の間、およびその逆)、アナログ部122は、オンボード電源レギュレータ124がオフからオンに切り替わるとき、およびその逆に切り替わるときを検出する。オフモードのあいだ、ブリッジ部120およびSPIフラッシュROM106の両方は、ケーブル112によってDDCポート108のうちの一方または他方によって電源が共に供給される。記載された実施形態において、電源126は、図3に示されるカスケードダイオード302の2つのプランチを通して電力を供給するよう働く(簡単のためにコネクタ群のうちの1つしか示されないことに注意)。オフモード(実質的に電源が入っているコントローラ102の唯一の部分がブリッジ部120であるとき)におけるラッチアップ問題を避けるために、ブリッジ部120中のデジタルロジックは既知の状態に設定される。3040

【0019】

電源がオフからオンに移行する場合、アナログ部122は、オンボード電源レギュレータ124がアクティブであり、電力を供給していることを検出し、その結果、電源126から電力を供給しているDDCポート群108のうちのアクティブなものから、新しくアクティブになったオンボード電源レギュレータ124へ切り替わる。このようにして、ブリッジ部120は常に電力を受け取るが、それはオンボードおよびオフボード電源の間の任意の電力遷移が検出され、適切な切り替えアクションがとられることによって、電力切り替えの50

グリッチを避けることができるからである。

【0020】

オフからオンへの電力遷移のあいだ（すなわち電源レギュレータ124がオンにされるとき）、任意の終わっていないE D I Dリードサイクルは、そのサイクルの終わりまで継続することが許されることに注意されたい。この説明のコンテキストにおいて、未完了のE D I Dリードサイクルとは、リクエストしているD D CポートがE D I DをR O M 1 0 6から読み出しているが、I 2 Cストップ条件にまだ到達していない状況である。E D I Dリード操作を完了するのに必要とされる期間のあいだ、コントローラ102は、任意の後続のE D I Dリードリクエストについてオンモードへと切り替える前に、未完了のE D I Dリードサイクルの終わりを待つ。オンボード電源レギュレータ124がオンにされるときの期間のあいだ（オンモード）、ブリッジ部120は、他のクライアントデバイスおよびポート108からS P IフラッシュR O M 1 0 6へのE D I Dリードリクエストについてプロセッサ104のサービスリクエスト群間で調停をする。10

【0021】

ブリッジ部120のアナログ部122中に位置する自動アクティビティ検出回路128（以下により詳細に記載される）は、コントローラ102中の電源レギュレータ124が電源オンまたはオフになるときを検出するよう設計される。記載される実施形態において、この検出は、現在のT C L Kアクティビティの決定に基づいており、ここでT C L Kは、フラットパネルコントローラ内部クロックである。例えば、T C L Kアクティビティは、オンボード水晶クロックがアクティブであり、電源レギュレータ124がオンであると決定されることを示し、一方、ロウのT C L Kアクティビティは、電源レギュレータ124がオフであると決定することを示す。20

【0022】

オフモードのあいだは限られた電力バジェットしかないので、オンボード電源レギュレータ124がオフのときは、R Cベースの低周波数クロックがアクティベートされて、ブリッジ回路120およびS P IフラッシュR O Mクロック（S P I _Flash R O M clock）を駆動する。しかしオンモードのあいだは、S P IフラッシュR O M 1 0 6およびブリッジ回路120の両方のための電力がそれからオンボード電源レギュレータ124から供給されるので、低周波数クロックがオフにされ、オンボード水晶クロックがアクティベートされる。このようにして、シームレスにクロックを切り替えることによって、E D I Dリードまたはフラットパネルコントローラ動作のあいだのグリッチまたは誤動作はまず起こらない。30

【0023】

電源オフモードのあいだ、仮想E D I D動作のために必要とされる電力は、電源126によって発生され、ケーブル112によって供給される。しかし電源オンモードにおいては、コントローラ102がより高いクロック周波数において動作するので電流要件が高くなる。この状況において、ケーブル112は、必要な電流を維持できないので、ケーブル112からオンボード電源レギュレータ124へ切り替えることが必要である。しかし、この切り替えをイネーブルにするために満たされなければならない2つの条件が存在する。任意のディスプレイ製品において、内部発振器、外部発振器またはクロック源で発生されるレファレンスクロック（T C L K）についての要件が存在する。このクロックの存在は、チップが電源オンモードにあることを示す。自動アクティビティ検出回路128は、このクロック信号T C L Kを見て、クロックがトグルしているかロウであるかに基づいてコンデンサを充電する。このコンデンサ電圧は、増幅器またはインバータを駆動し、もしそれが増幅器またはインバータのスレッショルド電圧を超えるなら、ロジック状態変化を起こす。例えば、ディスプレイ製品において、一般にマイクロコントローラインターフェースが存在し、いったんコントローラが電源オンモードにあるとそのレジスタビットを変化させることが可能である。上述のように、T C L K信号それ自身は、電源切り替えを行うのに充分である。システムをよりロバストにするために、T C L Kに加えて、レジスタビットからの信号が検出され、これは電源オフモードにおいてはロウつまり「0」である4050

。しかしいったん電源がオンになると、このビットは、低周波数モードを用いてハイつまり「1」になるようにプログラムされえる。このビットおよびT C L K (a c t および / a c t) の論理組み合わせが電源切り替えを行うのに用いられる。

【 0 0 2 4 】

説明されるコントローラ 102 は I 2 C 準拠であるので、I 2 C プロトコル仕様書は、データ転送を開始する I 2 C バスに接続される任意の回路がバスマスターであると考えられ、そのときにそのバスに接続された全ての他の回路をバススレーブと格を落としてみなすようにすると記述している。I 2 C プロトコルにおいて、スレーブがマスターのリードまたはライトコマンドに追従できないとき、スレーブは、I 2 C クロック (2 つのワイヤ I 2 C のうちの 1 つ) をロウにホールドする (クロックストレッ칭と呼ばれる) ことによってバスをホールドする (すなわちバスアクティビティを止める)。したがって、コントローラ 102 はビデオソース 110 (PC ホストのような) をマスターとして使われるので、PC ホスト 110 が E D I D を D D C - V G A 108 b または D D C - D V I ポート 108 a のいずれかを通して R O M 106 から読み出したいとき、V E S A 標準は、コントローラ 102 が、ポート 108 に接続されたバス群のうちのいずれかをホールドすることを許さない。換言すれば、V E S A 標準は、R O M 106 が常に利用可能であり、PC ホスト 110 は E D I D を R O M 106 から D D C ポート 108 のうちの一方または他方を通して読み出せると想定している。したがって、V E S A 標準に準拠しながらも、I 2 C 準拠のままであるために、調停回路 130 は、R O M 106 を読み出すことを必要とするコントローラ 102 内の他のクライアントからのリクエストと併せて、デバイス E D I D リードリクエストの双方の実行を提供する。具体的な実施形態において、調停スキームは、R O M から読み出された E D I D データを保持する F I F O 132 を利用する。リクエストしている V G A D D C ポートが F I F O 132 (バイト単位で) を読み出すあいだ、データのそれぞれのバイトはリクエストしている D D C ポート (シリアル I 2 C ポート) を通してビット単位で送られる。F I F O 132 がほとんど空になるとき、F I F O 132 は、任意の進行中の E D I D リードリクエストを満足させるために再び R O M 106 へのアクセスが認められ、一方、他のリクエストしているクライアントは、F I F O 132 が適切なデータで満たされるときまで、割り込みがなされる。

【 0 0 2 5 】

図 2 は、本発明のある実施形態によるブリッジ回路 200 を示す。ブリッジ回路 200 は、図 1 に示され説明されたブリッジ回路 120 の特定の実現例であることに注意されたい。ブリッジ回路 200 は、D D C ポート 108 のそれについて D D C ポートコントローラブロック 202 (ポート 108 a に関連付けられた 202 a および 108 b に関連付けられた 202 b) を含む。電源レギュレータ 124 が電源オフであるとき (オフモード (Off_Mode)) 、電力は D D C ポートケーブル (V G A / D V I) のいずれかによって供給され、電力はチップのブリッジ部および S P I フラッシュ R O M (SPI_FLASH ROM) 106 に与えられる。この時間のあいだ、D D C ポートコントローラブロック 202 (V G A / D V I) のうちの 1 つは、E D I D リードリクエストを S P I ステートマシン (S P I_SM) コントローラ 204 に送る責任を担う。S P I_SM コントローラ 204 は、E D I D リードリクエストを処理してリクエストされたデータを、S P I フラッシュ R O M 106 の適切な部分から読み出し、読み出されたデータを適切な D D C ポートコントローラ 202 へと返す。D D C ポートコントローラ 202 は今度は、E D I D 関連のデータのそれぞれのバイトを、情報のシリアルビットに変換し、それをアクティブな D D C ポート 108 の I 2 C バス上で転送する。

【 0 0 2 6 】

上述のように、I 2 C プロトコルにおいて、スレーブデバイスがマスターとしてライトコマンドに追いつけないときは、スレーブデバイスは、I 2 C クロック (2 つのワイヤの I 2 C のうちの 1 つ) をロウにホールドする (クロックストレッ칭) ことによって、バスを占有してそれ以上のアクティビティをできなくしめる (バスのアクティビティを麻痺させるような)。説明される実施形態において、フラットパネルコントローラ 10

10

20

40

50

2はスレーブデバイスであり、PCホストはマスタである。PCホストがEDIDデータをVGA DDCポート108bまたはDVI DDCポート108aのいずれかを通してROM106から読み出したいとき、VESA標準は、ROM106が常に利用可能であると想定する（すなわちPCホストは、DDCポート108を通してROMからEDIDデータを読み出せる）。したがってVESA標準は、データがレディではないとき、リクエストしているDDCポート108をホールドするためのスレーブデバイス（コントローラ102）を提供しない。したがって、VESA標準に準拠したままであるために、調停ブロック130は、プロセッサ104がEDIDリードリクエストレートと共に、ROM106へのアクセスを要求するフラットパネルコントローラ102内の他の回路からのリクエストにも追従することができるようとする調停サービスを提供する。

10

【0027】

ROMアクセスリクエストの調停を促進するために、 FIFO134（この場合8バイトの深さである）は、ROM106から読み出されたEDIDを保持する。リクエストしているDDCポートインターフェースブロックは、リクエストされたEDIDをFIFO132から読み（バイト単位で）、データのそれぞれのバイトをリクエストしているDDCポートを通してビット単位でPCホスト110に送る。FIFO132がほとんど空であるとき、プロセッサ104は、さらなるリクエストされたEDIDでFIFO132を埋めるために、プロセッサ104が他のリクエストしているクライアントデバイスを割り込みが必要となるかもしれないことを示すフラグが立てられる。このようにして、リクエストしているDDCポートは、クロックストレッ칭に頼る必要なく、必要に応じてROM106へのアクセスが提供され、それによりVESA標準への準拠を保つ。FIFO132が満たされているとき、プロセッサ104はフラグをはずし、任意の他のリクエストするクライアントはROM106へのアクセスを許される。

20

【0028】

図4は、本発明のある実施形態による例示的自動アクティビティ検出回路400を示す。自動アクティビティ検出回路400は、コントローラ中の電源レギュレータが電源オンまたはオフにされるときを検出するよう設計される。電源レギュレータが電源オンにされるとき、TCLKはトグルし、そうではなく電源レギュレータが電源オフされるとき、TCLKは0である。自動アクティビティ検出回路400は、TCLKがトグルし、ノードN1が高電圧に昇圧し、よってノードN2をハイにするとき、コンデンサC1を充電する。もしレジスタ制御からのiCORE_DETECTがハイにセットされるなら、ノードN3はハイになり、その結果、出力ACT信号はハイになり、これはコントローラ電源がオンであることを示す。ACTは、iEDID_EN_PADイネーブル信号（これはボンドオプション信号（bond option signal）である）によっても1にセットされえる。

30

【0029】

代わりに、TCLKがゼロであるとき、コンデンサC1は充電しておらず、高インピーダンス抵抗R2はノードN1をプルダウンして、その結果、ノードN2がロウになり、これはノードN3をロウにし、結果として出力ACT信号はロウになり、これはコントローラ電源がオフであることを示す。

【0030】

40

図5Aは、本発明のある実施形態によるプロセス500を詳細に示すフロー図である。プロセス500は、フラットパネルコントローラ（FPC）が電源オンであるかを決定することによって502で始まる。もしコントローラが電源オンであると決定されるなら、DDCポートステートマシンは、仮想EDID ROMへのアクセスを504において認められ、506においてリクエストされたEDIDは仮想EDID ROMから読み出され、508において、DDCポートステートマシンがビジーかどうかの決定がなされる。502に戻って、もしそうでなければ、コントローラは電源オフであると決定されているなら、制御は502から508に直接に渡され、ここでもしDDCステートマシンがビジーだと決定されるなら、制御は506へと戻り、そうでなければコントローラステートマシンはROMへのアクセスを510において認められる。512において、他のポートがR

50

OMへのアクセスをリクエストしているかの決定がなされる。もし他のポートがアクセスをリクエストしていないなら、コントローラは全てのリクエストを514においてサービスし、そうでなければ、516においてコントローラは全てのリクエストをサービスし、任意のリクエストしているポートにROMへのアクセスを提供する。

【0031】

図5Bは、本発明のある実施形態による実行可能な命令および関連付けられたデータを処理するプロセッサおよび多くのデータポートを有するビデオコントローラにおいて拡張ディスプレイ識別データ(EDID)を獲得するプロセス518を詳細に示すフロー図を示す。プロセス520は、522においてオンボード電源をアクティベートすることによって始まり、524においてオンボード電源がアクティベートされるとき、メモリデバイスへ電力を供給するよう構成されたオフボード電源を遮断する。次に526において、EDIDおよび実行可能な命令および関連付けられたデータを記憶するのに用いられるメモリデバイスにオンボード電源から電力を供給し、528において、高周波数クロック信号を提供することできるオンボードクロック回路にオンボード電源から電力を供給する。530において、オンボードクロック回路からメモリデバイスに高周波数クロック信号を供給し、532において、オンボード電源供給がアクティベートされるときメモリリード操作が進行中であるなら、メモリリード操作を534において完了する。

10

【0032】

図5Cは、本発明のある実施形態による拡張ディスプレイ識別データ(EDID)の獲得を調停するプロセス536を詳細に示すフロー図を示す。プロセス536は、メモリアクセスリクエストをリクエストしているデータポートによって発生することによって538において始まり、540において、アビトリレーション回路によってメモリデバイスへのアクセスを認める。542において、EDIDをメモリデバイスからデータバッファへ読み出し、544において、読み出されたEDIDをデータバッファに記憶し、546において、リクエストしているポートは、記憶されたEDIDのいくつかをリクエストしているデータポートによって読み出す。548において、プロセッサメモリアクセスリクエストをプロセッサによって生成し、550において、データバッファはフルであると決定されるかどうかの決定がなされる。もしデータバッファがフルであると決定されるなら、552において、プロセッサメモリアクセスリクエストが認められ、いずれの場合も554において、リクエストしているポートはバッファから読み出すことを続ける。556において、データバッファがほとんど空であるかどうかの決定がなされ、もしほとんど空であると決定されるなら、558において、リクエストしているポートはメモリへのアクセスを認められ、そうでなければ、リクエストしているポートはデータをバッファから読み出し続ける。

20

【0033】

図5Dは、本発明のある実施形態によるインターIC(I2C)プロトコルを用いたEDIDの獲得のためのプロセス560を詳細に示すフロー図を示す。プロセス560は、562においてEDIDリードリクエストをホストデバイスによって生成することによって始まり、564においてEDIDリードリクエストをリクエストしているポートを経由してメモリデバイスに渡す。566において、リクエストされたEDIDがメモリデバイスからデータバッファに転送され、一方、568において、メモリアクセスがプロセッサに認められ、570において、リクエストされたEDIDをバッファからバイト単位で読み出し、572において、データのそれぞれのバイトを、リクエストしているデータポートを通してピット単位でホストデバイスへ送る。このようにして、リクエストしているポートは、クロックストレッ칭なしに、必要に応じてメモリデバイスへのアクセスを提供され、それによりVESA標準への準拠を維持できる。

30

【0034】

図5Eは、本発明のある実施形態による低電力バジェットを維持するのに適する電力切り替えプロシージャ574を詳細に示すフロー図を示す。プロセス574は、オンボード電源がアクティブであるかを決定することによって576において始まり、もしオンボーダー

40

50

ド電源がアクティブでないなら、578において、コネクタを経由してオフボード電源によって電力がディスプレイコントローラに供給され、580において、低周波数クロック信号を提供するよう構成された低電力、低周波数クロックをオンにすることによって、電力を節約する。

【0035】

しかし576において、オンボード電源がアクティブではないと決定されるとき、582において、オンボード電源だけによって電力がディスプレイコントローラに供給され、584において、低周波数クロックがオフにされ、586において、高周波数クロック信号を提供するよう構成された高周波数クロックがオンにされる。

【0036】

図5Fは、本発明のある実施形態によるディスプレイコントローラにおけるアクティブな電源の自動検出のためのプロセス588を詳細に示すフロー図を示す。プロセス588は、590においてレファレンスクロック信号を入力ノードにおいて受け取ることによって始まり、591において第1電圧を、入力ノードに結合された第1抵抗において発生する。592において、第1電圧に基づいて、第1抵抗に結合された（またはそうではない）コンデンサを充電し、593においてコンデンサ出力電圧を読み出す。594においてコンデンサ出力電圧はハイであるかどうかの決定がなされ、もしハイであると決定されるなら、595において、レファレンスクロック信号がアクティブであると決定され、一方、もしコンデンサ出力電圧はハイではないなら、596において、レファレンスクロック信号はアクティブではないと決定される。

【0037】

図6は、本発明の回路602が採用されえるグラフィックシステム600を示す。システム600は、中央処理ユニット(CPU)610、ランダムアクセスメモリ(RAM)620、読み出し専用メモリ(ROM)625、1つ以上の周辺機器630、主記憶装置640および650、グラフィックコントローラ660、およびデジタルディスプレイユニット670を含む。CPU610は、以下に限定されないがトラックボール、マウス、キーボード、マイクロホン、タッチセンシティブディスプレイ、トランステューサカードリーダ、磁気または紙テープリーダ、タブレット、スタイルス、音声または手書き認識器、またはもちろん他のコンピュータのようなよく知られた任意の他の入力デバイスのようなものを含みえる1つ以上の入力/出力デバイス690にも結合される。グラフィックコントローラ660は、画像データおよび対応するレファレンス信号を生成し、両方をデジタルディスプレイユニット670に提供する。画像データは、例えば、CPU610から受け取られたピクセルデータに基づいて、または外部エンコード(不図示)から生成されれる。ある実施形態において、画像データは、RGBフォーマットにおいて提供され、レファレンス信号は、この技術分野でよく知られるVSYNCおよびHSYNC信号を含む。しかし本発明は、他のフォーマットの画像、データおよび/またはレファレンス信号と共に実現されえることが理解されよう。例えば、画像データは、対応する時間レファレンス信号も持つビデオ信号データを含みえる。

【0038】

本発明のいくつかの実施形態だけが説明されてきたが、本発明は、本発明の精神または範囲から逸脱することなく、多くの他の具体的な形態をとりえることが理解されよう。本発明の例は、例示的であって限定的ではないと考えられるべきであり、本発明は、ここで与えられた詳細に限定されず、等価物の完全な範囲と共に添付の特許請求の範囲内で改変されえる。

【0039】

本発明は、具体的な実施形態について説明されてきたが、本発明の範囲に入る改変物、組み合わせ、および等価物が存在する。また本発明のプロセスおよび装置の両方を実現する多くの代替のやり方が存在することに注意されたい。したがって本発明は、全てのそのような改変物、組み合わせ、および等価物が本発明の真の精神および範囲に入るものとして含むように解釈されるよう意図されている。

【図面の簡単な説明】

【0040】

【図1】本発明のある実施形態による本発明のディスプレイコントローラの実現例を含むシステムを示す図である。

【図2】本発明のある実施形態によるブリッジ回路を示す図である。

【図3】本発明のある実施形態によるケーブルおよびその関連付けられたチャネルの概略図である。

【図4】本発明のある実施形態による例示的自動アクティビティ検出回路を示す図である。

【図5A】本発明のある実施形態によるプロセスを詳細に示すフロー図である。 10

【図5B】本発明のある実施形態による実行可能な命令および関連付けられたデータを処理するプロセッサおよび多くのデータポートを有するビデオコントローラにおいて拡張ディスプレイ識別データ（E D I D）を獲得するプロセスを詳細に示すフロー図である。

【図5C】本発明のある実施形態による拡張ディスプレイ識別データ（E D I D）の獲得を調停するプロセスを詳細に示すフロー図である。

【図5D】本発明のある実施形態によるインターI C（I 2 C）プロトコルを用いたE D I Dの獲得のためのプロセスを詳細に示すフロー図である。

【図5E】本発明のある実施形態による電源管理プロシージャを詳細に示すフロー図である。

【図5F】本発明のある実施形態によるディスプレイコントローラにおいて電源の切り替えをするプロセスを詳細に示すフロー図である。 20

【図6】本発明の回路が採用されるグラフィックシステムを示す図である。

【図1】

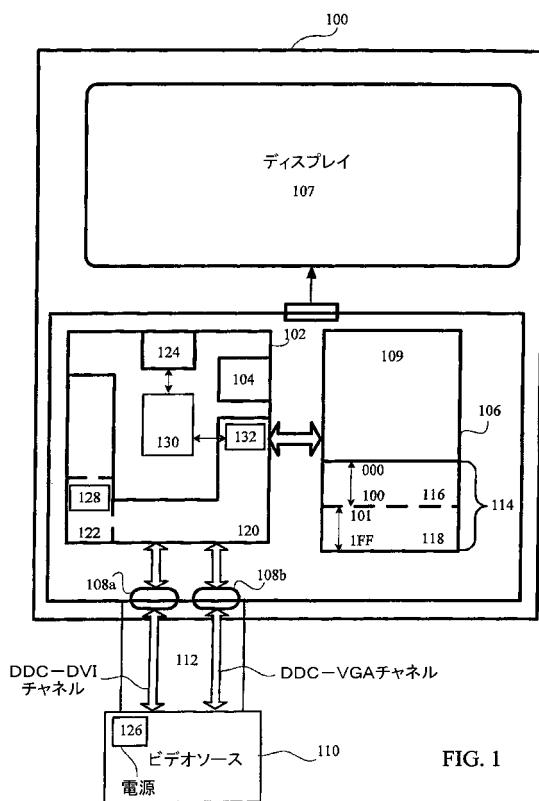


FIG. 1

【図2】

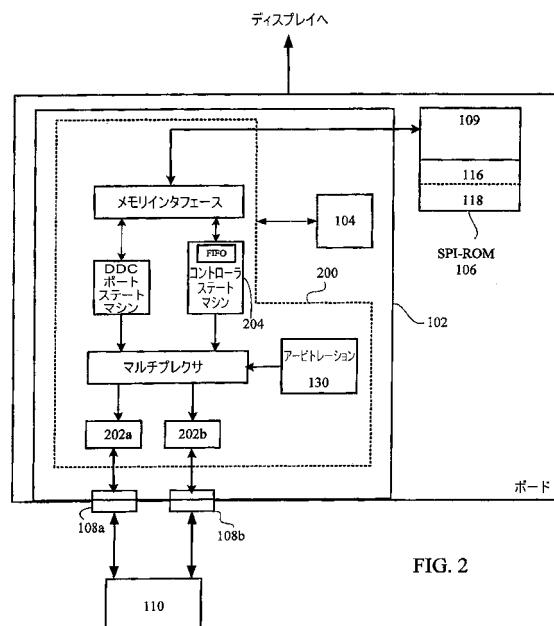
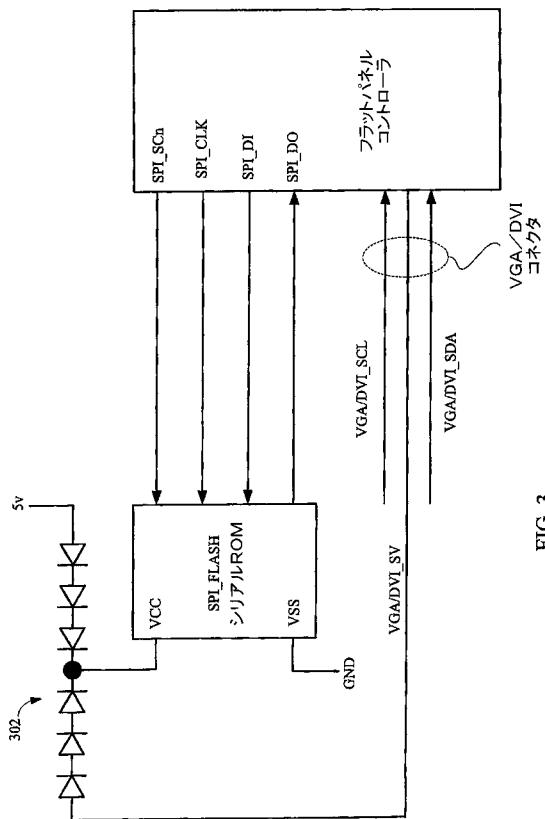
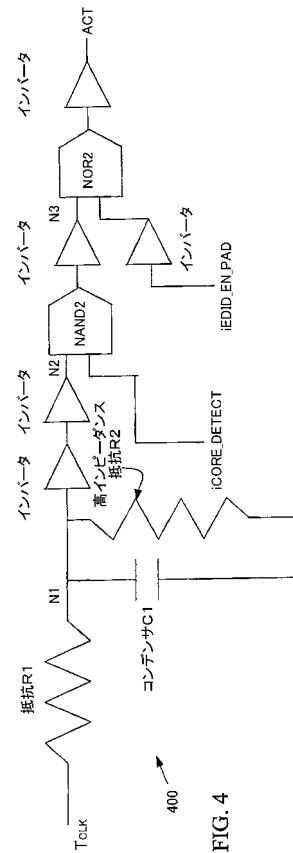


FIG. 2

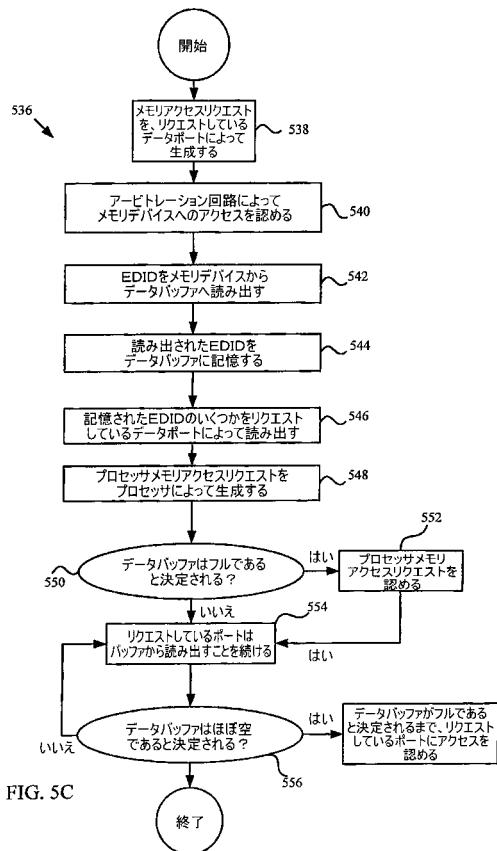
【図3】



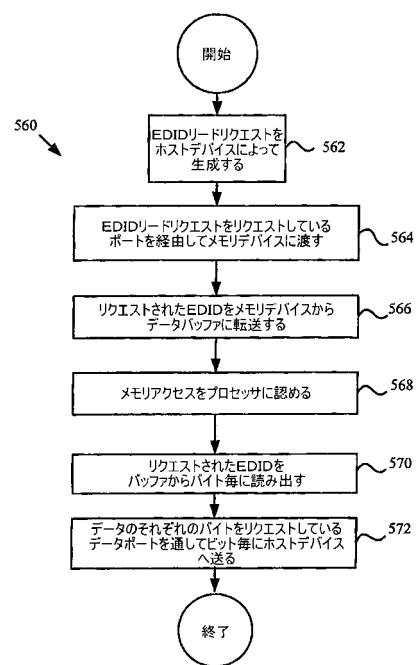
【図4】



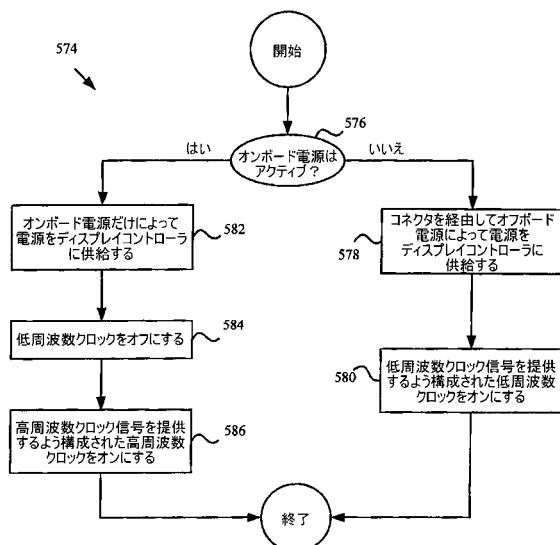
【図 5 C】



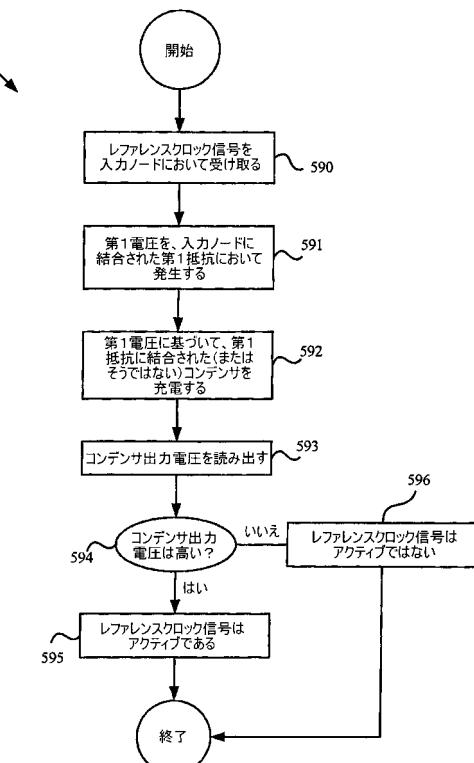
【図 5 D】



【図 5 E】



【図 5 F】



【図6】

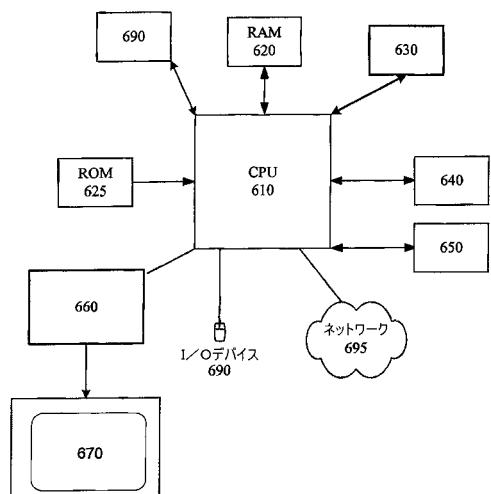


Fig. 6

600

フロントページの続き

(72)発明者 アリ・ノアバクシュ
アメリカ合衆国 カリフォルニア州94506 ダンビル, シャドウ・クリーク・コート, 116

(72)発明者 デイビッド・キーン
アメリカ合衆国 ニューメキシコ州87048 コラレス, ノット・レーン, 101

(72)発明者 ジョン・ラッタンジ
アメリカ合衆国 カリフォルニア州94306 パロ・アルト, コロラド・アベニュー, 320

(72)発明者 ラム・チルクリ
アメリカ合衆国 カリフォルニア州95129-1304 サン・ホセ, キーリー・ブルバード,
345, アパートメント シ-202

審査官 居島 一仁

(56)参考文献 特開平11-161460 (JP, A)
特開平10-333659 (JP, A)
特開2004-102067 (JP, A)
特開2001-175230 (JP, A)
特開2003-029729 (JP, A)
特開2004-170475 (JP, A)
特開2001-134243 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 00 - 5 / 42