

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5009519号
(P5009519)

(45) 発行日 平成24年8月22日 (2012. 8. 22)

(24) 登録日 平成24年6月8日 (2012. 6. 8)

(51) Int. Cl.

F I

G 0 9 G 5 / 0 0 (2006. 01)

G 0 9 G 5 / 0 0 5 1 O X

G 0 9 G 5 / 0 0 5 5 O M

G 0 9 G 5 / 0 0 5 5 5 D

請求項の数 16 外国語出願 (全 17 頁)

(21) 出願番号 特願2005-298307 (P2005-298307)
 (22) 出願日 平成17年10月13日 (2005. 10. 13)
 (65) 公開番号 特開2006-126829 (P2006-126829A)
 (43) 公開日 平成18年5月18日 (2006. 5. 18)
 審査請求日 平成20年10月9日 (2008. 10. 9)
 (31) 優先権主張番号 60/620, 094
 (32) 優先日 平成16年10月18日 (2004. 10. 18)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/061, 151
 (32) 優先日 平成17年2月18日 (2005. 2. 18)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 510073235
 タミラス・パー・ピーティーイー・リミ
 テッド・リミテッド ライアビリティ カ
 ンパニー
 Tamiras Per Pte. Ltd
 ., LLC
 アメリカ合衆国 デラウェア州19904
 ドーバー, グリーンツリー・ドライブ,
 160, スイート 101
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100109346
 弁理士 大貫 敏史

最終頁に続く

(54) 【発明の名称】 フラットパネルコントローラ中の仮想拡張ディスプレイ識別データ (E D I D)

(57) 【特許請求の範囲】

【請求項 1】

それぞれが適切なタイプのビデオソースに接続されえる多数のデータポートと、実行可能な命令および関連付けられたデータを処理するよう構成されたプロセッサとを有するディスプレイコントローラにおいて、プロセッサのメモリ空間に記憶された拡張ディスプレイ識別データ (E D I D) の読み出しを制御する方法であって、

前記プロセッサのメモリ空間の第1部分に、前記プロセッサによって実行される命令および関連付けられたデータを記憶すること、および

前記プロセッサのメモリ空間の第2部分に、前記 E D I D を記憶すること を備え、

前記第1および第2部分は、前記ディスプレイコントローラとプロセッサの電源がオフになっているときでも、前記データポートによってアクセスのために完全に利用可能であり、

前記 E D I D は、バッファメモリの中に一時的に格納され、

調停回路は、E D I D リードリクエストと、クライアント装置リードリクエストを実行し、

前記 バッファメモリに格納された前記 E D I D が少なくなったときに、未実行の E D I D リードリクエストを実行するために、前記 バッファメモリは前記第2部分へのアクセスが認められる、方法。

【請求項 2】

請求項 1 に記載の方法であって、

前記メモリ空間の前記第 2 部分に前記 E D I D を記憶することは、

前記メモリ空間の第 2 部分の一部に、アナログ拡張ディスプレイ識別データを記憶すること、および

前記メモリ空間の第 2 部分の他の部分に、デジタル拡張ディスプレイ識別データを記憶すること

を備える方法。

【請求項 3】

請求項 1 に記載の方法であって、前記データポートの少なくとも 1 つはアナログデータポートであり、前記データポートの少なくとも 1 つはデジタルデータポートである方法。

10

【請求項 4】

請求項 3 に記載の方法であって、前記アナログデータポートは選択的に前記アナログ拡張ディスプレイ識別データを取り出す方法。

【請求項 5】

請求項 3 に記載の方法であって、前記デジタルデータポートは選択的に前記デジタル拡張ディスプレイ識別データを取り出す方法。

【請求項 6】

請求項 1 に記載の方法であって、

電源オフモードにおいて前記データポートのうちの選択されたものを經由してホストデバイスによって前記プロセッサのメモリ空間に電力を供給すること、および

20

電源オンモードにおいてオンボード電源だけによって前記プロセッサのメモリ空間に電力を供給すること

をさらに備える方法。

【請求項 7】

請求項 1 に記載の方法であって、前記データポートはそれぞれ I 2 C 準拠データバスを經由して前記プロセッサのメモリ空間に接続される方法。

【請求項 8】

請求項 7 に記載の方法であって、

I 2 C 準拠を維持するように、適切な E D I D を前記リクエストしているポートによって前記プロセッサのメモリ空間から取り出すことおよびプロセッサメモリアクセスリクエストを調停すること

30

をさらに備える方法。

【請求項 9】

請求項 8 に記載の方法であって、デジタルポートは D V I ポートであり、アナログポートは V G A ポートである方法。

【請求項 10】

請求項 9 に記載の方法であって、

ディスプレイがデジタルディスプレイかアナログディスプレイかを決定すること、

前記ディスプレイがアナログまたはデジタルであるかに基づいて適切なポートをアクティベートすること、および

40

前記ディスプレイがアナログまたはデジタルであるかに基づいて前記プロセッサのメモリ空間の適切な部分にアクセスすること

をさらに備える方法。

【請求項 11】

ディスプレイインタフェースによってディスプレイ装置に、多数のデータポートによってホストデバイスに結合されたディスプレイコントローラであって、

実行可能な命令および関連付けられたデータを処理するよう構成されたプロセッサ

であって、前記プロセッサは、前記ディスプレイコントローラの外部にある、前記実行可能な命令および関連付けられたデータおよび前記ディスプレイ装置に対応する拡張ディスプレイ識別データ (E D I D) を記憶する単一のメモリデバイスに結合しており、前記単

50

一のメモリデバイスは、前記プロセッサとディスプレイコントローラの電源がオフになっているときでも、前記データポートによってアクセスのために完全に利用可能である、プロセッサと、

前記単一のメモリデバイスから読まれたE D I Dを一時的に格納するためのバッファメモリ格納領域であって、E D I Dリードリクエストによる指示に従って前記単一のメモリデバイスから読み出されたE D I Dをデータポートが前記バッファメモリ格納領域から取得する、前記バッファメモリ格納領域と、

前記バッファメモリ格納領域が空になる前に前記プロセッサからのクライアントデバイスリードリクエストを遮ることによって前記データポートによって取得され得るE D I Dを前記バッファメモリ格納領域が保持することを保証して、前記ディスプレイコントローラが前記多数のデータポートに接続されたバスをホールドする必要を回避する調停回路と、を備えるディスプレイコントローラ。

10

【請求項12】

請求項11に記載のディスプレイコントローラであって、

前記データポートおよび前記単一のメモリデバイスを結合するブリッジ部分をさらに備え、

前記ブリッジ部分および前記単一のメモリデバイスは、電源ダウンモードにおいて必要に応じて前記ホストデバイスが適切なE D I Dを前記単一のメモリデバイスからアクセスおよび取り出しできるように、前記ホストデバイスによって共に電源供給されるディスプレイコントローラ。

20

【請求項13】

請求項11に記載のディスプレイコントローラであって、前記単一のメモリデバイスは不揮発性ランダムアクセスメモリデバイスであるディスプレイコントローラ。

【請求項14】

請求項11に記載のディスプレイコントローラであって、前記ディスプレイコントローラは、アナログタイプディスプレイおよび/またはデジタルタイプディスプレイを制御するよう適切に構成されたデュアルポートコントローラであるディスプレイコントローラ。

【請求項15】

請求項11に記載のディスプレイコントローラであって、前記E D I Dの記憶のために割り当てられた前記単一のメモリデバイスの部分は、アナログE D I D部分とデジタルE D I D部分とにさらに区切られるディスプレイコントローラ。

30

【請求項16】

請求項15に記載のディスプレイコントローラであって、

前記ディスプレイ装置がアナログまたはデジタルディスプレイのどちらかを決定するよう構成されたディスプレイタイプ決定器、および

前記ディスプレイタイプ決定器に結合された、ディスプレイタイプの前記決定の結果に基づいて前記ポートのうちの適切な1つをアクティベートするよう構成されたポートアクティベータ

をさらに備えるディスプレイコントローラ。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、ディスプレイ装置に関する。より具体的には、本発明は、デジタルおよびアナログの両方のディスプレイ情報を記憶することができる単一のメモリデバイスにディスプレイ装置がアクセスできるようにする方法および装置を記述する。

【背景技術】

【0002】

コンピュータでは、基本入出力システム(BIOS)は、モニタが存在するかを決定するために、コンピュータのポートにクエリーを送る。もしモニタが存在するなら、BIOSは、典型的にはモニタ内の読み出し専用メモリ(ROM)に含まれる標準化されたデー

50

タをダウンロードする。この標準化されたデータは、モニタのタイプ、モデルおよび機能のような情報を含むモニタに関する情報を含む拡張ディスプレイ識別データ（E D I D）と典型的には呼ばれる。典型的にはB I O Sは、そのコンピュータによってサポートされる全てのさまざまなモニタをリストするテーブルを含む。モニタがポートに接続されるとき、B I O Sは、E D I Dから選択された情報を読み出し、そのE D I DをB I O Sに記憶されたモニタデータと比較する。標準化されたプロトコルは、モニタの電源がオフにされているときでさえも、B I O Sがモニタの情報を読み出すことを要求する。この場合、少量の電力がコンピュータによってモニタコネクタを通してモニタに供給され、E D I D記憶デバイスを動作させ、それにアクセスする。

【 0 0 0 3 】

10

もしE D I DおよびB I O Sに記憶されたモニタデータとの一致が見られるなら、コンピュータシステムは、この特定のタイプのモニタおよびその機能を利用するよう構成される。例えば、もしモニタがボリュームコントロールまたはスリープボタンを有するなら、コンピュータは、この機能をサポートするよう構成される。しかし、もしE D I Dからの情報がB I O Sに記憶されたモニタデータと一致しないなら、コンピュータは、それが「レガシー」モニタと通信していると想定する。レガシーモニタは、比較的古い、時代遅れのモニタのような基本的な機能を有するモニタを指す語である。よってB I O Sは、コンピュータをデフォルトのコンフィギュレーションに構成して、レガシーモニタと動作する。

【 0 0 0 4 】

20

現在、D D Cモニタ（ディスプレイデータチャネル）は、モニタの解像度およびリフレッシュレートのようなモニタの機能に関するE D I Dを記憶するE E P R O Mのような記憶デバイスを含む。E D I Dフォーマットは、より高いモニタ/ホストコンピュータ互換性を促進するためにV E S A（ビデオ電子装置規格化協会）によって開発された標準データフォーマットである。現時点において、現在のE D I Dフォーマットは1994年8月12日付けのDisplay Data Channel (DDC.TM.) Standard, version 1.0 revision 0のAppendix D (DDC.TM.)において記述される。D D Cモニタを利用するパーソナルコンピュータについては、システムソフトウェアは、D D C関連のモニタ内に記憶されるE D I Dにアクセスする。このシステムソフトウェアは、システムにインストールされているビデオコントローラのタイプも決定する。ビデオコントローラは、モニタに送られるビデオデータを制御および構成するのに用いられる。それからシステムソフトウェアは、D D Cモニタから得られるリフレッシュレートをビデオコントローラ的能力と比較し、モニタを制御するビデオコントローラにおいて設定される適切なリフレッシュレートを決定する。

30

【 0 0 0 5 】

典型的にはE D I Dは、モニタの電源が落ちているときでさえも、ホストがアクセス可能なディスプレイ情報である。「デュアルインタフェース」（アナログおよびデジタルの両方のコネクタがサポートされる）をサポートするモニタにおいて、典型的には2つの別個の標準E D I D ROMデバイスが存在し、これらはフラットパネルコントローラボード上に位置し、これらROMがアナログおよびデジタルE D I Dを記憶する。E D I Dは専用のD D Cバスを介してアクセスされる。従来のデュアルパネルフラットパネルコントローラ設計においては、2つのE D I D ROMデバイスは、フラットパネルコントローラ上にあり、アナログE D I D ROMについてはアナログケーブル（V G A D D Cケーブル）で、デジタルE D I D ROMについてはデジタルケーブルでホスト電源から電源供給されている。2つのE D I D ROMデバイスをフラットパネルコントローラボード上に設けるコストは高い。

40

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

したがって、現在のコストプレッシャーのある市場では、2つのE D I D ROMデバ

50

イスを持つことなく D D C ポートを通して E D I D をサポートするソリューションの要求がある。

【課題を解決するための手段】

【 0 0 0 7 】

単一のメモリからアナログおよびディジタル E D I D の両方をサポートする方法および装置が記載される。

【 0 0 0 8 】

ある実施形態において、それぞれが適切なタイプのビデオソースに接続されえる多数のデータポートおよび実行可能な命令および関連付けられたデータを処理するよう構成されたプロセッサを有するディスプレイコントローラ内の単一のメモリデバイスのメモリ空間を区切る方法が記載される。この方法は、前記メモリ空間の第 1 部分に、前記実行可能な命令および関連付けられたデータを記憶するよう割り当てること、および前記メモリ空間の第 2 部分に、拡張ディスプレイ識別データを記憶するよう割り当てることを備え、前記第 1 および第 2 部分は、前記ディスプレイコントローラの電源状態に関係なく、前記データポートおよび / または前記プロセッサによってアクセスのために常に利用可能である。

【 0 0 0 9 】

ディスプレイインタフェースによってディスプレイ装置に、多数のデータポートによってホストデバイスに結合されたディスプレイコントローラは、実行可能な命令および関連付けられたデータを処理するよう構成されたプロセッサ、および前記実行可能な命令および関連付けられたデータおよび前記ディスプレイ装置に対応する E D I D を記憶する単一のメモリデバイス、および前記単一のメモリデバイスを前記データポートによって前記ホストデバイスに結合するブリッジ部分を含み、前記ディスプレイコントローラが電源オフ状態であるブートアッププロセスのあいだのような前記ディスプレイコントローラが電源オフ状態であるときでさえも、前記ブリッジ部分は、常に電源オン状態であることによって、前記ホストデバイスによる前記単一のメモリデバイスへのアクセスを提供し、前記ブリッジ部分および前記単一のメモリデバイスは前記ホストデバイスによって共に電源供給されることによって、前記ホストデバイスは必要に応じて前記単一のメモリデバイスから前記適切な E D I D をアクセスおよび取り出しができる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

本発明の特定の実施形態が詳細に参照され、その例が添付の図面に示される。本発明は、特定の実施形態について記載されるが、本発明を記載された実施形態に限定するよう意図されないことが理解されよう。逆に、添付の特許請求の範囲によって規定されるように、本発明の精神および範囲内に含まれえるよう代替物、改変物、および等価物を含むよう意図される。

【 0 0 1 1 】

D D C モニタ (ディスプレイデータチャネル) は、モニタの解像度およびリフレッシュレートのようなモニタの機能に関する E D I D を記憶する E E P R O M のような記憶デバイスを含む。「デュアルインタフェース」(すなわちアナログおよびディジタルの両方のコネクタがサポートされる) をサポートするモニタにおいて、典型的には 2 つの別個の標準 E D I D R O M デバイスが存在し、これらはフラットパネルコントローラボード上に位置し、これら R O M がそれぞれアナログおよびディジタル E D I D を記憶する。E D I D R O M デバイスに加えて、モニタも、典型的にはシリアル周辺インタフェース (S P I) フラッシュシリアル R O M として構成されたプログラム可能な R O M デバイスとして構成された関連付けられたプログラムメモリ記憶を有するプロセッサをそれ自身が含むモニタコントローラを含む。S P I フラッシュ R O M は、それ自身におけるパネルを制御する重要なファームウェアルーチンを保持するためにフラットパネルコントローラボード上で必要とされる。これらルーチンは、必要なコマンドをある時刻において実行するために我々のオンチップマイクロコントローラによって呼ばれる。シリアル周辺インタフェース (S P I) は、フルデュプレクスモードで動作する、シリアル (すなわち一度に 1 ビット

トずつ)のデータ交換を多くのデバイス(少なくとも1つはマスタと呼ばれ、その他はスレーブと呼ばれる)の間で可能にするインタフェースであることに注意されたい。フルデュプレクスであるとは、同時に双方向にデータが転送されえることを意味する。SPIは、中央処理ユニット(CPU)および周辺装置の間での通信のためにシステムで最もしばしば採用される。2つのマイクロプロセッサをSPIによって接続することも可能である。

【0012】

このことを頭に入れて、本発明は、EIIDを記憶するためにプロセッサメモリ(SPIフラッシュシリアルROMのような)の使用されない部分(群)を利用することによって、EIIDを記憶するための外部メモリデバイスの高価な使用をなくす。このようにして、EIIDを記憶するために既にプロセッサに利用可能なSPIフラッシュROMを用いることによって、本発明は、EIIDだけを記憶するため専用であった別個のROMを持つコストを削減する。このようにして、EIIDは、2つの別個のEIID ROMデバイスを有することなく、DDCポート(もし必要ならアナログおよびデジタルの両方)に利用可能になる。

【0013】

本発明は、ここでディスプレイコントローラ回路について記載される。ディスプレイコントローラは、任意の個数および種類のフラットパネルディスプレイモニタにおいて用いるのに適するフラットパネルディスプレイコントローラについて記載されるが、本発明のコントローラ回路は、適切とみなされる任意のタイプのディスプレイのために適することに注意されたい。したがって、ここで記載されるフラットパネルディスプレイは、コンピュータおよびディスプレイを必要とする他の装置と共に用いるのに適する液晶ディスプレイ(LCD)タイプのモニタを含む。

【0014】

図1は、本発明のある実施形態による本発明のディスプレイコントローラ102の実現例を含むシステム100を示す。示されるように、ディスプレイコントローラ102は、ディスプレイ107に関連付けられたEIIDを、プロセッサ104によって処理される実行可能な命令および関連付けられたデータを記憶するためのメモリ位置109とは別個で、異なる特定のメモリ位置において記憶するよう構成されたSPI-ROM106の形態をとるメモリデバイス106に結合されたプロセッサ104を含む。記載される実施形態において、システム100は、外部ビデオソース110(コンピュータまたはPCホストのような)およびディスプレイコントローラ102の間の転送リンクを提供する多くのデータポート108も含む。一般に言って、システム100は、任意の個数およびタイプのデータポート108を含みえるが、ここでの説明のために、システム100は、ディスプレイデータチャンネル(DDC)タイプのデジタルポート(DDC-DVIポート108aと呼ばれる)およびDDCアナログデータポート(DDC-VGAポート108bと呼ばれる)を含むデュアルインタフェースタイプのシステムであるとされる。ディスプレイコントローラ102は、アナログディスプレイについてはDDC-VGAポート108bを、デジタルディスプレイについてはDDC-DVIポート108aを用いてビデオソース110へケーブル112によって結合される。DDC標準は、モニタと、それが接続されるビデオソース中に含まれるディスプレイアダプタとの間の通信チャンネルを定義する標準であることに注意されたい。モニタは、このチャンネルを用いてそのアイデンティティおよび能力をディスプレイアダプタに伝える。

【0015】

記載された実施形態において、SPI-ROM106は、仮想EIID部114を含むように区切られ、この仮想EIID部114はさらに、アナログディスプレイデータを記憶するのに用いられるアナログEIID部116、およびデジタルディスプレイデータを記憶するのに用いられるデジタルEIID部118に区切られる。特定の實現例において、アナログEIID部116は、メモリ位置000~100に広がり、一方、デジタルEIID部118は、メモリ位置101~1FFに広がるが、もちろん適切とみなさ

10

20

30

40

50

れる任意のやり方で構成されえる。

【 0 0 1 6 】

コントローラ 1 0 2 の一部は、D D C - V G A ポート 1 0 8 b および D D C - D V I ポート 1 0 8 a と、S P I フラッシュ R O M 1 0 6 との間のブリッジとして働くブリッジ部 1 2 0 と呼ばれるものに区切られる。(このブリッジ部 1 2 0 は、図 2 を参照してさらに詳細が以下に記載される。)ブリッジ部 1 2 0 はアナログ部 1 2 2 も含むことに注意されたい。動作のあいだ、ポート 1 0 8 のうちの 1 つからの任意の E D I D リードリクエストは、適切な E D I D を記憶する R O M 1 0 6 の該当部分(アナログデータについては部分 1 1 6 であり、デジタルデータについては部分 1 1 8 である)にアクセスすることによってブリッジ部 1 2 0 によって処理される。さらにブリッジ部 1 2 0 は、S P I フラッシュ R O M 1 0 6 から読み出されたデータをリクエストしているポートに戻す。

10

【 0 0 1 7 】

記載される実施形態において、コントローラ 1 0 2 は、S D A (Serial DAta line、シリアルデータライン)および S C L (Serial CLock line、シリアルクロックライン)の 2 つのアクティブな双方向ワイヤおよびグラウンド接続を有する集積回路群間の通信リンクを記述するインター I C バス(I 2 C)プロトコルに準拠する。I 2 C バスに接続された各デバイスは、機能に依存して、レシーバおよび/またはトランスミッタとして働きえるそれ自身のユニークなアドレスを有する。例えば、L C D ドライバはレシーバだけとして働くが、一方、メモリまたは I / O チップは、トランスミッタおよびレシーバの両方として働きえる。

20

【 0 0 1 8 】

したがって、I 2 C バースト読み出しのあいだ、ブリッジ部 1 2 0 は、E D I D 関連データのそれぞれのバイトを、情報のシリアルビットに変換し、それをリクエストしている D D C ポートの 2 ワイヤ I 2 C バス上で転送する。オフモード(OFF_Mode)と呼ばれる期間のあいだ(アナログビット 1 2 2 によって検出されるようにオンボード電源レギュレータ 1 2 4 がオフである)、外部電源 1 2 6 からの電力は、D D C ポート群(すなわち D D C - D V I ポート 1 0 8 a または D D C - V G A ポート 1 0 8 b)のうちのアクティブなもののいずれかによって、ケーブル 1 1 2 およびその関連付けられたチャネルを介して図 3 に示されるようにコントローラ 1 0 2 および S P I - R O M 1 0 6 に供給される。このようにして、コントローラ 1 0 2 中に含まれる電源レギュレータ 1 2 4 が電源オフであるときでさえも、ブリッジ部 1 2 0 および R O M 1 0 6 は、ブートアップのあいだに必要な E D I D を提供するのに十分な電力をやはり受け取る。電源切り替えの遷移のあいだ(すなわちオンボード電源レギュレータ 1 2 4 がオフであるオフモード(OFF_MODE)およびオンボード電源レギュレータ 1 2 4 がオンであるオンモード(ON_MODE)の間、およびその逆)、アナログ部 1 2 2 は、オンボード電源レギュレータ 1 2 4 がオフからオンに切り替わるとき、およびその逆に切り替わるときを検出する。オフモードのあいだ、ブリッジ部 1 2 0 および S P I フラッシュ R O M 1 0 6 の両方は、ケーブル 1 1 2 によって D D C ポート 1 0 8 のうちの一方または他方によって電源が共に供給される。記載された実施形態において、電源 1 2 6 は、図 3 に示されるカスケードダイオード 3 0 2 の 2 つのブランチを通して電力を供給するよう働く(簡単のためにコネクタ群のうちの 1 つしか示されないことに注意)。オフモード(実質的に電源が入っているコントローラ 1 0 2 の唯一の部分ブリッジ部 1 2 0 であるとき)におけるラッチアップ問題を避けるために、ブリッジ部 1 2 0 中のデジタルロジックは既知の状態に設定される。

30

40

【 0 0 1 9 】

電源がオフからオンに移行する場合、アナログ部 1 2 2 は、オンボードレギュレータ 1 2 4 がアクティブであり、電力を供給していることを検出し、その結果、電源 1 2 6 から電力を供給している D D C ポート群 1 0 8 のうちのアクティブなものから、新しくアクティブになったオンボードレギュレータ 1 2 4 へ切り替わる。このようにして、ブリッジ部 1 2 0 は常に電力を受け取るが、それはオンボードおよびオフボード電源の間の任意の電力遷移が検出され、適切な切り替えアクションがとられることによって、電力切り替えの

50

グリッチを避けることができるからである。

【 0 0 2 0 】

オフからオンへの電力遷移のあいだ（すなわち電源レギュレータ 1 2 4 がオンにされる
とき）、任意の終わっていない E D I D リードサイクルは、そのサイクルの終わりまで継
続することが許されることに注意されたい。この説明のコンテキストにおいて、未完了の
E D I D リードサイクルとは、リクエストしている D D C ポートが E D I D を R O M 1 0
6 から読み出しているが、I 2 C ストップ条件にまだ到達していない状況である。E D I
D リード操作を完了するのに必要とされる期間のあいだ、コントローラ 1 0 2 は、任意の
後続の E D I D リードリクエストについてオンモードへと切り替える前に、未完了の E D
I D リードサイクルの終わりを待つ。オンボード電源レギュレータ 1 2 4 がオンにされる
ときの期間のあいだ（オンモード）、ブリッジ部 1 2 0 は、他のクライアントデバイスお
よびポート 1 0 8 から S P I フラッシュ R O M 1 0 6 への E D I D リードリクエストにつ
いてプロセッサ 1 0 4 のサービスリクエスト群間で調停をする。

10

【 0 0 2 1 】

ブリッジ部 1 2 0 のアナログ部 1 2 2 中に位置する自動アクティビティ検出回路 1 2 8
（以下により詳細に記載される）は、コントローラ 1 0 2 中の電源レギュレータ 1 2 4 が
電源オンまたはオフになるときを検出するよう設計される。記載される実施形態において
、この検出は、現在の T C L K アクティビティの決定に基づいており、ここで T C L K は
、フラットパネルコントローラ内部クロックである。例えば、T C L K アクティビティは
、オンボード水晶クロックがアクティブであり、電源レギュレータ 1 2 4 がオンであると
決定されることを示し、一方、ロウの T C L K アクティビティは、電源レギュレータ 1 2
4 がオフであると決定されることを示す。

20

【 0 0 2 2 】

オフモードのあいだは限られた電力バジェットしかないので、オンボード電源レギュレ
ータ 1 2 4 がオフのときは、R C ベースの低周波数クロックがアクティベートされて、ブ
リッジ回路 1 2 0 および S P I フラッシュ R O M クロック（S P I _Flash ROM clock）を駆
動する。しかしオンモードのあいだは、S P I フラッシュ R O M 1 0 6 およびブリッジ回
路 1 2 0 の両方のための電力がそれからオンボード電源レギュレータ 1 2 4 から供給され
るので、低周波数クロックがオフにされ、オンボード水晶クロックがアクティベートされ
る。このようにして、シームレスにクロックを切り替えることによって、E D I D リード
またはフラットパネルコントローラ動作のあいだのグリッチまたは誤動作はまず起こらな
い。

30

【 0 0 2 3 】

電源オフモードのあいだ、仮想 E D I D 動作のために必要とされる電力は、電源 1 2 6
によって発生され、ケーブル 1 1 2 によって供給される。しかし電源オンモードにおいて
は、コントローラ 1 0 2 がより高いクロック周波数において動作するので電流要件が高
くなる。この状況において、ケーブル 1 1 2 は、必要な電流を維持できないので、ケー
ブル 1 1 2 からオンボード電源レギュレータ 1 2 4 へ切り替えることが必要である。しかし、
この切り替えをイネーブルにするために満たされなければならない 2 つの条件が存在する
。任意のディスプレイ製品において、内部発振器、外部発振器またはクロック源で発生さ
れえるレファレンスクロック（T C L K）についての要件が存在する。このクロックの存
在は、チップが電源オンモードにあることを示す。自動アクティビティ検出回路 1 2 8 は
、このクロック信号 T C L K を見て、クロックがトグルしているかロウであるかに基づい
てコンデンサを充電する。このコンデンサ電圧は、増幅器またはインバータを駆動し、も
しそれが増幅器またはインバータのスレッシュホールド電圧を超えるなら、ロジック状態変化
を起こす。例えば、ディスプレイ製品において、一般にマイクロコントローラインタフェ
ースが存在し、いったんコントローラが電源オンモードにあるとそのレジスタビットを変
化させることが可能である。上述のように、T C L K 信号それ自身は、電源切り替えを行
うのに充分である。システムをよりロバストにするために、T C L K に加えて、レジスタ
ビットからの信号が検出され、これは電源オフモードにおいてはロウつまり「 0 」である

40

50

。しかしいったん電源がオンになると、このビットは、低周波数モードを用いてハイつまり「1」になるようにプログラムされえる。このビットおよびTCLK(actおよび/act)の論理組み合わせが電源切り替えを行うのに用いられる。

【0024】

説明されるコントローラ102はI2C準拠であるので、I2Cプロトコル仕様書は、データ転送を開始するI2Cバスに接続される任意の回路がバスマスタであると考えられ、そのときにそのバスに接続された全ての他の回路をバススレーブと格を落としてみなすようにすると記述している。I2Cプロトコルにおいて、スレーブがマスタのリードまたはライトコマンドに追従できないとき、スレーブは、I2Cクロック(2つのワイヤI2Cのうちの1つ)をロウにホールドする(クロックストレッチングと呼ばれる)ことによってバスをホールドする(すなわちバスアクティビティを止める)。したがって、コントローラ102はビデオソース110(PCホストのような)をマスタとして使われるので、PCホスト110がEDIDをDDC-VGA108bまたはDDC-DVIポート108aのいずれかを通してROM106から読み出したいとき、VESA標準は、コントローラ102が、ポート108に接続されたバス群のうちのいずれかをホールドすることを許さない。換言すれば、VESA標準は、ROM106が常に利用可能であり、PCホスト110はEDIDをROM106からDDCポート108のうちの一方または他方を通して読み出せると想定している。したがって、VESA標準に準拠しながらも、I2C準拠のままであるために、調停回路130は、ROM106を読み出すことを必要とするコントローラ102内の他のクライアントからのリクエストと併せて、デバイスEDIDリードリクエストの双方の実行を提供する。具体的な実施形態において、調停スキームは、ROMから読み出されたEDIDデータを保持するFIFO132を利用する。リクエストしているVGA-DDCポートがFIFO132(バイト単位で)を読み出すあいだ、データのそれぞれのバイトはリクエストしているDDCポート(シリアルI2Cポート)を通してビット単位で送られる。FIFO132がほとんど空になるとき、FIFO132は、任意の進行中のEDIDリードリクエストを満足させるために再びROM106へのアクセスが認められ、一方、他のリクエストしているクライアントは、FIFO132が適切なデータで満たされるときまで、割り込みがなされる。

【0025】

図2は、本発明のある実施形態によるブリッジ回路200を示す。ブリッジ回路200は、図1に示され説明されたブリッジ回路120の特定の実現例であることに注意されたい。ブリッジ回路200は、DDCポート108のそれぞれについてDDCポートコントローラブロック202(ポート108aに関連付けられた202aおよび108bに関連付けられた202b)を含む。電源レギュレータ124が電源オフであるとき(オフモード(Off_Mode))、電力はDDCポートケーブル(VGA/DVI)のいずれかによって供給され、電力はチップのブリッジ部およびSPIフラッシュROM(SPI_FLASH ROM)106に与えられる。この時間のあいだ、DDCポートコントローラブロック202(VGA/DVI)のうちの1つは、EDIDリードリクエストをSPIステートマシン(SPI_SM)コントローラ204に送る責任を担う。SPI_SMコントローラ204は、EDIDリードリクエストを処理してリクエストされたデータを、SPIフラッシュROM106の適切な部分から読み出し、読み出されたデータを適切なDDCポートコントローラ202へと返す。DDCポートコントローラ202は今度は、EDID関連のデータのそれぞれのバイトを、情報のシリアルビットに変換し、それをアクティブなDDCポート108のI2Cバス上で転送する。

【0026】

上述のように、I2Cプロトコルにおいて、スレーブデバイスがマスタリードまたはライトコマンドに追いつけないときは、スレーブデバイスは、I2Cクロック(2つのワイヤのI2Cのうちの1つ)をロウにホールドする(クロックストレッチング)ことによって、バスを占有してそれ以上のアクティビティをできなくしえる(バスのアクティビティを麻痺させるような)。説明される実施形態において、フラットパネルコントローラ10

10

20

30

40

50

2はスレーブデバイスであり、PCホストはマスタである。PCホストがEDIDデータをVGA DDCポート108bまたはDVI DDCポート108aのいずれかを通してROM106から読み出したいとき、VESA標準は、ROM106が常に利用可能であると想定する(すなわちPCホストは、DDCポート108を通してROMからEDIDデータを読み出せる)。したがってVESA標準は、データがレディではないとき、リクエストしているDDCポート108をホールドするためのスレーブデバイス(コントローラ102)を提供しない。したがって、VESA標準に準拠したままであるために、調停ブロック130は、プロセッサ104がEDIDリードリクエストレートと共に、ROM106へのアクセスを要求するフラットパネルコントローラ102内の他の回路からのリクエストにも追従することができるようにする調停サービスを提供する。

10

【0027】

ROMアクセスリクエストの調停を促進するために、FIFO134(この場合8バイトの深さである)は、ROM106から読み出されたEDIDを保持する。リクエストしているDDCポートインタフェースブロックは、リクエストされたEDIDをFIFO132から読み(バイト単位で)、データのそれぞれのバイトをリクエストしているDDCポートを通してビット単位でPCホスト110に送る。FIFO132がほとんど空であるとき、プロセッサ104は、さらなるリクエストされたEDIDでFIFO132を埋めるために、プロセッサ104が他のリクエストしているクライアントデバイスを割り込みすることが必要となるかもしれないことを示すフラグが立てられる。このようにして、リクエストしているDDCポートは、クロックストレッチングに頼る必要なく、必要に応じてROM106へのアクセスが提供され、それによりVESA標準への準拠を保つ。FIFO132が満たされているとき、プロセッサ104はフラグをはずし、任意の他のリクエストするクライアントはROM106へのアクセスを許される。

20

【0028】

図4は、本発明のある実施形態による例示的自動アクティビティ検出回路400を示す。自動アクティビティ検出回路400は、コントローラ中の電源レギュレータが電源オンまたはオフにされるときを検出するように設計される。電源レギュレータが電源オンにされるとき、TCLKはトグルし、そうではなく電源レギュレータが電源オフにされるとき、TCLKは0である。自動アクティビティ検出回路400は、TCLKがトグルし、ノードN1が高電圧に昇圧し、よってノードN2をハイにすると、コンデンサC1を充電する。もしレジスタ制御からのiCORE_DETECTがハイにセットされるなら、ノードN3はハイになり、その結果、出力ACT信号はハイになり、これはコントローラ電源がオンであることを示す。ACTは、iEDID_EN_PADイネーブル信号(これはボンドオプション信号(bond option signal)である)によっても1にセットされる。

30

【0029】

代わりに、TCLKがゼロであるとき、コンデンサC1は充電しておらず、高インピーダンス抵抗R2はノードN1をプルダウンして、その結果、ノードN2がロウになり、これはノードN3をロウにし、結果として出力ACT信号はロウになり、これはコントローラ電源がオフであることを示す。

【0030】

40

図5Aは、本発明のある実施形態によるプロセス500を詳細に示すフロー図である。プロセス500は、フラットパネルコントローラ(FPC)が電源オンであるかを決定することによって502で始まる。もしコントローラが電源オンであると決定されるなら、DDCポートステートマシンは、仮想EDIDROMへのアクセスを504において認められ、506においてリクエストされたEDIDは仮想EDIDROMから読み出され、508において、DDCポートステートマシンがビジーかどうかの決定がなされる。502に戻って、もしそうでなければ、コントローラは電源オフであると決定されているなら、制御は502から508に直接に渡され、ここでもしDDCステートマシンがビジーだと決定されるなら、制御は506へと戻り、そうでなければコントローラステートマシンはROMへのアクセスを510において認められる。512において、他のポートがR

50

OMへのアクセスをリクエストしているかの決定がなされる。もし他のポートがアクセスをリクエストしていないなら、コントローラは全てのリクエストを514においてサービスし、そうでなければ、516においてコントローラは全てのリクエストをサービスし、任意のリクエストしているポートにROMへのアクセスを提供する。

【0031】

図5Bは、本発明のある実施形態による実行可能な命令および関連付けられたデータを処理するプロセッサおよび多くのデータポートを有するビデオコントローラにおいて拡張ディスプレイ識別データ(EDID)を獲得するプロセス518を詳細に示すフロー図を示す。プロセス520は、522においてオンボード電源をアクティベートすることによって始まり、524においてオンボード電源がアクティベートされるとき、メモリデバイスへ電力を供給するよう構成されたオフボード電源を遮断する。次に526において、EDIDおよび実行可能な命令および関連付けられたデータを記憶するのに用いられるメモリデバイスにオンボード電源から電力を供給し、528において、高周波数クロック信号を提供することできるオンボードクロック回路にオンボード電源から電力を供給する。530において、オンボードクロック回路からメモリデバイスに高周波数クロック信号を供給し、532において、オンボード電源供給がアクティベートされるときメモリリード操作が進行中であるなら、メモリリード操作を534において完了する。

【0032】

図5Cは、本発明のある実施形態による拡張ディスプレイ識別データ(EDID)の獲得を調停するプロセス536を詳細に示すフロー図を示す。プロセス536は、メモリアクセスリクエストをリクエストしているデータポートによって発生することによって538において始まり、540において、アービトレーション回路によってメモリデバイスへのアクセスを認める。542において、EDIDをメモリデバイスからデータバッファへ読み出し、544において、読み出されたEDIDをデータバッファに記憶し、546において、リクエストしているポートは、記憶されたEDIDのいくつかをリクエストしているデータポートによって読み出す。548において、プロセッサメモリアクセスリクエストをプロセッサによって生成し、550において、データバッファはフルであると決定されるかどうかの決定がなされる。もしデータバッファがフルであると決定されるなら、552において、プロセッサメモリアクセスリクエストが認められ、いずれの場合も554において、リクエストしているポートはバッファから読み出すことを続ける。556において、データバッファがほとんど空であるかどうかの決定がなされ、もしほとんど空であると決定されるなら、558において、リクエストしているポートはメモリへのアクセスを認められ、そうでなければ、リクエストしているポートはデータをバッファから読み出し続ける。

【0033】

図5Dは、本発明のある実施形態によるインターIC(IC)プロトコルを用いたEDIDの獲得のためのプロセス560を詳細に示すフロー図を示す。プロセス560は、562においてEDIDリードリクエストをホストデバイスによって生成することによって始まり、564においてEDIDリードリクエストをリクエストしているポートを経由してメモリデバイスに渡す。566において、リクエストされたEDIDがメモリデバイスからデータバッファに転送され、一方、568において、メモリアクセスがプロセッサに認められ、570において、リクエストされたEDIDをバッファからバイト単位で読み出し、572において、データのそれぞれのバイトを、リクエストしているデータポートを通してビット単位でホストデバイスへ送る。このようにして、リクエストしているポートは、クロックストレッチングなしに、必要に応じてメモリデバイスへのアクセスを提供され、それによりVESA標準への準拠を維持できる。

【0034】

図5Eは、本発明のある実施形態による低電力バジェットを維持するのに適する電力切り替えプロシージャ574を詳細に示すフロー図を示す。プロセス574は、オンボード電源がアクティブであるかを決定することによって576において始まり、もしオンボー

10

20

30

40

50

ド電源がアクティブでないなら、５７８において、コネクタを経由してオフボード電源によって電力がディスプレイコントローラに供給され、５８０において、低周波数クロック信号を提供するよう構成された低電力、低周波数クロックをオンにすることによって、電力を節約する。

【００３５】

しかし５７６において、オンボード電源がアクティブではないと決定されるとき、５８２において、オンボード電源だけによって電力がディスプレイコントローラに供給され、５８４において、低周波数クロックがオフにされ、５８６において、高周波数クロック信号を提供するよう構成された高周波数クロックがオンにされる。

【００３６】

図５Ｆは、本発明のある実施形態によるディスプレイコントローラにおけるアクティブな電源の自動検出のためのプロセス５８８を詳細に示すフロー図を示す。プロセス５８８は、５９０においてレファレンスクロック信号を入力ノードにおいて受け取ることによって始まり、５９１において第１電圧を、入力ノードに結合された第１抵抗において発生する。５９２において、第１電圧に基づいて、第１抵抗に結合された（またはそうではない）コンデンサを充電し、５９３においてコンデンサ出力電圧を読み出す。５９４においてコンデンサ出力電圧はハイであるかどうかの決定がなされ、もしハイであると決定されるなら、５９５において、レファレンスクロック信号がアクティブであると決定され、一方、もしコンデンサ出力電圧はハイではないなら、５９６において、レファレンスクロック信号はアクティブではないと決定される。

【００３７】

図６は、本発明の回路６０２が採用されえるグラフィックシステム６００を示す。システム６００は、中央処理ユニット（ＣＰＵ）６１０、ランダムアクセスメモリ（ＲＡＭ）６２０、読み出し専用メモリ（ＲＯＭ）６２５、１つ以上の周辺機器６３０、主記憶装置６４０および６５０、グラフィックコントローラ６６０、およびデジタルディスプレイユニット６７０を含む。ＣＰＵ６１０は、以下に限定されないがトラックボール、マウス、キーボード、マイクロホン、タッチセンシティブディスプレイ、トランスデューサカードリーダー、磁気または紙テープリーダー、タブレット、スタイラス、音声または手書き認識器、またはもちろん他のコンピュータのようなよく知られた任意の他の入力デバイスのようなものを含みえる１つ以上の入力／出力デバイス６９０にも結合される。グラフィックコントローラ６６０は、画像データおよび対応するレファレンス信号を生成し、両方をデジタルディスプレイユニット６７０に提供する。画像データは、例えば、ＣＰＵ６１０から受け取られたピクセルデータに基づいて、または外部エンコード（不図示）から生成されえる。ある実施形態において、画像データは、ＲＧＢフォーマットにおいて提供され、レファレンス信号は、この技術分野でよく知られるＶＳＹＮＣおよびＨＳＹＮＣ信号を含む。しかし本発明は、他のフォーマットの画像、データおよび／またはレファレンス信号と共に実現されることが理解されよう。例えば、画像データは、対応する時間レファレンス信号も持つビデオ信号データを含みえる。

【００３８】

本発明のいくつかの実施形態だけが説明されてきたが、本発明は、本発明の精神または範囲から逸脱することなく、多くの他の具体的な形態をとりえることが理解されよう。本発明の例は、例示的であって限定的ではないと考えられるべきであり、本発明は、ここで与えられた詳細に限定されず、等価物の完全な範囲と共に添付の特許請求の範囲内で改変されえる。

【００３９】

本発明は、具体的な実施形態について説明されてきたが、本発明の範囲に入る改変物、組み合わせ、および等価物が存在する。また本発明のプロセスおよび装置の両方を実現する多くの代替のやり方が存在することに注意されたい。したがって本発明は、全てのそのような改変物、組み合わせ、および等価物が本発明の真の精神および範囲に入るものとして含むように解釈されるよう意図されている。

【図 3】

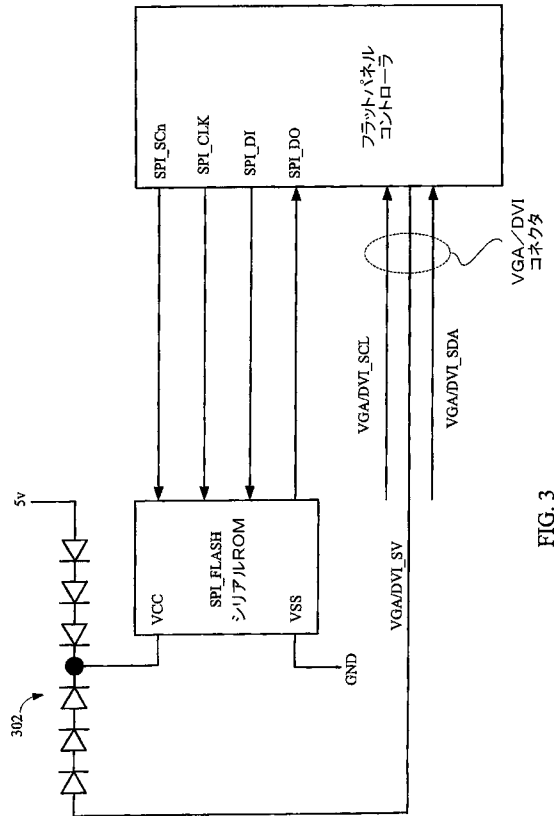


FIG. 3

【図 4】

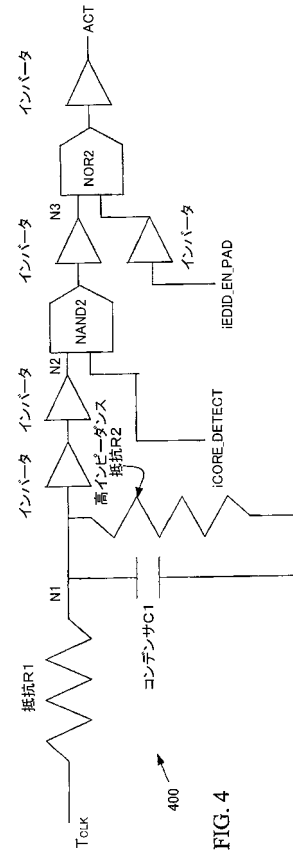


FIG. 4

【図 5 A】

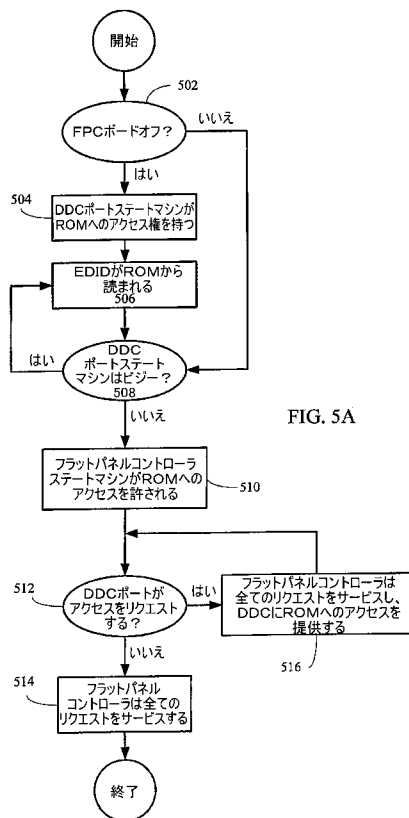


FIG. 5A

【図 5 B】

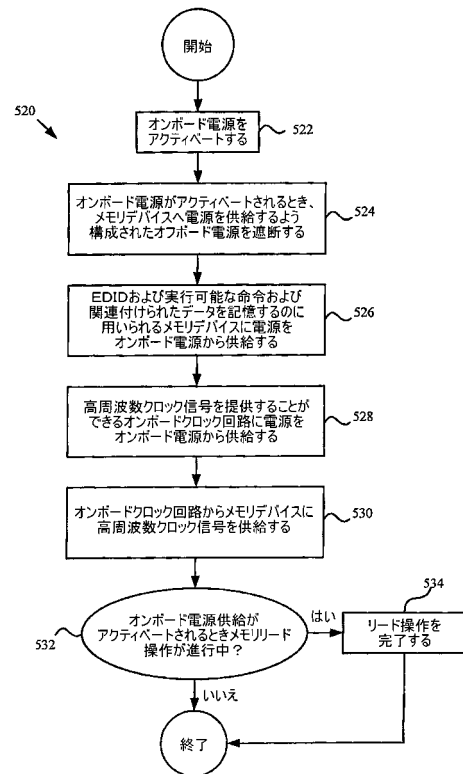


FIG. 5B

【図 5 C】

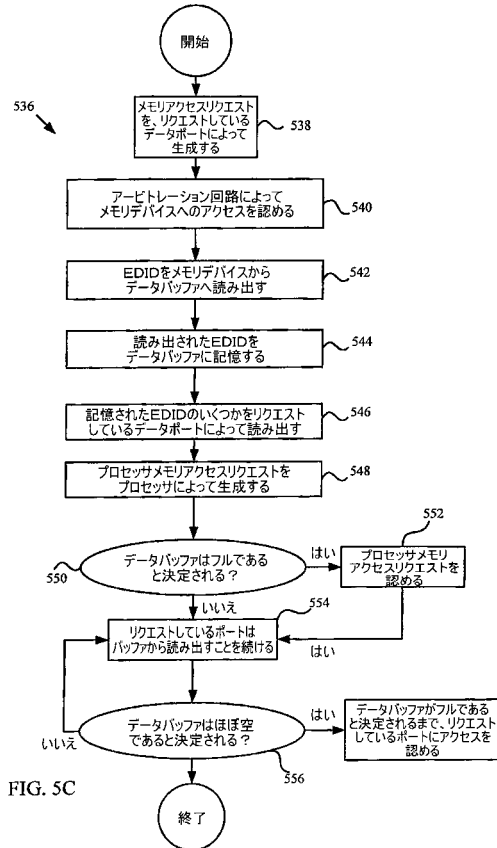


FIG. 5C

【図 5 D】

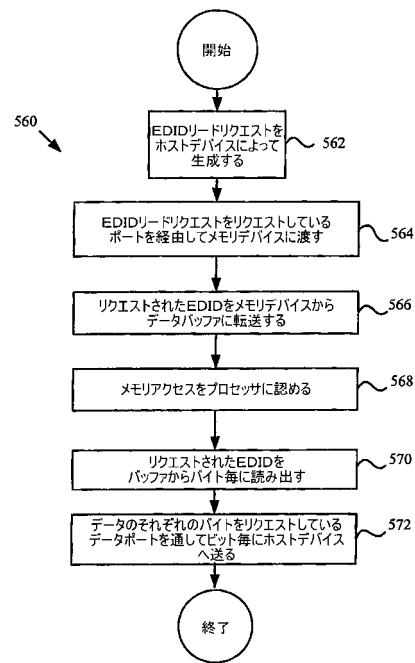


FIG. 5D

【図 5 E】

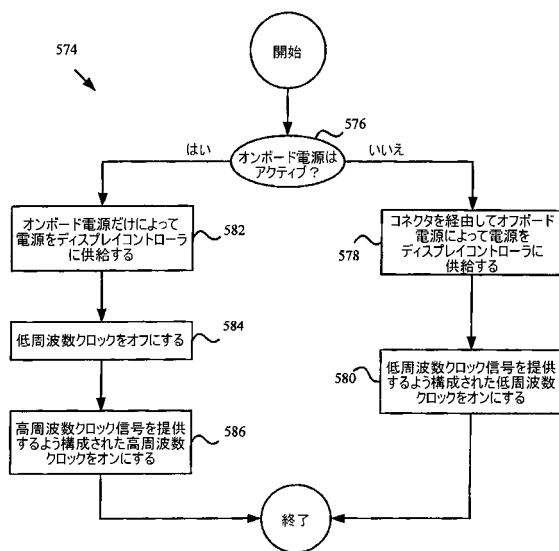


FIG. 5E

【図 5 F】

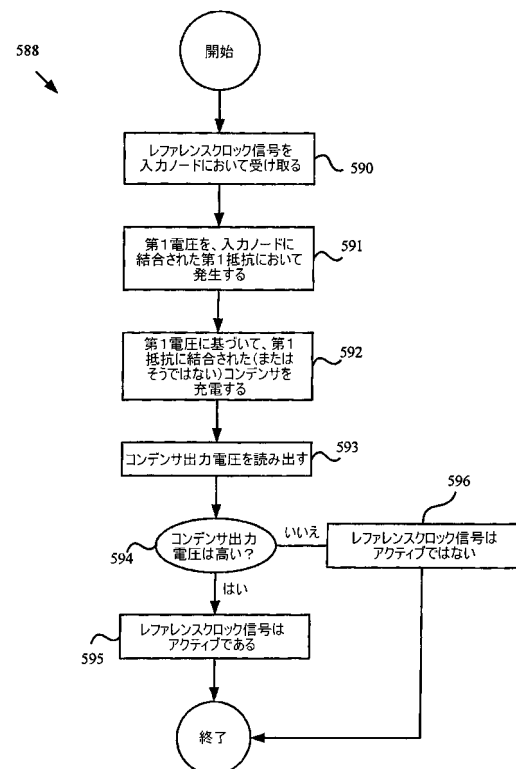


FIG. 5F

【図 6】

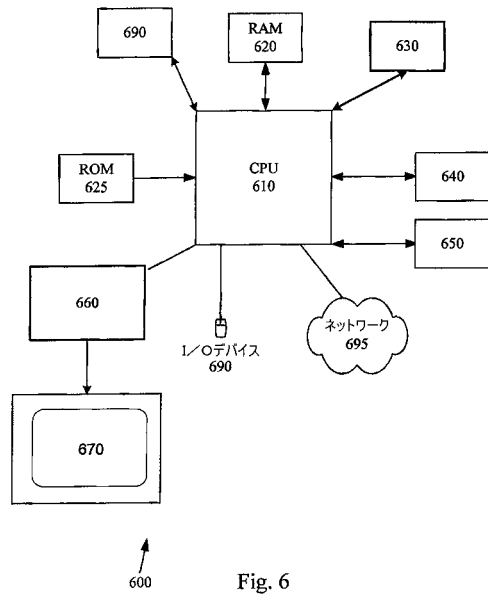


Fig. 6

フロントページの続き

- (72)発明者 アリ・ノアバクシュ
アメリカ合衆国 カリフォルニア州 9 4 5 0 6 ダンビル, シャドウ・クリーク・コート, 1 1 6
- (72)発明者 デイビッド・キーン
アメリカ合衆国 ニューメキシコ州 8 7 0 4 8 コラレス, ノット・レーン, 1 0 1
- (72)発明者 ジョン・ラッタンジ
アメリカ合衆国 カリフォルニア州 9 4 3 0 6 パロ・アルト, コロラド・アベニュー, 3 2 0
- (72)発明者 ラム・チルクリ
アメリカ合衆国 カリフォルニア州 9 5 1 2 9 - 1 3 0 4 サン・ホセ, キーリー・ブルバード,
3 4 5, アpartment シー 2 0 2

審査官 居島 一仁

- (56)参考文献 特開平 1 1 - 1 6 1 4 6 0 (J P , A)
特開平 1 0 - 3 3 3 6 5 9 (J P , A)
特開 2 0 0 4 - 1 0 2 0 6 7 (J P , A)
特開 2 0 0 1 - 1 7 5 2 3 0 (J P , A)
特開 2 0 0 3 - 0 2 9 7 2 9 (J P , A)
特開 2 0 0 4 - 1 7 0 4 7 5 (J P , A)
特開 2 0 0 1 - 1 3 4 2 4 3 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 5 / 4 2