

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-208712

(P2017-208712A)

(43) 公開日 平成29年11月24日(2017.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO4L 29/06 (2006.01)	HO4L 13/00 305C	5B034
HO4L 1/00 (2006.01)	HO4L 1/00 A	5B061
GO6F 13/00 (2006.01)	GO6F 13/00 301K	5B077
GO6F 13/36 (2006.01)	GO6F 13/36 520C	5B083
GO6F 13/38 (2006.01)	GO6F 13/38 350	5K014

審査請求 未請求 請求項の数 15 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2016-99954 (P2016-99954)
 (22) 出願日 平成28年5月18日 (2016.5.18)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100121131
 弁理士 西川 孝
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 高橋 宏雄
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 横川 峰志
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 通信装置、通信方法、プログラム、および、通信システム

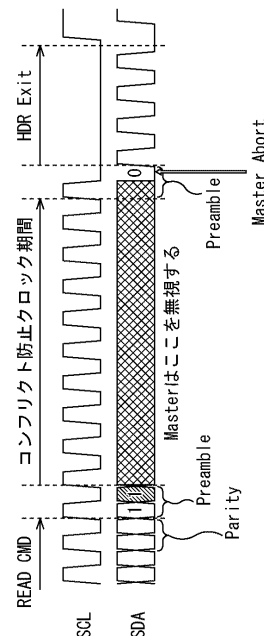
(57) 【要約】

【課題】 より確実に通信を行う。

【解決手段】 マスタにおいて、送受信部は、スレーブと信号の送受信を行い、確認信号検出部は、送受信部から送信された信号を受信したスレーブから送信されてくる受信確認信号および非受信確認信号のいずれかを検出する。そして、マスタにおいて、コンフリクト回避部は、確認信号検出部により非受信確認信号が検出されたとき、非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアボート信号を送信するように、送受信部に対する指示を行う。本技術は、例えば、I3Cの規格に準拠して通信を行うバスIFに適用できる。

【選択図】 図3

FIG. 3



【特許請求の範囲】**【請求項 1】**

他の通信装置と信号の送受信を行う送受信部と、

前記送受信部から送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、

前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部とを備える通信装置。

【請求項 2】

前記送受信部は、前記非受信確認信号が検出されたとき、前記所定数のクロックを送信する

請求項 1 に記載の通信装置。

【請求項 3】

前記送受信部は、前記他の通信装置に対してデータの読み出しを指示するリードコマンドを送信したことに応じて、前記他の通信装置から送信されてくるリードデータのビット数に応じたクロックを送信し、少なくとも、そのクロックを送信する期間における信号を無視する

請求項 2 に記載の通信装置。

【請求項 4】

前記送受信部は、前記他の通信装置から前記リードデータが送信されてくるとしたときの、前記リードデータに続いて送受信される 2 ビットのプリアンプルの 2 ビット目のタイミングで前記アポート信号を送信する

請求項 3 に記載の通信装置。

【請求項 5】

前記送受信部は、前記アポート信号に続いて、特定の通信モードの終了を指示するコマンドを送信する

請求項 1 に記載の通信装置。

【請求項 6】

前記送受信部は、前記アポート信号に続いて、特定の通信モードにおける通信のリスタートを指示するコマンドを送信する

請求項 1 に記載の通信装置。

【請求項 7】

前記送受信部により、次に送信するデータのタイプを指定するプリアンプルが受信されて、そのプリアンプルに続いて受信された信号のビット列と、前記プリアンプルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部

をさらに備え、

前記コンフリクト回避部は、前記エラー検出部によりエラーの発生が検出された場合、前記プリアンプルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行う

請求項 1 に記載の通信装置。

【請求項 8】

前記送受信部は、前記他の通信装置から読み出されるリードデータを受信し、前記リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動を常に行う

請求項 1 に記載の通信装置。

【請求項 9】

前記エラー検出部は、前記データに含まれている 2 ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、前記送受信部が受信したデータに対するパ

10

20

30

40

50

リティチェックを行うことでエラーの発生を検出する

請求項 7 に記載の通信装置。

【請求項 10】

前記送受信部は、通常の転送レートでデータ通信を行うSDR (Standard Data Rate) モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR (High Data Rate) モードで、信号の送受信を行うことができる

請求項 1 に記載の通信装置。

【請求項 11】

前記送受信部は、1ビットずつ逐次的にシリアルデータを伝送するデータ信号線、および、所定の周波数のシリアルクロックを伝送するクロック信号線の2本の信号線を介して通信を行う

10

請求項 1 に記載の通信装置。

【請求項 12】

前記送受信部、I3C (Improved Inter Integrated Circuit) の規格に準じた通信を行う

請求項 1 に記載の通信装置。

【請求項 13】

他の通信装置と信号の送受信を行い、

送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出し、

前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信する

20

ステップを含む通信方法。

【請求項 14】

他の通信装置と信号の送受信を行い、

送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出し、

前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信する

ステップを含む通信処理をコンピュータに実行させるプログラム。

【請求項 15】

30

バスにおける制御の主導権を有する第1の通信装置と、

前記第1の通信装置による制御に従って通信を行う第2の通信装置と

を備え、

前記第1の通信装置が、

前記第2の通信装置と信号の送受信を行う送受信部と、

前記送受信部から送信された信号を受信した前記第2の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、

前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部と

40

を有する

通信システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、通信装置、通信方法、プログラム、および、通信システムに関し、特に、より確実に通信を行うことができるようにした通信装置、通信方法、プログラム、および、通信システムに関する。

【背景技術】

【0002】

50

従来、複数のデバイスが実装されたボード内でバスを介したデバイス間の通信に用いられるバス I F (Interface) として、例えば、I2C (Inter-Integrated Circuit) が多く利用されている。

【 0 0 0 3 】

また、近年、I2Cの高速化を実現することが求められており、次世代の規格としてI3C (Improved Inter Integrated Circuit) の規定が進行している。I3Cでは、マスタおよびスレーブは、2本の信号線を用いて双方向に通信を行うことができ、例えば、マスタからスレーブへのデータ転送 (ライト転送) と、スレーブからマスタへのデータ転送 (リード転送) とが行われる。

【 0 0 0 4 】

例えば、特許文献 1 には、ホスト・プロセッサとサブシステム・コントローラとを、I2Cにより相互接続するデジタル・データ処理システムが開示されている。また、特許文献 2 には、標準I2Cプロトコルの上部に層状に配置された通信プロトコルを実現する方法が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 0 - 9 9 4 4 8 号 公 報

【 特許文献 2 】 特開 2 0 0 2 - 1 7 5 2 6 9 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

ところで、上述したようなI3Cでは、例えば、マスタおよびスレーブにおいて、パリティやCRC (Cyclic Redundancy Check) などによるエラー検出が行われることが規定されているが、そのようなエラー検出が用意されていない信号の送受信も行われる。そのため、エラー検出が用意されていない信号にエラーが発生したときに、マスタおよびスレーブが、正常な通信を行うことができなくなることが懸念される。

【 0 0 0 7 】

本開示は、このような状況に鑑みてなされたものであり、より確実に通信を行うことができるようにするものである。

【 課題を解決するための手段 】

【 0 0 0 8 】

本開示の第 1 の側面の通信装置は、他の通信装置と信号の送受信を行う送受信部と、前記送受信部から送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部とを備える。

【 0 0 0 9 】

本開示の第 1 の側面の通信方法またはプログラムは、他の通信装置と信号の送受信を行い、送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出し、前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するステップを含む。

【 0 0 1 0 】

本開示の第 1 の側面においては、他の通信装置と信号の送受信が行われ、送信された信号を受信した他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかが検出され、非受信確認信号が検出されたとき、非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号が送信される。

【 0 0 1 1 】

10

20

30

40

50

本開示の第2の側面の通信システムは、バスにおける制御の主導権を有する第1の通信装置と、前記第1の通信装置による制御に従って通信を行う第2の通信装置とを備え、前記第1の通信装置が、前記第2の通信装置と信号の送受信を行う送受信部と、前記送受信部から送信された信号を受信した前記第2の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部とを有する。

【0012】

本開示の第2の側面においては、バスにおける制御の主導権を有する第1の通信装置と、第1の通信装置による制御に従って通信を行う第2の通信装置とにより通信が行われる。そして、第1の通信装置において、第2の通信装置と信号の送受信が行われ、送信された信号を受信した第2の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかが検出され、非受信確認信号が検出されたとき、非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号が送信される。

10

【発明の効果】

【0013】

本開示の第1および第2の側面によれば、より確実に通信を行うことができる。

【図面の簡単な説明】

20

【0014】

【図1】本技術を適用したバスIFの一実施の形態の構成例を示すブロック図である。

【図2】コンフリクトエラーについて説明する図である。

【図3】コンフリクトエラーを回避するフォーマットの一例を示す図である。

【図4】マスタのDDRモードでの通信処理を説明するフローチャートである。

【図5】マスタの構成例を示す回路図である。

【図6】コンフリクトエラーを回避するフォーマットの他の例を示す図である。

【図7】本技術を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

【発明を実施するための形態】

30

【0015】

以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

【0016】

<バスIFの構成例>

【0017】

図1は、本技術を適用したバスIFの一実施の形態の構成例を示すブロック図である。

【0018】

図1に示されているバスIF11は、マスタ12と3台のスレーブ13-1乃至13-3とが、データ信号線14-1およびクロック信号線14-2を介して接続されて構成される。

40

【0019】

マスタ12は、バスIF11における制御の主導権を有しており、データ信号線14-1およびクロック信号線14-2を介して、スレーブ13-1乃至13-3と通信を行うことができる。

【0020】

スレーブ13-1乃至13-3は、マスタ12による制御に従って、データ信号線14-1およびクロック信号線14-2を介して、マスタ12と通信を行うことができる。なお、スレーブ13-1乃至13-3は、それぞれ同様に構成されており、以下、それらを区別する必要がない場合、単にスレーブ13と称し、スレーブ13を構成する各ブロック

50

についても同様とする。

【0021】

データ信号線14-1およびクロック信号線14-2は、マスタ12およびスレーブ13の間で信号を伝送するのに用いられる。例えば、バスIF11では、データ信号線14-1を介して、1ビットずつ逐次的にシリアルデータ(SDA: Serial Data)が伝送され、クロック信号線14-2を介して、所定の周波数のシリアルクロック(SCL: Serial Clock)が伝送される。

【0022】

また、バスIF11では、I3Cの規格に準じて、通信速度が異なる複数の伝送方式が規定されており、マスタ12は、それらの伝送方式を切り替えることができる。例えば、バスIF11では、データの転送レートに応じて、通常の転送レートでデータ通信を行うSDR(Standard Data Rate)モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR(High Data Rate)モードが規定されている。また、HDRモードでは、DDR(Double Data Rate)モード、TSP(Ternary Symbol Pure-Bus)モード、および、TSL(Ternary Symbol Legacy-inclusive-Bus)モードの3つのモードが規格で定義されている。なお、バスIF11では、通信を開始するときにはSDRモードで通信を行うことが規定されている。

10

【0023】

マスタ12は、送受信部21、エラー検出部22、確認信号検出部23、およびコンフリクト回避部24を備えて構成される。

20

【0024】

送受信部21は、データ信号線14-1およびクロック信号線14-2を介して、スレーブ13と信号の送受信を行う。例えば、送受信部21は、クロック信号線14-2を駆動することにより送信するシリアルクロックのタイミングに合わせて、データ信号線14-1に対する駆動を行う(電位をHレベルまたはLレベルに切り替える)ことにより、スレーブ13に信号を送信する。また、送受信部21は、クロック信号線14-2のシリアルクロックのタイミングに合わせて、スレーブ13がデータ信号線14-1に対する駆動を行うことによって、スレーブ13から送信されてくる信号を受信する。なお、クロック信号線14-2に対する駆動は、常に、マスタ12側により行われる。

【0025】

エラー検出部22は、送受信部21が受信した信号に発生しているエラーを検出する。例えば、エラー検出部22は、送受信部21が受信した信号に対するパリティチェックや巡回冗長検査(CRC)などを行ったり、スレーブ13からマスタ12へ送信権を移行する際に発行されるトークンを確認したりすることで、エラーを検出することができる。そして、エラー検出部22は、送受信部21が受信した信号にエラーが発生していることを検出した場合、例えば、送受信部21に対してスレーブ13との通信を最初からやり直すように指示することができる。

30

【0026】

例えば、エラー検出部22は、スレーブ13から送信されてくるデータに含まれている2ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、送受信部21が受信したデータに対するパリティチェックを行うことでエラーの発生を検出する。これにより、エラー検出部22は、マスタ12およびスレーブ13のどちらもデータ信号線14-1に対する駆動が行われないような状態が発生しても、データが正しいものであるか否かを検出することができる。

40

【0027】

確認信号検出部23は、送受信部21から送信された信号を受信したスレーブ13から送信されてくるACK(受信確認信号)またはNACK(非受信確認信号)を検出することにより、スレーブ13がコマンドやデータなどの受信に成功したか否かを確認する。例えば、バスIF11では、信号にエラーが発生せずに、スレーブ13がコマンドやデータなどの受信に成功したときには、スレーブ13からマスタ12にACKを送信するように規定され

50

ている。また、バスIF 11では、信号にエラーが発生して、スレーブ13がコマンドやデータなどの受信に失敗したときには、スレーブ13からマスタ12にNACKを送信するように規定されている。

【0028】

従って、確認信号検出部23は、マスタ12から送信されるコマンドやデータなどに対して、スレーブ13から送信されてくるACKを検出した場合には、スレーブ13がコマンドやデータなどを受信することに成功したと確認することができる。一方、確認信号検出部23は、マスタ12から送信されるコマンドやデータなどに対して、スレーブ13から送信されてくるNACKを検出した場合には、スレーブ13がコマンドやデータなどを受信することに失敗したと確認することができる。

10

【0029】

コンフリクト回避部24は、例えば、図3を参照して後述するように、確認信号検出部23によりNACKが検出された場合、NACKに続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するように、送受信部21に対する指示を行う。これにより、コンフリクト回避部24は、例えば、スレーブ13から送信されるリードデータと、マスタ12から送信されるHDR終了コマンドによりコンフリクトが発生することを回避することができる。

【0030】

また、コンフリクト回避部24は、送受信部21により、CRCワードの送信を指示するプリアンプルが受信され、エラー検出部22により、そのプリアンプルに続いて受信された信号にトークンエラーまたはCRCエラーの発生が検出された場合、プリアンプルに続いて、CRCワードとリードデータとの差に対応するビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように、送受信部21に対する指示を行う。これにより、コンフリクト回避部24は、例えば、スレーブ13から送信されるリードデータと、マスタ12から送信されるHDR終了コマンドによりコンフリクトが発生することを回避することができる。

20

【0031】

スレーブ13は、送受信部31およびエラー検出部32を備えて構成される。

【0032】

送受信部31は、データ信号線14-1およびクロック信号線14-2を介して、マスタ12と信号の送受信を行う。例えば、送受信部31は、クロック信号線14-2のシリアルクロックのタイミングに合わせて、マスタ12がデータ信号線14-1に対する駆動を行うことによって、マスタ12から送信されてくる信号を受信する。また、送受信部31は、クロック信号線14-2のシリアルクロックのタイミングに合わせて、データ信号線14-1に対する駆動を行うことによって、マスタ12に信号を送信する。

30

【0033】

エラー検出部32は、マスタ12のエラー検出部22と同様に、送受信部31が受信した信号に発生しているエラーを検出する。そして、エラー検出部32は、送受信部31が受信した信号にエラーが発生していない場合、その信号により伝送されるコマンドやデータなどの受信に成功したことを伝えるACKを、送受信部31によりマスタ12に送信させる。一方、エラー検出部32は、送受信部31が受信した信号にエラーが発生していた場合、その信号により伝送されるコマンドやデータなどの受信に失敗したことを伝えるNACKを、送受信部31によりマスタ12に送信させる。

40

【0034】

さらに、エラー検出部32は、例えば、送受信部31が受信した信号にエラーが発生し、正常な通信を行うことができない場合には、その後の一切の通信を無視し、マスタ12に対する応答を停止してスレーブ13を待機状態とさせる。

【0035】

以上のようにバスIF 11は構成されており、マスタ12およびスレーブ13は、データ信号線14-1およびクロック信号線14-2を介して信号を送受信することができ、

50

コンフリクト回避部 2 4 によってコンフリクトの発生を回避して、より確実に通信を行うことができる。

【 0 0 3 6 】

< コンフリクトの発生の説明 >

【 0 0 3 7 】

ここで、コンフリクト回避部 2 4 によるコンフリクトの発生を回避する手法について説明する前に、図 2 を参照して、コンフリクトの発生について説明する。

【 0 0 3 8 】

バス I F 1 1 では、DDRモード時において、プリアンブルと呼ばれる 2 ビットの信号を使用して、次に送信するデータのタイプを指定するように規定されている。ところで、プリアンブルには、パリティやCRCによるエラー検出が用意されていないため、プリアンブルにエラーが発生した場合には、そのエラーを検出することができない。

10

【 0 0 3 9 】

例えば、マスタ 1 2 が、スレーブ 1 3 に対してデータの読み出しを指示するリードコマンドを送信した後のプリアンブルでは、1 ビット目はマスタ 1 2 により駆動され、2 ビット目がスレーブ 1 3 により駆動されるように規定されている。そして、スレーブ 1 3 は、その 2 ビット目によって、ACKまたはNACKを送信することができる。例えば、リードコマンドの受信が成功したことを示すACKは、リードコマンドを送信した後のプリアンブルの 2 ビット目を 0 に駆動するように規定されている。一方、リードコマンドの受信が失敗したことを示すNACKは、リードコマンドを送信した後のプリアンブルの 2 ビット目を 1 に駆動するように規定されている。

20

【 0 0 4 0 】

しかしながら、このプリアンブルの 2 ビット目において、1 ビットの値が反転する 1 ビットエラーが発生した場合、例えば、マスタ 1 2 は、ACKとNACKとを誤認識することになる。

【 0 0 4 1 】

即ち、図 2 の上側に示すように、スレーブ 1 3 は、リードコマンドの受信に成功した場合にはプリアンブルの 2 ビット目を 0 に駆動（即ち、ACKを送信）し、プリアンブルに続いて、リードデータ（DDR Data）の送信を行う。なお、図 2 において、ハッチングが施されている部分は、スレーブ 1 3 により駆動が行われていることを表している。

30

【 0 0 4 2 】

これに対し、プリアンブルの 2 ビット目に 1 ビットエラーが発生してしまい、図 2 の下側に示すように、プリアンブルの 2 ビット目が 1 になった場合、マスタ 1 2 は、スレーブ 1 3 からNACKが送信されたものと誤認識することになる。従って、この場合、マスタ 1 2 は、スレーブ 1 3 がリードコマンドを受信することに失敗したという誤認識に応じて、HDRモードによる通信を終了することを指示するHDR終了コマンド（HDR Exit）を送信することになる。

【 0 0 4 3 】

これにより、スレーブ 1 3 から送信されるリードデータと、マスタ 1 2 から送信されるHDR終了コマンドとがコンフリクトすることが懸念される。従って、その後、マスタ 1 2 がHDR終了コマンドを送信しても、スレーブ 1 3 は、HDR終了コマンドを正常に受信することができないためHDRモードを終了させることができずに、バス I F 1 1 がデッドロックして、通信不能な状態となることが想定される。

40

【 0 0 4 4 】

そこで、バス I F 1 1 では、マスタ 1 2 は、NACKを検出した場合、NACKに続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアボート信号を送信するように規定される。これにより、上述したような 1 ビットエラーが発生したとしても、スレーブ 1 3 から送信されるリードデータと、マスタ 1 2 から送信されるHDR終了コマンドがコンフリクトすることを回避することができる。

【 0 0 4 5 】

50

< コンフリクトの回避の説明 >

【 0 0 4 6 】

図 3 には、バス I F 1 1 において、リードコマンドを送信した後のプリアンプルの 2 ビット目に 1 ビットエラーが発生することによるコンフリクトを回避するように、マスタ 1 2 が NACK を受信した際のフォーマットが示されている。

【 0 0 4 7 】

図 3 に示すように、バス I F 1 1 では、マスタ 1 2 が、リードコマンド (READ CMD) を送信した後のプリアンプルの 2 ビット目が 1 であることを検出した場合、リードコマンドの後に送られるプリアンプルに続く 1 8 ビット (リードコマンドに応じて送信されてくるリードデータと同一のビット数) がコンフリクト防止クロック期間として規定される。そして、バス I F 1 1 では、マスタ 1 2 は、コンフリクト防止クロック期間と、コンフリクト防止クロック期間に続くプリアンプルの 1 ビット目と (即ち、NACK に続く 1 9 ビット) を無視して、それらのビット数に応じたクロックを送信した後、そのプリアンプルの 2 ビット目を 0 に駆動するように規定される。

【 0 0 4 8 】

ここで、バス I F 1 1 では、スレーブ 1 3 は、リードコマンドを受信すると、その後のプリアンプルに続いて 1 8 ビットのリードデータを送信するように規定されている。さらに、バス I F 1 1 では、スレーブ 1 3 からリードデータが送信された後のプリアンプルにおいて、1 ビット目はスレーブ 1 3 により駆動が行われ、2 ビット目はマスタ 1 2 により駆動が行われるように規定されている。そして、バス I F 1 1 では、このプリアンプルの 2 ビット目が 0 である場合、マスタ 1 2 からスレーブ 1 3 に対して通信を途中で遮断するマスターアボート (Master Abort) を指示するアボート信号として規定されている。なお、マスターアボートを実行するために、リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動は、マスタ 1 2 が常に行う。

【 0 0 4 9 】

従って、図 3 に示すように、コンフリクト防止クロック期間に続くプリアンプルの 2 ビット目が 0 に駆動された場合、即ち、マスタ 1 2 が、スレーブ 1 3 からリードデータが送信されてくるとしたときの、リードデータに続いて送受信される 2 ビットのプリアンプルの 2 ビット目のタイミングでアボート信号を送信することで、スレーブ 1 3 は、マスタ 1 2 からアボート信号が送信されたことを検出して、リードデータの送信を中断することができる。これにより、このプリアンプルに続いて、マスタ 1 2 が、HDR 終了コマンド (HDR Exit) を送信すると、スレーブ 1 3 は、HDR 終了コマンドに従って、HDR モードを終了することができる。その後、マスタ 1 2 およびスレーブ 1 3 は、SDR モードから通信をやり直すことになる。

【 0 0 5 0 】

つまり、マスタ 1 2 は、図 2 に示したように、NACK を検出した直後に HDR 終了コマンドを送信するのではなく、図 3 に示すように、NACK を検出した後、コンフリクト防止クロック期間に対応するクロックを追加して送信し、コンフリクト防止クロック期間に続くプリアンプルの後に、HDR 終了コマンドを送信する。

【 0 0 5 1 】

これにより、マスタ 1 2 が、リードコマンドを送信した後のプリアンプルの 2 ビット目が 1 であること (即ち、NACK) を検出した場合でも、図 2 を参照して説明したようなコンフリクトの発生を回避することができる。つまり、スレーブ 1 3 が送信した ACK をマスタ 1 2 が NACK と誤認識したとしても、バス I F 1 1 がデッドロックすることを回避することができ、より確実に通信を行うことができる。

【 0 0 5 2 】

< コンフリクトの発生を回避する通信方法 >

【 0 0 5 3 】

図 4 は、マスタ 1 2 が、HDR モードのひとつである DDR モードでスレーブ 1 3 からデータを読み出す通信処理 (DDR Read) を説明するフローチャートである。

10

20

30

40

50

【 0 0 5 4 】

ステップ S 1 1 において、マスタ 1 2 は、通信を SDR モードから HDR モードに切り替える処理を行う。具体的には、マスタ 1 2 では、送受信部 2 1 が、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を駆動して、SDR モードにおいて、バス I F 1 1 を構成する全てのスレーブ 1 3 を対象として一斉にコマンドを送信することを通知するブロードキャストコマンド (0x7E+R/W=0) を送信する。その後、マスタ 1 2 では、確認信号検出部 2 3 が、ブロードキャストコマンドの受信が成功したことを確認するためにスレーブ 1 3 から送信されてくる ACK を受信すると、送受信部 2 1 が、HDR モードに入るためのコモンコマンドコード (ENTHDR CCC(0x20)) を送信する。

【 0 0 5 5 】

ステップ S 1 2 において、マスタ 1 2 の送受信部 2 1 は、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を駆動して、リードコマンドを送信する。

【 0 0 5 6 】

ステップ S 1 3 において、確認信号検出部 2 3 は、リードコマンドを送信した後のプリアンプルの 2 ビット目の値を検出し、スレーブ 1 3 から ACK および NACK のどちらが送信されてきたかを判定する。即ち、確認信号検出部 2 3 は、確認信号検出部 2 3 リードコマンドを送信した後のプリアンプルの 2 ビット目が 0 であることを検出した場合、スレーブ 1 3 から ACK が送信されてきたと判定する。一方、確認信号検出部 2 3 は、リードコマンドを送信した後のプリアンプルの 2 ビット目が 1 であることを検出した場合、スレーブ 1 3 から NACK が送信されてきたと判定する。

【 0 0 5 7 】

ステップ S 1 3 において、確認信号検出部 2 3 が、スレーブ 1 3 から ACK が送信されてきたと判定した場合、処理はステップ S 1 4 に進み、送受信部 2 1 は、プリアンプルに続いて送信されてくるリードデータを受信する。さらに、送受信部 2 1 は、リードデータに続いて送信されてくるプリアンプルも受信する。

【 0 0 5 8 】

その後、処理はステップ S 1 5 に進み、送受信部 2 1 は、HDR モードでの通信を終了するか否かを判定する。例えば、リードデータに続いて送信されてくるプリアンプルが、そのプリアンプルに続いてリードデータが送信されることを示している場合、送受信部 2 1 は、HDR モードでの通信を終了しないと判定し、処理はステップ S 1 4 に戻って、HDR モードでの通信が継続される。一方、例えば、リードデータに続いて送信されてくるプリアンプルが、そのプリアンプルに続いて CRC ワードが送信されることを示している場合、送受信部 2 1 は、HDR モードでの通信を終了すると判定して、CRC ワードを受信した後、処理はステップ S 1 7 に進む。

【 0 0 5 9 】

一方、ステップ S 1 3 において、確認信号検出部 2 3 が、スレーブ 1 3 から NACK が送信されてきたと判定した場合、処理はステップ S 1 6 に進む。

【 0 0 6 0 】

ステップ S 1 6 において、コンフリクト回避部 2 4 は、NACK に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するように、送受信部 2 1 に対する指示を行う。これに従い、図 3 を参照して上述したように、送受信部 2 1 は、スレーブ 1 3 にアポート信号を送信する。

【 0 0 6 1 】

ステップ S 1 6 の処理後、処理はステップ S 1 7 に進み、送受信部 2 1 は、アポート信号に続いて HDR 終了コマンドを送信する。また、ステップ S 1 5 で通信を HDR モードから SDR モードに切り替えると判定された場合も、ステップ S 1 7 において、送受信部 2 1 は、HDR 終了コマンドを送信する。これにより、マスタ 1 2 が DDR モードでスレーブ 1 3 からデータを読み出す通信処理 (DDR Read) は終了される。

【 0 0 6 2 】

以上のように、バス I F 1 1 では、マスタ 1 2 において NACK が検出された場合に、その

10

20

30

40

50

NACKがACKの1ビットエラーによるものであったとしても、コンフリクトが発生することを回避して、より確実に通信を行うことができる。

【0063】

< マスタの回路図 >

【0064】

次に、図5は、マスタ12の構成例を示す回路図である。

【0065】

図5に示すように、マスタ12は、SCL駆動制御部51、増幅部52、Hレベル維持部53、増幅部54、シリアル変換部55、コンフリクトエラー検出器56、パリティエラー検出器57、CRC5エラー検出部58、パラレル変換部59、トークンエラー検出器60、ACK/NACK検出器61、プリアンブルエラー検出器62、およびステートマシン(FSM: Finite State Machine)63を備えて構成される。

10

【0066】

SCL駆動制御部51は、ステートマシン63から出力される基準となる周波数の信号に従って、クロック信号線14-2を介してスレーブ13に供給するシリアルクロックを生成して、クロック信号線14-2の駆動を制御する。

【0067】

増幅部52は、SCL駆動制御部51により生成されたクロック信号を、クロック信号線14-2を介して伝送するのに必要な所定のレベルまで増幅し、クロック信号線14-2に出力する。

20

【0068】

Hレベル維持部53は、データ信号線14-1のレベルをHレベルに維持する。

【0069】

増幅部54は、データ信号線14-1を介して送信するシリアルデータを所定のレベルまで増幅して出力し、データ信号線14-1を介して送信されてきたシリアルデータを、マスタ12の内部での処理に必要なレベルに増幅する。

【0070】

シリアル変換部55は、ステートマシン63から出力されるパラレルデータを、シリアルデータに変換して出力する。

【0071】

コンフリクトエラー検出器56は、シリアル変換部55から出力されるシリアルデータと、データ信号線14-1を介して送信されてきたシリアルデータとを比較することにより、データ信号線14-1上のコンフリクトエラーを検出する。

30

【0072】

パリティエラー検出器57は、偶数または奇数に基づいてビットエラーを検出するために付加されるパリティビットを用いて、データ信号線14-1を介して送信されてきたシリアルデータのエラーを検出し、そのエラー検出結果をステートマシン63に通知する。

【0073】

CRC5エラー検出部58は、CRCに基づいてビットエラーを検出するために付加される5bitのデータを用いて、データ信号線14-1を介して送信されてきたシリアルデータのエラーを検出し、そのエラー検出結果をステートマシン63に通知する。

40

【0074】

パラレル変換部59は、データ信号線14-1を介して送信されてきたシリアルデータを、パラレルデータに変換して出力する。

【0075】

トークンエラー検出器60は、パラレル変換部59により変換されたパラレルデータに含まれているトークンのビット列を確認することで、トークンにエラーが発生しているか否かを検出し、そのエラー検出結果をステートマシン63に通知する。

【0076】

ACK/NACK検出器61は、図1の確認信号検出部23に対応し、スレーブ13から送信さ

50

れてくるACKまたはNACKを、パラレル変換部 5 9 により変換されたパラレルデータから検出して、その検出結果 (ACK/NACK) をステートマシン 6 3 に通知する。

【 0 0 7 7 】

プリアンブルエラー検出器 6 2 は、パラレル変換部 5 9 により変換されたパラレルデータに含まれているプリアンブルにエラーが発生しているか否かを検出し、そのエラー検出結果をステートマシン 6 3 に通知する。

【 0 0 7 8 】

ステートマシン 6 3 は、入力条件と現在の状態によって、次の状態が決まる順序回路であり、例えば、図 1 の送受信部 2 1 およびコンフリクト回避部 2 4 として機能する。即ち、ステートマシン 6 3 は、ACK/NACK検出器 6 1 によるACKまたはNACKの検出結果を入力として、ACK/NACK検出器 6 1 による検出結果がACKである場合には、リードデータを受け取る状態とする。一方、ステートマシン 6 3 は、ACK/NACK検出器 6 1 による検出結果がNACKである場合には、コンフリクト防止クロック期間と、コンフリクト防止クロック期間に続くプリアンブルの 1 ビット目とを無視して、アポート信号を送信する状態とする。

【 0 0 7 9 】

このようにマスタ 1 2 は構成されており、上述したように、スレーブ 1 3 が送信したACKをNACKと誤認識したとしても、バス I F 1 1 がデッドロックすることを回避することができ、より確実に通信を行うことができる。

【 0 0 8 0 】

なお、上述した実施の形態では、コンフリクト防止クロック期間の後のプリアンブルに続いて、マスタ 1 2 がHDR終了コマンドを送信する例について説明したが、コンフリクトを回避して通信を回復することができれば、HDR終了コマンドの送信に限定されることはない。

【 0 0 8 1 】

例えば、図 6 に示すように、コンフリクト防止クロック期間の後のプリアンブルに続いて、図 3 のHDR終了コマンドに替えて、マスタ 1 2 は、HDRモードにおける通信をリスタートすることを指示するリスタートコマンド (HDR Restart) を送信してもよい。このように、バス I F 1 1 では、マスタアポートに従って通信を途中で遮断した後、マスタ 1 2 がリスタートコマンドを送信することによって、HDRモードでの通信を再開することができる。

【 0 0 8 2 】

なお、本技術は、I3Cの規格に従ったバス I F 1 1 に限定されることはなく、その他の規格に従ったバス I F 1 1 に適用することができる。また、図 1 に示すバス I F 1 1 では、スレーブ 1 3 - 1 乃至 1 3 - 3 が接続された構成例が示されているが、スレーブ 1 3 は、例えば、1 台または 2 台でもよく、あるいは、3 台以上でもよい。

【 0 0 8 3 】

なお、上述のフローチャートを参照して説明した各処理は、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理 (例えば、並列処理あるいはオブジェクトによる処理) も含むものである。また、プログラムは、1 のCPUにより処理されるものであっても良いし、複数のCPUによって分散処理されるものであっても良い。

【 0 0 8 4 】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【 0 0 8 5 】

また、上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、プログラムが記録されたプ

10

20

30

40

50

プログラム記録媒体からインストールされる。

【0086】

<ハードウェアの構成例>

【0087】

図7は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

【0088】

コンピュータにおいて、CPU (Central Processing Unit) 101, ROM (Read Only Memory) 102, RAM (Random Access Memory) 103、およびEEPROM (Electrically Erasable and Programmable Read Only Memory) 104は、バス105により相互に接続されている。バス105には、さらに、入出力インタフェース106が接続されており、入出力インタフェース106が外部(例えば、図1のデータ信号線14-1およびクロック信号線14-2)に接続される。

10

【0089】

以上のように構成されるコンピュータでは、CPU101が、例えば、ROM102およびEEPROM104に記憶されているプログラムを、バス105を介してRAM103にロードして実行することにより、上述した一連の処理が行われる。また、コンピュータ(CPU101)が実行するプログラムは、ROM102に予め書き込んでおく他、入出力インタフェース106を介して外部からEEPROM104にインストールしたり、更新したりすることができる。

20

【0090】

なお、本技術は以下のような構成も取ることができる。

(1)

他の通信装置と信号の送受信を行う送受信部と、

前記送受信部から送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、

前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部と

を備える通信装置。

30

(2)

前記送受信部は、前記非受信確認信号が検出されたとき、前記所定数のクロックを送信する

上記(1)に記載の通信装置。

(3)

前記送受信部は、前記他の通信装置に対してデータの読み出しを指示するリードコマンドを送信したことに応じて、前記他の通信装置から送信されてくるリードデータのビット数に応じたクロックを送信し、少なくとも、そのクロックを送信する期間における信号を無視する

上記(2)に記載の通信装置。

40

(4)

前記送受信部は、前記他の通信装置から前記リードデータが送信されてくるとしたときの、前記リードデータに続いて送受信される2ビットのプリアンプルの2ビット目のタイミングで前記アポート信号を送信する

上記(3)に記載の通信装置。

(5)

前記送受信部は、前記アポート信号に続いて、特定の通信モードの終了を指示するコマンドを送信する

上記(1)から(4)までのいずれかに記載の通信装置。

(6)

50

前記送受信部は、前記アボート信号に続いて、特定の通信モードにおける通信のリスタートを指示するコマンドを送信する

上記(1)から(4)までのいずれかに記載の通信装置。

(7)

前記送受信部により、次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部

をさらに備え、

前記コンフリクト回避部は、記エラー検出部によりエラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアボート信号を送信するように、前記送受信部に対する指示を行う

上記(1)から(6)までのいずれかに記載の通信装置。

(8)

前記送受信部は、前記他の通信装置から読み出されるリードデータを受信し、前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行う

上記(1)から(7)までのいずれかに記載の通信装置。

(9)

前記エラー検出部は、前記データに含まれている2ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、前記送受信部が受信したデータに対するパリティチェックを行うことでエラーの発生を検出する

上記(7)に記載の通信装置。

(10)

前記送受信部は、通常の転送レートでデータ通信を行うSDR(Standard Data Rate)モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR(High Data Rate)モードで、信号の送受信を行うことができる

上記(1)から(9)までのいずれかに記載の通信装置。

(11)

前記送受信部は、1ビットずつ逐次的にシリアルデータを伝送するデータ信号線、および、所定の周波数のシリアルクロックを伝送するクロック信号線の2本の信号線を介して通信を行う

上記(1)から(10)までのいずれかに記載の通信装置。

(12)

前記送受信部、I3C(Improved Inter Integrated Circuit)の規格に準じた通信を行う

上記(1)から(11)までのいずれかに記載の通信装置。

(13)

他の通信装置と信号の送受信を行い、

送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出し、
前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアボート信号を送信する

ステップを含む通信方法。

(14)

他の通信装置と信号の送受信を行い、

送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出し、

前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアボート信号を送信する

ステップを含む通信処理をコンピュータに実行させるプログラム。

(15)

10

20

30

40

50

バスにおける制御の主導権を有する第 1 の通信装置と、
 前記第 1 の通信装置による制御に従って通信を行う第 2 の通信装置と
 を備え、
 前記第 1 の通信装置が、

前記第 2 の通信装置と信号の送受信を行う送受信部と、

前記送受信部から送信された信号を受信した前記第 2 の通信装置から送信されてくる
 受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部と、

前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信
 号に続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアボ
 ート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部と

10

を有する
 通信システム。

【 0 0 9 1 】

なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨
 を逸脱しない範囲において種々の変更が可能である。

【 符号の説明 】

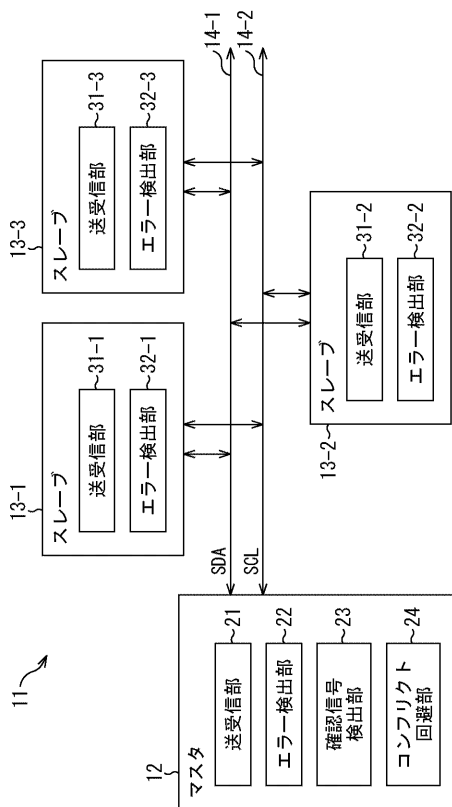
【 0 0 9 2 】

1 1 バス I F , 1 2 マスタ , 1 3 スレーブ , 1 4 - 1 データ信号線 ,
 1 4 - 2 クロック信号線 , 2 1 送受信部 , 2 2 エラー検出部 , 2 3 確認信
 号検出部 , 2 4 コンフリクト回避部 , 3 1 送受信部 , 3 2 エラー検出部 ,
 5 1 SCL 駆動制御部 , 5 2 増幅部 , 5 3 Hレベル維持部 , 5 4 増幅部 ,
 5 5 シリアル変換部 , 5 6 コンフリクトエラー検出器 , 5 7 パリティエラー検
 出器 , 5 8 CRC5エラー検出部 , 5 9 パラレル変換部 , 6 0 トークンエラー検
 出器 , 6 1 ACK/NACK検出器 , 6 2 プリアンプルエラー検出器 , 6 3 ステート
 マシン

20

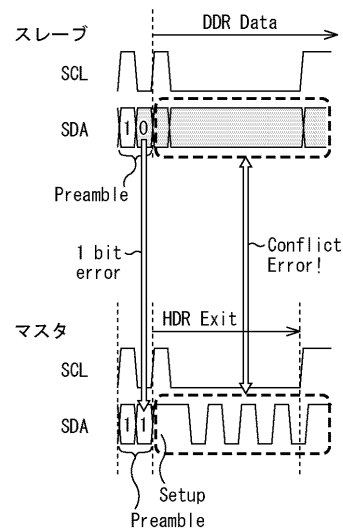
【 図 1 】

FIG. 1

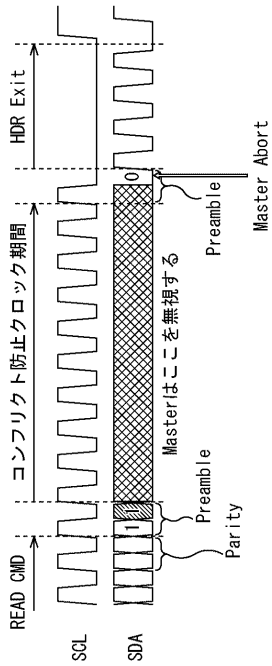


【 図 2 】

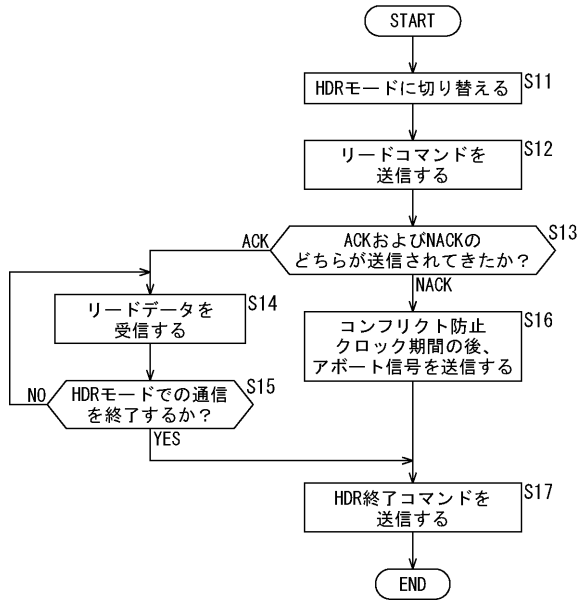
FIG. 2



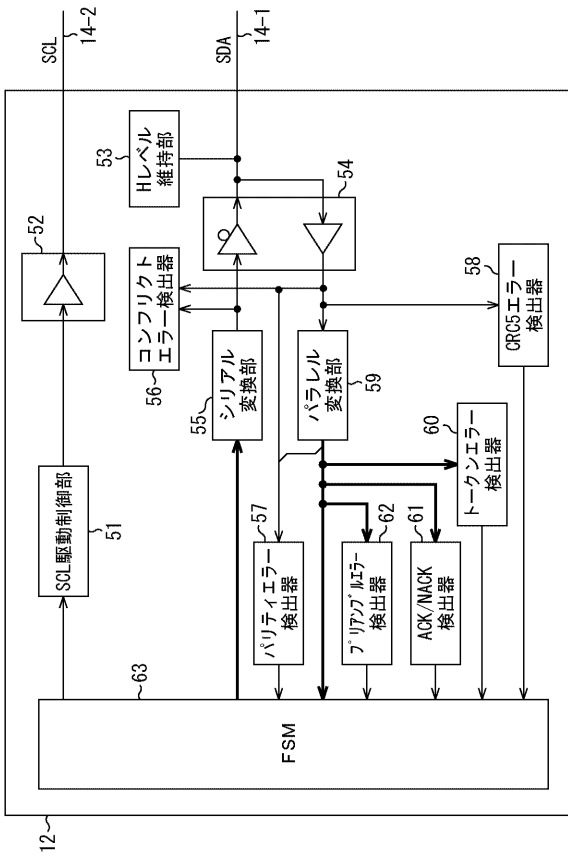
【 図 3 】
FIG. 3



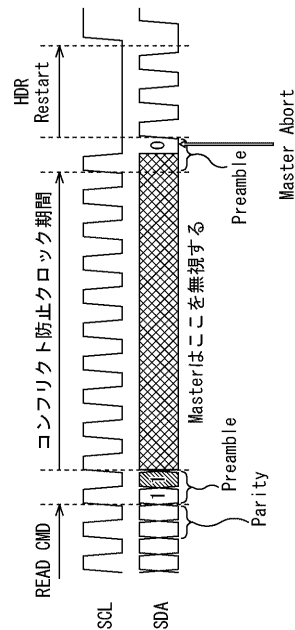
【 図 4 】
FIG. 4



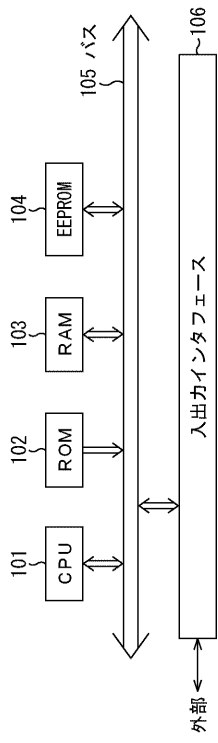
【 図 5 】
FIG. 5



【 図 6 】
FIG. 6



【 図 7 】
FIG. 7



フロントページの続き

(51)Int.Cl.			F I			テーマコード(参考)
G 0 6 F	11/00	(2006.01)	G 0 6 F	11/00	6 0 6 E	5 K 0 3 4
G 0 6 F	11/20	(2006.01)	G 0 6 F	11/20	6 0 5	

(72)発明者 李 惺薰

東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 越坂 直弘

神奈川県厚木市岡田四丁目16番1号 ソニーLSIデザイン株式会社内

Fターム(参考) 5B034 CC06 DD01

5B061 QQ02

5B077 NN02

5B083 AA08 BB03

5K014 DA02 FA14

5K034 AA06 DD02 HH11 TT01