

19 RÉPUBLIQUE FRANÇAISE  
 INSTITUT NATIONAL  
 DE LA PROPRIÉTÉ INDUSTRIELLE  
 COURBEVOIE

11 N° de publication :  
 (à n'utiliser que pour les  
 commandes de reproduction)

3 021 806

21 N° d'enregistrement national : 14 54839

51 Int Cl<sup>8</sup> : H 01 L 27/115 (2013.01), H 01 L 21/8247

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 28.05.14.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 04.12.15 Bulletin 15/49.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

71 Demandeur(s) : STMICROELECTRONICS SA Société anonyme — FR.

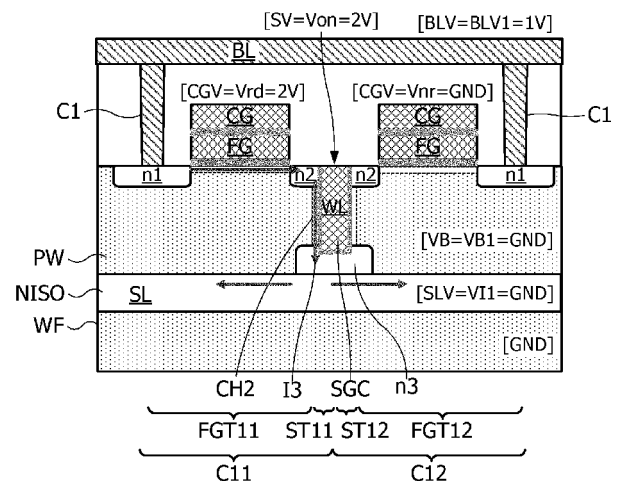
72 Inventeur(s) : LA ROSA FRANCESCO, NIEL STEPHAN et REGNIER ARNAUD.

73 Titulaire(s) : STMICROELECTRONICS SA Société anonyme.

74 Mandataire(s) : CASALONGA & ASSOCIES.

54 PROCÉDE DE PROGRAMMATION D'UNE CELLULE MEMOIRE NON VOLATILE COMPRENANT UNE GRILLE DE TRANSISTOR DE SELECTION PARTAGEE.

57 L'invention concerne un procédé de commande de deux cellules mémoire jumelles (C11, C12) comprenant chacune un transistor à grille flottante (FGT11, FGT12) comportant une grille de contrôle d'état (CG), en série avec un transistor de sélection (ST11, ST12) comportant une grille de contrôle de sélection (SGC) commune aux deux cellules mémoire, les drains des transistors à grille flottante étant connectés à une même ligne de bit (BL), le procédé comprenant des étapes de programmation de la première cellule mémoire (C11, C21) par injection d'électrons chauds, en appliquant une tension positive (BLV3) à la ligne de bit et une tension positive (Vpg) à la grille de contrôle d'état de la première cellule mémoire, et simultanément, d'application à la grille de contrôle d'état de la seconde cellule mémoire d'une tension positive (Vsp) apte à faire passer un courant de programmation (I2) dans la seconde cellule mémoire (C12, C22), sans la faire passer dans un état programmé.



FR 3 021 806 - A1



PROCEDE DE PROGRAMMATION D'UNE CELLULE MEMOIRE NON  
VOLATILE COMPRENANT UNE GRILLE DE TRANSISTOR DE  
SELECTION PARTAGEE

La présente invention concerne les mémoires non volatiles de type effaçables et programmables électriquement EEPROM (Electrically Erasable Programmable Read-Only Memory). La présente invention concerne plus particulièrement une mémoire non volatile, comprenant des cellules mémoire  
5 comportant chacune un transistor à grille flottante et une grille de transistor de sélection partagée avec une cellule mémoire adjacente dite "jumelle".

La figure 1 est le schéma électrique de cellules mémoire C11, C12 du type précité, appartenant à deux pages adjacentes  $P_i$ ,  $P_{i+1}$  d'un plan mémoire. Les cellules mémoire C11, C12 sont accessibles en lecture et  
10 écriture par l'intermédiaire d'une ligne de bit BL, d'une ligne de mot  $WL_{<i,i+1>}$  et de lignes de contrôle de grille  $CGL_{<i>}$ ,  $CGL_{<i+1>}$ . Chaque cellule mémoire comporte un transistor à grille flottante, respectivement FGT11, FGT12. La grille de contrôle CG du transistor FGT11 est connectée à la ligne de contrôle de grille  $CGL_{<i>}$  par l'intermédiaire d'un contact C4. La  
15 grille de contrôle CG du transistor FGT12 est connectée à la ligne de contrôle de grille  $CGL_{<i+1>}$  par l'intermédiaire d'un contact C4. Les régions de drain des transistors FGT11, FGT12 sont connectées à une ligne de bit BL par l'intermédiaire de contacts C1. La grille verticale SGC est connectée à une ligne de mot  $WL_{<i,i+1>}$  commune aux deux cellules mémoire par  
20 l'intermédiaire d'un contact C3. Chaque transistor à grille flottante FGT11, FGT12 a par ailleurs sa borne de source reliée à une ligne de source SL par l'intermédiaire d'un transistor de sélection ST11, ST12 respectif. Les transistors de sélection ST11, ST12 partagent une même grille de contrôle de sélection SGC. Les deux cellules mémoire C11, C12 sont dites "jumelles"  
25 du fait qu'elles partagent la même grille de contrôle de sélection SGC et la même ligne de bit BL. Les régions de canal CH1, CH2 des transistors FGT11, FGT12, ST11, ST12 sont au potentiel électrique du caisson PW, comme représenté par des traits pointillés. Enfin, les régions de source des transistors ST11, ST12 sont reliées électriquement à la ligne de source SL.

Celle-ci peut être connectée par l'intermédiaire d'un contact C5 à une ligne de source générale réalisée dans un niveau de métal.

5 Chaque grille de contrôle commune SGC est préférentiellement une grille verticale enterrée dans un substrat recevant le plan mémoire, la ligne de source SL étant également une ligne enterrée. Les grilles de contrôle communes SGC, ou grilles de sélection de cellules mémoire jumelles, sont connectées à la ligne de mot  $WL\langle i, i+1 \rangle$ .

10 De telles cellules mémoire sont effacées ou programmées par le canal, c'est-à-dire en portant le substrat à une tension d'effacement positive ou de programmation négative provoquant l'extraction de charges électriques de leur grilles flottantes ou l'injection de charges électriques dans leurs grilles flottantes, par effet Fowler-Nordheim.

15 Plus particulièrement, l'effacement d'une cellule mémoire est assuré en combinant la tension positive appliquée au substrat à une tension négative appliquée à la grille de contrôle CG de son transistor à grille flottante, pendant que la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle reçoit une tension d'inhibition d'effacement positive permettant d'éviter qu'elle soit simultanément effacée.

20 De même, la programmation d'une cellule mémoire est assurée en combinant une tension négative appliquée à la ligne de bit BL et au substrat PW à une tension positive appliquée à la grille de contrôle CG de son transistor à grille flottante, pendant que la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle reçoit une tension d'inhibition de programmation négative permettant d'éviter qu'elle soit simultanément programmée.

25 Enfin, la lecture d'une cellule mémoire est assurée en appliquant une tension positive à la grille de contrôle de son transistor à grille flottante, ainsi qu'une tension positive à la ligne de bit correspondante, pendant que la cellule mémoire jumelle, qui est connectée à la même ligne de bit, reçoit sur sa grille de contrôle une tension d'inhibition de lecture négative permettant d'éviter qu'elle soit simultanément lue.

30 Cette structure de plan mémoire ayant des cellules mémoire jumelles comprenant une grille de sélection verticale partagée et enterrée dans le substrat, présente l'avantage d'être d'un faible encombrement.

Cette structure classique de plan mémoire et de cellule mémoire nécessite également de prévoir un décodeur de ligne de mot capable d'appliquer une tension de lecture positive à une cellule mémoire devant être lue, tout en appliquant une tension d'inhibition de lecture négative à sa  
5 cellule mémoire jumelle, comme cela a été rappelé plus haut.

Il pourrait donc être souhaité de simplifier le décodeur de ligne. Il pourrait également être souhaité d'optimiser les opérations de lecture et de programmation des cellules mémoire, notamment sur le plan de la consommation électrique.

10 Des modes de réalisation concernent un procédé de commande d'une mémoire non volatile sur substrat semi-conducteur, comprenant : au moins une ligne de bit, au moins deux lignes de contrôle de grille, au moins une ligne de mot, au moins une paire de cellules mémoire jumelles, comportant une première cellule mémoire comprenant un premier transistor à grille  
15 flottante ayant une grille de contrôle reliée à une première ligne de contrôle de grille, une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à une ligne de source par l'intermédiaire d'un premier transistor de sélection ayant une grille de contrôle de sélection reliée à la ligne de mot, et une seconde cellule mémoire comportant un  
20 second transistor à grille flottante ayant une grille de contrôle reliée à la seconde ligne de contrôle de grille, une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à la ligne de source par l'intermédiaire d'un second transistor de sélection partageant avec le premier transistor de sélection la grille de contrôle de sélection. Selon  
25 un mode de réalisation, le procédé comprend des étapes consistant à : programmer la première cellule mémoire par injection d'électrons chauds, par l'intermédiaire d'un courant de programmation traversant la première cellule mémoire, en appliquant une première tension positive à la ligne de bit et une seconde tension positive à la première ligne de contrôle de grille, et  
30 pendant la programmation de la première cellule mémoire, appliquer à la seconde ligne de contrôle de grille une troisième tension positive apte à faire passer un courant de programmation dans la seconde cellule mémoire, sans faire passer la seconde cellule mémoire dans un état programmé.

Selon un mode de réalisation, la troisième tension est choisie de  
35 manière à assurer une programmation douce de la seconde cellule mémoire,

afin que la seconde cellule mémoire ne puisse pas présenter une tension de seuil négative quel que soit son état programmé ou effacé.

Selon un mode de réalisation, le procédé comprend des étapes de lecture d'une cellule mémoire de la paire de cellules mémoire, consistant à :

5 appliquer une tension de lecture positive à la grille de contrôle du transistor à grille flottante de la cellule mémoire devant être lue, et appliquer une tension nulle à la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle.

Selon un mode de réalisation, le procédé comprend une étape

10 d'effacement consistant à appliquer simultanément une tension d'effacement aux grilles de contrôle des transistors à grille flottante des première et seconde cellules mémoire.

Selon un mode de réalisation, l'opération de programmation de la première cellule mémoire comprend des étapes de vérification de l'état

15 déplété de la paire de cellules mémoire, et de réalisation d'une programmation de la première cellule mémoire et d'une programmation douce de la seconde cellule mémoire tant que l'une ou l'autre des première et seconde cellules mémoire est à l'état déplété, suivies d'étapes de vérification de l'état programmé de la première cellule mémoire, et de

20 programmation de la première cellule mémoire tant que celle-ci n'est pas à l'état programmé.

Des modes de réalisation concernent également une mémoire non volatile sur substrat semi-conducteur, comprenant : au moins une ligne de bit, au moins deux lignes de contrôle de grille, au moins une ligne de mot, au

25 moins une paire de cellules mémoire jumelles, comportant une première cellule mémoire comprenant un premier transistor à grille flottante ayant une grille de contrôle reliée à une première ligne de contrôle de grille, une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à une ligne de source par l'intermédiaire d'un premier

30 transistor de sélection ayant une grille de contrôle de sélection reliée à la ligne de mot, et une seconde cellule mémoire comportant un second transistor à grille flottante ayant une grille de contrôle reliée à la seconde ligne de contrôle de grille, une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à la ligne de source par

35 l'intermédiaire d'un second transistor de sélection partageant avec le premier

transistor de sélection la grille de contrôle de sélection, et des moyens pour programmer la première cellule mémoire indépendamment de la seconde cellule mémoire et réciproquement. Selon un mode de réalisation, la mémoire est configurée pour : programmer la première cellule mémoire par  
5 injection d'électrons chauds, par l'intermédiaire d'un courant de programmation traversant la première cellule mémoire, en appliquant une première tension positive à la ligne de bit et une seconde tension positive à la première ligne de contrôle de grille, et pendant la programmation de la première cellule mémoire, appliquer à la seconde ligne de contrôle de grille  
10 une troisième tension positive apte à faire passer un courant de programmation dans la seconde cellule mémoire, sans faire passer la seconde cellule mémoire dans un état programmé.

Selon un mode de réalisation, la troisième tension est choisie de manière à assurer une programmation douce de la seconde cellule mémoire,  
15 afin que la seconde cellule mémoire ne puisse pas présenter une tension de seuil négative quel que soit son état programmé ou effacé.

Selon un mode de réalisation, la mémoire comprend un décodeur de ligne de mot relié à la ligne de mot et aux lignes de contrôle de grille, le décodeur étant configuré pour, pendant la lecture d'une cellule mémoire de  
20 la paire de cellules mémoire jumelles, appliquer une tension de lecture positive à la grille de contrôle du transistor à grille flottante de la cellule mémoire devant être lue, et appliquer une tension nulle à la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle.

Selon un mode de réalisation, la grille de contrôle de sélection est une  
25 grille verticale enterrée présentant pour le premier transistor de sélection une région de canal vertical s'étendant en regard d'une première face de la grille de contrôle verticale enterrée, et pour le second transistor de sélection une région de canal vertical qui s'étendant en regard d'une seconde face de la grille de contrôle verticale enterrée, et en face de la région de canal du  
30 premier transistor de sélection.

Selon un mode de réalisation, les cellules mémoire de la paire de cellules mémoire jumelles partagent un unique transistor de sélection.

Selon un mode de réalisation, la paire de cellules mémoire comprend : une première région dopée s'étendant le long d'un premier bord  
35 supérieur de la grille enterrée, formant une région de drain du transistor de

sélection et une région de source du transistor à grille flottante, d'une première cellule mémoire de la paire de cellules mémoire, une seconde région dopée s'étendant le long d'un second bord supérieur de la grille enterrée opposé au premier bord supérieur, formant une région de drain du transistor de sélection et une région de source du transistor à grille flottante, d'une seconde cellule mémoire de la paire de cellules mémoire, et une troisième région dopée s'étendant le long de deux bords inférieurs opposés de la grille enterrée, formant une région de source commune du transistor de sélection de la première cellule mémoire et du transistor de sélection de la seconde cellule mémoire, chaque transistor de sélection de la paire de cellules mémoire présentant une région de canal verticale s'étendant d'un côté respectif de la grille enterrée, entre la première ou la seconde région dopée et la troisième région dopée.

Selon un mode de réalisation, la mémoire comprend un décodeur de ligne de mot relié à la ligne de mot et aux lignes de contrôle de grille, le décodeur étant configuré pour, pendant l'effacement de cellules mémoire, appliquer une tension d'effacement simultanément aux première et seconde lignes de contrôle de grille.

Selon un mode de réalisation, la mémoire est configurée pour, pendant l'opération de programmation de la première cellule mémoire : vérifier l'état déplété de la paire de cellules mémoire, et programmer la première cellule mémoire et appliquer simultanément une programmation douce à la seconde cellule mémoire, tant que l'une ou l'autre des première et seconde cellules mémoire est à l'état déplété, et vérifier l'état programmé de la première cellule mémoire, et programmer la première cellule mémoire tant que celle-ci n'est pas à l'état programmé.

Selon un mode de réalisation, la mémoire comprend une rangée de paires de cellules mémoire jumelles connectées à la ligne de mot et aux lignes de contrôle de grille, la mémoire étant configurée pour programmer un mot formé par plusieurs cellules mémoire de la rangée, connectées à l'une des deux lignes de contrôle de grilles, et pour, pendant la programmation du mot : effectuer une opération de lecture de la rangée de paires de cellules mémoire jumelles et de stockage des mots lus, effectuer une opération d'effacement de la rangée de paires de cellules mémoire jumelles lues, effectuer une programmation par mot des cellules mémoire de la rangée de

5 paires de cellules mémoire, comprenant une programmation de la première  
cellule mémoire des paires de cellules mémoire de la rangée, en fonction des  
mots stockés et éventuellement du mot à écrire, et simultanément effectuer  
une programmation douce de secondes cellules mémoire jumelles des  
5 premières cellules mémoire programmées, et effectuer une seconde  
opération de programmation de la seconde cellule mémoire des paires de  
cellules mémoire de la rangée, en fonction des mots stockés et  
éventuellement du mot à écrire, et simultanément effectuer une  
programmation douce des premières cellules mémoire jumelles des  
10 secondes cellules mémoire programmées.

Des exemples de réalisation de l'invention seront décrits dans ce qui  
suit, à titre non limitatif en relation avec les figures jointes parmi lesquelles :

15 la figure 1 décrite précédemment, est un schéma électrique des  
cellules mémoire de la figure 1,

la figure 2 est une vue en coupe schématique d'une paire de cellules  
mémoire jumelles partageant une grille verticale commune de transistors de  
sélection,

20 la figure 3 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 1, illustrant un procédé de programmation d'une cellule  
mémoire,

la figure 4 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 1, illustrant un procédé de lecture d'une cellule  
mémoire,

25 la figure 5 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 2, illustrant un procédé de programmation d'une cellule  
mémoire, selon un mode de réalisation,

30 la figure 6 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 2, illustrant un procédé de lecture d'une cellule  
mémoire, selon un mode de réalisation,

la figure 7 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 2, illustrant un procédé d'effacement de la paire de  
cellules mémoire, selon un mode de réalisation,

35 la figure 8 représente des courbes de distribution du nombre de  
cellules mémoire d'une mémoire, respectivement à différents états, en

fonction de la tension de seuil du transistor à grille flottante des cellules mémoire,

la figure 9 représente schématiquement des circuits d'un plan mémoire dans lequel le procédé de programmation peut être mis en œuvre,  
5 selon un mode de réalisation,

la figure 10 représente des étapes exécutées durant la programmation d'une cellule mémoire,

la figure 11 est un schéma électrique d'une paire de cellules mémoire partageant un même transistor de sélection.

10 La figure 2 est une vue en coupe schématique de deux cellules mémoire C11, C12 jumelles, comportant une grille verticale SGC de transistor de sélection, commune aux deux cellules mémoire. Les cellules mémoire C11, C12 sont réalisées sur un substrat PW de type de conductivité P. Le substrat est formé dans une plaque de semi-conducteur appelée  
15 "wafer" WF. Le caisson PW est isolé par rapport au reste du wafer WF par une couche d'isolation NISO dopée N qui entoure la totalité du caisson. Chaque cellule mémoire C11, C12 comprend un transistor à grille flottante FGT11, FGT12 et un transistor de sélection ST11, ST12. Chaque transistor à grille flottante FGT11, FGT12 comprend une région de drain n1, une région  
20 de source n2, une grille flottante FG, une grille de contrôle d'état CG, et une région de canal CH1 s'étendant sous la grille flottante FG entre les régions de drain n1 et de source n2. La grille verticale de sélection SGC est enterrée dans le substrat PW et isolée de ce dernier l'intermédiaire d'une couche isolante D3, par exemple en oxyde SiO<sub>2</sub>, formant l'oxyde de grille des  
25 transistors de sélection ST11, ST12. La région n2 s'étend le long d'un bord supérieur de la grille verticale enterrée SGC. La grille SGC atteint une région de source n3 commune aux transistors ST11, ST12, en contact avec la couche NISO qui forme ainsi une ligne de source SL des transistors S11, ST12. La région n3 s'étend le long de deux bords inférieurs de la grille  
30 verticale SGC. Chaque transistor de sélection ST11, ST12 comprend ainsi une région de drain commune à la région de source n2 du transistor à grille flottante FGT11, FGT12 de sa cellule, la région de source n3 commune, et une région de canal CH2 s'étendant verticalement le long de la grille SGC entre les régions de drain n2 et de source n3. A noter que la région n3 peut  
35 être omise si la grille SGC atteint la couche NISO.

Les régions n1, n2, n3 sont généralement formées par dopage N du substrat PW. Les grilles flottantes FG sont généralement en silicium polycristallin de niveau 1, ou "poly1", et sont formées sur le substrat PW par l'intermédiaire d'une couche d'oxyde tunnel D1. Les grilles de contrôle d'état  
5 CG sont généralement en silicium polycristallin de niveau 2, ou "poly2". Chaque grille de contrôle d'état CG est formée sur l'une des grilles flottantes FG préalablement recouverte d'une couche d'oxyde D2. La grille SGC est formée dans une tranchée remplie de silicium polycristallin de niveau 0, ou "poly0", isolé du substrat par la couche d'oxyde D3. Selon le procédé de  
10 fabrication retenu, la tranchée conductrice formant la grille SGC peut ne présenter aucune discontinuité électrique. Elle peut alors être utilisée directement comme ligne de mot WL.

Les deux cellules mémoire C11, C12 sont recouvertes par un matériau isolant diélectrique D0, qui peut également être de l'oxyde SiO2.  
15 Les régions de drain n1 des transistors FGT11, FGT12 sont reliées à une même ligne de bit BL par l'intermédiaire d'un contact C1 traversant l'isolant D0.

Le tableau PG1 en Annexe 1 décrit en relation avec la figure 3, des valeurs de tensions appliquées aux cellules mémoire lors de la programmation de la cellule mémoire C11. La colonne "Réf." décrit la référence attribuée à chaque valeur de tension et la colonne "Ex." décrit des exemples de valeurs de tensions. "GND" est le potentiel de masse, à savoir le potentiel du wafer WF, généralement 0 V. Lors de la programmation par électrons chauds de la cellule mémoire C11, les deux transistors FGT11, ST11 coopèrent en vue de l'injection de charges électriques dans la grille flottante FG. Le transistor de sélection ST11 présente un canal CH2 conducteur dans lequel se forme un courant I1 (représenté par des flèches sur la figure 3) comprenant des électrons à haute énergie cinétique, dits "électrons chauds". Lorsque le courant I1 atteint le canal conducteur CH1 du transistor à grille flottante FGT11, se forme une zone d'injection où certains électrons à haute énergie sont injectés dans la grille flottante FG sous l'effet d'un champ électrique transversal créé par la tension appliquée à la grille de contrôle CG. Le transfert de charges du substrat PW vers la grille flottante FG (programmation) est donc effectué en passant par le transistor de  
20  
25  
30  
35 sélection ST11, et en appliquant une différence de potentiel élevée (ici 10 V)

sur la grille flottante, permettant ce transfert de charges. Il peut être noté que dans la cellule jumelle C12, un courant I2 (représenté par des flèches sur la figure 3) circule également dans le canal CH1 du transistor FGT12 et dans le canal CH2 du transistor ST12. Le courant I2 est insuffisant pour programmer la cellule C12 du fait que la grille de contrôle CG du transistor FGT12 reçoit une tension insuffisante (GND) pour former un champ électrique capable d'injecter des électrons dans la grille flottante FG de ce transistor. La présence du courant I2, non négligeable, entraîne donc une consommation électrique inutile.

Le tableau ER1 en Annexe 1 fournit des valeurs de tensions appliquées aux cellules mémoire lors de l'effacement de la cellule mémoire C11. L'effacement est effectué sans passer par le transistor de sélection ST11 qui reste bloqué, en appliquant un champ électrique élevé (ici 10 V) entre la source et la grille flottante FG de la cellule mémoire à effacer. Ainsi, les électrons sont extraits de la grille flottante par effet tunnel Fowler-Nordheim. L'effacement de la cellule mémoire jumelle C12 est empêché en appliquant sur la grille de contrôle du transistor FGT12 une tension de non effacement V<sub>ner</sub> (par exemple 2,5 V). L'effacement de cellules mémoire est généralement réalisé par page de cellules mémoire. Or toutes les cellules mémoire d'une page ne présentent pas des tensions de seuil d'effacement identiques, notamment en raison de variations d'épaisseur d'oxyde de grille d'une cellule mémoire à l'autre. Il en résulte que les cellules mémoire ne s'effacent pas à la même vitesse, et que certaines cellules mémoire se retrouvent dans un état "sur-effacé" ("over-erased") dans lequel leur grille flottante FG se trouve à l'état déplété. Un tel état n'est pas souhaitable car il peut générer des erreurs de lecture.

Le tableau RD1 en Annexe 1 indique en relation avec la figure 4 des valeurs de tensions appliquées aux cellules mémoire lors de la lecture de la cellule mémoire C11. Ainsi, pendant la lecture de la cellule mémoire C11, la grille de sélection commune SGC des deux transistors de sélection ST11 et ST12 reçoit la tension de sélection en lecture V<sub>on</sub>. Les transistors ST11, ST12 sont donc passants. Un courant (représenté par des flèches sur la figure 4) circule dans la région de canal CH1 du transistor FGT11 et dans la région de canal CH2 du transistor ST11. Ce courant est représentatif de la tension de seuil du transistor FGT11 qui est elle-même représentative d'un

état programmé ou effacé du transistor, lequel dépend d'une quantité de charges électriques stockées dans sa grille flottante FG. Ce courant est détecté ("sensed") par un amplificateur de lecture ("sense amplifier") non représenté sur la figure 4, qui fournit une donnée binaire mémorisée par la cellule mémoire C11. Ainsi, le transistor de sélection ST12 de la cellule mémoire voisine C12 est également mis dans l'état passant, et son canal CH2 est conducteur. Si le transistor FGT12 est dans un état sur-effacé, il peut être également passant. Il en résulte que la cellule mémoire C11 sera vue passante à la lecture et donc effacée, même si elle est bloquée (programmée). Pour éviter ce phénomène, la tension CGV appliquée à la grille de contrôle du transistor FGT12 peut être fixée à une tension d'inhibition Vinh qui force le transistor FGT12 dans l'état bloqué et l'empêche ainsi de conduire même s'il se trouve dans l'état sur-effacé. Dans le tableau RD1, cette tension est choisie égale -2 V qui est inférieure à la tension de seuil des transistors à grille flottante à l'état effacé. Or la génération d'une telle tension négative entraîne une augmentation de la consommation électrique d'une opération de lecture de la mémoire, et nécessite un circuit de contrôle de la tension de grille CGV plus complexe.

Dans une mémoire de type Flash, il est connu de procéder à une opération de programmation dite "douce" ("soft programming") à la suite d'une opération d'effacement, pour augmenter les tensions de seuil des cellules mémoire effacées et ainsi éviter que certaines cellules mémoire soient dans l'état sur-effacé. Cependant, cette solution augmente nécessairement la consommation électrique de la mémoire et la durée des opérations d'effacement.

La figure 5 représente une paire de cellules mémoire jumelles C11, C12, telle que celle décrite précédemment en référence à la figure 2. Le tableau PG2 en Annexe 1 décrit en relation avec la figure 5, des valeurs de tensions appliquées aux cellules mémoire C11, C12, lors de la programmation de la cellule mémoire C11. La colonne "Réf." décrit la référence attribuée à chaque valeur de tension et la colonne "Ex." décrit des exemples de valeurs de tensions. Selon un mode de réalisation, une programmation douce est appliquée à la cellule mémoire C12 durant une opération de programmation de la cellule mémoire jumelle C11 de la paire de cellules mémoire C11, C12. Cette programmation douce est effectuée en

soumettant la grille de contrôle d'état CG de la cellule mémoire C12 à une tension  $V_{sp}$  positive inférieure à la tension de programmation appliquée à la grille de contrôle d'état CG de la cellule mémoire C11. La tension  $V_{sp}$  établie à une valeur suffisante pour rendre conducteur le canal CH1 du transistor FGT12 et établir un champ électrique capable de transférer quelques charges électriques dans la grille flottante FG de ce transistor (le transistor de sélection ST12 étant passant tout comme le transistor ST11). Toutefois, la quantité de charges électriques transférées dans la grille flottante est insuffisante pour faire passer la cellule mémoire C12 à l'état programmé. Le courant  $I_2$  traversant les canaux CH1, CH2 des transistors FGT12, ST12 de la cellule mémoire C12 lors d'une programmation classique de la cellule mémoire jumelle C11 (figure 3) est donc exploité dans la figure 5 pour effectuer une programmation douce de la cellule C12.

Le tableau RD2 en Annexe 1 décrit en relation avec la figure 6 des valeurs de tensions appliquées aux cellules mémoire lors de la lecture de la cellule mémoire C11. Pendant la lecture de la cellule mémoire C11, les grilles des deux transistors de sélection ST11 et ST12 reçoivent la tension de sélection en lecture  $V_{on}$ . Les transistors ST11, ST12 sont donc passants. Un courant  $I_3$  (représenté par des flèches sur la figure 5) circule dans la région de canal CH1 du transistor FGT11 et dans la région de canal CH2 du transistor ST11. Ainsi, le transistor de sélection ST12 de la cellule mémoire voisine C12 est mis dans l'état passant.

Selon un mode de réalisation, la tension  $CGV$  appliquée à la grille de contrôle du transistor FGT12 n'est pas fixée à la tension d'inhibition  $V_{inh}$ , mais à la tension  $V_{nr}$  qui est par exemple égale à la tension  $GND$ . A cette valeur de tension, le transistor FGT12 ne peut être passant que s'il est dans un état "sur-effacé" ("over-erased"). Or si la cellule mémoire C11 a été programmée, la cellule mémoire C12 a subi une programmation douce, et donc ne peut pas être sur-effacée, et si la cellule mémoire C11 est à l'état effacé ou sur-effacé, la cellule mémoire C12 l'est aussi. Aux tensions  $V_{rd}$  et  $V_{nr}$ , les transistors FGT11, FGT12 des cellules C11, C12 sont tous les deux soit bloqués, soit passants. Par conséquent, la lecture de la cellule C11 ne peut pas être perturbée par l'état éventuellement sur-effacé de la cellule jumelle C12.

Le tableau ER2 en Annexe 1 indique en relation avec la figure 7, des valeurs de tensions appliquées aux cellules mémoire jumelles C11, C12 lors d'une opération d'effacement de ces dernières. Selon un mode de réalisation, les grilles de contrôle d'état CG des deux cellules mémoire jumelles reçoivent la tension  $V_{er}$  ( $=-10\text{ V}$  dans l'exemple de la figure 7 et du tableau ER2). Les deux cellules mémoire C11, C12 sont donc effacées en même temps. A noter qu'une telle opération d'effacement est effectuée systématiquement avant une opération de programmation d'une ou des deux cellules mémoire jumelles C11, C12.

La figure 8 représente des courbes CV1, CV2, CV3 de distribution du nombre N de cellules mémoire d'une mémoire en fonction d'une tension de seuil  $V_t$  de leurs transistors à grille flottante respectifs. Les courbes CV1, CV2, CV3 présentent la forme de gaussiennes. La courbe CV1 centrée sur  $-0,5\text{ V}$  environ, correspond aux cellules mémoires ayant subi une opération d'effacement. La courbe CV2 centrée sur  $1\text{ V}$  environ, correspond aux cellules mémoire ayant subi une programmation douce. La courbe CV3 centrée sur  $5\text{ V}$  environ, correspond aux cellules mémoire à l'état programmé. Si l'on applique la tension  $V_{nr}$  sensiblement égale à la tension de masse GND, aux grilles de contrôle de sélection SCG des cellules mémoire jumelles de cellules mémoire à lire, les cellules mémoire ayant des tensions de seuil  $V_t$  négatives, c'est-à-dire qui sont sur-effacées (courbe CV1), sont passantes. Il en résulte que les cellules mémoires lues (C11) qui sont jumelles de telles cellules mémoire (C12) sont considérées comme des cellules mémoire à l'état effacé. La programmation douce qui est effectuée sur une cellule mémoire (C12) lors de la programmation de la cellule mémoire jumelle (C11), permet de décaler la courbe CV1 de manière à obtenir la courbe CV2. Comme illustré sur la figure 8, ce décalage est effectué de manière à ce qu'aucune cellule mémoire de la mémoire considérée, même celles qui étaient à l'état sur-effacé n'ait une tension de seuil  $V_t$  inférieure à la tension  $V_{nr}$ , tout en évitant que des cellules mémoire ayant subi une programmation douce aient une tension de seuil supérieure à la tension de lecture  $V_{rd}$  ( $= 2\text{ V}$  dans l'exemple du tableau RD2 et de la figure 8).

La programmation douce ainsi réalisée n'est effectuée que sur les cellules mémoire associées à une cellule mémoire jumelle à programmer, et

simultanément à la programmation de cette dernière. Il n'en résulte aucune pénalisation du temps nécessaire aux opérations d'effacement et de programmation, et une augmentation de consommation électrique limitée puisque celle-ci n'est due qu'aux programmations douces qui concernent  
5 seulement les cellules mémoire jumelles de cellules mémoire devant être programmées et qui exploitent un courant présent lors de la programmation de la cellule jumelle. En revanche, le fait de ne plus avoir à générer la tension négative d'inhibition Vinh permet de réduire la consommation électrique des opérations de lecture. En comparaison d'une programmation  
10 douce effectuée classiquement à la suite d'un effacement de cellules mémoire, on économise une programmation douce de paires de cellules mémoire devant rester à l'état effacé.

Il peut être noté que la lecture d'une cellule mémoire appartenant à une paire de cellules mémoire effacées n'est pas perturbée par la présence  
15 dans cette paire d'une cellule mémoire à l'état sur-effacé. En effet, si la cellule mémoire lue est à l'état sur-effacé, elle sera conductrice à la tension de lecture Vrd et donc vue comme une cellule effacée. Si la cellule mémoire jumelle de la cellule mémoire lue est à l'état sur-effacé, les deux cellules mémoire de la paire seront conductrices, respectivement aux tensions de  
20 lecture Vrd et Vnr. La cellule mémoire lue sera donc considérée à l'état effacé.

La figure 9 représente une mémoire MEM1 effaçable par page comprenant un plan mémoire réalisé dans un caisson PW. Le plan mémoire comprend  $M \times N$  cellules mémoire formant des paires de cellules mémoire  
25 C11, C12, chaque cellule mémoire C11, C12 comprenant un transistor à accumulation de charges FGT11, FGT12 en série avec un transistor de sélection ST11, ST12. Les transistors de sélection ST11, ST12 de chaque paire partagent une grille de sélection commune SGC. A noter que les deux transistors ST11, ST12 à grille commune de chaque paire de cellules  
30 mémoire de la mémoire MEM1 peuvent être remplacés par l'unique transistor de sélection ST3 (figure 2).

La mémoire MEM1 comprend  $M$  pages  $P_{<i>}$  comportant chacune une rangée de  $N$  cellules mémoire, et une ligne de contrôle de grille  $CGL_{<i>}$ . La figure 9 montre deux premières pages  $P_{<0>}$ ,  $P_{<1>}$  de rangs 0 et 1, et deux  
35 pages  $P_{<i>}$ ,  $P_{<i+1>}$  de rangs  $i$  et  $i+1$ . La mémoire comporte également  $N$

lignes de bit  $BL\langle j,k \rangle$ , chacune étant reliée à une cellule mémoire de même rang dans chaque page. Les lignes de bit  $BL\langle j,k \rangle$  peuvent être regroupées en colonnes de mot  $k$  de  $m+1$  lignes de bit,  $j$  étant compris entre 0 et  $m$ . La figure 9 montre les lignes de bit de deux colonnes de mot  $k$  et  $k+1$ . Chaque

5 ligne de bit  $BL\langle j,k \rangle$  est connectée aux régions de drain  $n1$  des transistors à grille flottante FGT de cellules mémoire de même rang  $j,k$ . Chaque ligne de contrôle de grille  $CGL\langle i \rangle$  est connectée aux grilles de contrôle d'état CG des transistors FGT11, FGT12 de cellules mémoire de même rang  $i$ . Les régions de source  $n3$  des transistors de sélection ST11, ST12 sont connectées à la

10 couche NISO qui entoure le caisson PW.

La mémoire MEM1 comporte également des lignes de contrôle  $WL\langle i,i+1 \rangle$  des transistors de sélection ST11, ST12, qui sont connectées aux grilles de sélection communes SGC des transistors de sélection des cellules mémoire de deux pages jumelles  $P\langle 0 \rangle$ - $P\langle 1 \rangle$ ,  $P\langle i \rangle$ - $P\langle i+1 \rangle$ . Ainsi, chaque

15 ligne de contrôle  $WL\langle i,i+1 \rangle$  de rang  $i,i+1$  est associée aux deux pages  $P\langle i \rangle$ ,  $P\langle i+1 \rangle$  jumelles de rangs  $i$  et  $i+1$  et contrôle les transistors de sélection ST11, ST12 des cellules mémoire de ces deux pages jumelles.

Les tensions appliquées aux diverses lignes de contrôle  $BL\langle j,k \rangle$ ,  $CGL\langle i \rangle$ ,  $WL\langle i,i+1 \rangle$  du plan mémoire sont fournies par des organes de la

20 mémoire en fonction d'une adresse d'une page à effacer ou d'un groupe de cellules mémoire à lire ou à programmer. Ces organes comprennent :

- un décodeur de colonne CDEC, qui relie le multiplexeur MUX aux différentes lignes de bit.
- des commutateurs PGSW qui appliquent aux différentes lignes de bit

25  $BL\langle j,k \rangle$  connectées aux cellules mémoire d'un mot à programmer  $B0$ - $Bm$ , via le multiplexeur MUX, les tensions  $BLV\langle j,k \rangle$  appropriées pendant la programmation des cellules mémoire,
- un circuit pilote de ligne de mot WLDC qui applique aux différentes lignes de mots  $WL\langle i,i+1 \rangle$  les tensions  $SV\langle i,i+1 \rangle$  destinées aux grilles de sélection communes SGC des transistors de sélection ST11, ST12, et qui applique

30 aux différentes lignes de contrôle de grille  $CGL\langle i \rangle$  les tensions de contrôle de grille  $CGV\langle i \rangle$  des transistors à grille flottante FGT11, FGT12,
- un interrupteur de ligne de source SLS qui applique la tension de ligne de source  $SLV$  à la couche NISO formant un plan de source,

- un interrupteur de caisson PWS qui applique la tension de substrat VB au caisson PW,

- des amplificateurs de lecture SA ("Sense Amplifiers"), qui appliquent aux différentes lignes de bit  $BL_{<j,k>}$  via le multiplexeur MUX les tensions BLV $<j,k>$  appropriées pendant la lecture de cellules mémoire, et fournissent les bits B0-Bm d'un mot binaire lu dans la mémoire, et

Ces organes sont configurés pour fournir les tensions décrites dans le tableau PG2, et éventuellement dans les tableaux RD2, ER2. En particulier, pendant une opération de programmation, le circuit pilote de ligne de mot WLDC fournit la tension de programmation  $V_{pg}$  et la tension de programmation douce  $V_{sp}$  figurant dans le tableau PG2, aux grilles de contrôle d'état CG des cellules mémoire de la paire de lignes de mot WL $<i,i+1>$  incluant les cellules mémoire programmer. Pendant une opération d'effacement, le circuit pilote de ligne de mot WLDC peut fournir la tension d'effacement  $V_{er}$  aux grilles de contrôle d'état CG des cellules mémoire de pages jumelles P $<i>$ -P $<i+1>$ , provoquant l'effacement de toutes les cellules mémoire de ces deux pages jumelles. Pendant une opération de lecture, les amplificateurs de lecture SA fournissent la tension de polarisation de lecture BLV1 figurant dans le tableau RD2.

Ainsi, une opération de programmation d'un mot peut être précédée d'une opération de lecture de la paire de pages jumelles P $<i>$ -P $<i+1>$  dans laquelle est situé le mot à écrire, de stockage des mots lus et du mot à écrire par exemple dans des verrous de lignes de bit BL $<j,k>$  ou dans des registres, et d'effacement des pages jumelles P $<i>$ -P $<i+1>$ . Les mots des pages jumelles sont ensuite programmés successivement. L'opération de programmation proprement-dite des cellules mémoire d'un mot est effectuée en deux étapes. Lors d'une première étape, la tension de programmation  $V_{pg}$  est appliquée à la ligne de contrôle de grille CGL $<i>$  et simultanément, la tension de programmation douce  $V_{sp}$  est appliquée à la ligne de contrôle de grille CGL $<i+1>$ . En parallèle, les lignes de bit BL $<j,k>$  des cellules mémoire devant être programmées du mot sont soumises à la tension BLV2, tandis que les autres lignes de bit restent à la tension GND. Lors d'une seconde étape, la tension de programmation  $V_{pg}$  est appliquée à la ligne de contrôle de grille CGL $<i+1>$ , et simultanément, la tension de programmation douce  $V_{sp}$  est appliquée à la ligne de contrôle de grille CGL $<i>$ . En parallèle, les

lignes de bit BL<j,k> des cellules mémoire devant être programmées de la page PG<i+1> sont soumises à la tension BLV2, tandis que les autres lignes de bit restent à la tension GND.

5 Il est à noter que l'application d'une programmation douce à une cellule mémoire déjà programmée ou l'application d'une programmation à une cellule mémoire ayant déjà subi une programmation douce, ne modifie pas significativement la tension de seuil du transistor à grille flottante de cette cellule mémoire par rapport à une cellule mémoire ayant subi seulement une programmation.

10 Selon un mode de réalisation, chaque étape de programmation d'un mot fait l'objet d'opérations de vérification. Ces opérations de vérification comprennent une opération de vérification de l'état déplété des cellules mémoire à programmer, et une opération de vérification de l'état programmé des cellules mémoire ayant subi cette opération. La vérification de l'état  
15 déplété peut être effectuée en appliquant la tension Vnr (= GND dans l'exemple du tableau RD2) à la ligne de contrôle de grille CGL<i> ou CGL<i+1> des cellules mémoire à vérifier et en effectuant une opération de lecture à cette tension. La vérification de l'état de programmation peut être effectuée en appliquant une certaine tension Vpc (figure 8) à la ligne de  
20 contrôle de grille CGL<i> ou CGL<i+1> des cellules mémoire à vérifier et en effectuant une opération de lecture à la tension Vpc. La tension Vpc peut être choisie supérieure à la tension de lecture Vrd et inférieure à la tension de seuil des transistors à grille flottante à l'état programmé.

25 Selon un mode de réalisation, la programmation avec vérification d'une cellule mémoire est effectuée en exécutant les étapes S01 à S09 représentées sur la figure 10. A l'étape S01, une opération de programmation simple est appliquée à la cellule mémoire à programmer, sans appliquer de programmation douce à la cellule mémoire jumelle. La cellule mémoire jumelle peut ainsi recevoir sur sa grille de contrôle CG la  
30 tension Vnp par exemple égale à la tension de masse. A l'étape S02, une opération de vérification de l'état déplété de la cellule mémoire à programmer et de la cellule mémoire jumelle est effectuée. A l'étape S03, si l'une des cellules mémoire jumelles est à l'état déplété, les étapes S04, S05 et S06 sont exécutées, sinon les étapes S07 et S08 sont exécutées. A l'étape S04,  
35 une opération de programmation est appliquée à la cellule mémoire à

programmer et une opération de programmation douce est appliquée à la cellule mémoire jumelle. L'étape S05 consiste en une nouvelle opération de vérification de l'état déplété de la paire de cellules mémoire. A l'étape S06, si l'une ou l'autre des cellules mémoire jumelles est à l'état déplété, les étapes 5 S04, S05 et S06 sont à nouveau exécutées, sinon les étapes S07 et S08 sont exécutées. A l'étape S07, une opération de vérification de l'état de programmé est appliqué à la cellule mémoire à programmer. A l'étape S08, si la cellule mémoire à programmer est à l'état programmé, la programmation de la cellule mémoire est terminée, sinon, les étapes S09, S07 et S08 sont 10 exécutées. A l'étape S09, une opération de programmation simple est appliquée à la cellule mémoire à programmer.

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de diverses variantes de réalisation et diverses applications. En particulier, l'invention ne s'applique pas nécessairement à une mémoire 15 telle que celle représentée sur la figure 9, mais peut s'appliquer à tout circuit comprenant au moins une paire de cellules mémoire jumelles, telle que la paire de cellules mémoire de l'une ou l'autre des figures 1 et 2. La présente invention ne s'applique pas non plus nécessairement à une mémoire effaçable par page, mais peut s'appliquer à une mémoire effaçable par 20 secteur de plusieurs pages, par mot ou encore par bit.

L'opération de programmation incluant une programmation douce (tableau PG2) peut être mise en œuvre dans une mémoire dans laquelle des opérations de lecture conforme au tableau RD1 et d'effacement conforme au tableau ER1 sont mises en œuvre. De même, seule l'une ou l'autre des 25 opérations d'effacement et de lecture conformes aux tableaux ER2 et RD2 peut être mise en œuvre dans une mémoire mettant en œuvre une programmation associée à une programmation douce (tableau PG2) pour programmer une cellule mémoire d'une paire de cellules mémoires jumelles.

Par ailleurs, les tensions de programmation et de programmation douce ne sont pas nécessairement appliquées simultanément, 30 respectivement aux deux cellules mémoire d'une paire de cellules mémoire jumelles.

La présente invention s'applique également à une paire de cellules mémoire jumelles partageant un unique transistor de sélection. La figure 11 35 est un schéma électrique d'une telle paire de cellules mémoire C21, C22. La

paire de cellules mémoire C21, C22 diffère de la paire de cellules mémoire C11, C12 en ce que les transistors de sélection ST11, ST12 sont remplacés par un unique transistor ST3 qu'elles partagent.

## Annexe 1 faisant partie intégrante de la description

### Exemples de valeurs de tensions pendant la lecture d'une cellule mémoire

5

<b><u>RD1</u></b>	<b>Réf.</b>	<b>Ex.</b>	<b>Lecture de la cellule mémoire C11 (figure 5)</b>
BLV	BLV1	1V	Tension de polarisation de la ligne de bit
CGV1	Vrd	2V	Tension de lecture du transistor FGT11
<b>CGV2</b>	<b>Vinh</b>	<b>-2V</b>	<b>Tension d'inhibition du transistor FGT12</b>
VB	VB1	GND	Tension de polarisation du caisson PW
SV	Von	2V	Tension de sélection en lecture des transistors ST11, ST12
SLV	VI1	GND	Tension de polarisation de la ligne de source NISO

<b><u>RD2</u></b>	<b>Réf.</b>	<b>Ex.</b>	<b>Lecture de la cellule mémoire C11 (figure 7)</b>
BLV	BLV1	1V	Tension de polarisation de la ligne de bit
CGV1	Vrd	2V	Tension de grille du transistor FGT11
<b>CGV2</b>	<b>Vnr</b>	<b>GND</b>	<b>Tension de grille du transistor FGT12</b>
VB	VB1	GND	Tension de polarisation du caisson PW
SV	Von	2V	Tension de sélection en lecture des transistors ST11, ST12
SLV	VI1	GND	Tension de polarisation de la ligne de source NISO

**Exemples de valeurs de tensions pendant l'effacement d'une cellule mémoire**

<b>ER1</b>	<b>Réf.</b>	<b>Ex.</b>	<b>Effacement de la cellule mémoire C11</b>
BLV	BLV2	GND	Tension de polarisation de la ligne de bit
CGV1	Ver	-10V	Tension d'effacement du transistor FGT11
<b>CGV2</b>	<b>Vner</b>	<b>2,5V</b>	<b>Tension de non-effacement du transistor FGT12</b>
VB	VB2	5V	Tension de polarisation du caisson PW
SV	SV2	5V	Tension de grille des transistors ST11, ST12
SLV	VI2	5V	Tension de polarisation de la ligne de source NISO

5

<b>ER2</b>	<b>Réf.</b>	<b>Ex.</b>	<b>Effacement des cellules mémoire C11, C12 (Figure 8)</b>
BLV	BLV2	GND	Tension de polarisation de la ligne de bit
CGV1	Ver	-10V	Tension d'effacement du transistor FGT11
<b>CGV2</b>	<b>Ver</b>	<b>-10V</b>	<b>Tension d'effacement du transistor FGT12</b>
VB	VB2	5V	Tension de polarisation du caisson PW
SV	SV2	5V	Tension de grille des transistors ST11, ST12
SLV	VI2	5V	Tension de polarisation de la ligne de source NISO

### Exemples de valeurs de tensions pendant la programmation d'une cellule mémoire

<b>PG1</b>	<b>Réf.</b>	<b>Ex.</b>	<b>Programmation de la cellule mémoire C11 (Figure 4)</b>
BLV	BLV2	4V	Tension de polarisation de la ligne de bit
CGV1	Vpg	10V	Tension de programmation du transistor FGT11
<b>CGV2</b>	<b>Vnp</b>	<b>GND</b>	<b>Tension de non-programmation du transistor FGT12</b>
VB	VB3	GND	Tension de polarisation du caisson PW
SV	Von	2V	Tension de grille des transistors ST11, ST12
SLV	VI3	GND	Tension de polarisation de la ligne de source NISO

5

<b>PG2</b>	<b>Réf.</b>	<b>Ex.</b>	<b>Programmation de la cellule mémoire C11 (Figure 6)</b>
BLV	BLV3	4V	Tension de polarisation de la ligne de bit
CGV1	Vpg	10V	Tension de programmation du transistor FGT11
<b>CGV2</b>	<b>Vsp</b>	<b>5V</b>	<b>Tension de programmation douce du transistor FGT12</b>
VB	VB3	GND	Tension de polarisation du caisson PW
SV	Von	2V	Tension de grille des transistors ST11, ST12
SLV	VI3	GND	Tension de polarisation de la ligne de source NISO

## REVENDEICATIONS

1. Procédé de commande d'une mémoire non volatile sur substrat semi-conducteur (PW), comprenant :

au moins une ligne de bit (BL),

au moins deux lignes de contrôle de grille (CGL<i>, CGL<i+1>),

5 au moins une ligne de mot (WL<i>,i+1>), et

au moins une paire de cellules mémoire jumelles (C11, C12, C21, C22), comportant une première cellule mémoire comprenant un premier transistor à grille flottante (FGT11) ayant une grille de contrôle (CG) reliée à une première ligne de contrôle de grille (CGL<i>), une première borne de  
10 conduction reliée à la ligne de bit et une seconde borne de conduction reliée à une ligne de source par l'intermédiaire d'un premier transistor de sélection (ST11, ST3) ayant une grille de contrôle de sélection (SGC) reliée à la ligne de mot, et une seconde cellule mémoire comportant un second transistor à grille flottante (FGT12) ayant une grille de contrôle reliée à la seconde ligne  
15 de contrôle de grille (CGL<i+1>), une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à la ligne de source par l'intermédiaire d'un second transistor de sélection (ST12, ST3) partageant avec le premier transistor de sélection la grille de contrôle de sélection,

20 caractérisé en ce qu'il comprend des étapes consistant à :

programmer la première cellule mémoire (C11, C21) par injection d'électrons chauds, par l'intermédiaire d'un courant de programmation (I1) traversant la première cellule mémoire, en appliquant une première tension positive (BLV3) à la ligne de bit (BL) et une seconde tension positive (Vpg) à  
25 la première ligne de contrôle de grille (CGL<i>), et

pendant la programmation de la première cellule mémoire, appliquer à la seconde ligne de contrôle de grille (CGL<i+1>) une troisième tension positive (Vsp) apte à faire passer un courant de programmation (I2) dans la seconde cellule mémoire (C12, C22), sans faire passer la seconde cellule  
30 mémoire dans un état programmé.

2. Procédé selon la revendication 1, dans lequel la troisième tension (Vsp) est choisie de manière à assurer une programmation douce de la

seconde cellule mémoire (C12, C22), afin que la seconde cellule mémoire ne puisse pas présenter une tension de seuil négative quel que soit son état programmé ou effacé.

5           3. Procédé selon la revendication 1 ou 2, comprenant des étapes de lecture d'une cellule mémoire (C11, C12, C21, C22) de la paire de cellules mémoire, consistant à :

appliquer une tension de lecture ( $V_{rd}$ ) positive à la grille de contrôle du transistor à grille flottante de la cellule mémoire devant être lue, et

10           appliquer une tension nulle ( $V_{nr}$ ) à la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle.

4. Procédé selon l'une des revendications 1 à 3, comportant une étape d'effacement consistant à appliquer simultanément une tension d'effacement ( $V_{er}$ ) aux grilles de contrôle (CG) des transistors à grille flottante (FGT11, FGT12) des première et seconde cellules mémoire (C11, C12, C21, C22).

5. Procédé selon l'une des revendications 1 à 4, dans lequel  
20 l'opération de programmation de la première cellule mémoire (C11) comprend des étapes de vérification de l'état déplété de la paire de cellules mémoire, et de réalisation d'une programmation de la première cellule mémoire et d'une programmation douce de la seconde cellule mémoire tant que l'une ou l'autre des première et seconde cellules mémoire est à l'état  
25 déplété, suivies d'étapes de vérification de l'état programmé de la première cellule mémoire, et de programmation de la première cellule mémoire tant que celle-ci n'est pas à l'état programmé.

6. Mémoire non volatile sur substrat semi-conducteur (PW),  
30 comprenant :

au moins une ligne de bit (BL),

au moins deux lignes de contrôle de grille ( $CGL_{<i>i</i>}$ ,  $CGL_{<i+1>}$ ),

au moins une ligne de mot ( $WL_{<i,i+1>}$ ),

35 au moins une paire de cellules mémoire jumelles (C11, C12, C21, C22), comportant une première cellule mémoire comprenant un premier

transistor à grille flottante (FGT11) ayant une grille de contrôle (CG) reliée à une première ligne de contrôle de grille (CGL $\langle i \rangle$ ), une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à une ligne de source par l'intermédiaire d'un premier transistor de sélection (ST11, ST3) ayant une grille de contrôle de sélection (SGC) reliée à la ligne de mot, et une seconde cellule mémoire comportant un second transistor à grille flottante (FGT12) ayant une grille de contrôle reliée à la seconde ligne de contrôle de grille (CGL $\langle i+1 \rangle$ ), une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à la ligne de source par l'intermédiaire d'un second transistor de sélection (ST12, ST3) partageant avec le premier transistor de sélection la grille de contrôle de sélection, et

des moyens pour programmer la première cellule mémoire indépendamment de la seconde cellule mémoire et réciproquement,

caractérisé en ce que la mémoire est configurée pour :

programmer la première cellule mémoire (C11, C21) par injection d'électrons chauds, par l'intermédiaire d'un courant de programmation (I1) traversant la première cellule mémoire, en appliquant une première tension positive (BLV3) à la ligne de bit (BL) et une seconde tension positive (Vpg) à la première ligne de contrôle de grille (CGL $\langle i \rangle$ ), et

pendant la programmation de la première cellule mémoire, appliquer à la seconde ligne de contrôle de grille (CGL $\langle i+1 \rangle$ ) une troisième tension (Vsp) positive apte à faire passer un courant de programmation dans la seconde cellule mémoire (C12, C22), sans faire passer la seconde cellule mémoire dans un état programmé.

7. Mémoire selon la revendication 6, dans laquelle la troisième tension (Vsp) est choisie de manière à assurer une programmation douce de la seconde cellule mémoire (C12, C22), afin que la seconde cellule mémoire ne puisse pas présenter une tension de seuil négative quel que soit son état programmé ou effacé.

8. Mémoire selon la revendication 6 ou 7, comprenant un décodeur de ligne de mot (WLDC) relié à la ligne de mot (WL $\langle i, i+1 \rangle$ ) et aux lignes de contrôle de grille (CGL $\langle i \rangle$ , CGL $\langle i+1 \rangle$ ), le décodeur étant configuré pour,

pendant la lecture d'une cellule mémoire de la paire de cellules mémoire jumelles (C11, C12, C21, C22), appliquer une tension de lecture ( $V_{rd}$ ) positive à la grille de contrôle (CG) du transistor à grille flottante (FGT11, FT12) de la cellule mémoire devant être lue, et appliquer une tension ( $V_{nr}$ ) nulle à la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle.

9. Mémoire selon l'une des revendications 6 à 8, dans laquelle la grille de contrôle de sélection (SCG) est une grille verticale enterrée présentant pour le premier transistor de sélection (ST11) une région de canal vertical (CH2) s'étendant en regard d'une première face de la grille de contrôle verticale enterrée, et pour le second transistor de sélection (ST12) une région de canal vertical (CH2) qui s'étendant en regard d'une seconde face de la grille de contrôle verticale enterrée, et en face de la région de canal du premier transistor de sélection.

10. Mémoire selon l'un des revendications 6 à 9, dans laquelle les cellules mémoire (C21, C22) de la paire de cellules mémoire jumelles partagent un unique transistor de sélection (ST3).

11. Mémoire selon l'une des revendications 6 à 10, dans lequel la paire de cellules mémoire (C11, C12) comprend :

une première région dopée ( $n_2$ ) s'étendant le long d'un premier bord supérieur de la grille enterrée (SGC), formant une région de drain du transistor de sélection (ST11) et une région de source du transistor à grille flottante (FGT11), d'une première cellule mémoire (C11) de la paire de cellules mémoire,

une seconde région dopée ( $n_2$ ) s'étendant le long d'un second bord supérieur de la grille enterrée opposé au premier bord supérieur, formant une région de drain du transistor de sélection (ST12) et une région de source du transistor à grille flottante (FGT12), d'une seconde cellule mémoire (C12) de la paire de cellules mémoire, et

une troisième région dopée (NISO,  $n_3$ ) s'étendant le long de deux bords inférieurs opposés de la grille enterrée, formant une région de source

commune du transistor de sélection (ST11) de la première cellule mémoire et du transistor de sélection (ST12) de la seconde cellule mémoire,

chaque transistor de sélection (ST11, ST12) de la paire de cellules mémoire présentant une région de canal (CH2) verticale s'étendant d'un côté  
5 respectif de la grille enterrée, entre la première ou la seconde région dopée et la troisième région dopée.

12. Mémoire selon l'une des revendications 6 à 11, comprenant un décodeur de ligne de mot (WLDC) relié à la ligne de mot (WL<i,i+1>) et aux  
10 lignes de contrôle de grille (CGL<i>, CGL<i+1>), le décodeur étant configuré pour, pendant l'effacement de cellules mémoire, appliquer une tension d'effacement (Ver) simultanément aux première et seconde lignes de contrôle de grille (CGL<i>, CGL<i+1>).

13. Mémoire selon l'une des revendications 6 à 12, configurée pour, pendant l'opération de programmation de la première cellule mémoire (C11, C21) :

vérifier l'état déplété de la paire de cellules mémoire (C11, C12, C21, C22), et programmer la première cellule mémoire et appliquer simultanément  
20 une programmation douce à la seconde cellule mémoire (C12, C21), tant que l'une ou l'autre des première et seconde cellules mémoire est à l'état déplété, et

vérifier l'état programmé de la première cellule mémoire, et programmer la première cellule mémoire tant que celle-ci n'est pas à l'état programmé.  
25

14. Mémoire selon l'une des revendications 6 à 13, comprenant une rangée de paires de cellules mémoire jumelles connectées à la ligne de mot (WL<i,i+1>) et aux lignes de contrôle de grille (CGL<i>, CGL<i+1>), la  
30 mémoire étant configurée pour programmer un mot formé par plusieurs cellules mémoire de la rangée, connectées à l'une des deux lignes de contrôle de grilles, et pour, pendant la programmation du mot :

effectuer une opération de lecture de la rangée de paires de cellules mémoire jumelles (C11, C12, C21, C22) et de stockage des mots lus,

effectuer une opération d'effacement de la rangée de paires de cellules mémoire jumelles lues,

5 effectuer une programmation par mot des cellules mémoire de la rangée de paires de cellules mémoire, comprenant une programmation de la première cellule mémoire (C11, C21) des paires de cellules mémoire de la rangée, en fonction des mots stockés et éventuellement du mot à écrire, et simultanément effectuer une programmation douce de secondes cellules mémoire (C12, C22) jumelles des premières cellules mémoire programmées, et

10 effectuer une seconde opération de programmation de la seconde cellule mémoire des paires de cellules mémoire de la rangée, en fonction des mots stockés et éventuellement du mot à écrire, et simultanément effectuer une programmation douce des premières cellules mémoire jumelles des secondes cellules mémoire programmées.

15

15 rue des Minimes - CS 50001 - 92677 Courbevoie Cedex

Pour vous informer : INPI Direct 0820 210 211

Pour déposer par télécopie : 33 (0)1 56 65 86 00

**REQUÊTE EN DÉLIVRANCE**

REMISE DES PIÈCES <b>28/05/2014</b> DATE <b>1454839</b>		<b>1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE          À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE</b>  de ROQUEMAUREL Bruno OMNIPAT 24 Place des Martyrs de la Résistance 13100 AIX EN PROVENCE FR
N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI <b>Vos références pour ce dossier</b> 100880FR		
<b>2 NATURE DE LA DEMANDE</b>		
Nature	Brevet d'invention	
<b>3 TITRE DE L'INVENTION</b>		
Titre	PROCÉDE DE PROGRAMMATION D'UNE CELLULE MEMOIRE NON VOLATILE COMPRENANT UNE GRILLE DE TRANSISTOR DE SELECTION PARTAGÉE	
<b>4 PRIORITÉ</b>		
<b>5-1 DEMANDEUR</b>		
Personne morale		
Nom	STMICROELECTRONICS SA	
Affaire suivie par		
Rue	29 BLD ROMAIN ROLLAND	
Code postal et ville	92120 MONTROUGE	
Pays	FR	
Nationalité	FR	
Forme juridique	Société anonyme	
N° SIREN	341 459 386	
Code APE-NAF	26.11Z	
N° de téléphone		
N° de télécopie		
Courrier électronique		
<b>6 MANDATAIRE</b>		
Nom	de ROQUEMAUREL	
Prénom	Bruno	

Cabinet/Société	OMNIPAT			
Qualité	CPI : 02 0407 , pas de pouvoir			
Rue	24 Place des Martyrs de la Résistance			
Code postal et ville	13100 AIX EN PROVENCE			
Pays	FR			
N° de téléphone	04 42 99 06 60			
N° de télécopie	04 42 99 06 69			
Courrier électronique	admin.omnipat@omnipat.fr			
<b>7 RAPPORT DE RECHERCHE</b>				
Type d'établissement	Établissement immédiat			
Type d'envoi	Envoi électronique à admin.omnipat@omnipat.fr			
<b>8 RÉDUCTION DU TAUX DES REDEVANCES</b>				
<b>9 DÉPÔT DE MATIÈRE BIOLOGIQUE</b>				
<b>10 SÉQUENCES DE NUCLÉOTIDES ET/OU D'ACIDES AMINÉS</b>				
<b>11 DOCUMENTS ET FICHIERS JOINTS</b>	<b>Fichier électronique</b>		<b>Détails</b>	
Inventeur	Design.PDF			
Fichier corps du texte	textebrevet.pdf	page(s) 29, D 22, R 6, AB 1		
Drawings	dessins.pdf	page(s) 6, Abrégé : page , Fig. 6		
<b>12 EXTENSION DE LA PROTECTION</b>				
<p>En cochant la case ci-après, le(s) demandeur(s) manifestent l'intention d'étendre les effets de la demande de brevet et du brevet délivré sur la base de cette demande au territoire indiqué avec lequel des accords d'extension sont en vigueur à la date du dépôt de la demande.</p> <p style="text-align: center;"><input type="checkbox"/> Polynésie française</p>				
<b>13 MODE DE PAIEMENT</b>				
Mode de paiement	Prélèvement du compte client			
Numéro du compte	2869			
<b>14 REDEVANCES JOINTES</b>	Devise	Taux	Quantité	Montant à payer
062 Dépôt d'une demande électronique	EURO	26	1	26
063 Rapport de recherche	EURO	500	1	500
068 Revendication à partir de la 11ème	EURO	40	4	160
Total	EURO			686

15 ANNOTATION	
16 DATE ET SIGNATURE	
Signé numériquement par	Subject: FR, OMNIPAT SAS, Andre MARCHAND; Issuer: FR, INPI, INPI-EN-LIGNE 1.1
Date	28 May 2014
Signataire	Mandataire

Conformément aux dispositions de la loi n° 78-17 du 6.01.1978 modifiée relative à l'informatique, aux fichiers et aux libertés, vous bénéficiez d'un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI. Les données à caractère personnel que vous êtes tenu(e) de nous fournir dans ce formulaire sont exclusivement utilisées pour identifier le titulaire de la demande et son éventuel mandataire.

15 rue des Minimes - CS 50001 - 92677 Courbevoie Cedex

Pour vous informer : INPI Direct 0820 210 211

Pour déposer par télécopie : 33 (0)1 56 65 86 00

**DÉSIGNATION D'INVENTEUR(S)**

<b>Vos références pour ce dossier</b>	100880FR
<b>N° D'ENREGISTREMENT NATIONAL</b>	
<b>TITRE DE L'INVENTION</b>	
Titre	PROCEDE DE PROGRAMMATION D'UNE CELLULE MEMOIRE NON VOLATILE COMPRENANT UNE GRILLE DE TRANSISTOR DE SELECTION PARTAGEE
<b>LE(S) DEMANDEUR(S)</b>	STMICROELECTRONICS SA
<b>DÉSIGNE(NT) EN TANT QU'INVENTEUR(S)</b>	
<b>INVENTEUR 1</b>	
Nom	LA ROSA
Prénom	Francesco
Rue	Chemin de Mevouillon
Code postal et ville	13790 ROUSSET
Pays	FR
<b>INVENTEUR 2</b>	
Nom	NIEL
Prénom	Stephan
Rue	24 Chemin Lou Valadet
Code postal et ville	13850 GREASQUE
Pays	FR
<b>INVENTEUR 3</b>	
Nom	REGNIER
Prénom	Arnaud
Rue	26 lotissement les jardins du moulin
Code postal et ville	84300 LES TAILLADES
Pays	FR
<b>DATE ET SIGNATURE</b>	
Signé numériquement par	Subject: FR, OMNIPAT SAS, Andre MARCHAND; Issuer: FR, INPI, INPI-EN-LIGNE 1.1

Date	28 May 2014
Signataire	Mandataire

Conformément aux dispositions de la loi n° 78-17 du 6.01.1978 modifiée relative à l'informatique, aux fichiers et aux libertés, vous bénéficiez d'un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI. Les données à caractère personnel que vous êtes tenu(e) de nous fournir dans ce formulaire sont exclusivement utilisées pour identifier le titulaire de la demande et son éventuel mandataire.



## BREVET D'INVENTION

### CERTIFICAT D'UTILITE

#### Réception électronique de la soumission

Il est certifié par la présente qu'une demande de brevet (ou d'un certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été automatiquement attribués.

Numéro de demande	1454839	
Numéro de soumission	1000242066	
Date de réception	28 mai 2014	
Vos références	100880FR	
Demandeur	STMICROELECTRONICS SA	
Pays	FR	
Titre de l'invention	PROCEDE DE PROGRAMMATION D'UNE CELLULE MEMOIRE NON VOLATILE COMPRENANT UNE GRILLE DE TRANSISTOR DE SELECTION PARTAGEE	
Documents envoyés	package-data.xml application-body.xml requetefr.pdf (3 p.) comment.pdf (1 p.) design.pdf (2 p.) textebrevet.pdf (29 p.)	requetefr.xml fr-fee-sheet.xml validation-log.xml indication-bio-deposit.xml fr-office-specific-info.xml dessins.pdf (6 p.)
Déposé par	EMAIL=contact@omnipat.fr,CN=Andre MARCHAND,O=OMNIPAT SAS,C=FR	
Méthode de dépôt	Dépôt électronique	
Date et heure de réception électronique	28 mai 2014, 15:13:57 (CEST)	
Empreinte officielle du dépôt	0B:D6:1B:23:CD:CC:37:96:F7:D8:87:F5:42:30:C9:5E:F9:03:8B:62	

---

/INPI, section dépôt/

PROCEDE DE PROGRAMMATION D'UNE CELLULE MEMOIRE NON  
VOLATILE COMPRENANT UNE GRILLE DE TRANSISTOR DE  
SELECTION PARTAGEE

La présente invention concerne les mémoires non volatiles de type effaçables et programmables électriquement EEPROM (Electrically Erasable Programmable Read-Only Memory). La présente invention concerne plus particulièrement une mémoire non volatile, comprenant des cellules mémoire  
5 comportant chacune un transistor à grille flottante et une grille de transistor de sélection partagée avec une cellule mémoire adjacente dite "jumelle".

La figure 1 est le schéma électrique de cellules mémoire C11, C12 du type précité, appartenant à deux pages adjacentes  $P_i$ ,  $P_{i+1}$  d'un plan mémoire. Les cellules mémoire C11, C12 sont accessibles en lecture et  
10 écriture par l'intermédiaire d'une ligne de bit BL, d'une ligne de mot  $WL_{<i,i+1>}$  et de lignes de contrôle de grille  $CGL_{<i>}$ ,  $CGL_{<i+1>}$ . Chaque cellule mémoire comporte un transistor à grille flottante, respectivement FGT11, FGT12. La grille de contrôle CG du transistor FGT11 est connectée à la ligne de contrôle de grille  $CGL_{<i>}$  par l'intermédiaire d'un contact C4. La  
15 grille de contrôle CG du transistor FGT12 est connectée à la ligne de contrôle de grille  $CGL_{<i+1>}$  par l'intermédiaire d'un contact C4. Les régions de drain des transistors FGT11, FGT12 sont connectées à une ligne de bit BL par l'intermédiaire de contacts C1. La grille verticale SGC est connectée à une ligne de mot  $WL_{<i,i+1>}$  commune aux deux cellules mémoire par  
20 l'intermédiaire d'un contact C3. Chaque transistor à grille flottante FGT11, FGT12 a par ailleurs sa borne de source reliée à une ligne de source SL par l'intermédiaire d'un transistor de sélection ST11, ST12 respectif. Les transistors de sélection ST11, ST12 partagent une même grille de contrôle de sélection SGC. Les deux cellules mémoire C11, C12 sont dites "jumelles"  
25 du fait qu'elles partagent la même grille de contrôle de sélection SGC et la même ligne de bit BL. Les régions de canal CH1, CH2 des transistors FGT11, FGT12, ST11, ST12 sont au potentiel électrique du caisson PW, comme représenté par des traits pointillés. Enfin, les régions de source des transistors ST11, ST12 sont reliées électriquement à la ligne de source SL.

Celle-ci peut être connectée par l'intermédiaire d'un contact C5 à une ligne de source générale réalisée dans un niveau de métal.

5 Chaque grille de contrôle commune SGC est préférentiellement une grille verticale enterrée dans un substrat recevant le plan mémoire, la ligne de source SL étant également une ligne enterrée. Les grilles de contrôle communes SGC, ou grilles de sélection de cellules mémoire jumelles, sont connectées à la ligne de mot  $WL\langle i, i+1 \rangle$ .

10 De telles cellules mémoire sont effacées ou programmées par le canal, c'est-à-dire en portant le substrat à une tension d'effacement positive ou de programmation négative provoquant l'extraction de charges électriques de leur grilles flottantes ou l'injection de charges électriques dans leurs grilles flottantes, par effet Fowler-Nordheim.

15 Plus particulièrement, l'effacement d'une cellule mémoire est assuré en combinant la tension positive appliquée au substrat à une tension négative appliquée à la grille de contrôle CG de son transistor à grille flottante, pendant que la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle reçoit une tension d'inhibition d'effacement positive permettant d'éviter qu'elle soit simultanément effacée.

20 De même, la programmation d'une cellule mémoire est assurée en combinant une tension négative appliquée à la ligne de bit BL et au substrat PW à une tension positive appliquée à la grille de contrôle CG de son transistor à grille flottante, pendant que la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle reçoit une tension d'inhibition de programmation négative permettant d'éviter qu'elle soit simultanément programmée.

25 Enfin, la lecture d'une cellule mémoire est assurée en appliquant une tension positive à la grille de contrôle de son transistor à grille flottante, ainsi qu'une tension positive à la ligne de bit correspondante, pendant que la cellule mémoire jumelle, qui est connectée à la même ligne de bit, reçoit sur sa grille de contrôle une tension d'inhibition de lecture négative permettant d'éviter qu'elle soit simultanément lue.

30 Cette structure de plan mémoire ayant des cellules mémoire jumelles comprenant une grille de sélection verticale partagée et enterrée dans le substrat, présente l'avantage d'être d'un faible encombrement.

Cette structure classique de plan mémoire et de cellule mémoire nécessite également de prévoir un décodeur de ligne de mot capable d'appliquer une tension de lecture positive à une cellule mémoire devant être lue, tout en appliquant une tension d'inhibition de lecture négative à sa  
5 cellule mémoire jumelle, comme cela a été rappelé plus haut.

Il pourrait donc être souhaité de simplifier le décodeur de ligne. Il pourrait également être souhaité d'optimiser les opérations de lecture et de programmation des cellules mémoire, notamment sur le plan de la consommation électrique.

10 Des modes de réalisation concernent un procédé de commande d'une mémoire non volatile sur substrat semi-conducteur, comprenant : au moins une ligne de bit, au moins deux lignes de contrôle de grille, au moins une ligne de mot, au moins une paire de cellules mémoire jumelles, comportant une première cellule mémoire comprenant un premier transistor à grille  
15 flottante ayant une grille de contrôle reliée à une première ligne de contrôle de grille, une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à une ligne de source par l'intermédiaire d'un premier transistor de sélection ayant une grille de contrôle de sélection reliée à la ligne de mot, et une seconde cellule mémoire comportant un  
20 second transistor à grille flottante ayant une grille de contrôle reliée à la seconde ligne de contrôle de grille, une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à la ligne de source par l'intermédiaire d'un second transistor de sélection partageant avec le premier transistor de sélection la grille de contrôle de sélection. Selon  
25 un mode de réalisation, le procédé comprend des étapes consistant à : programmer la première cellule mémoire par injection d'électrons chauds, par l'intermédiaire d'un courant de programmation traversant la première cellule mémoire, en appliquant une première tension positive à la ligne de bit et une seconde tension positive à la première ligne de contrôle de grille, et  
30 pendant la programmation de la première cellule mémoire, appliquer à la seconde ligne de contrôle de grille une troisième tension positive apte à faire passer un courant de programmation dans la seconde cellule mémoire, sans faire passer la seconde cellule mémoire dans un état programmé.

Selon un mode de réalisation, la troisième tension est choisie de  
35 manière à assurer une programmation douce de la seconde cellule mémoire,

afin que la seconde cellule mémoire ne puisse pas présenter une tension de seuil négative quel que soit son état programmé ou effacé.

Selon un mode de réalisation, le procédé comprend des étapes de lecture d'une cellule mémoire de la paire de cellules mémoire, consistant à :

5 appliquer une tension de lecture positive à la grille de contrôle du transistor à grille flottante de la cellule mémoire devant être lue, et appliquer une tension nulle à la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle.

Selon un mode de réalisation, le procédé comprend une étape

10 d'effacement consistant à appliquer simultanément une tension d'effacement aux grilles de contrôle des transistors à grille flottante des première et seconde cellules mémoire.

Selon un mode de réalisation, l'opération de programmation de la première cellule mémoire comprend des étapes de vérification de l'état

15 déplété de la paire de cellules mémoire, et de réalisation d'une programmation de la première cellule mémoire et d'une programmation douce de la seconde cellule mémoire tant que l'une ou l'autre des première et seconde cellules mémoire est à l'état déplété, suivies d'étapes de vérification de l'état programmé de la première cellule mémoire, et de

20 programmation de la première cellule mémoire tant que celle-ci n'est pas à l'état programmé.

Des modes de réalisation concernent également une mémoire non volatile sur substrat semi-conducteur, comprenant : au moins une ligne de bit, au moins deux lignes de contrôle de grille, au moins une ligne de mot, au

25 moins une paire de cellules mémoire jumelles, comportant une première cellule mémoire comprenant un premier transistor à grille flottante ayant une grille de contrôle reliée à une première ligne de contrôle de grille, une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à une ligne de source par l'intermédiaire d'un premier

30 transistor de sélection ayant une grille de contrôle de sélection reliée à la ligne de mot, et une seconde cellule mémoire comportant un second transistor à grille flottante ayant une grille de contrôle reliée à la seconde ligne de contrôle de grille, une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à la ligne de source par

35 l'intermédiaire d'un second transistor de sélection partageant avec le premier

transistor de sélection la grille de contrôle de sélection, et des moyens pour programmer la première cellule mémoire indépendamment de la seconde cellule mémoire et réciproquement. Selon un mode de réalisation, la mémoire est configurée pour : programmer la première cellule mémoire par  
5 injection d'électrons chauds, par l'intermédiaire d'un courant de programmation traversant la première cellule mémoire, en appliquant une première tension positive à la ligne de bit et une seconde tension positive à la première ligne de contrôle de grille, et pendant la programmation de la première cellule mémoire, appliquer à la seconde ligne de contrôle de grille  
10 une troisième tension positive apte à faire passer un courant de programmation dans la seconde cellule mémoire, sans faire passer la seconde cellule mémoire dans un état programmé.

Selon un mode de réalisation, la troisième tension est choisie de manière à assurer une programmation douce de la seconde cellule mémoire,  
15 afin que la seconde cellule mémoire ne puisse pas présenter une tension de seuil négative quel que soit son état programmé ou effacé.

Selon un mode de réalisation, la mémoire comprend un décodeur de ligne de mot relié à la ligne de mot et aux lignes de contrôle de grille, le décodeur étant configuré pour, pendant la lecture d'une cellule mémoire de  
20 la paire de cellules mémoire jumelles, appliquer une tension de lecture positive à la grille de contrôle du transistor à grille flottante de la cellule mémoire devant être lue, et appliquer une tension nulle à la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle.

Selon un mode de réalisation, la grille de contrôle de sélection est une  
25 grille verticale enterrée présentant pour le premier transistor de sélection une région de canal vertical s'étendant en regard d'une première face de la grille de contrôle verticale enterrée, et pour le second transistor de sélection une région de canal vertical qui s'étendant en regard d'une seconde face de la grille de contrôle verticale enterrée, et en face de la région de canal du  
30 premier transistor de sélection.

Selon un mode de réalisation, les cellules mémoire de la paire de cellules mémoire jumelles partagent un unique transistor de sélection.

Selon un mode de réalisation, la paire de cellules mémoire comprend : une première région dopée s'étendant le long d'un premier bord  
35 supérieur de la grille enterrée, formant une région de drain du transistor de

sélection et une région de source du transistor à grille flottante, d'une première cellule mémoire de la paire de cellules mémoire, une seconde région dopée s'étendant le long d'un second bord supérieur de la grille enterrée opposé au premier bord supérieur, formant une région de drain du transistor de sélection et une région de source du transistor à grille flottante, d'une seconde cellule mémoire de la paire de cellules mémoire, et une troisième région dopée s'étendant le long de deux bords inférieurs opposés de la grille enterrée, formant une région de source commune du transistor de sélection de la première cellule mémoire et du transistor de sélection de la seconde cellule mémoire, chaque transistor de sélection de la paire de cellules mémoire présentant une région de canal verticale s'étendant d'un côté respectif de la grille enterrée, entre la première ou la seconde région dopée et la troisième région dopée.

Selon un mode de réalisation, la mémoire comprend un décodeur de ligne de mot relié à la ligne de mot et aux lignes de contrôle de grille, le décodeur étant configuré pour, pendant l'effacement de cellules mémoire, appliquer une tension d'effacement simultanément aux première et seconde lignes de contrôle de grille.

Selon un mode de réalisation, la mémoire est configurée pour, pendant l'opération de programmation de la première cellule mémoire : vérifier l'état déplété de la paire de cellules mémoire, et programmer la première cellule mémoire et appliquer simultanément une programmation douce à la seconde cellule mémoire, tant que l'une ou l'autre des première et seconde cellules mémoire est à l'état déplété, et vérifier l'état programmé de la première cellule mémoire, et programmer la première cellule mémoire tant que celle-ci n'est pas à l'état programmé.

Selon un mode de réalisation, la mémoire comprend une rangée de paires de cellules mémoire jumelles connectées à la ligne de mot et aux lignes de contrôle de grille, la mémoire étant configurée pour programmer un mot formé par plusieurs cellules mémoire de la rangée, connectées à l'une des deux lignes de contrôle de grilles, et pour, pendant la programmation du mot : effectuer une opération de lecture de la rangée de paires de cellules mémoire jumelles et de stockage des mots lus, effectuer une opération d'effacement de la rangée de paires de cellules mémoire jumelles lues, effectuer une programmation par mot des cellules mémoire de la rangée de

5 paires de cellules mémoire, comprenant une programmation de la première  
cellule mémoire des paires de cellules mémoire de la rangée, en fonction des  
mots stockés et éventuellement du mot à écrire, et simultanément effectuer  
une programmation douce de secondes cellules mémoire jumelles des  
5 premières cellules mémoire programmées, et effectuer une seconde  
opération de programmation de la seconde cellule mémoire des paires de  
cellules mémoire de la rangée, en fonction des mots stockés et  
éventuellement du mot à écrire, et simultanément effectuer une  
programmation douce des premières cellules mémoire jumelles des  
10 secondes cellules mémoire programmées.

Des exemples de réalisation de l'invention seront décrits dans ce qui  
suit, à titre non limitatif en relation avec les figures jointes parmi lesquelles :

15 la figure 1 décrite précédemment, est un schéma électrique des  
cellules mémoire de la figure 1,

la figure 2 est une vue en coupe schématique d'une paire de cellules  
mémoire jumelles partageant une grille verticale commune de transistors de  
sélection,

20 la figure 3 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 1, illustrant un procédé de programmation d'une cellule  
mémoire,

la figure 4 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 1, illustrant un procédé de lecture d'une cellule  
mémoire,

25 la figure 5 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 2, illustrant un procédé de programmation d'une cellule  
mémoire, selon un mode de réalisation,

30 la figure 6 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 2, illustrant un procédé de lecture d'une cellule  
mémoire, selon un mode de réalisation,

la figure 7 est une vue en coupe schématique de la paire de cellules  
mémoire de la figure 2, illustrant un procédé d'effacement de la paire de  
cellules mémoire, selon un mode de réalisation,

35 la figure 8 représente des courbes de distribution du nombre de  
cellules mémoire d'une mémoire, respectivement à différents états, en

fonction de la tension de seuil du transistor à grille flottante des cellules mémoire,

la figure 9 représente schématiquement des circuits d'un plan mémoire dans lequel le procédé de programmation peut être mis en œuvre,  
5 selon un mode de réalisation,

la figure 10 représente des étapes exécutées durant la programmation d'une cellule mémoire,

la figure 11 est un schéma électrique d'une paire de cellules mémoire partageant un même transistor de sélection.

10 La figure 2 est une vue en coupe schématique de deux cellules mémoire C11, C12 jumelles, comportant une grille verticale SGC de transistor de sélection, commune aux deux cellules mémoire. Les cellules mémoire C11, C12 sont réalisées sur un substrat PW de type de conductivité P. Le substrat est formé dans une plaque de semi-conducteur appelée  
15 "wafer" WF. Le caisson PW est isolé par rapport au reste du wafer WF par une couche d'isolation NISO dopée N qui entoure la totalité du caisson. Chaque cellule mémoire C11, C12 comprend un transistor à grille flottante FGT11, FGT12 et un transistor de sélection ST11, ST12. Chaque transistor à grille flottante FGT11, FGT12 comprend une région de drain n1, une région  
20 de source n2, une grille flottante FG, une grille de contrôle d'état CG, et une région de canal CH1 s'étendant sous la grille flottante FG entre les régions de drain n1 et de source n2. La grille verticale de sélection SGC est enterrée dans le substrat PW et isolée de ce dernier l'intermédiaire d'une couche isolante D3, par exemple en oxyde SiO<sub>2</sub>, formant l'oxyde de grille des transistors de sélection ST11, ST12. La région n2 s'étend le long d'un bord  
25 supérieur de la grille verticale enterrée SGC. La grille SGC atteint une région de source n3 commune aux transistors ST11, ST12, en contact avec la couche NISO qui forme ainsi une ligne de source SL des transistors S11, ST12. La région n3 s'étend le long de deux bords inférieurs de la grille  
30 verticale SGC. Chaque transistor de sélection ST11, ST12 comprend ainsi une région de drain commune à la région de source n2 du transistor à grille flottante FGT11, FGT12 de sa cellule, la région de source n3 commune, et une région de canal CH2 s'étendant verticalement le long de la grille SGC entre les régions de drain n2 et de source n3. A noter que la région n3 peut  
35 être omise si la grille SGC atteint la couche NISO.

Les régions n1, n2, n3 sont généralement formées par dopage N du substrat PW. Les grilles flottantes FG sont généralement en silicium polycristallin de niveau 1, ou "poly1", et sont formées sur le substrat PW par l'intermédiaire d'une couche d'oxyde tunnel D1. Les grilles de contrôle d'état  
5 CG sont généralement en silicium polycristallin de niveau 2, ou "poly2". Chaque grille de contrôle d'état CG est formée sur l'une des grilles flottantes FG préalablement recouverte d'une couche d'oxyde D2. La grille SGC est formée dans une tranchée remplie de silicium polycristallin de niveau 0, ou "poly0", isolé du substrat par la couche d'oxyde D3. Selon le procédé de  
10 fabrication retenu, la tranchée conductrice formant la grille SGC peut ne présenter aucune discontinuité électrique. Elle peut alors être utilisée directement comme ligne de mot WL.

Les deux cellules mémoire C11, C12 sont recouvertes par un matériau isolant diélectrique D0, qui peut également être de l'oxyde SiO2.  
15 Les régions de drain n1 des transistors FGT11, FGT12 sont reliées à une même ligne de bit BL par l'intermédiaire d'un contact C1 traversant l'isolant D0.

Le tableau PG1 en Annexe 1 décrit en relation avec la figure 3, des valeurs de tensions appliquées aux cellules mémoire lors de la programmation de la cellule mémoire C11. La colonne "Réf." décrit la référence attribuée à chaque valeur de tension et la colonne "Ex." décrit des exemples de valeurs de tensions. "GND" est le potentiel de masse, à savoir le potentiel du wafer WF, généralement 0 V. Lors de la programmation par électrons chauds de la cellule mémoire C11, les deux transistors FGT11,  
25 ST11 coopèrent en vue de l'injection de charges électriques dans la grille flottante FG. Le transistor de sélection ST11 présente un canal CH2 conducteur dans lequel se forme un courant I1 (représenté par des flèches sur la figure 3) comprenant des électrons à haute énergie cinétique, dits "électrons chauds". Lorsque le courant I1 atteint le canal conducteur CH1 du transistor à grille flottante FGT11, se forme une zone d'injection où certains électrons à haute énergie sont injectés dans la grille flottante FG sous l'effet d'un champ électrique transversal créé par la tension appliquée à la grille de contrôle CG. Le transfert de charges du substrat PW vers la grille flottante FG (programmation) est donc effectué en passant par le transistor de  
30 sélection ST11, et en appliquant une différence de potentiel élevée (ici 10 V)

sur la grille flottante, permettant ce transfert de charges. Il peut être noté que dans la cellule jumelle C12, un courant I2 (représenté par des flèches sur la figure 3) circule également dans le canal CH1 du transistor FGT12 et dans le canal CH2 du transistor ST12. Le courant I2 est insuffisant pour programmer la cellule C12 du fait que la grille de contrôle CG du transistor FGT12 reçoit une tension insuffisante (GND) pour former un champ électrique capable d'injecter des électrons dans la grille flottante FG de ce transistor. La présence du courant I2, non négligeable, entraîne donc une consommation électrique inutile.

10 Le tableau ER1 en Annexe 1 fournit des valeurs de tensions appliquées aux cellules mémoire lors de l'effacement de la cellule mémoire C11. L'effacement est effectué sans passer par le transistor de sélection ST11 qui reste bloqué, en appliquant un champ électrique élevé (ici 10 V) entre la source et la grille flottante FG de la cellule mémoire à effacer. Ainsi, 15 les électrons sont extraits de la grille flottante par effet tunnel Fowler-Nordheim. L'effacement de la cellule mémoire jumelle C12 est empêché en appliquant sur la grille de contrôle du transistor FGT12 une tension de non effacement V<sub>ner</sub> (par exemple 2,5 V). L'effacement de cellules mémoire est généralement réalisé par page de cellules mémoire. Or toutes les cellules 20 mémoire d'une page ne présentent pas des tensions de seuil d'effacement identiques, notamment en raison de variations d'épaisseur d'oxyde de grille d'une cellule mémoire à l'autre. Il en résulte que les cellules mémoire ne s'effacent pas à la même vitesse, et que certaines cellules mémoire se retrouvent dans un état "sur-effacé" ("over-erased") dans lequel leur grille flottante FG se trouve à l'état déplété. Un tel état n'est pas souhaitable car il 25 peut générer des erreurs de lecture.

Le tableau RD1 en Annexe 1 indique en relation avec la figure 4 des valeurs de tensions appliquées aux cellules mémoire lors de la lecture de la cellule mémoire C11. Ainsi, pendant la lecture de la cellule mémoire C11, la grille de sélection commune SGC des deux transistors de sélection ST11 et 30 ST12 reçoit la tension de sélection en lecture V<sub>on</sub>. Les transistors ST11, ST12 sont donc passants. Un courant (représenté par des flèches sur la figure 4) circule dans la région de canal CH1 du transistor FGT11 et dans la région de canal CH2 du transistor ST11. Ce courant est représentatif de la tension de seuil du transistor FGT11 qui est elle-même représentative d'un 35

état programmé ou effacé du transistor, lequel dépend d'une quantité de charges électriques stockées dans sa grille flottante FG. Ce courant est détecté ("sensed") par un amplificateur de lecture ("sense amplifier") non représenté sur la figure 4, qui fournit une donnée binaire mémorisée par la cellule mémoire C11. Ainsi, le transistor de sélection ST12 de la cellule mémoire voisine C12 est également mis dans l'état passant, et son canal CH2 est conducteur. Si le transistor FGT12 est dans un état sur-effacé, il peut être également passant. Il en résulte que la cellule mémoire C11 sera vue passante à la lecture et donc effacée, même si elle est bloquée (programmée). Pour éviter ce phénomène, la tension CGV appliquée à la grille de contrôle du transistor FGT12 peut être fixée à une tension d'inhibition Vinh qui force le transistor FGT12 dans l'état bloqué et l'empêche ainsi de conduire même s'il se trouve dans l'état sur-effacé. Dans le tableau RD1, cette tension est choisie égale -2 V qui est inférieure à la tension de seuil des transistors à grille flottante à l'état effacé. Or la génération d'une telle tension négative entraîne une augmentation de la consommation électrique d'une opération de lecture de la mémoire, et nécessite un circuit de contrôle de la tension de grille CGV plus complexe.

Dans une mémoire de type Flash, il est connu de procéder à une opération de programmation dite "douce" ("soft programming") à la suite d'une opération d'effacement, pour augmenter les tensions de seuil des cellules mémoire effacées et ainsi éviter que certaines cellules mémoire soient dans l'état sur-effacé. Cependant, cette solution augmente nécessairement la consommation électrique de la mémoire et la durée des opérations d'effacement.

La figure 5 représente une paire de cellules mémoire jumelles C11, C12, telle que celle décrite précédemment en référence à la figure 2. Le tableau PG2 en Annexe 1 décrit en relation avec la figure 5, des valeurs de tensions appliquées aux cellules mémoire C11, C12, lors de la programmation de la cellule mémoire C11. La colonne "Réf." décrit la référence attribuée à chaque valeur de tension et la colonne "Ex." décrit des exemples de valeurs de tensions. Selon un mode de réalisation, une programmation douce est appliquée à la cellule mémoire C12 durant une opération de programmation de la cellule mémoire jumelle C11 de la paire de cellules mémoire C11, C12. Cette programmation douce est effectuée en

soumettant la grille de contrôle d'état CG de la cellule mémoire C12 à une tension  $V_{sp}$  positive inférieure à la tension de programmation appliquée à la grille de contrôle d'état CG de la cellule mémoire C11. La tension  $V_{sp}$  établie à une valeur suffisante pour rendre conducteur le canal CH1 du transistor FGT12 et établir un champ électrique capable de transférer quelques charges électriques dans la grille flottante FG de ce transistor (le transistor de sélection ST12 étant passant tout comme le transistor ST11). Toutefois, la quantité de charges électriques transférées dans la grille flottante est insuffisante pour faire passer la cellule mémoire C12 à l'état programmé. Le courant  $I_2$  traversant les canaux CH1, CH2 des transistors FGT12, ST12 de la cellule mémoire C12 lors d'une programmation classique de la cellule mémoire jumelle C11 (figure 3) est donc exploité dans la figure 5 pour effectuer une programmation douce de la cellule C12.

Le tableau RD2 en Annexe 1 décrit en relation avec la figure 6 des valeurs de tensions appliquées aux cellules mémoire lors de la lecture de la cellule mémoire C11. Pendant la lecture de la cellule mémoire C11, les grilles des deux transistors de sélection ST11 et ST12 reçoivent la tension de sélection en lecture  $V_{on}$ . Les transistors ST11, ST12 sont donc passants. Un courant  $I_3$  (représenté par des flèches sur la figure 5) circule dans la région de canal CH1 du transistor FGT11 et dans la région de canal CH2 du transistor ST11. Ainsi, le transistor de sélection ST12 de la cellule mémoire voisine C12 est mis dans l'état passant.

Selon un mode de réalisation, la tension  $CGV$  appliquée à la grille de contrôle du transistor FGT12 n'est pas fixée à la tension d'inhibition  $V_{inh}$ , mais à la tension  $V_{nr}$  qui est par exemple égale à la tension  $GND$ . A cette valeur de tension, le transistor FGT12 ne peut être passant que s'il est dans un état "sur-effacé" ("over-erased"). Or si la cellule mémoire C11 a été programmée, la cellule mémoire C12 a subi une programmation douce, et donc ne peut pas être sur-effacée, et si la cellule mémoire C11 est à l'état effacé ou sur-effacé, la cellule mémoire C12 l'est aussi. Aux tensions  $V_{rd}$  et  $V_{nr}$ , les transistors FGT11, FGT12 des cellules C11, C12 sont tous les deux soit bloqués, soit passants. Par conséquent, la lecture de la cellule C11 ne peut pas être perturbée par l'état éventuellement sur-effacé de la cellule jumelle C12.

Le tableau ER2 en Annexe 1 indique en relation avec la figure 7, des valeurs de tensions appliquées aux cellules mémoire jumelles C11, C12 lors d'une opération d'effacement de ces dernières. Selon un mode de réalisation, les grilles de contrôle d'état CG des deux cellules mémoire jumelles reçoivent la tension  $V_{er}$  ( $=-10\text{ V}$  dans l'exemple de la figure 7 et du tableau ER2). Les deux cellules mémoire C11, C12 sont donc effacées en même temps. A noter qu'une telle opération d'effacement est effectuée systématiquement avant une opération de programmation d'une ou des deux cellules mémoire jumelles C11, C12.

La figure 8 représente des courbes CV1, CV2, CV3 de distribution du nombre N de cellules mémoire d'une mémoire en fonction d'une tension de seuil  $V_t$  de leurs transistors à grille flottante respectifs. Les courbes CV1, CV2, CV3 présentent la forme de gaussiennes. La courbe CV1 centrée sur  $-0,5\text{ V}$  environ, correspond aux cellules mémoires ayant subi une opération d'effacement. La courbe CV2 centrée sur  $1\text{ V}$  environ, correspond aux cellules mémoire ayant subi une programmation douce. La courbe CV3 centrée sur  $5\text{ V}$  environ, correspond aux cellules mémoire à l'état programmé. Si l'on applique la tension  $V_{nr}$  sensiblement égale à la tension de masse GND, aux grilles de contrôle de sélection SCG des cellules mémoire jumelles de cellules mémoire à lire, les cellules mémoire ayant des tensions de seuil  $V_t$  négatives, c'est-à-dire qui sont sur-effacées (courbe CV1), sont passantes. Il en résulte que les cellules mémoires lues (C11) qui sont jumelles de telles cellules mémoire (C12) sont considérées comme des cellules mémoire à l'état effacé. La programmation douce qui est effectuée sur une cellule mémoire (C12) lors de la programmation de la cellule mémoire jumelle (C11), permet de décaler la courbe CV1 de manière à obtenir la courbe CV2. Comme illustré sur la figure 8, ce décalage est effectué de manière à ce qu'aucune cellule mémoire de la mémoire considérée, même celles qui étaient à l'état sur-effacé n'ait une tension de seuil  $V_t$  inférieure à la tension  $V_{nr}$ , tout en évitant que des cellules mémoire ayant subi une programmation douce aient une tension de seuil supérieure à la tension de lecture  $V_{rd}$  ( $= 2\text{ V}$  dans l'exemple du tableau RD2 et de la figure 8).

La programmation douce ainsi réalisée n'est effectuée que sur les cellules mémoire associées à une cellule mémoire jumelle à programmer, et

simultanément à la programmation de cette dernière. Il n'en résulte aucune pénalisation du temps nécessaire aux opérations d'effacement et de programmation, et une augmentation de consommation électrique limitée puisque celle-ci n'est due qu'aux programmations douces qui concernent  
5 seulement les cellules mémoire jumelles de cellules mémoire devant être programmées et qui exploitent un courant présent lors de la programmation de la cellule jumelle. En revanche, le fait de ne plus avoir à générer la tension négative d'inhibition  $V_{inh}$  permet de réduire la consommation électrique des opérations de lecture. En comparaison d'une programmation  
10 douce effectuée classiquement à la suite d'un effacement de cellules mémoire, on économise une programmation douce de paires de cellules mémoire devant rester à l'état effacé.

Il peut être noté que la lecture d'une cellule mémoire appartenant à une paire de cellules mémoire effacées n'est pas perturbée par la présence  
15 dans cette paire d'une cellule mémoire à l'état sur-effacé. En effet, si la cellule mémoire lue est à l'état sur-effacé, elle sera conductrice à la tension de lecture  $V_{rd}$  et donc vue comme une cellule effacée. Si la cellule mémoire jumelle de la cellule mémoire lue est à l'état sur-effacé, les deux cellules mémoire de la paire seront conductrices, respectivement aux tensions de  
20 lecture  $V_{rd}$  et  $V_{nr}$ . La cellule mémoire lue sera donc considérée à l'état effacé.

La figure 9 représente une mémoire MEM1 effaçable par page comprenant un plan mémoire réalisé dans un caisson PW. Le plan mémoire comprend  $M \times N$  cellules mémoire formant des paires de cellules mémoire  
25 C11, C12, chaque cellule mémoire C11, C12 comprenant un transistor à accumulation de charges FGT11, FGT12 en série avec un transistor de sélection ST11, ST12. Les transistors de sélection ST11, ST12 de chaque paire partagent une grille de sélection commune SGC. A noter que les deux transistors ST11, ST12 à grille commune de chaque paire de cellules  
30 mémoire de la mémoire MEM1 peuvent être remplacés par l'unique transistor de sélection ST3 (figure 2).

La mémoire MEM1 comprend  $M$  pages  $P_{<i>}$  comportant chacune une rangée de  $N$  cellules mémoire, et une ligne de contrôle de grille  $CGL_{<i>}$ . La figure 9 montre deux premières pages  $P_{<0>}$ ,  $P_{<1>}$  de rangs 0 et 1, et deux  
35 pages  $P_{<i>}$ ,  $P_{<i+1>}$  de rangs  $i$  et  $i+1$ . La mémoire comporte également  $N$

lignes de bit  $BL\langle j,k \rangle$ , chacune étant reliée à une cellule mémoire de même rang dans chaque page. Les lignes de bit  $BL\langle j,k \rangle$  peuvent être regroupées en colonnes de mot  $k$  de  $m+1$  lignes de bit,  $j$  étant compris entre 0 et  $m$ . La figure 9 montre les lignes de bit de deux colonnes de mot  $k$  et  $k+1$ . Chaque

5 ligne de bit  $BL\langle j,k \rangle$  est connectée aux régions de drain  $n1$  des transistors à grille flottante FGT de cellules mémoire de même rang  $j,k$ . Chaque ligne de contrôle de grille  $CGL\langle i \rangle$  est connectée aux grilles de contrôle d'état CG des transistors FGT11, FGT12 de cellules mémoire de même rang  $i$ . Les régions de source  $n3$  des transistors de sélection ST11, ST12 sont connectées à la

10 couche NISO qui entoure le caisson PW.

La mémoire MEM1 comporte également des lignes de contrôle  $WL\langle i,i+1 \rangle$  des transistors de sélection ST11, ST12, qui sont connectées aux grilles de sélection communes SGC des transistors de sélection des cellules mémoire de deux pages jumelles  $P\langle 0 \rangle$ - $P\langle 1 \rangle$ ,  $P\langle i \rangle$ - $P\langle i+1 \rangle$ . Ainsi, chaque

15 ligne de contrôle  $WL\langle i,i+1 \rangle$  de rang  $i,i+1$  est associée aux deux pages  $P\langle i \rangle$ ,  $P\langle i+1 \rangle$  jumelles de rangs  $i$  et  $i+1$  et contrôle les transistors de sélection ST11, ST12 des cellules mémoire de ces deux pages jumelles.

Les tensions appliquées aux diverses lignes de contrôle  $BL\langle j,k \rangle$ ,  $CGL\langle i \rangle$ ,  $WL\langle i,i+1 \rangle$  du plan mémoire sont fournies par des organes de la

20 mémoire en fonction d'une adresse d'une page à effacer ou d'un groupe de cellules mémoire à lire ou à programmer. Ces organes comprennent :

- un décodeur de colonne CDEC, qui relie le multiplexeur MUX aux différentes lignes de bit.
- des commutateurs PGSW qui appliquent aux différentes lignes de bit

25  $BL\langle j,k \rangle$  connectées aux cellules mémoire d'un mot à programmer  $B0$ - $Bm$ , via le multiplexeur MUX, les tensions  $BLV\langle j,k \rangle$  appropriées pendant la programmation des cellules mémoire,
- un circuit pilote de ligne de mot WLDC qui applique aux différentes lignes de mots  $WL\langle i,i+1 \rangle$  les tensions  $SV\langle i,i+1 \rangle$  destinées aux grilles de sélection communes SGC des transistors de sélection ST11, ST12, et qui applique

30 aux différentes lignes de contrôle de grille  $CGL\langle i \rangle$  les tensions de contrôle de grille  $CGV\langle i \rangle$  des transistors à grille flottante FGT11, FGT12,
- un interrupteur de ligne de source SLS qui applique la tension de ligne de source  $SLV$  à la couche NISO formant un plan de source,

- un interrupteur de caisson PWS qui applique la tension de substrat VB au caisson PW,

- des amplificateurs de lecture SA ("Sense Amplifiers"), qui appliquent aux différentes lignes de bit  $BL_{\langle j,k \rangle}$  via le multiplexeur MUX les tensions BLV $\langle j,k \rangle$  appropriées pendant la lecture de cellules mémoire, et fournissent les bits B0-Bm d'un mot binaire lu dans la mémoire, et

Ces organes sont configurés pour fournir les tensions décrites dans le tableau PG2, et éventuellement dans les tableaux RD2, ER2. En particulier, pendant une opération de programmation, le circuit pilote de ligne de mot WLDC fournit la tension de programmation  $V_{pg}$  et la tension de programmation douce  $V_{sp}$  figurant dans le tableau PG2, aux grilles de contrôle d'état CG des cellules mémoire de la paire de lignes de mot WL $\langle i,i+1 \rangle$  incluant les cellules mémoire programmer. Pendant une opération d'effacement, le circuit pilote de ligne de mot WLDC peut fournir la tension d'effacement  $V_{er}$  aux grilles de contrôle d'état CG des cellules mémoire de pages jumelles P $\langle i \rangle$ -P $\langle i+1 \rangle$ , provoquant l'effacement de toutes les cellules mémoire de ces deux pages jumelles. Pendant une opération de lecture, les amplificateurs de lecture SA fournissent la tension de polarisation de lecture BLV1 figurant dans le tableau RD2.

Ainsi, une opération de programmation d'un mot peut être précédée d'une opération de lecture de la paire de pages jumelles P $\langle i \rangle$ -P $\langle i+1 \rangle$  dans laquelle est situé le mot à écrire, de stockage des mots lus et du mot à écrire par exemple dans des verrous de lignes de bit  $BL_{\langle j,k \rangle}$  ou dans des registres, et d'effacement des pages jumelles P $\langle i \rangle$ -P $\langle i+1 \rangle$ . Les mots des pages jumelles sont ensuite programmés successivement. L'opération de programmation proprement-dite des cellules mémoire d'un mot est effectuée en deux étapes. Lors d'une première étape, la tension de programmation  $V_{pg}$  est appliquée à la ligne de contrôle de grille CGL $\langle i \rangle$  et simultanément, la tension de programmation douce  $V_{sp}$  est appliquée à la ligne de contrôle de grille CGL $\langle i+1 \rangle$ . En parallèle, les lignes de bit  $BL_{\langle j,k \rangle}$  des cellules mémoire devant être programmées du mot sont soumises à la tension BLV2, tandis que les autres lignes de bit restent à la tension GND. Lors d'une seconde étape, la tension de programmation  $V_{pg}$  est appliquée à la ligne de contrôle de grille CGL $\langle i+1 \rangle$ , et simultanément, la tension de programmation douce  $V_{sp}$  est appliquée à la ligne de contrôle de grille CGL $\langle i \rangle$ . En parallèle, les

lignes de bit BL<j,k> des cellules mémoire devant être programmées de la page PG<i+1> sont soumises à la tension BLV2, tandis que les autres lignes de bit restent à la tension GND.

5 Il est à noter que l'application d'une programmation douce à une cellule mémoire déjà programmée ou l'application d'une programmation à une cellule mémoire ayant déjà subi une programmation douce, ne modifie pas significativement la tension de seuil du transistor à grille flottante de cette cellule mémoire par rapport à une cellule mémoire ayant subi seulement une programmation.

10 Selon un mode de réalisation, chaque étape de programmation d'un mot fait l'objet d'opérations de vérification. Ces opérations de vérification comprennent une opération de vérification de l'état déplété des cellules mémoire à programmer, et une opération de vérification de l'état programmé des cellules mémoire ayant subi cette opération. La vérification de l'état  
15 déplété peut être effectuée en appliquant la tension Vnr (= GND dans l'exemple du tableau RD2) à la ligne de contrôle de grille CGL<i> ou CGL<i+1> des cellules mémoire à vérifier et en effectuant une opération de lecture à cette tension. La vérification de l'état de programmation peut être effectuée en appliquant une certaine tension Vpc (figure 8) à la ligne de  
20 contrôle de grille CGL<i> ou CGL<i+1> des cellules mémoire à vérifier et en effectuant une opération de lecture à la tension Vpc. La tension Vpc peut être choisie supérieure à la tension de lecture Vrd et inférieure à la tension de seuil des transistors à grille flottante à l'état programmé.

25 Selon un mode de réalisation, la programmation avec vérification d'une cellule mémoire est effectuée en exécutant les étapes S01 à S09 représentées sur la figure 10. A l'étape S01, une opération de programmation simple est appliquée à la cellule mémoire à programmer, sans appliquer de programmation douce à la cellule mémoire jumelle. La cellule mémoire jumelle peut ainsi recevoir sur sa grille de contrôle CG la  
30 tension Vnp par exemple égale à la tension de masse. A l'étape S02, une opération de vérification de l'état déplété de la cellule mémoire à programmer et de la cellule mémoire jumelle est effectuée. A l'étape S03, si l'une des cellules mémoire jumelles est à l'état déplété, les étapes S04, S05 et S06 sont exécutées, sinon les étapes S07 et S08 sont exécutées. A l'étape S04,  
35 une opération de programmation est appliquée à la cellule mémoire à

programmer et une opération de programmation douce est appliquée à la cellule mémoire jumelle. L'étape S05 consiste en une nouvelle opération de vérification de l'état déplété de la paire de cellules mémoire. A l'étape S06, si l'une ou l'autre des cellules mémoire jumelles est à l'état déplété, les étapes 5 S04, S05 et S06 sont à nouveau exécutées, sinon les étapes S07 et S08 sont exécutées. A l'étape S07, une opération de vérification de l'état de programmé est appliqué à la cellule mémoire à programmer. A l'étape S08, si la cellule mémoire à programmer est à l'état programmé, la programmation de la cellule mémoire est terminée, sinon, les étapes S09, S07 et S08 sont 10 exécutées. A l'étape S09, une opération de programmation simple est appliquée à la cellule mémoire à programmer.

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de diverses variantes de réalisation et diverses applications. En particulier, l'invention ne s'applique pas nécessairement à une mémoire 15 telle que celle représentée sur la figure 9, mais peut s'appliquer à tout circuit comprenant au moins une paire de cellules mémoire jumelles, telle que la paire de cellules mémoire de l'une ou l'autre des figures 1 et 2. La présente invention ne s'applique pas non plus nécessairement à une mémoire effaçable par page, mais peut s'appliquer à une mémoire effaçable par 20 secteur de plusieurs pages, par mot ou encore par bit.

L'opération de programmation incluant une programmation douce (tableau PG2) peut être mise en œuvre dans une mémoire dans laquelle des opérations de lecture conforme au tableau RD1 et d'effacement conforme au tableau ER1 sont mises en œuvre. De même, seule l'une ou l'autre des 25 opérations d'effacement et de lecture conformes aux tableaux ER2 et RD2 peut être mise en œuvre dans une mémoire mettant en œuvre une programmation associée à une programmation douce (tableau PG2) pour programmer une cellule mémoire d'une paire de cellules mémoires jumelles.

Par ailleurs, les tensions de programmation et de programmation douce ne sont pas nécessairement appliquées simultanément, 30 respectivement aux deux cellules mémoire d'une paire de cellules mémoire jumelles.

La présente invention s'applique également à une paire de cellules mémoire jumelles partageant un unique transistor de sélection. La figure 11 35 est un schéma électrique d'une telle paire de cellules mémoire C21, C22. La

paire de cellules mémoire C21, C22 diffère de la paire de cellules mémoire C11, C12 en ce que les transistors de sélection ST11, ST12 sont remplacés par un unique transistor ST3 qu'elles partagent.

## Annexe 1 faisant partie intégrante de la description

### Exemples de valeurs de tensions pendant la lecture d'une cellule mémoire

5

<b><u>RD1</u></b>	<b>Réf.</b>	<b>Ex.</b>	<b>Lecture de la cellule mémoire C11 (figure 5)</b>
BLV	BLV1	1V	Tension de polarisation de la ligne de bit
CGV1	Vrd	2V	Tension de lecture du transistor FGT11
<b>CGV2</b>	<b>Vinh</b>	<b>-2V</b>	<b>Tension d'inhibition du transistor FGT12</b>
VB	VB1	GND	Tension de polarisation du caisson PW
SV	Von	2V	Tension de sélection en lecture des transistors ST11, ST12
SLV	VI1	GND	Tension de polarisation de la ligne de source NISO

<b><u>RD2</u></b>	<b>Réf.</b>	<b>Ex.</b>	<b>Lecture de la cellule mémoire C11 (figure 7)</b>
BLV	BLV1	1V	Tension de polarisation de la ligne de bit
CGV1	Vrd	2V	Tension de grille du transistor FGT11
<b>CGV2</b>	<b>Vnr</b>	<b>GND</b>	<b>Tension de grille du transistor FGT12</b>
VB	VB1	GND	Tension de polarisation du caisson PW
SV	Von	2V	Tension de sélection en lecture des transistors ST11, ST12
SLV	VI1	GND	Tension de polarisation de la ligne de source NISO

**Exemples de valeurs de tensions pendant l'effacement d'une cellule mémoire**

<b>ER1</b>	<b>Réf.</b>	<b>Ex.</b>	<b>Effacement de la cellule mémoire C11</b>
BLV	BLV2	GND	Tension de polarisation de la ligne de bit
CGV1	Ver	-10V	Tension d'effacement du transistor FGT11
<b>CGV2</b>	<b>Vner</b>	<b>2,5V</b>	<b>Tension de non-effacement du transistor FGT12</b>
VB	VB2	5V	Tension de polarisation du caisson PW
SV	SV2	5V	Tension de grille des transistors ST11, ST12
SLV	VI2	5V	Tension de polarisation de la ligne de source NISO

5

<b>ER2</b>	<b>Réf.</b>	<b>Ex.</b>	<b>Effacement des cellules mémoire C11, C12 (Figure 8)</b>
BLV	BLV2	GND	Tension de polarisation de la ligne de bit
CGV1	Ver	-10V	Tension d'effacement du transistor FGT11
<b>CGV2</b>	<b>Ver</b>	<b>-10V</b>	<b>Tension d'effacement du transistor FGT12</b>
VB	VB2	5V	Tension de polarisation du caisson PW
SV	SV2	5V	Tension de grille des transistors ST11, ST12
SLV	VI2	5V	Tension de polarisation de la ligne de source NISO

### Exemples de valeurs de tensions pendant la programmation d'une cellule mémoire

<b>PG1</b>	<b>Réf.</b>	<b>Ex.</b>	<b>Programmation de la cellule mémoire C11 (Figure 4)</b>
BLV	BLV2	4V	Tension de polarisation de la ligne de bit
CGV1	Vpg	10V	Tension de programmation du transistor FGT11
<b>CGV2</b>	<b>Vnp</b>	<b>GND</b>	<b>Tension de non-programmation du transistor FGT12</b>
VB	VB3	GND	Tension de polarisation du caisson PW
SV	Von	2V	Tension de grille des transistors ST11, ST12
SLV	VI3	GND	Tension de polarisation de la ligne de source NISO

5

<b>PG2</b>	<b>Réf.</b>	<b>Ex.</b>	<b>Programmation de la cellule mémoire C11 (Figure 6)</b>
BLV	BLV3	4V	Tension de polarisation de la ligne de bit
CGV1	Vpg	10V	Tension de programmation du transistor FGT11
<b>CGV2</b>	<b>Vsp</b>	<b>5V</b>	<b>Tension de programmation douce du transistor FGT12</b>
VB	VB3	GND	Tension de polarisation du caisson PW
SV	Von	2V	Tension de grille des transistors ST11, ST12
SLV	VI3	GND	Tension de polarisation de la ligne de source NISO

## REVENDICATIONS

1. Procédé de commande d'une mémoire non volatile sur substrat semi-conducteur (PW), comprenant :

au moins une ligne de bit (BL),

au moins deux lignes de contrôle de grille (CGL<i>, CGL<i+1>),

5 au moins une ligne de mot (WL<i>,i+1>), et

au moins une paire de cellules mémoire jumelles (C11, C12, C21, C22), comportant une première cellule mémoire comprenant un premier transistor à grille flottante (FGT11) ayant une grille de contrôle (CG) reliée à une première ligne de contrôle de grille (CGL<i>), une première borne de  
10 conduction reliée à la ligne de bit et une seconde borne de conduction reliée à une ligne de source par l'intermédiaire d'un premier transistor de sélection (ST11, ST3) ayant une grille de contrôle de sélection (SGC) reliée à la ligne de mot, et une seconde cellule mémoire comportant un second transistor à grille flottante (FGT12) ayant une grille de contrôle reliée à la seconde ligne  
15 de contrôle de grille (CGL<i+1>), une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à la ligne de source par l'intermédiaire d'un second transistor de sélection (ST12, ST3) partageant avec le premier transistor de sélection la grille de contrôle de sélection,

20 caractérisé en ce qu'il comprend des étapes consistant à :

programmer la première cellule mémoire (C11, C21) par injection d'électrons chauds, par l'intermédiaire d'un courant de programmation (I1) traversant la première cellule mémoire, en appliquant une première tension positive (BLV3) à la ligne de bit (BL) et une seconde tension positive (Vpg) à  
25 la première ligne de contrôle de grille (CGL<i>), et

pendant la programmation de la première cellule mémoire, appliquer à la seconde ligne de contrôle de grille (CGL<i+1>) une troisième tension positive (Vsp) apte à faire passer un courant de programmation (I2) dans la seconde cellule mémoire (C12, C22), sans faire passer la seconde cellule  
30 mémoire dans un état programmé.

2. Procédé selon la revendication 1, dans lequel la troisième tension (Vsp) est choisie de manière à assurer une programmation douce de la

seconde cellule mémoire (C12, C22), afin que la seconde cellule mémoire ne puisse pas présenter une tension de seuil négative quel que soit son état programmé ou effacé.

5           3. Procédé selon la revendication 1 ou 2, comprenant des étapes de lecture d'une cellule mémoire (C11, C12, C21, C22) de la paire de cellules mémoire, consistant à :

appliquer une tension de lecture ( $V_{rd}$ ) positive à la grille de contrôle du transistor à grille flottante de la cellule mémoire devant être lue, et

10           appliquer une tension nulle ( $V_{nr}$ ) à la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle.

4. Procédé selon l'une des revendications 1 à 3, comportant une étape d'effacement consistant à appliquer simultanément une tension d'effacement ( $V_{er}$ ) aux grilles de contrôle (CG) des transistors à grille flottante (FGT11, FGT12) des première et seconde cellules mémoire (C11, C12, C21, C22).

5. Procédé selon l'une des revendications 1 à 4, dans lequel  
20 l'opération de programmation de la première cellule mémoire (C11) comprend des étapes de vérification de l'état déplété de la paire de cellules mémoire, et de réalisation d'une programmation de la première cellule mémoire et d'une programmation douce de la seconde cellule mémoire tant que l'une ou l'autre des première et seconde cellules mémoire est à l'état  
25 déplété, suivies d'étapes de vérification de l'état programmé de la première cellule mémoire, et de programmation de la première cellule mémoire tant que celle-ci n'est pas à l'état programmé.

6. Mémoire non volatile sur substrat semi-conducteur (PW),  
30 comprenant :

au moins une ligne de bit (BL),

au moins deux lignes de contrôle de grille ( $CGL_{<i>i</i>}$ ,  $CGL_{<i+1>}$ ),

au moins une ligne de mot ( $WL_{<i,i+1>}$ ),

35 au moins une paire de cellules mémoire jumelles (C11, C12, C21, C22), comportant une première cellule mémoire comprenant un premier

transistor à grille flottante (FGT11) ayant une grille de contrôle (CG) reliée à une première ligne de contrôle de grille (CGL $\langle i \rangle$ ), une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à une ligne de source par l'intermédiaire d'un premier transistor de sélection (ST11, ST3) ayant une grille de contrôle de sélection (SGC) reliée à la ligne de mot, et une seconde cellule mémoire comportant un second transistor à grille flottante (FGT12) ayant une grille de contrôle reliée à la seconde ligne de contrôle de grille (CGL $\langle i+1 \rangle$ ), une première borne de conduction reliée à la ligne de bit et une seconde borne de conduction reliée à la ligne de source par l'intermédiaire d'un second transistor de sélection (ST12, ST3) partageant avec le premier transistor de sélection la grille de contrôle de sélection, et

des moyens pour programmer la première cellule mémoire indépendamment de la seconde cellule mémoire et réciproquement,

caractérisé en ce que la mémoire est configurée pour :

programmer la première cellule mémoire (C11, C21) par injection d'électrons chauds, par l'intermédiaire d'un courant de programmation (I1) traversant la première cellule mémoire, en appliquant une première tension positive (BLV3) à la ligne de bit (BL) et une seconde tension positive (Vpg) à la première ligne de contrôle de grille (CGL $\langle i \rangle$ ), et

pendant la programmation de la première cellule mémoire, appliquer à la seconde ligne de contrôle de grille (CGL $\langle i+1 \rangle$ ) une troisième tension (Vsp) positive apte à faire passer un courant de programmation dans la seconde cellule mémoire (C12, C22), sans faire passer la seconde cellule mémoire dans un état programmé.

7. Mémoire selon la revendication 6, dans laquelle la troisième tension (Vsp) est choisie de manière à assurer une programmation douce de la seconde cellule mémoire (C12, C22), afin que la seconde cellule mémoire ne puisse pas présenter une tension de seuil négative quel que soit son état programmé ou effacé.

8. Mémoire selon la revendication 6 ou 7, comprenant un décodeur de ligne de mot (WLDC) relié à la ligne de mot (WL $\langle i, i+1 \rangle$ ) et aux lignes de contrôle de grille (CGL $\langle i \rangle$ , CGL $\langle i+1 \rangle$ ), le décodeur étant configuré pour,

pendant la lecture d'une cellule mémoire de la paire de cellules mémoire jumelles (C11, C12, C21, C22), appliquer une tension de lecture ( $V_{rd}$ ) positive à la grille de contrôle (CG) du transistor à grille flottante (FGT11, FT12) de la cellule mémoire devant être lue, et appliquer une tension ( $V_{nr}$ ) nulle à la grille de contrôle du transistor à grille flottante de la cellule mémoire jumelle.

9. Mémoire selon l'une des revendications 6 à 8, dans laquelle la grille de contrôle de sélection (SCG) est une grille verticale enterrée présentant pour le premier transistor de sélection (ST11) une région de canal vertical (CH2) s'étendant en regard d'une première face de la grille de contrôle verticale enterrée, et pour le second transistor de sélection (ST12) une région de canal vertical (CH2) qui s'étendant en regard d'une seconde face de la grille de contrôle verticale enterrée, et en face de la région de canal du premier transistor de sélection.

10. Mémoire selon l'un des revendications 6 à 9, dans laquelle les cellules mémoire (C21, C22) de la paire de cellules mémoire jumelles partagent un unique transistor de sélection (ST3).

11. Mémoire selon l'une des revendications 6 à 10, dans lequel la paire de cellules mémoire (C11, C12) comprend :

une première région dopée ( $n_2$ ) s'étendant le long d'un premier bord supérieur de la grille enterrée (SGC), formant une région de drain du transistor de sélection (ST11) et une région de source du transistor à grille flottante (FGT11), d'une première cellule mémoire (C11) de la paire de cellules mémoire,

une seconde région dopée ( $n_2$ ) s'étendant le long d'un second bord supérieur de la grille enterrée opposé au premier bord supérieur, formant une région de drain du transistor de sélection (ST12) et une région de source du transistor à grille flottante (FGT12), d'une seconde cellule mémoire (C12) de la paire de cellules mémoire, et

une troisième région dopée (NISO,  $n_3$ ) s'étendant le long de deux bords inférieurs opposés de la grille enterrée, formant une région de source

commune du transistor de sélection (ST11) de la première cellule mémoire et du transistor de sélection (ST12) de la seconde cellule mémoire,

chaque transistor de sélection (ST11, ST12) de la paire de cellules mémoire présentant une région de canal (CH2) verticale s'étendant d'un côté respectif de la grille enterrée, entre la première ou la seconde région dopée et la troisième région dopée.

12. Mémoire selon l'une des revendications 6 à 11, comprenant un décodeur de ligne de mot (WLDC) relié à la ligne de mot (WL<i,i+1>) et aux lignes de contrôle de grille (CGL<i>, CGL<i+1>), le décodeur étant configuré pour, pendant l'effacement de cellules mémoire, appliquer une tension d'effacement (Ver) simultanément aux première et seconde lignes de contrôle de grille (CGL<i>, CGL<i+1>).

13. Mémoire selon l'une des revendications 6 à 12, configurée pour, pendant l'opération de programmation de la première cellule mémoire (C11, C21) :

vérifier l'état déplété de la paire de cellules mémoire (C11, C12, C21, C22), et programmer la première cellule mémoire et appliquer simultanément une programmation douce à la seconde cellule mémoire (C12, C21), tant que l'une ou l'autre des première et seconde cellules mémoire est à l'état déplété, et

vérifier l'état programmé de la première cellule mémoire, et programmer la première cellule mémoire tant que celle-ci n'est pas à l'état programmé.

14. Mémoire selon l'une des revendications 6 à 13, comprenant une rangée de paires de cellules mémoire jumelles connectées à la ligne de mot (WL<i,i+1>) et aux lignes de contrôle de grille (CGL<i>, CGL<i+1>), la mémoire étant configurée pour programmer un mot formé par plusieurs cellules mémoire de la rangée, connectées à l'une des deux lignes de contrôle de grilles, et pour, pendant la programmation du mot :

effectuer une opération de lecture de la rangée de paires de cellules mémoire jumelles (C11, C12, C21, C22) et de stockage des mots lus,

effectuer une opération d'effacement de la rangée de paires de cellules mémoire jumelles lues,

5 effectuer une programmation par mot des cellules mémoire de la rangée de paires de cellules mémoire, comprenant une programmation de la première cellule mémoire (C11, C21) des paires de cellules mémoire de la rangée, en fonction des mots stockés et éventuellement du mot à écrire, et simultanément effectuer une programmation douce de secondes cellules mémoire (C12, C22) jumelles des premières cellules mémoire programmées, et

10 effectuer une seconde opération de programmation de la seconde cellule mémoire des paires de cellules mémoire de la rangée, en fonction des mots stockés et éventuellement du mot à écrire, et simultanément effectuer une programmation douce des premières cellules mémoire jumelles des secondes cellules mémoire programmées.

15

1/6

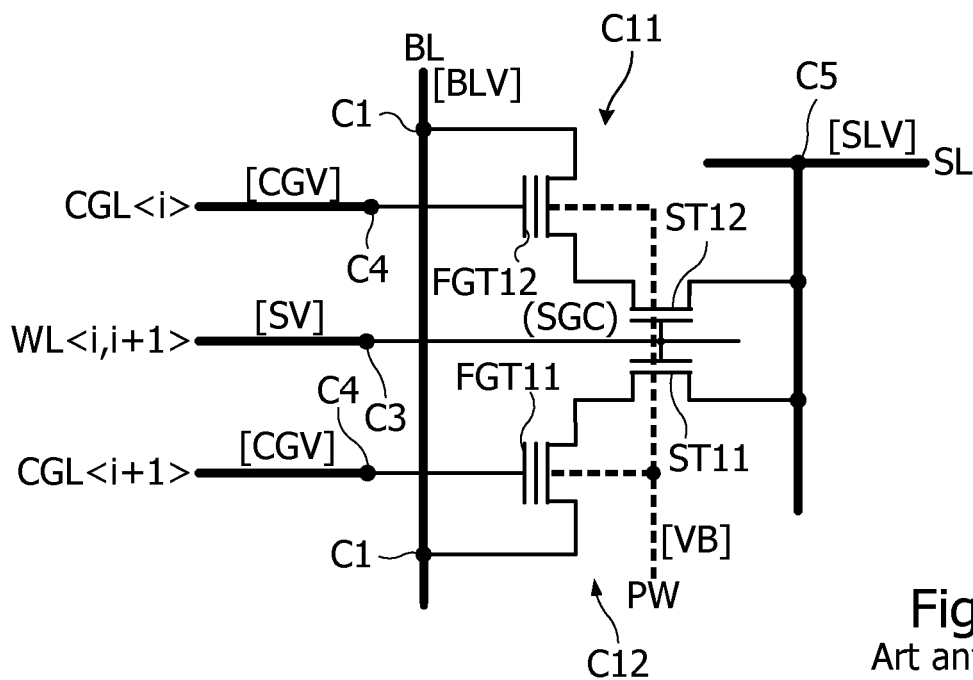


Fig. 1  
Art antérieur

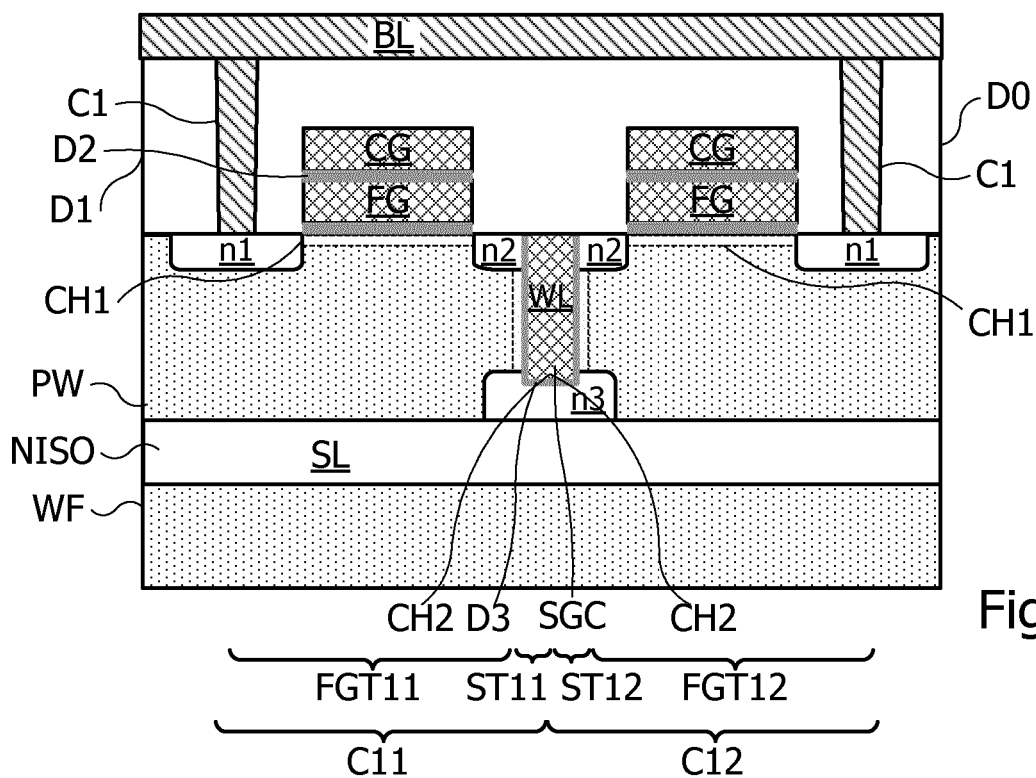
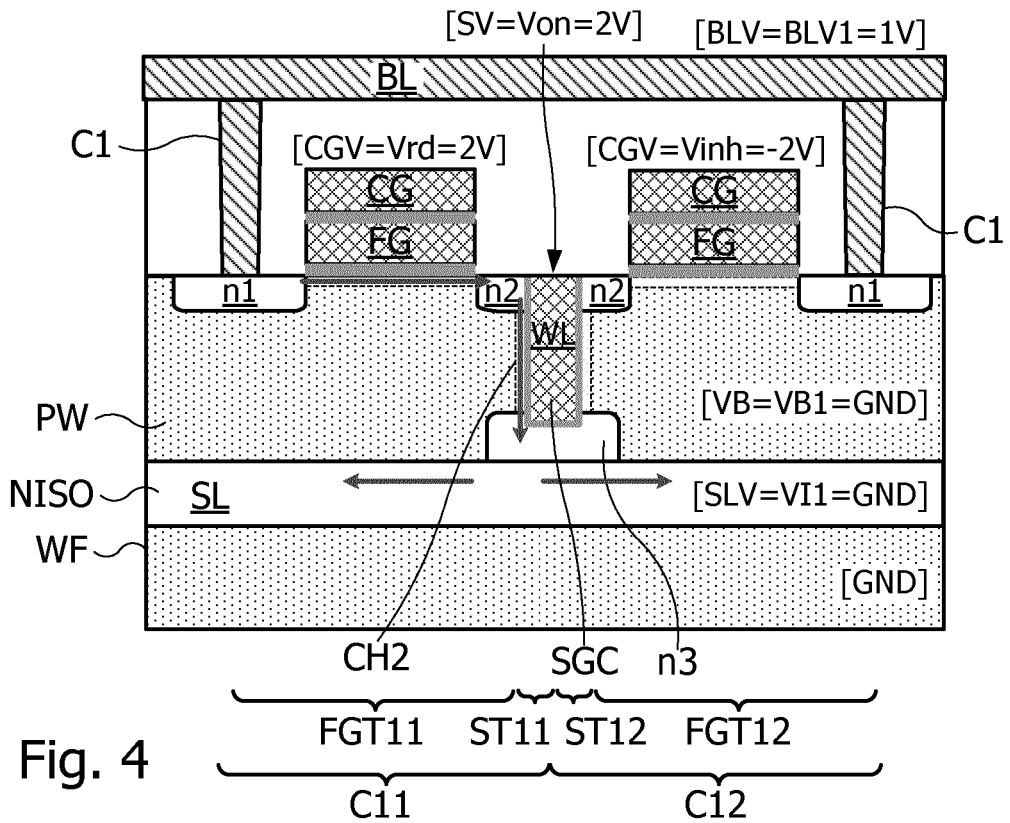
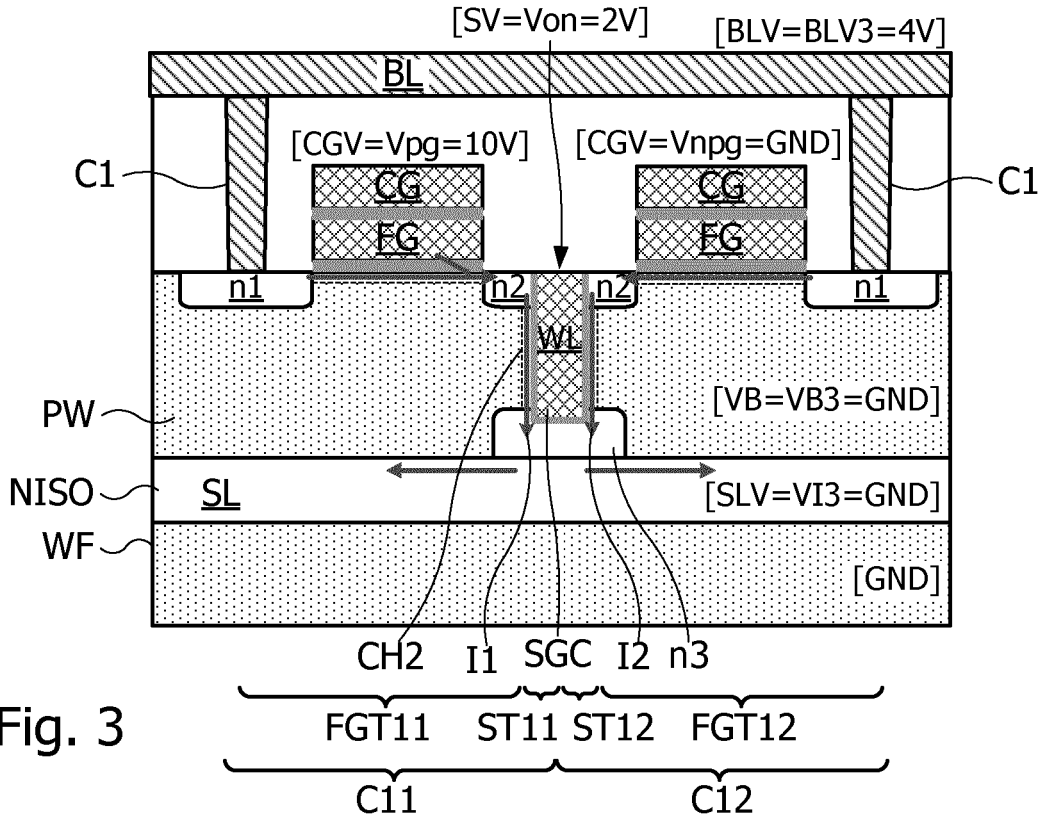
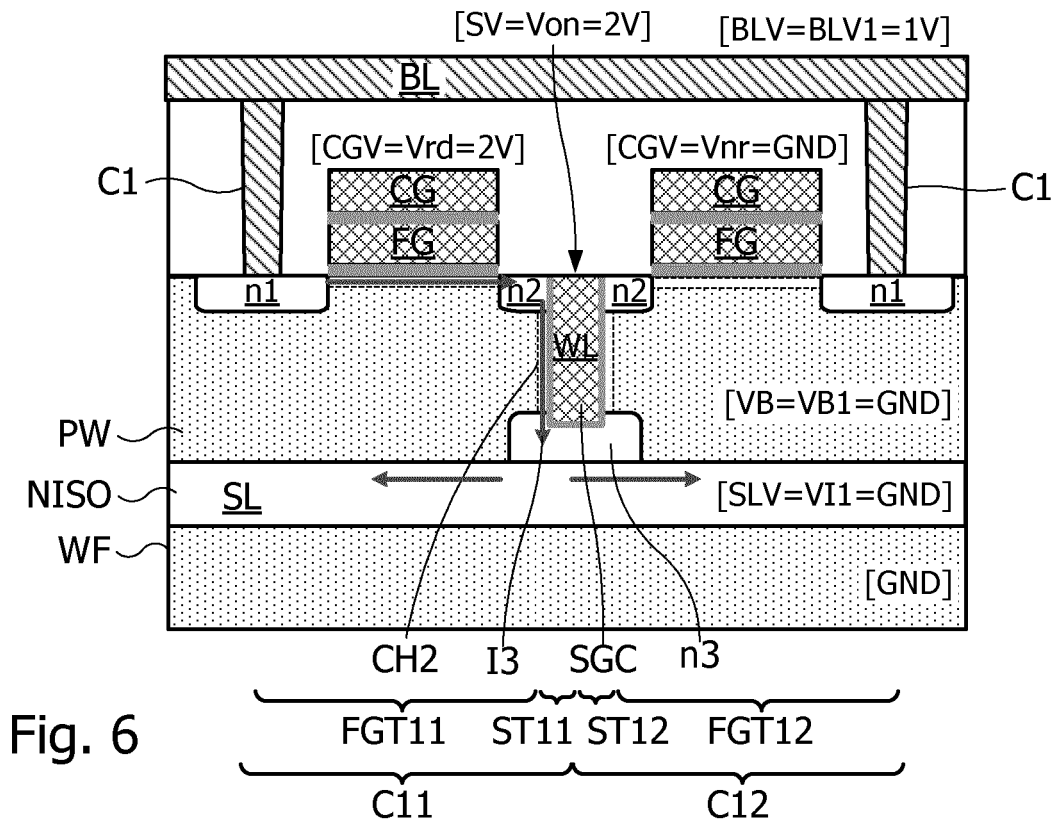
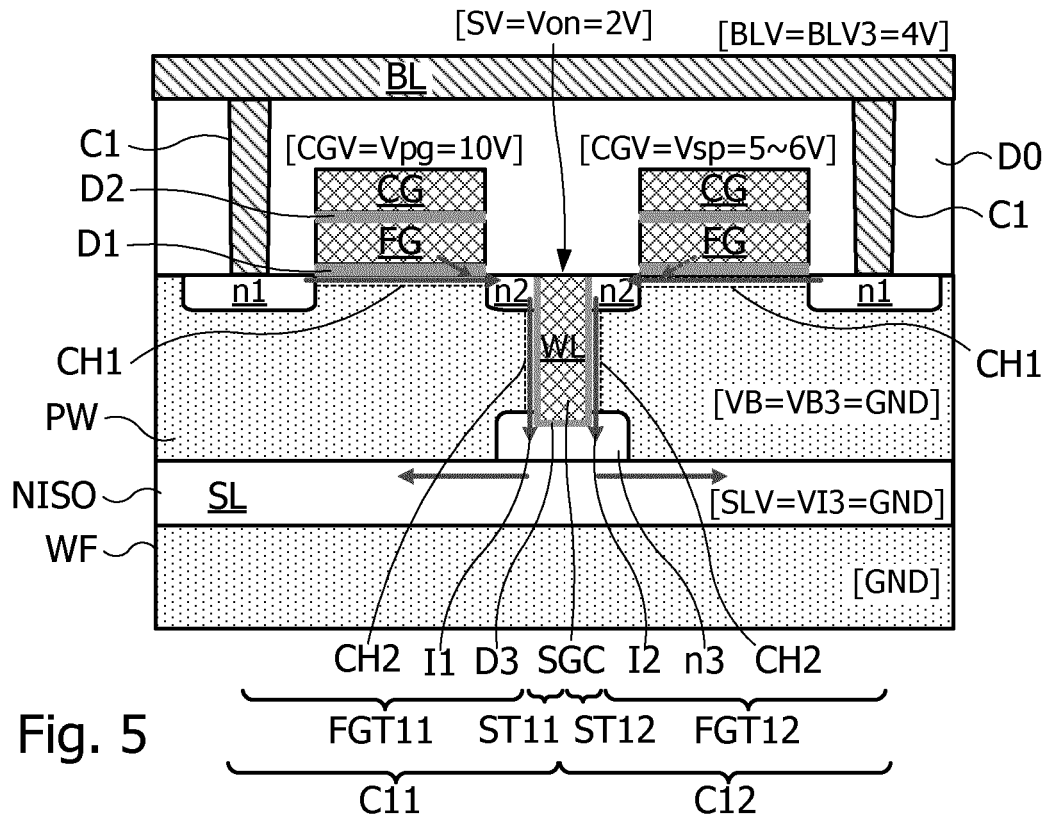


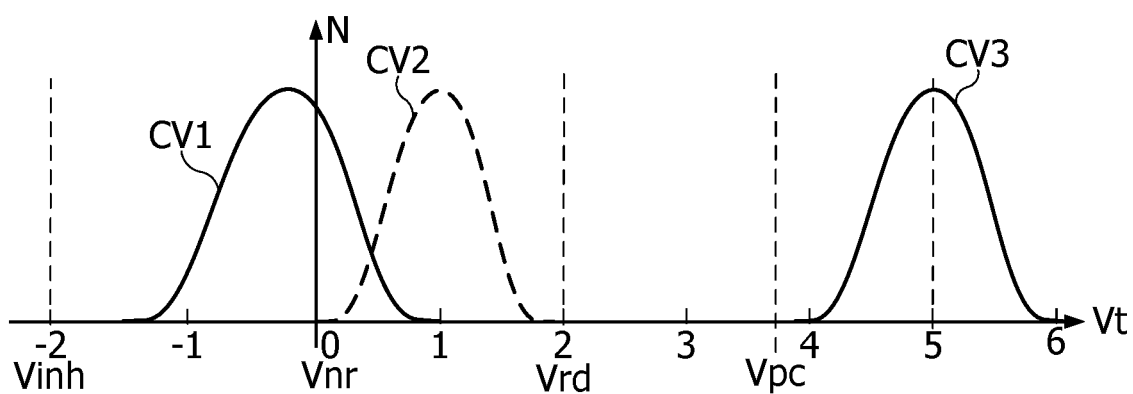
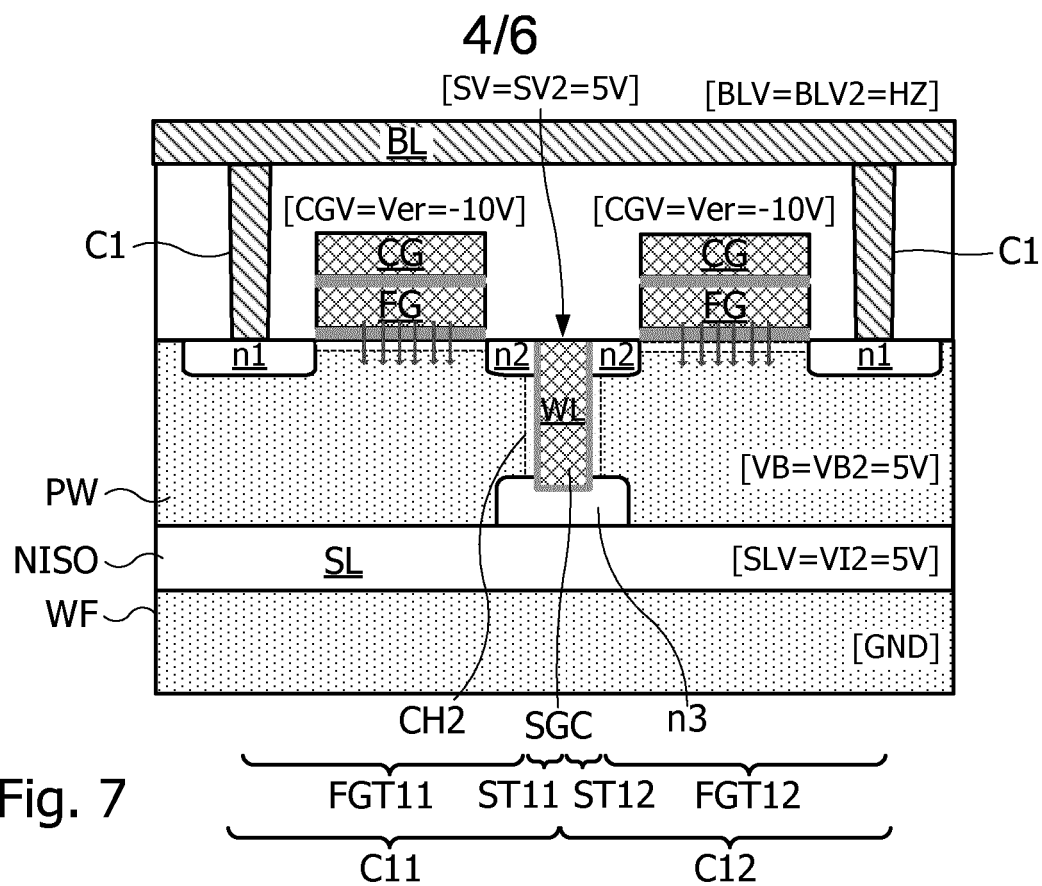
Fig. 2

2/6



3/6





5/6

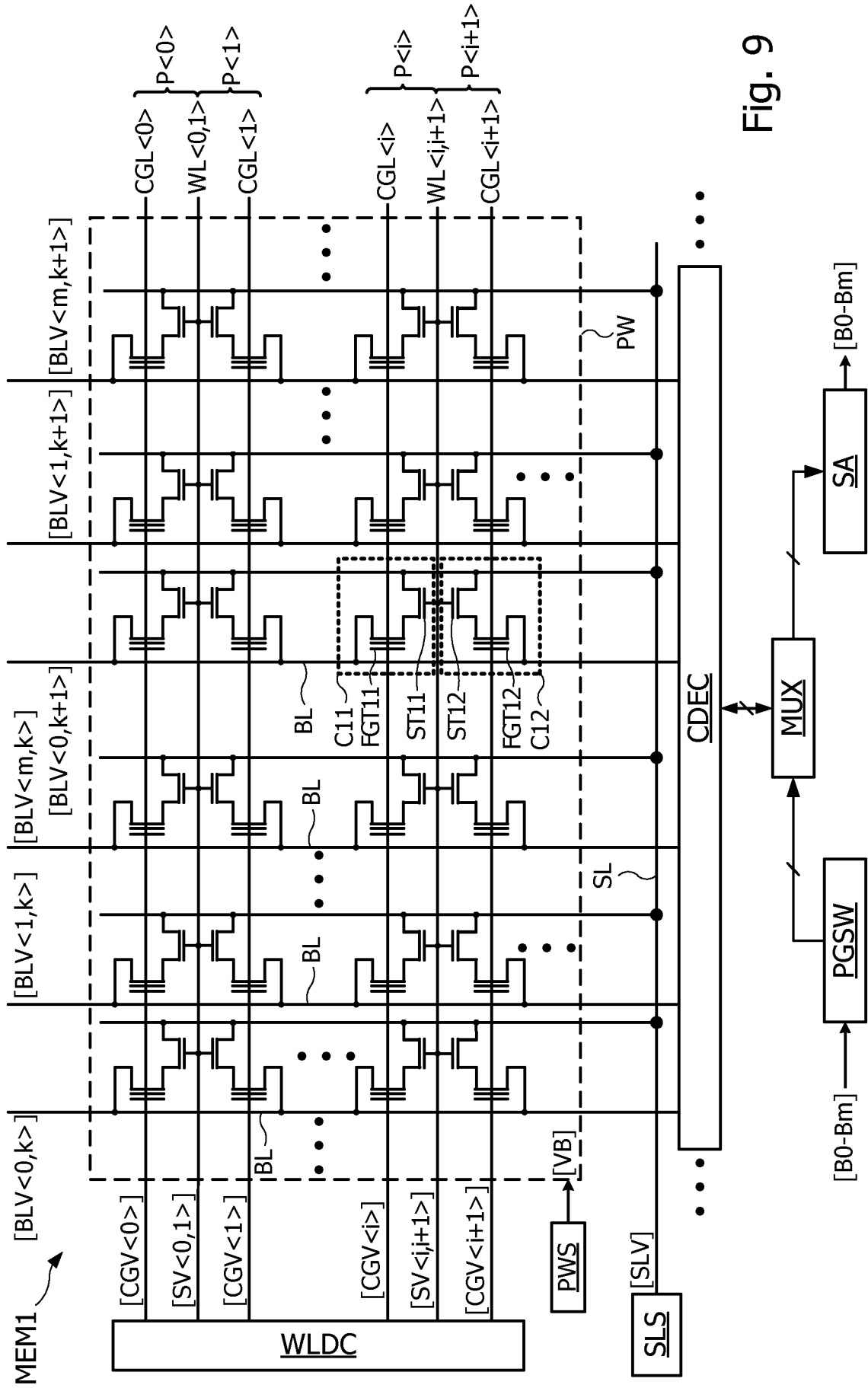
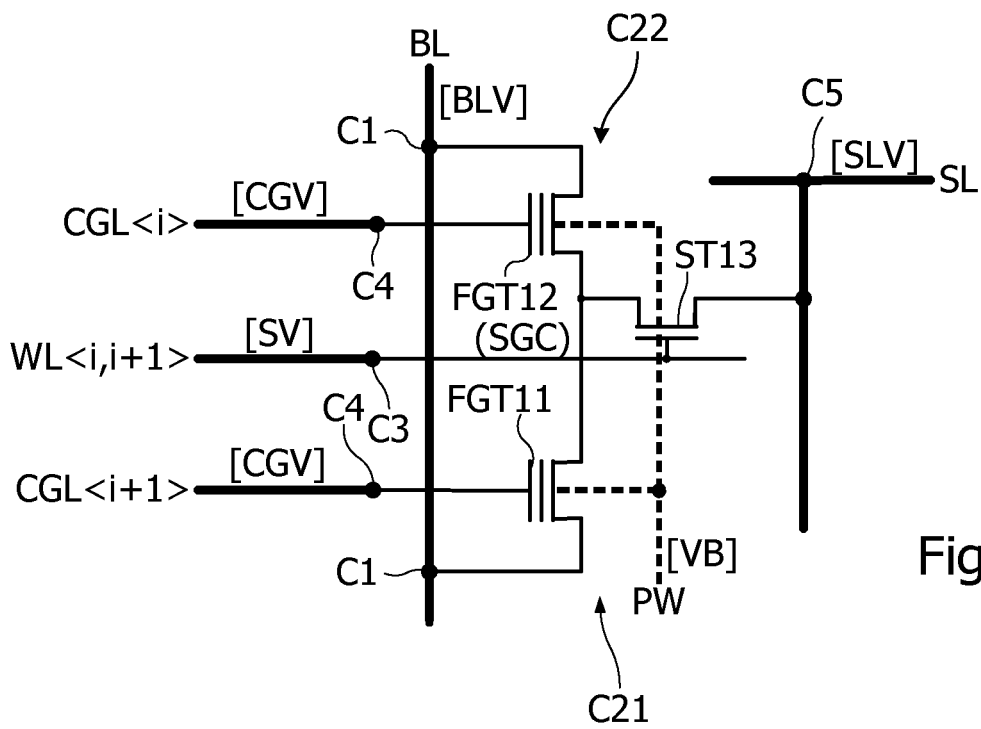
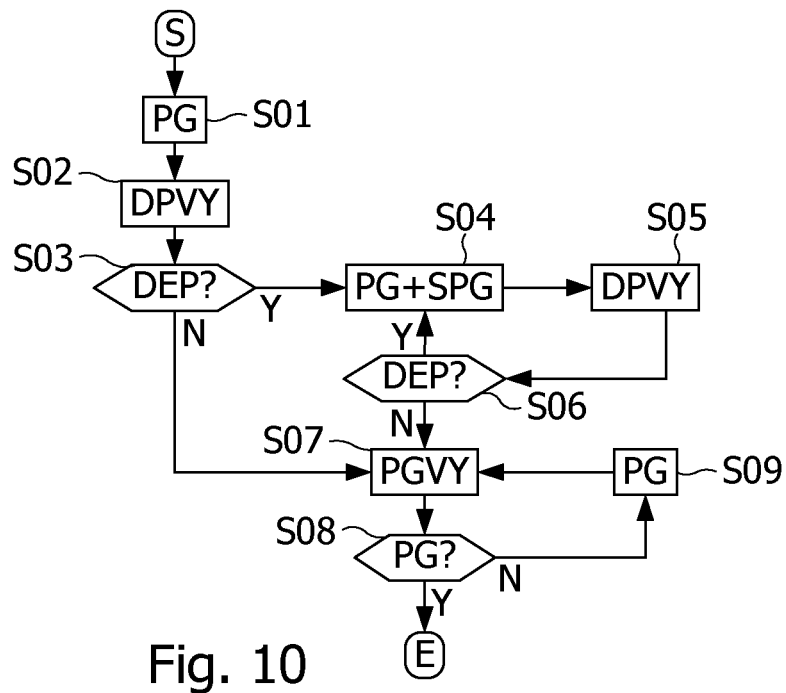


Fig. 9

6/6





**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 800621  
FR 1454839

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	FR 2 987 697 A1 (ST MICROELECTRONICS ROUSSET [FR]) 6 septembre 2013 (2013-09-06)	6-9, 11-14	H01L27/115 H01L21/8247
Y	* page 11, ligne 1 - page 15, ligne 10; figures 6-9,11-13 *	10	
X	US 2013/229875 A1 (LA ROSA FRANCESCO [FR] ET AL) 5 septembre 2013 (2013-09-05) * alinéas [0070] - [0087]; figures 6-13 *	6-9, 11-14	
X	US 2014/097481 A1 (LA ROSA FRANCESCO [FR] ET AL) 10 avril 2014 (2014-04-10) * alinéas [0074] - [0081]; figures 8-12 *	6-9, 11-14	
Y	US 2011/026294 A1 (TSUKAMOTO TAKAYUKI [JP] ET AL) 3 février 2011 (2011-02-03) * alinéas [0402] - [0406]; figures 40-42 *	10	
A	AHN B J ET AL: "A simple and efficient self-limiting erase scheme for high performance split-gate flash memory cells", IEEE ELECTRON DEVICE LETTERS, IEEE SERVICE CENTER, NEW YORK, NY, US, vol. 19, no. 11, 1 novembre 1998 (1998-11-01), pages 438-440, XP011424195, ISSN: 0741-3106, DOI: 10.1109/55.728905 * le document en entier *	1-14	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			G11C H01L
Date d'achèvement de la recherche		Examineur	
11 mars 2015		Franche, Vincent	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		.....	
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1454839 FA 800621**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **11-03-2015**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
FR 2987697 A1	06-09-2013	FR 2987697 A1 FR 2987700 A1	06-09-2013 06-09-2013
-----			
US 2013229875 A1	05-09-2013	FR 2987696 A1 US 2013229875 A1	06-09-2013 05-09-2013
-----			
US 2014097481 A1	10-04-2014	FR 2996680 A1 US 2014097481 A1	11-04-2014 10-04-2014
-----			
US 2011026294 A1	03-02-2011	US 2011026294 A1 WO 2009122569 A1	03-02-2011 08-10-2009
-----			