

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5259918号  
(P5259918)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int. Cl.		F I	
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	3 7 1
HO 1 L 29/788	(2006.01)	G 1 1 C 17/00	6 2 1 Z
HO 1 L 29/792	(2006.01)	G 1 1 C 17/00	6 2 2 C
G 1 1 C 16/04	(2006.01)	G 1 1 C 17/00	6 4 1
G 1 1 C 16/02	(2006.01)	HO 1 L 27/10	4 3 4

請求項の数 16 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2005-194512 (P2005-194512)	(73) 特許権者	599129074 旺宏電子股▲ふん▼有限公司 台湾新竹科學工業園區力行路16號
(22) 出願日	平成17年7月4日(2005.7.4)	(74) 代理人	110000866 特許業務法人三澤特許事務所
(65) 公開番号	特開2006-310720 (P2006-310720A)	(72) 発明者	龍翔瀾 台湾新竹科學工業園區力行路16號
(43) 公開日	平成18年11月9日(2006.11.9)		
審査請求日	平成20年6月6日(2008.6.6)		
審判番号	不服2012-11104 (P2012-11104/J1)		
審判請求日	平成24年6月14日(2012.6.14)		
(31) 優先権主張番号	11/118,839	合議体	
(32) 優先日	平成17年4月29日(2005.4.29)	審判長	池淵 立
(33) 優先権主張国	米国 (US)	審判官	恩田 春香
		審判官	小野田 誠

最終頁に続く

(54) 【発明の名称】 反転ビット線、電荷をトラップする不揮発性メモリ、およびその動作方法

(57) 【特許請求の範囲】

【請求項1】

第1の導電型を有する半導体本体と、  
 該半導体本体の上にある複数のワード線と、  
 該複数のワード線と前記半導体本体との間のメモリセルのアレイであって、該アレイは少なくとも1つのセクタを含み、前記メモリセルは、前記複数のワード線におけるワード線に接触するそれぞれの制御ゲートと、該制御ゲートと前記半導体本体との間の電荷トラップ構造体とを含み、かつそれぞれのメモリセルに該当する制御ゲートに対応する前記電荷トラップ構造体が左右に2つの記憶位置を有する、メモリセルのアレイと、  
 該アレイにおけるメモリセルの列同士の間で、前記複数のワード線に関して略直交して配列され、前記半導体本体の上であり、印加されるバイアス電圧に応答して前記半導体本体における反転ビット線を引き起こすように配列された、複数の電流制御線と、  
 該複数の電流制御線、前記複数のワード線、および前記半導体本体に接続され、前記メモリセルにおける電荷蓄積によってデータをプログラムおよび消去するための、ならびに記憶データを読み出すためのバイアス機構を適用する、制御回路と  
 を備え、

前記アレイにおける特定のメモリセルの左側の前記記憶位置に1ビットのデータをプログラムするための前記バイアス機構は、前記特定のメモリセルの左側のメモリセルと電流制御線下における反転ビット線を介して前記電荷トラップ構造体の左側の前記記憶位置にソース側ホット電子注入を引き起こし、それによって、前記左側の読み出し用の高閾値状態

10

20

を確立し、

前記アレイにおける前記特定のメモリセルの右側の前記記憶位置に1ビットのデータをプログラムするための前記バイアス機構は、前記特定のメモリセルの右側のメモリセルと電流制御線下における反転ビット線を介して前記電荷トラップ構造体の右側の前記記憶位置にソース側ホット電子注入を引き起こし、それによって、前記右側の読出し用の高閾値状態を確立し、

前記少なくとも1つのセクタにおけるデータを消去するための前記バイアス機構は、前記セクタにおける前記メモリセルに接続された少なくとも1つのワード線と前記半導体本体との間に負の電圧を印加することによって電荷平衡を引き起こすことを含み、前記負の電圧は、前記電荷トラップ構造体と前記半導体本体との間にF Nトンネル効果を引き起こすのに十分であり、該F Nトンネル効果は、前記制御ゲートと前記電荷トラップ構造体との間のF Nトンネル効果によってバランスがとられており、ついには前記セクタにおける前記メモリセルにおいて目標低閾値電圧が確立され、

前記アレイにおける特定のメモリセルの前記左側と右側の一方の1ビットのデータを読み出すための前記バイアス機構は、前記特定のメモリセルの前記左側および右側の比較的導電性の反転ビット線を引き起こし、前記特定のメモリセルの前記制御ゲートに接続された前記ワード線に読出しバイアス電圧を印加する集積回路メモリ。

#### 【請求項2】

前記特定のメモリセルの前記左側と右側の一方の側の1ビットのデータをプログラムするための前記バイアス機構は、

前記半導体本体に本体バイアス電圧を印加すること、

前記特定のメモリセルに接続されたワード線に、および、前記一方の側の第2のメモリセルを含む、前記ワード線に接続された他のメモリセルに、プログラム電圧を印加すること、

前記左側と右側の他方の側の前記特定のメモリセルに隣接する第1の電流制御線に、その第1の電流制御線の下に比較的導電性の反転ビット線を引き起こすのに十分な、第1のバイアス電圧を印加して、前記特定のメモリセル用のドレイン端子を形成すること、および前記第1の電流制御線によって引き起こされる前記反転ビット線を介して前記ドレイン端子にドレイン電圧を接続すること、

前記特定のメモリセルと第2のメモリセルとの間の第2の電流制御線に、その第2の電流制御線の下に比較的抵抗性の反転ビット線を引き起こすのに十分な、第2のバイアス電圧を印加し、および前記第2のメモリセルの一方側に隣接する第3の電流制御線に、その第3の電流制御線および前記第2のメモリセルの下に比較的導電性の反転ビット線を引き起こすのに十分な、第3のバイアス電圧を印加して、前記特定のメモリセル用のソース端子を形成すること、および前記第2および第3の電流制御線によって引き起こされる前記反転ビット線を介して前記ソース端子にソース電圧を接続すること

を含む、請求項1に記載の集積回路メモリ。

#### 【請求項3】

前記特定のメモリセルの左側と右側の一方の側の1ビットのデータを読み出すための前記バイアス機構は、

前記特定のメモリセルに接続されたワード線に読出し電圧を印加すること、

前記左側と右側の他方の側の前記特定のメモリセルに隣接する第1の電流制御線に、比較的導電性の反転ビット線を引き起こすのに十分な、第1のバイアス電圧を印加して、前記特定のメモリセル用のドレイン端子を形成すること、および前記第1の電流制御線によって引き起こされる前記反転ビット線を介して前記ドレイン端子にドレイン電圧を接続すること、

前記左側と右側の前記一方の側の前記特定のメモリセルに隣接する第2の電流制御線に、比較的導電性の反転ビット線を引き起こすのに十分な、第2のバイアス電圧を印加して、前記特定のメモリセル用のソース端子を形成すること、および前記第2の電流制御線に

10

20

30

40

50

よって引き起こされる前記反転ビット線を介して前記ソース端子にソース電圧を接続すること

を含む、請求項 1 に記載の集積回路メモリ。

【請求項 4】

前記目標低閾値は 2 V よりも高い、請求項 1 に記載の集積回路メモリ。

【請求項 5】

前記目標低閾値は 3 V よりも高い、請求項 1 に記載の集積回路メモリ。

【請求項 6】

前記複数のメモリセルにおける前記制御ゲートは、仕事関数が  $4.25 \text{ eV}$  よりも大きい材料を含む、請求項 1 に記載の集積回路メモリ。

10

【請求項 7】

前記複数のメモリセルにおける前記制御ゲートは p 型ポリシリコンでできている、請求項 1 に記載の集積回路メモリ。

【請求項 8】

前記複数のメモリセルにおける前記制御ゲートは p 型ポリシリコンでできている、前記複数の電流制御線は n 型ポリシリコンでできている、請求項 1 に記載の集積回路メモリ。

【請求項 9】

前記複数の電流制御線は、幅が、それらを形成するのに利用される製造工程の最小フィッチャサイズと略等しい導電線でできている、請求項 1 に記載の集積回路メモリ。

【請求項 10】

20

前記電荷トラップ構造体は、二酸化ケイ素を含む底層と、窒化ケイ素を含む中間層と、二酸化ケイ素を含む頂層とを備える、請求項 1 に記載の集積回路メモリ。

【請求項 11】

集積回路メモリの動作方法であって、該メモリは、第 1 の導電型を有する半導体本体と、該半導体本体の上にある複数のワード線と、該複数のワード線と前記半導体本体との間のメモリセルのアレイであって、該アレイは少なくとも 1 つのセクタを含み、前記メモリセルは、前記複数のワード線におけるワード線に接触するそれぞれの制御ゲートと、該制御ゲートと前記半導体本体との間の電荷トラップ構造体とを含み、かつそれぞれのメモリセルに該当する制御ゲートに対応する電荷トラップ構造体が左右に 2 つの記憶位置を有する、メモリセルのアレイと、該アレイにおけるメモリセルの列同士の間で、前記複数のワード線に関して略直交して配列され、前記半導体本体の上であり、印加されるバイアス電圧に応答して前記半導体本体における反転ビット線を引き起こすよう配列された、複数の電流制御線とを含み、

30

前記アレイにおける特定のメモリセルの左側の記憶位置に 1 ビットのデータをプログラムするためのバイアス機構を適用することによって、前記特定のメモリセルの左側のメモリセルと電流制御線下における反転ビット線を介して前記電荷トラップ構造体の左側の記憶位置にソース側ホット電子注入を引き起こし、前記左側の読み出し用の高閾値状態を確立し、

前記アレイにおける前記特定のメモリセルの右側の記憶位置に 1 ビットのデータをプログラムするためのバイアス機構を適用することによって、前記特定のメモリセルの右側のメモリセルと電流制御線下における反転ビット線を介して前記電荷トラップ構造体の右側の記憶位置にソース側ホット電子注入を引き起こし、前記右側の読み出し用の高閾値状態を確立し、

40

前記少なくとも 1 つのセクタにおけるデータを消去するためのバイアス機構を適用し、前記セクタにおける前記メモリセルに接続された少なくとも 1 つのワード線と前記半導体本体との間に負の電圧を印加することによって電荷平衡を引き起こし、前記負の電圧は、前記電荷トラップ構造体と前記半導体本体との間に FN トンネル効果を引き起こすのに十分であり、該 FN トンネル効果は、前記制御ゲートと前記電荷トラップ構造体との間の FN トンネル効果によってバランスがとられ、ついには前記セクタにおける前記メモリセルにおいて目標低閾値電圧が確立され、

50

前記アレイにおける特定のメモリセルにおける1ビットのデータを読み出すためのバイアス機構を適用し、前記特定のメモリセルの前記左側および右側に比較的導電性の反転ビット線を引き起こし、前記特定のメモリセルの前記制御ゲートに接続された前記ワード線に読出しバイアス電圧を印加することを含む集積回路メモリの動作方法。

【請求項12】

前記特定のメモリセルの前記左側と右側の一方の側の1ビットのデータをプログラムするための前記バイアス機構は、

前記半導体本体に本体バイアス電圧を印加し、

前記特定のメモリセルに接続されたワード線に、および、前記一方の側の第2のメモリセルを含む、前記ワード線に接続された他のメモリセルに、プログラム電圧を印加し、

前記左側と右側の他方の側の前記特定のメモリセルに隣接する第1の電流制御線に、その第1の電流制御線の下に比較的導電性の反転ビット線を引き起こすのに十分な、第1のバイアス電圧を印加して、前記特定のメモリセル用のドレイン端子を形成し、および前記第1の電流制御線によって引き起こされる前記反転ビット線を介して前記ドレイン端子にドレイン電圧を接続し、

前記特定のメモリセルと第2のメモリセルとの間の第2の電流制御線に、その第2の電流制御線の下に比較的抵抗性の反転ビット線を引き起こすのに十分な、第2のバイアス電圧を印加し、および前記第2のメモリセルの一方側に隣接する第3の電流制御線に、その第3の電流制御線および前記第2のメモリセルの下に比較的導電性の反転ビット線を引き起こすのに十分な、第3のバイアス電圧を印加して、前記特定のメモリセル用のソース端子を形成し、および前記第2および第3の電流制御線によって引き起こされる前記反転ビット線を介して前記ソース端子にソース電圧を接続することを含む、請求項11に記載の集積回路メモリの動作方法。

【請求項13】

前記特定のメモリセルの左側と右側の一方の側の1ビットのデータを読み出すための前記バイアス機構は、

前記特定のメモリセルに接続されたワード線に読出し電圧を印加し、

前記左側と右側の他方の側の前記特定のメモリセルに隣接する第1の電流制御線に、比較的導電性の反転ビット線を引き起こすのに十分な、第1のバイアス電圧を印加して、前記特定のメモリセル用のドレイン端子を形成し、および前記第1の電流制御線によって引き起こされる前記反転ビット線を介して前記ドレイン端子にドレイン電圧を接続し、

前記左側と右側の前記一方の側の前記特定のメモリセルに隣接する第2の電流制御線に、比較的導電性の反転ビット線を引き起こすのに十分な、第2のバイアス電圧を印加して、前記特定のメモリセル用のソース端子を形成し、および前記第2の電流制御線によって引き起こされる前記反転ビット線を介して前記ソース端子にソース電圧を接続することを含む、請求項11に記載の集積回路メモリの動作方法。

【請求項14】

前記目標低閾値は2Vよりも高い、請求項11に記載の集積回路メモリの動作方法。

【請求項15】

前記目標低閾値は3Vよりも高い、請求項11に記載の集積回路メモリの動作方法。

【請求項16】

前記少なくとも1つのセクタにおけるメモリセルをプログラムする前に、前記少なくとも1つのセクタにおいて低閾値状態を設定するためのバイアス機構を適用することによって、前記セクタにおける前記メモリセルに接続された少なくとも1つのワード線と前記半導体本体との間に負の電圧を印加することによって電荷平衡を引き起こすことを含み、前記負の電圧は、前記電荷トラップ構造体と前記半導体本体との間にFNトンネル効果を引き起こすのに十分であり、該FNトンネル効果は、前記制御ゲートと前記電荷トラップ構造体との間のFNトンネル効果によってバランスがとられており、ついには前記セクタにおける前記メモリセルにおいて目標低閾値電圧が確立されることを含む請求項11に記載

10

20

30

40

50

の集積回路メモリの動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電氣的にプログラム可能および消去可能な不揮発性メモリに関し、詳細には、電荷をトラップするメモリセルに基づいたそのようなメモリに関する。

【背景技術】

【0002】

EEPROMおよびフラッシュメモリとして知られている電荷蓄積構造体に基づいた電氣的にプログラム可能および消去可能な不揮発性メモリ技術は、現代のさまざまな用途において用いられている。EEPROMおよびフラッシュメモリには、多くのメモリセル構造体を用いられている。電荷トラップ誘電体層に基づいたメモリセル構造体は、スケールビリティ (scalability) を有し製造工程が簡略化されているため、集積回路の寸法が縮小するに従って、生じる関心が大きくなっている。電荷トラップ誘電体層に基づいたメモリセル構造体は、例えば業界名NROM、SONOS、PHINESで知られている構造体を含む。このようなメモリセル構造体は、窒化ケイ素等の電荷トラップ誘電体層内に電荷をトラップすることによってデータを記憶する。負の電荷がトラップされると、メモリセルの閾値電圧は上がる。電荷トラップ層から負の電荷を除去することによって、メモリセルの閾値電圧は下がる。

【0003】

従来のSONOSデバイス、超薄型、例えば3ナノメートル未満の底部酸化物と、チャネル消去用の直接トンネル効果を引き起こすバイアス機構とを用いる。この技法を用いれば消去速度が速いが、超薄型の底部酸化物を通して電荷が漏れてしまうために、電荷保持に劣る。

【0004】

NROMデバイスは、比較的厚い、例えば3ナノメートルよりも厚く通常約5~9ナノメートルの底部酸化物を用いて、電荷損失を防ぐ。直接トンネル効果の代わりに、バンド間トンネル効果によって引き起こされるホット正孔注入 (band-to-band tunneling induced hot hole injection: BTBTHH) を用いてセルを消去することができる。しかしこのホット正孔注入では酸化物が損傷し、高閾値セルにおいては電荷損失を、低閾値セルにおいては電荷増大 (gain) をもたらす。さらに、プログラムおよび消去のサイクルの間には、電荷トラップ構造体において消去が困難な電荷が蓄積するため、消去時間は徐々に長くなるはずである。この電荷蓄積が生じるのは、正孔注入ポイント (point) と電子注入ポイントとが互いに一致せず、消去パルス後に残留してしまう電子があるからである。さらに、工程のばらつき (チャネル長のばらつき等) のために、NROMフラッシュメモリデバイスのセクタ消去中にそれぞれのセルについての消去速度が互いに異なってしまふ。このように消去速度が互いに異なっていると、その結果消去状態の閾値電圧  $V_t$  の分布が大きくなってしまい、その場合、セルのうちいくつかは消去が困難になり、いくつかは過消去になってしまう。したがって、プログラムおよび消去のサイクルを何度も繰り返した後は、 $V_t$  のターゲットウィンドウ (target  $V_t$  window) が閉じ、耐久性に劣るのが観察される。この現象は、技術が縮小し続けるとさらに深刻となる。

【0005】

従来のメモリセルの大きさに対する制限のひとつは、半導体基板においてソース端子およびドレイン端子用の拡散線を用いることから生じる。拡散線を形成するのに用いる不純物の拡散が、注入が行われる位置をわずかに越えて広がり、拡散領域の大きさが増大する。この拡散によって、より小さい最小寸法へと縮小するのが困難になり、突抜け現象防止のための最小チャネル長等、セルの大きさに対する他の制限が生じる。

【0006】

拡散線を用いることについての諸問題を克服するひとつの手法が、メモリセルにおいて電荷蓄積構造体に隣接する制御電極を用いて基板内に導電性反転領域を引き起こすことに

10

20

30

40

50

基づいて開発されてきた。このような導電性反転領域は、ソース端子およびドレイン端子の役割を果たす。注入がないので、反転領域の寸法をより正確に制御することができる。Sasago他著「90-nm-node multi-level AG-AND type flash memory with cell size of true  $2F^2$ /bit and programming throughput of 10 MB/s」IEDM, 2003, pages 823-826およびIshii他による米国特許出願公開第US 2004/0084714号を参照されたい。

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、電荷をトラップするメモリセルに基づいた、反転ビット線に基づくメモリデバイスの実用的な実施態様は、文献には報告されていない。

10

【課題を解決するための手段】

【0008】

反転ビット線の電荷をトラップするメモリセルを説明する。メモリセルは、注入を行ったソースおよびドレインのビット線を有さず、電界によって引き起こされる反転層を用いて、ソースおよびドレインへの注入の代わりとする。結果として、メモリセルはより容易に小型化される。メモリセルの実施形態は、2ビットを記憶するようになっており、ひとつのビットは電荷トラップ構造体の左側、もうひとつは右側にある。メモリセルの実施形態について、正の閾値電圧の消去状態を説明する。これは負のゲート電圧のファウラー-ノルトハイム(FN)トンネル効果を用いて設定され、これによって、正の閾値電圧において電荷平衡状態が確立され、過消去の諸問題を防止する。メモリセルの実施形態について、低電流ソース側ホット電子注入プログラム法を説明する。これは反転ビット線とともに用いるのに好適であり、メモリセルの左側と右側の両方について低電流高速プログラムを達成する。

20

【0009】

本明細書において説明する技術による集積回路メモリは、半導体本体と、半導体本体の上にある複数のワード線と、複数のワード線と半導体本体との間のメモリセルアレイとを備える。メモリセルアレイは、セクタ消去動作をサポートするよう構成されている少なくとも1つのセクタを含む。アレイにおけるメモリセルは、複数のワード線におけるワード線に接触するそれぞれの制御ゲートと、制御ゲートと半導体本体との間の電荷トラップ構造体とを含む。複数の電流制御線が、アレイにおけるメモリセルの列同士の間で、複数のワード線に関して略直交して配列されている。電流制御線は半導体本体の上であり、電流制御線に印加されるバイアス電圧に応答して、半導体本体における反転ビット線を引き起こすよう配列されている。反転ビット線は、プログラム、消去、および読出しの動作中のメモリセルのソース端子およびドレイン端子を提供する。

30

【0010】

本発明の実施形態において、集積回路メモリには制御回路が含まれている。制御回路は、複数の電流制御線、複数のワード線、および半導体本体に接続され、メモリセルにおける電荷蓄積によってデータをプログラムおよび消去するための、ならびに記憶データを読み出すための、バイアス機構を適用する。メモリセルの左側の1ビットのデータをプログラムするためのバイアス機構を説明する。このバイアス機構は、反転ビット線を介して電荷トラップ構造体の左側にソース側ホット電子注入を引き起こし、それによって、左側の読出し用の高閾値状態を確立する。メモリセルの右側の1ビットのデータをプログラムするためのバイアス機構もまた説明する。このバイアス機構は、反転ビット線を介して電荷トラップ構造体の右側にソース側ホット電子注入を引き起こす。アレイのセクタにおけるデータを消去するためのバイアス機構は、そのセクタにおけるメモリセルに接続された少なくとも1つのワード線と半導体本体との間に負の電圧を印加することによって電荷平衡を引き起こす。ただしこの負の電圧は、電荷トラップ構造体と半導体本体との間にFNトンネル効果を引き起こすのに十分であり、このFNトンネル効果は、制御ゲートと電荷トラップ構造体との間のFNトンネル効果によってバランスがとられている。ついにはそのセクタにおけるメモリセルにおいて目標低閾値電圧が確立される。1ビットのデータを読

40

50

み出すためのバイアス機構もまた説明する。このバイアス機構は、メモリセルの左側および右側の反転ビット線を引き起こし、その特定のメモリセルの制御ゲートに接続されたワード線に読出しバイアス電圧を印加する。

【0011】

この消去プロセスによって達成されるメモリセルの実施形態について、このような電荷平衡状態の結果、いくつかの実施形態において2Vよりも大きい、そして他の実施形態においてより好ましくは3Vよりも大きい、正の目標低閾値電圧が生じる。いくつかの実施形態において、メモリセルは目標低閾値電圧の大きさを調節するように設計される。例えば、電荷平衡状態の大きさを小さくするために、p型ポリシリコン等の仕事関数の比較的大きい材料を制御ゲートとして用いてもよい。

10

【0012】

説明された技術は、上記のように集積回路メモリを動作する方法によっても具現される。本明細書に示す一実施形態によると、本方法は、アレイにおける特定のメモリセルの左側の1ビットのデータをプログラムするためのバイアス機構を適用し、反転ビット線を介して電荷トラップ構造体の左側にソース側ホット電子注入を引き起こし、左側の読出し用の高閾値状態を確立すること、アレイにおける特定のメモリセルの右側の1ビットのデータをプログラムするためのバイアス機構を適用し、それによって、反転ビット線を介して電荷トラップ構造体の右側にソース側ホット電子注入を引き起こし、右側の読出し用の高閾値状態を確立すること、少なくとも1つのセクタにおけるデータを消去するためのバイアス機構を適用して、セクタにおけるメモリセルに接続された少なくとも1つのワード線と半導体本体との間に負の電圧を印加することによって電荷平衡を引き起こすことを含み、負の電圧は、電荷トラップ構造体と半導体本体との間にFNトンネル効果を引き起こすのに十分であり、FNトンネル効果は、制御ゲートと電荷トラップ構造体との間のFNトンネル効果によってバランスがとられており、ついにはセクタにおけるメモリセルにおいて目標低閾値電圧が確立され、およびアレイにおける特定のメモリセルの左側における1ビットのデータを読み出すためのバイアス機構を適用して、特定のメモリセルの左側および右側に比較的導電性の反転ビット線を引き起こし、特定のメモリセルの制御ゲートに接続されたワード線に読出しバイアス電圧を印加することを含む。

20

【0013】

同様に、本発明の実施形態は、反転ビット線を引き起こしたソース側ホット電子注入によってデータをプログラムするためのバイアス機構を含む。本明細書に示す特定のメモリセルの左側と右側の一方の側の1ビットのデータをプログラムするための一実施形態は、半導体本体に本体バイアス電圧を印加すること、特定のメモリセルに接続されたワード線に、および、一方の側の第2のメモリセルを含む、ワード線に接続された他のメモリセルに、プログラム電圧を印加すること、左側と右側の他方の側の特定のメモリセルに隣接する第1の電流制御線に、第1の電流制御線の下にある比較的導電性の反転ビット線を引き起こすのに十分な、第1のバイアス電圧を印加して、特定のメモリセル用のドレイン端子を形成すること、および第1の電流制御線によって引き起こされる反転ビット線を介してドレイン端子にドレイン電圧を接続すること、第2の電流制御線に、一方の側の特定のメモリセルに隣接する、第2の電流制御線によって引き起こされる比較的抵抗性の反転ビット線を引き起こすのに十分な、第2のバイアス電圧を印加すること、および第3の電流制御線に、一方の側の第2のメモリセルに隣接する、第3の電流制御線によって引き起こされる比較的導電性の反転ビット線を引き起こすのに十分な、第3のバイアス電圧を印加して、特定のメモリセル用のソース端子を形成すること、および第2および第3の電流制御線によって引き起こされる反転ビット線を介してソース端子にソース電圧を接続することを含む。

30

40

【0014】

さらに、反転ビット線を用いて1ビットのデータを読み出すためのバイアス機構が説明される。特定のメモリセルの左側と右側の一方の側の1ビットのデータを読み出すためのバイアス機構の一実施形態は、特定のメモリセルに接続されたワード線に読出し電圧を印

50

加すること、左側と右側の他方の側の特定のメモリセルに隣接する第1の電流制御線に、第1の電流制御線によって引き起こされる、比較的導電性の反転ビット線を引き起こすのに十分な、第1のバイアス電圧を印加して、特定のメモリセル用のドレイン端子を形成すること、および第1の電流制御線によって引き起こされる反転ビット線を介してドレイン端子にドレイン電圧を接続すること、左側と右側の一方の側の特定のメモリセルに隣接する第2の電流制御線に、第2の電流制御線によって引き起こされる、比較的導電性の反転ビット線を引き起こすのに十分な、第2のバイアス電圧を印加して、特定のメモリセル用のソース端子を形成すること、および第2の電流制御線によって引き起こされる反転ビット線を介してソース端子にソース電圧を接続することを含む。

【0015】

本明細書において説明するメモリ技術は、従来技術よりもかなり優れた利点を達成する。このメモリは、埋め込んだソースおよびドレイン拡散領域がないので、従来の電荷をトラップするメモリセル、またはフローティングゲート技術に基づいたセルよりも、より小さい最小寸法にするのが容易である。拡散ソースおよびドレイン領域で生じる、突抜け現象についての諸問題がないので、セルを非常に小さくすることができる。反転ビット線によって引き起こされる低電流ソース側注入を用いる技術の実施形態においては、プログラム速度は従来の電荷をトラップするメモリセルよりも速い。説明する技術の実施形態における消去アルゴリズムは、簡単かつ高速であり、正の消去閾値状態を実施する。本明細書において説明するメモリ技術は、高密度アレイについてセル当たり2ビットをサポートする。さらに、このメモリ技術は、動作中にホットホールを生成する従来技術の電荷トラップ構造体において生じる、データ保持についての諸問題を回避する。

【0016】

本発明の他の態様および利点は、以下の図面、詳細な説明、および特許請求の範囲を検討して理解することができる。

【発明を実施するための最良の形態】

【0017】

図1ないし図16を参照して、本明細書において説明する技術の実施形態の詳細な説明を行う。

【0018】

図1は、従来技術の電荷をトラップするメモリセルの略図である。基板は、 $n+$ ドープ領域15、16と、 $n+$ ドープ領域15と16との間の $p$ ドープ領域17とを含む。 $n+$ ドープ領域15、16は、ソース端子およびドレイン端子の役割を果たす拡散線を提供する。メモリセルの残りの部分は、基板上の底部誘電体14、底部誘電体14上の電荷トラップ層13、電荷トラップ層13上の頂部誘電体12、および頂部誘電体12上の制御ゲート11を含む、電荷トラップ構造体を含む。通常、制御ゲート11は $n$ 型ポリシリコンを有し(comprises)、ワード線(図示せず)に接続されている。電荷トラップ構造体は電荷トラップ層13において、電子17で表すもの等のトラップされた電荷を有する。通常、そのようなセルはバンド間トンネル効果によって引き起こされるホット正孔注入によって消去され、図面において電子の記号の数が少ないことによって全体として示すように、1Vよりも低い、およびそれよりもさらに低い、低閾値状態を達成する。また、注入工程中拡散領域は制御ゲート11の縁に自己整合するが、不純物は電荷トラップ構造体の縁の下で拡散し、チャンネルを狭くして、デバイスをより小型化することを制限する。

【0019】

図2は、図示の $p$ 型ウェルのような半導体本体における反転ビット線を含むメモリセルを示す。反転ビット線は、対応する電流制御線27、28に印加されるバイアス電圧にตอบสนองして、ソース端子25およびドレイン端子26を提供する。メモリセルは、基板上の底部誘電体24、底部誘電体24上の電荷トラップ層23、電荷トラップ層23上の頂部誘電体22、および頂部誘電体22上の制御ゲート21を含む、電荷トラップ構造体を含む。図示の実施形態において制御ゲート21は $p$ 型ポリシリコンでできており、電流制御線27、28は $n$ 型ポリシリコンでできている。 $p$ 型ポリシリコンのほうが仕事関数が大き

10

20

30

40

50



く、以下により詳細に説明するように、制御ゲートに用いると、FNトンネル効果によって引き起こされる電荷平衡閾値状態に影響を与える。n型ポリシリコンのほうが導電率が高く、電流制御線の材料として用いるのに好適である。制御ゲート21はワード線(図示せず)に接続されている。このワード線は、電流制御線27、28に略直交する線になって延びており、アレイにおける行に沿った複数のメモリセルに接続されている。電荷トラップ構造体は電荷トラップ層23において、電子29で表すもの等のトラップされた電荷を有する。図において電子の記号の数が比較的多いのは、以下でより詳細に説明する電荷平衡FNトンネル効果によって達成される低閾値状態が、従来技術において達成されるものよりもわずかに正の度合いが高い、ということ伝えるよう意図するためである。

#### 【0020】

代表的な頂部誘電体としては、厚さが約5~10ナノメートルの二酸化ケイ素および酸窒化ケイ素、または、例えば $Al_2O_3$ を含む、その他同様の高誘電率材料がある。代表的な底部誘電体としては、厚さが約3~10ナノメートルの二酸化ケイ素および酸窒化ケイ素、またはその他同様の高誘電率材料がある。代表的な電荷トラップ構造体としては、厚さが約3~9ナノメートルの窒化ケイ素、窒素を比較的多く含む酸窒化ケイ素、または、 $Al_2O_3$ 、 $HfO_2$ 等の金属酸化物およびその他を含む、その他同様の高誘電率材料がある。電荷トラップ層は、電荷トラップ材料でできた不連続な1組のポケットまたは粒子であっても、図示のような連続層であってもよい。

#### 【0021】

いくつかの実施形態において、ゲートは、仕事関数がn型シリコン固有の仕事関数(約4.1 eV)より大きく、好ましくは、例えば約5 eVよりも大きいことを含む、約4.25 eVよりも大きい材料でできている。代表的なゲート材料としてはp型ポリシリコン、TiN、Pt、および仕事関数の大きい他の金属および材料がある。比較的工作関数の大きい、本技術の実施形態に好適なその他の材料としては、Ru、Ir、Ni、およびCoを含むがこれに限定するものではない金属、Ru-TiおよびNi-Tを含むがこれに限定するものではない合金、金属窒化物、ならびに、 $RuO_2$ を含むがこれに限定するものではない金属酸化物がある。ゲート材料の仕事関数が大きいと、その結果、通常のn型ポリシリコンゲートよりも電子トンネル効果の注入バリア(injection barrier)が高くなる。頂部誘電体としての二酸化ケイ素を有するn型ポリシリコンゲートについての注入バリアは、約3.15 eVである。したがって、本技術の実施形態は、注入バリアが、約3.4 eVよりも高い等、約3.15 eVよりも高い、および好ましくは約4 eVよりも高い材料を、ゲートおよび頂部誘電体に用いる。

#### 【0022】

図3は、半導体本体100上に形成された1行のメモリセルの断面図である。メモリセルは、頂部誘電体111、電荷トラップ層112、および底部誘電体113を含む電荷トラップ構造体の上にある、制御ゲート101、102、103を有する。半導体本体100の上には電流制御線104~107があり、メモリアレイにおける列に沿って、この1行になったメモリセル同士の間延びている。図示の実施形態において、制御ゲート101、102、103はp型ポリシリコンでできている。電流制御線104~107は、n型ポリシリコンまたはその他の導電性材料でできている。図示の実施形態において、電流制御線104~107は、二酸化ケイ素等の誘電体110によって半導体本体100からおよびメモリセルから隔離されている。図3に示す構造体は、まずメモリセルスタック(制御ゲート103、頂部誘電体111、電荷トラップ層112、および底部誘電体113)を半導体本体上に形成し、メモリセル同士の間誘電体110を形成し、次に電流制御線104~107をパターンニングすることによって、実施することができる。図では制御ゲート101~103は誘電体で覆われていない。これは、制御ゲートは電流制御線に直交して延びる、線114で表すワード線に接触するようになっているからである。ワード線は、ポリシリコン、金属、ケイ化物、その他導電性材料、およびそのような材料の組合せを用いて実施することができる。

#### 【0023】

10

20

30

40

50

図4は、1行のメモリセルの別の実施形態の断面図である。同様の構造体については、図3において用いた参照番号を再び図4においても用いる。構造体の唯一の相違点は、制御ゲート101～103の下だけではなく電流制御線104～107の下にも延びている頂部誘電体121、電荷トラップ層122、および底部誘電体123を含む、メモリセルの電荷トラップ構造体の実施態様である。図4の構造体の製造工程には、まず、半導体本体100の両端で、頂部誘電体121、電荷トラップ層122、および底部誘電体123のスタックを形成することが含まれる。次に電流制御線104～107がパターニングされ、誘電体110によって隔離される。次に、電流制御線同士の間には制御ゲート101～103が形成され、ワード線(図示せず)に接続される。

#### 【0024】

図5は、1行のメモリセルのもうひとつ別の実施形態の断面図である。同様の構造体については、図3において用いた参照番号を再び図5においても用いる。構造体の唯一の相違点は、頂部誘電体131、電荷トラップ層132、および底部誘電体133を含むメモリセルの電荷トラップ構造体の実施態様が、アレイの両端で連続し、制御ゲート101～103の下、制御ゲート101～103と電流制御線105～107との間、および電流制御線105～107の上に伸びている、ということである。図5の構造体の製造工程には、まず、電流制御線104～107をパターニングし誘電体130によって半導体本体100から隔離することが含まれる。次に、半導体本体100および電流制御線105～107の上に、頂部誘電体121、電荷トラップ層122、および底部誘電体123のスタックが形成される。次に、電流制御線同士の間には制御ゲート101～103が形成され、ワード線(図示せず)に接続される。

#### 【0025】

上述のように実施されるメモリセルについての基本的な動作手続きを図6に示す。比較的正の消去状態を確立するために、製造後、負のゲート電圧、電荷平衡低閾値状態を確立するFN注入手続き、によってメモリアレイをリセットする。(ブロック200)。プログラムのために、アシストゲートのソース側のホット電子注入バイアス手続きが適用される(ブロック201)。消去のために、ブロック200のリセット動作と同様の、負のゲート電圧FN電荷平衡注入が行われる(ブロック202)。このように基本的なプログラムおよび消去のサイクルを図6に示す。

#### 【0026】

本技術の一実施形態についての、メモリセルの左側のビットについて、およびメモリセルの右側のビットについてのプログラムバイアス機構を、それぞれ図7および図8を参照して説明する。図7において、左側のビット300のプログラムを示す。ビット300を含む特定のメモリセルおよび左のメモリセルを包含する領域301にバイアスをかけて、ソース側のアシストゲートのホット電子注入が引き起こされる。制御ゲート101、102は、ワード線に接続されてバイアス電圧を受け取っている。半導体本体100はバイアス電圧Fを受け取る。電流制御線104、105、106は、反転ビット線を引き起こすためにバイアス電圧B、C、Dを受け取る。電流制御線104によって引き起こされた反転ビット線302は、バイアス電圧Gを受け取る。電流制御線104によって引き起こされた反転ビット線303は、バイアス電圧Hを受け取る。電流制御線106によって引き起こされた反転ビット線304は、バイアス電圧Iを受け取る。電流制御線107はバイアス電圧Eを受け取り、引き起こされた反転ビット線がもしあれば、その反転ビット線はバイアス電圧Jを受け取る。反転ビット線に印加されるバイアス電圧G、H、J、Iは、アレイにおける列選択トランジスタを介して半導体本体に接続され、反転ビット線がアクセスしている特定のメモリセルに伝えられる。同様に、バイアス電圧B、C、D、Eはアレイにおける列選択トランジスタによって電流制御線に接続される。バイアス電圧Aはワード線によって保持される。

#### 【0027】

左のビット300を高閾値状態にプログラムするための代表的なバイアス電圧を、以下の一覧に示す。

10

20

30

40

50

A : 1.2 ~ 1.6 V  
 B : 4 ~ 6 V  
 C : 0.7 ~ 1 V  
 D : 7 ~ 9 V  
 E : 0 V  
 F : 0 V  
 G : 0 V  
 H : フローティング  
 I : 4 ~ 6 V  
 J : 0 V

10

## 【0028】

上述のバイアス機構の結果、電流制御線104と、ビット300を含むメモリセルの左のセルの制御ゲート101とによって、比較的導電性の反転ビット線302が引き起こされ、アースに接続される。電流制御線105の下では、比較的抵抗性の反転ビット線303が引き起こされる。反転ビット線302と303とを組み合わせることによって、プログラム動作のソース端子が提供される。電流制御線106の下では、比較的導電性の反転ビット線304が引き起こされ、プログラム動作のドレイン端子の役割を果たす。

## 【0029】

図8は、領域311内の特定のメモリセルの右のビット310をプログラムするためのバイアス機構を示す。領域311は、ビット310を含む特定のメモリセルおよび右のメモリセルを包含し、バイアスをかけられて、ソース側のアシストゲートのホット電子注入が引き起こされる。制御ゲートは、ワード線に接続されてバイアス電圧Aを受け取っている。半導体本体はバイアス電圧Fを受け取る。領域311における電流制御線は、反転ビット線を引き起こすためにバイアス電圧C、D、Eを受け取る。電流制御線によって引き起こされた反転ビット線312は、バイアス電圧Iを受け取る。電流制御線によって引き起こされた反転ビット線313は、バイアス電圧Jを受け取る。電流制御線によって引き起こされた反転ビット線314は、バイアス電圧Hを受け取る。図8における領域311の外側の電流制御線はバイアス電圧Bを受け取り、その引き起こされた反転ビット線の領域がもしあれば、その領域はバイアス電圧Gを受け取る。

20

## 【0030】

右のビット310を高閾値状態にプログラムするための代表的なバイアス電圧を、以下の一覧に示す。

A : 1.2 ~ 1.6 V  
 B : 0 V  
 C : 7 ~ 9 V  
 D : 0.7 ~ 1 V  
 E : 4 ~ 6 V  
 F : 0 V  
 G : 0 V  
 H : 4 ~ 6 V  
 I : フローティング  
 J : 0 V

30

40

## 【0031】

図8に示す、右側のビット310をプログラムするためのバイアス機構は、特定のメモリセルの左側のビット300(図7)のプログラムについて上述したものと反対である。

## 【0032】

図9に示す特定のメモリセルにおける左のビット300を読み出すための代表的なバイアス電圧を、以下の一覧に示す。

A : 2 ~ 5 V  
 B : 0 V

50

C : 4 ~ 6 V  
 D : 4 ~ 6 V  
 E : 0 V  
 F : 0 V  
 G : 0 V  
 H : 0 V  
 I : 1 ~ 3 V  
 J : 0 V  
**【 0 0 3 3 】**

この読出しバイアス機構の結果として、バイアス電圧Cを受け取る電流制御線の下に、  
 読出し動作中にソース端子の役割を果たす反転ビット線が形成され、バイアス電圧Dを受  
 け取る電流制御線の下に、読出し動作中にドレイン端子の役割を果たす反転ビット線が形  
 成される。制御ゲートに印加される電圧レベルAは、目標低閾値状態と目標高閾値状態と  
 の間に設定される。

10

**【 0 0 3 4 】**

図10に示す特定のメモリセルにおける右のビット310を読み出すための代表的なバ  
 イアス電圧を、以下の一覧に示す。

A : 2 ~ 5 V  
 B : 0 V  
 C : 4 ~ 6 V  
 D : 4 ~ 6 V  
 E : 0 V  
 F : 0 V  
 G : 0 V  
 H : 1 ~ 3 V  
 I : 0 V  
 J : 0 V

20

**【 0 0 3 5 】**

したがって、右のビット310を読み出すために、バイアス電圧Cを受け取る電流制御  
 線の下に反転ビット線がドレインの役割を果たし、バイアス電圧Dを受け取る電流制御線  
 の下の反転ビット線がソースの役割を果たす。

30

**【 0 0 3 6 】**

消去のため、およびプログラム前に行われるリセット動作のためのバイアス機構を、図  
 11に関して説明する。図に示すように、このFN消去およびリセットプロセスに伴う反  
 転ビット線はない。1つのワード線に沿った、またはアレイの1つのセクタにおける、す  
 べてのメモリセルについて消去するための代表的なバイアス電圧を、以下の一覧に示す。

A : - 1 0 ~ - 1 5 V  
 B : フローティング (正しい???)  
 C : フローティング  
 D : フローティング  
 E : フローティング  
 F : 5 ~ 1 0 V  
 G : フローティング  
 H : フローティング  
 I : フローティング  
 J : フローティング

40

**【 0 0 3 7 】**

あるいは、Aは - 1 5 ~ - 2 0 V に設定され、Fはアース ( 0 V ) に設定される。

**【 0 0 3 8 】**

したがって、この消去バイアス機構において、アレイのセクタにおけるメモリセルの制

50

御ゲートとそのセクタの半導体本体との間に、 $-15\text{V} \sim -25\text{V}$ の電位を与える。このバイアス機構は、プログラムおよび消去のサイクル中に電子が蓄積した領域において過剰な電子を除去し、制御ゲートから電荷トラップ層への電子注入電流と電荷トラップ構造体から半導体本体への電子放出電流の両方を引き起こすことによって、電荷トラップ構造体における電荷分布のバランスをとるのに役立つ。電荷トラップ構造体においてトラップされた電荷は、十分な時間の経過後動的バランスすなわち平衡に達し、この動的平衡においては、メモリセルの閾値電圧が目標閾値に収束し、その結果電荷トラップ構造体の長さ全体にわたって電荷分布のバランスがとられる。

【0039】

図12は、図6のステップ200に対応するリセット動作の性能(performance)を示すグラフである。リセット動作前には、電荷をトラップしないメモリセルの閾値電圧は1Vよりも低い。バイアス電圧が約 $-20\text{V}$ の状態ではリセット動作を約1~10秒間適用した後、目標低閾値電圧は3Vをわずかに上回る。図に示すように、第1のビットと第2のビットとは同時にリセットされる。

10

【0040】

図13は、メモリセルにおける左側のビット等の、一方のビットのプログラムの性能を示すグラフである。図示のように、約 $3.2\text{V}$ の消去状態閾値で開始し上述のソース側ホット電子注入を引き起こすメモリセルについて、第1のビットの閾値は約10マイクロ秒後約5ボルトである。メモリセルにおける、初期状態で低閾値状態にある他方のビットは、実質的に影響を受けない。

20

【0041】

図14は、メモリセルにおける左側のビットのプログラム後の右側のビット等の、一方のビットのプログラムの性能を示すグラフである。図示のように、約 $3.2\text{V}$ の消去状態閾値で開始し上述のソース側ホット電子注入を引き起こすメモリセルにおけるビットについて、第2のビットの閾値は約10マイクロ秒後約5ボルトである。メモリセルにおける、初期状態で高閾値状態にある他方のビットは、実質的に影響を受けない。

【0042】

図15は、プログラムしたビットを2つ有するセルについての消去動作の性能を示すグラフである。消去動作前には、このメモリセルにおける両方のビットの閾値電圧は約 $5.1\text{V}$ である。バイアス電圧が約 $-20\text{V}$ の状態では消去バイアス機構を約1~10秒間適用した後、目標低閾値電圧は約 $3.4\text{V}$ である。図で示すように、第1のビットと第2のビットとは同時に消去される。この消去はセクタの境界で実行されるので、セル当たりの消去時間を非常に短くすることができる。

30

【0043】

図16は、本発明の一実施形態による集積回路の概略ブロック図である。集積回路1650は、半導体基板上の電荷をトラップするメモリセルを用いて実施されるメモリアレイ1600を含む。行デコーダ1601が、メモリアレイ1600における行に沿って配列された複数のワード線1602に接続されている。列デコーダ1603が、複数の電流制御線と、メモリアレイ1600における列に沿って配列された複数の反転ビット線1604とに接続されている。バス1605上で、アドレスが列デコーダ1603および行デコーダ1601に供給される。ブロック1606におけるセンスアンプおよびデータイン構造体が、データバス1607を介して列デコーダ1603に接続される。データイン線1611を介して集積回路1650上の入出力ポートから、もしくは集積回路1650の内部または外部の他のデータソースから、データがブロック1606におけるデータイン構造体に提供される。データアウト線1612を介してブロック1606におけるセンスアンプから、集積回路1650上の入出力ポートに、もしくは集積回路1650の内部または外部の他のデータ出力先に、データが提供される。バイアス機構のステートマシン1609が、消去ベリファイ電圧およびプログラムベリファイ電圧等用のバイアス機構供給電圧1608の印加を制御し、上述の、アレイにおけるメモリセルをプログラム、読出し、および消去するためのバイアス機構は、FNトンネル効果電荷平衡消去動作を含む。

40

50

## 【 0 0 4 4 】

したがって、反転ビット線、電荷をトラップするメモリセルに基づいたメモリ技術が提供される。セルは、高速かつ低電流のプログラム手続きを用いて、セル当たり複数ビットを記憶することができ、良好な保持特性を有する。本構造体は、高密度のアレイにおけるフローティングゲートメモリでは生じる可能性のある、互いに隣接するセルにおける電荷蓄積構造体同士の電荷結合を受けることはない。アレイは比較的製造が簡単であり、例えばいくつかの実施形態においてはポリシリコン層が2つあればよい。さらに、メモリは、正の電圧の低閾値状態を用いることによって、過消去についての諸問題を解消するよう実施することができる。

## 【 0 0 4 5 】

本発明を、上に詳述した好ましい実施形態および例を参照して開示するが、このような例は限定的な意味ではなく例示的な意味に意図されるということが理解されなければならない。当業者には、変更および組合せが容易に理解される、ということが意図され、このような変更および組合せは、本発明の精神および特許請求の範囲内になる。

## 【 図面の簡単な説明 】

## 【 0 0 4 6 】

【 図 1 】 先行技術において既知の、ソース端子およびドレイン端子を埋込拡散した、電荷をトラップするメモリセルの略図である。

【 図 2 】 ソース端子およびドレイン端子の役割を果たす反転ビット線構造体を有する、電荷をトラップするメモリセルの断面図である。

【 図 3 】 本発明の一実施形態による、1行の反転ビット線メモリセルの断面図である。

【 図 4 】 本発明の別の実施形態による、1行の反転ビット線メモリセルの断面図である。

【 図 5 】 本発明のさらに別の実施形態による、1行の反転ビット線メモリセルの断面図である。

【 図 6 】 本発明の一実施形態についての、基本的なプログラムおよび消去のサイクル動作を示す。

【 図 7 】 本発明の一実施形態における、電荷をトラップするメモリセルの左側の1ビットをプログラムするためのバイアス機構を示す。

【 図 8 】 本発明の一実施形態における、電荷をトラップするメモリセルの右側の1ビットをプログラムするためのバイアス機構を示す。

【 図 9 】 本発明の一実施形態における、電荷をトラップするメモリセルの左側の1ビットを読み出すためのバイアス機構を示す。

【 図 1 0 】 本発明の一実施形態における、電荷をトラップするメモリセルの右側の1ビットを読み出すためのバイアス機構を示す。

【 図 1 1 】 本発明の一実施形態における電荷をトラップするメモリセルにおけるデータを消去するためのバイアス機構を示す。

【 図 1 2 】 電荷平衡リセット動作についての、閾値電圧  $V_t$  対時間のグラフである。

【 図 1 3 】 メモリセルの第1のビットのプログラム動作についての、閾値電圧  $V_t$  対時間のグラフである。

【 図 1 4 】 メモリセルの第2のビットのプログラム動作についての、閾値電圧  $V_t$  対時間のグラフである。

【 図 1 5 】 メモリセルの消去動作についての、閾値電圧  $V_t$  対時間のグラフである。

【 図 1 6 】 本明細書において説明する技術を含む集積回路メモリの概略ブロック図である。

。

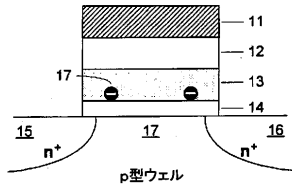
10

20

30

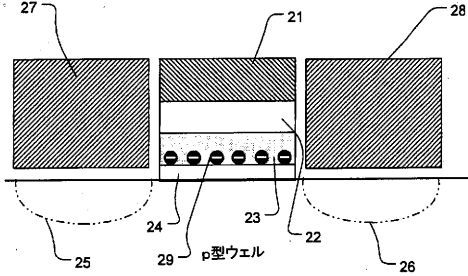
40

【図1】

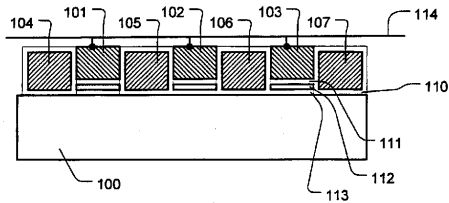


(先行技術)

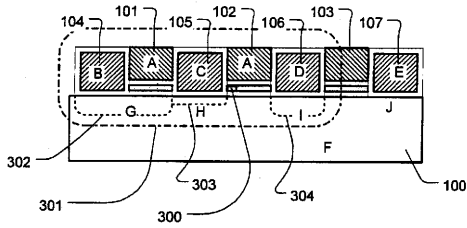
【図2】



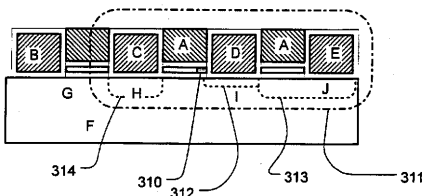
【図3】



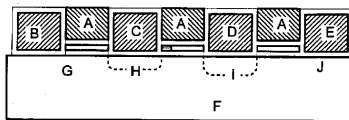
【図7】



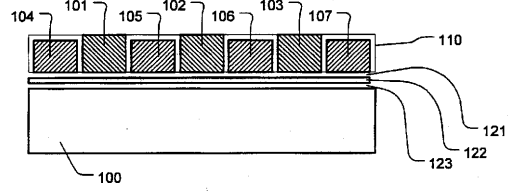
【図8】



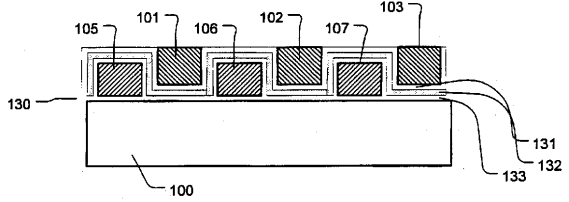
【図9】



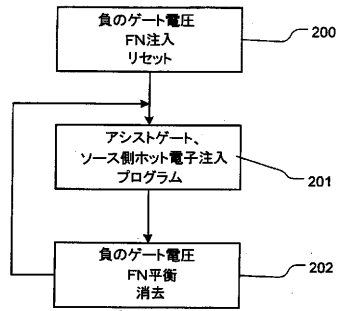
【図4】



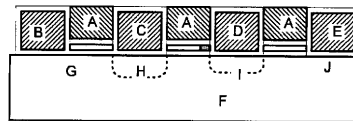
【図5】



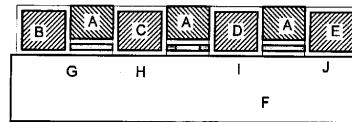
【図6】



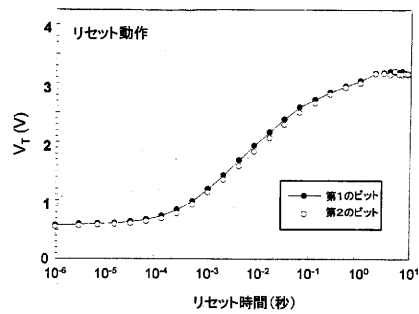
【図10】



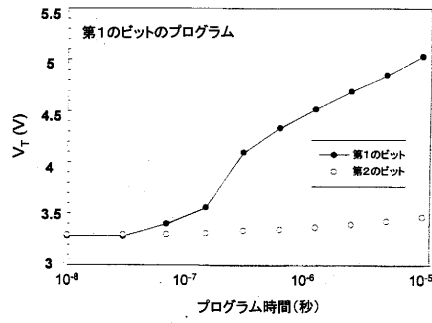
【図11】



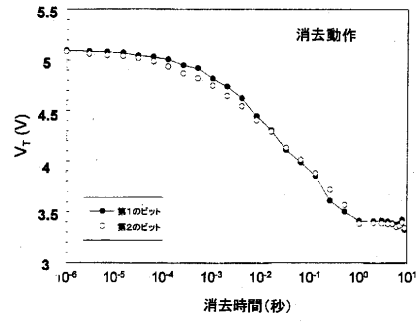
【図12】



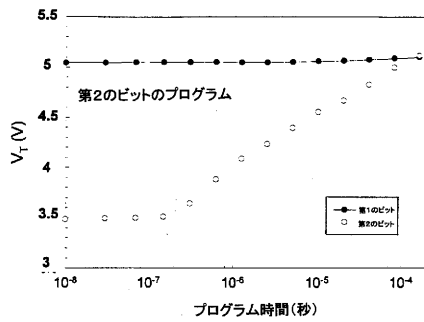
【図13】



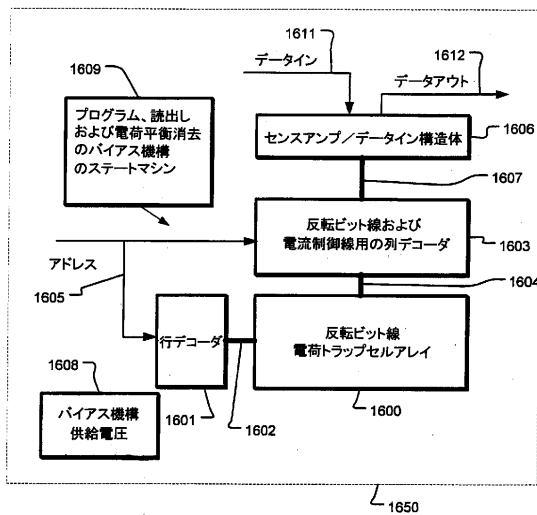
【図15】



【図14】



【図16】





---

フロントページの続き

(51) Int.Cl. F I

*H 0 1 L 21/8247 (2006.01)*

*H 0 1 L 27/115 (2006.01)*

(56) 参考文献 特開 2 0 0 4 - 1 5 2 9 7 7 ( J P , A )

特開 2 0 0 3 - 0 7 8 0 4 3 ( J P , A )

(58) 調査した分野(Int.Cl. , D B 名)

H01L29/788

H01L29/792

H01L27/115

H01L21/8247