

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H03H 11/18

(11) 공개번호 특1999-022015
(43) 공개일자 1999년03월25일

| | | | |
|---------------|--|-------------|-------------|
| (21) 출원번호 | 특1997-708490 | | |
| (22) 출원일자 | 1997년11월26일 | | |
| 번역문제출일자 | 1997년11월26일 | | |
| (86) 국제출원번호 | PCT/US 96/07288 | (87) 국제공개번호 | WO 96/37952 |
| (86) 국제출원출원일자 | 1996년05월21일 | (87) 국제공개일자 | 1996년11월28일 |
| (81) 지정국 | AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 케냐 EA EURASIAN특허 : 아르메니아 아제르바이잔 벨라루스 키르기즈 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국 국내특허 : 아일랜드 알바니아 오스트레일리아 바베이도스 불가리아 브 라질 캐나다 중국 체코 에스토니아 그루지야 헝가리 아이슬란드 일 본 북한 대한민국 | | |
| (30) 우선권주장 | 8/452,074 1995년05월26일 미국(US) | | |
| (71) 출원인 | 람버스 인코포레이티드 테이트 지오프 미국 캘리포니아 94040 마운틴 뷰 래덤 스트리트 2465 | | |
| (72) 발명자 | 돈넬리 케빈 에스. 미국 캘리포니아 94131 샌프란시스코 노어 스트리트 1671 차우 박 씽 미국 캘리포니아 95124 새너제이 클립스프링어 드라이브 1677 | | |
| (74) 대리인 | 장용식, 정진상 | | |

심사청구 : 없음

(54) 직교 클럭 발생기에 사용하기 위한 위상시프터

요약

직교 클럭 발생기의 일부로서 사용되는 위상 이동 회로. 위상 이동 회로는 입력 기준 신호를 수신하도록 결합된 삼각파 발생기를 포함한다. 삼각파 발생기는 입력 기준 신호에 응답하여 한 쌍의 보상 삼각파 신호를 출력한다. 한 쌍의 입력을 갖는 비교기는 한 쌍의 보상 삼각파 신호를 수신하도록 결합된다. 비교기는 한 쌍의 보상 삼각파 신호간의 비교에 응답하여 입력 기준 신호와 소정의 위상 관계를 갖는 출력신호를 출력한다.

대표도

도5

명세서

기술분야

본 발명은 일반적으로 위상 이동회로에 관한 것으로 더욱 상세히는 직교 출력신호를 제공하기 위해 직교 클럭 발생기에 사용될 수 있는 위상 이동회로에 관한 것이다.

배경기술

직교 클럭 발생기는 서로에 대해 90도 이상(out of phase)인 두 클럭 신호를 제공하기 위해 지연 잠금 루프(DLL)에 사용될 수 있다. 전형적으로, 제 1 출력 클럭 신호(I 출력 클럭 신호)는 입력 기준 클럭 신호와 동상(in phase)이고, 제 2 출력 클럭 신호(Q 출력 클럭 신호)는 입력 기준 클럭 신호와 이상이다. 직교 클럭 발생기의 두 출력 클럭 신호는 모두 기준 주파수를 갖는다. 출력 클럭 신호는 소망 위상 차를 제공하기 위해 위상 혼합되거나 입력 기준 클럭과 DLL의 출력 클럭 신호 사이에서 지연된다.

직교 클럭 발생기의 출력 클럭 펄스간의 소망 위상차로부터의 주기적 변동은 지터 결과로 된다. DLL 목적을 위해, 직교 클럭 발생기의 지터는 DLL의 타이밍 마진에 영향을 미치며, DLL을 위한 잠금 획득 시간을 증가시킨다. 그러므로, 감소된 지터는 바람직하다.

종래 기술의 일 방법에 따라, 직교 클럭 발생기는 먼저 입력 기준 클럭 신호의 주파수를 2 분주하고 서로에 대해 90도 이상인 두 신호를 산출하기 위해 감소된 주파수 신호로 동작한다. 따라서 주파수 분할 직교 클럭 발생기를 사용하는 DLL은 본래 주파수의 소망 출력 클럭 신호를 산출하기 위해 클럭 신호의 주파수를 2배로 증가시켜야만 한다.

대안 종래 기술의 방법에 따라, 직교 클럭 발생기는 주파수 분할 및 2배 증가에 대한 중간 단계 없이 직교 클럭 신호를 제공하기 위해 정 주파수(at frequency)에서 동작한다. 고정된 지연 엘리먼트는 전형적으로 소망 위상 관계를 제공하기 위해 사용된다. 주파수 분할 직교 클럭 발생기와 비교할 때, 정 주파수 직교 클럭 발생기는 감소된 회로 복잡도, 감소된 다이 크기 및 감소된 전력 소비와 같은 이점을 갖는다.

일반적으로, 주파수 분할 직교 클럭 발생기는 정 주파수 직교 클럭 발생기 보다 광 대역의 입력 기준 클럭 주파수에 걸쳐 출력신호간에 소망 위상 관계를 유지할 수 있다. 더욱이, 정 주파수 직교 클럭 발생기와 비교할 때, 주파수 분할 직교 클럭 발생기는 프로세스 변동, 전원 공급 변동 및 온도 변동 관점에서 더욱 양호하게 소망 위상 관계를 유지할 수 있다.

주파수 분할 직교 클럭 발생기가 적절한 지터 성능을 제공할 수 있는 경우에, 주파수 분할 직교 클럭 발생기를 사용하는 DLL은 주파수 증배에 사용되는 성능의 오정합에 기인하여 바이-모달 지터(및 따라서 열악한 타이밍 마진)을 나타낼 수 있다. 따라서, 주파수 분할 직교 클럭 발생기의 성분은 지터를 감소시키기 위해, 그리고 주파수 분할 직교 클럭 발생기의 제조 단가를 더욱 감소시키기 위해 반드시 정확히 정합되어야 한다.

발명의 상세한 설명

따라서, 본 발명의 목적은 개선된 지터 성능을 갖는 정 주파수 직교 클럭 발생기를 제공하는 것이다.

이러한 목적 및 기타 목적은 Q 출력 클럭신호를 제공하기 위한 정 주파수 위상 이동 회로와 I 출력 클럭신호를 제공하기 위한 제 1 비교기를 갖는다. 위상 이동 회로 및 제 2 비교기는 입력 기준 클럭 신호를 수신하도록 결합된다. 위상 이동 회로는 제 2 비교기와 직렬 연결된 삼각파 발생기를 포함한다. 삼각파 발생기는 입력 기준신호에 응답하여 한 쌍의 보상 삼각파 신호를 출력한다. 제 2 비교기는 한 쌍의 보상 삼각파 신호간의 비교에 응답하여 Q 출력신호를 출력한다. 제 2 비교기와 위상 이동 회로의 출력 클럭신호가 비교하는 것을 더욱 양호하게 보장하기 위해, 제 1 및 제 2 비교기는 비교기와 연관된 전달 지연이 동일하도록 정합된다.

대안 실시예에 따라, 소정의 고정 지연을 제공하기 위해 위상 이동 회로가 단독으로 사용될 수 있다. 더욱이, 직교 클럭 발생기는 DLL의 성분으로서 사용될 수 있다.

도면의 간단한 설명

도 1은 일 실시예에 따른 직교 클럭 발생기와 위상 이동 회로의 지연 잠금 루프를 나타낸 도.

도 2는 일 실시예에 따른 위상 이동 회로를 포함하는 것으로 직교 클럭 발생기를 나타낸 도.

도 3은 위상 이동 회로의 삼각파 발생기를 상세히 나타낸 도.

도 4는 일 실시예에 따른 직교 클럭 발생기와 위상 이동 회로의 동작을 나타낸 도.

도 5는 듀티 사이클 에러 정정을 갖춘 위상 이동회로를 포함하는 것으로서 직교 클럭 발생기를 나타낸 도.

도 6은 일 실시예에 따른 듀티 사이클 에러 정정회로를 나타낸 도.

도 7은 일 실시예에 따른 필터를 나타낸 도.

실시예

본 발명은 단지 예시적인 것이며, 부재번호가 마찬가지로의 엘리먼트를 지시하는 첨부 도면에 한정되지 않는다.

정 주파수에서 동작하며 직교 클럭 발생기의 일부로서 합체될 수 있는 위상 이동회로가 본 명세서에 설명된다. 위상 이동회로는 일반적으로 비교기와 직렬 연결된 삼각파 발생기를 포함한다. 삼각파 발생기는 주기적 입력 신호를 수신하여 두 개의 보상 삼각파 신호를 출력한다. 비교기는 제 1 삼각파의 값과 제 2 삼각파의 값을 비교하여, 제 1 삼각파의 값이 제 2 삼각파의 값 보다 크면 논리 하이(high)값을 출력하고, 제 1 삼각파의 값이 제 2 삼각파의 값 보다 작으면 논리 로우(low)값을 출력한다.

비교기의 출력은 제 1 삼각파와 제 2 삼각파가 동일하면 논리 하이값과 논리 로우값 사이에서 천이한다. 입력신호가 50%의 듀티 사이클을 갖는다고 가정하면, 비교기의 출력은 입력신호의 천이와 약 90도의 이상으로 천이한다. 위상 이동 회로는 직교 클럭 발생기의 Q 출력 클럭 신호를 제공하는 데 사용될 수 있고, 여기서 위상 이동 회로의 비교기와 거의 동일한 지연을 갖는 제 2 비교기는 직교 클럭 발생기의 I 출력 클럭 신호를 제공하기 위해 입력신호에 결합된다.

도 1은 직교 클럭 발생기(105), 가변 지연부(110), 클럭 버퍼(115), 위상 검출기(120) 및 충전 펌프(125)를 포함하는 지연 잠금 루프(DLL)(100)에 대한 단순 블록도를 나타낸다. 50%의 듀티 사이클을 갖는 기준 클럭신호가 직교 클럭 발생기(105)에 입력으로 공급된다. 직교 클럭 발생기(105)는 입력 기준 클럭신호와 동상인 제 1 출력 클럭 신호 I와 이 제 1 출력 클럭 신호 I와 90도의 이상을 갖는 제 2 출력 클럭 신호 Q를 발생시키기 위해 입력 기준 클럭신호를 사용한다. I 및 Q 출력 클럭 신호는 서로에 대해 직교인 것으로 일컫는다.

가변 지연부(110)는 직교 클럭 발생기로부터 직교신호를 수신하며 입력 기준 클럭신호에 대해 소망 위상

관계를 갖는 DLL 출력 클럭신호를 발생하기 위해 가변 지연을 산출하도록 직교신호를 위상 혼합한다. 클럭 버퍼(115)는 가변 지연부(110)의 출력을 수신하고 DLL(100)의 출력에 커다란 배선 커패시턴스 부하를 구동하기 위해 버퍼링 된다.

도시된 바와 같이, DLL(100)의 출력신호가 위상 검출기(120)에 공급되고, 위상 검출기(120)는 또한 입력 기준 클럭신호를 수신한다. 위상 검출기(120)는 입력 기준 클럭신호와 DLL(100)의 출력신호를 비교하고 위상 시프터(110)로 하여금 I 출력 클럭 신호와 Q 출력 클럭 신호의 위상 혼합을 조정하므로써 DLL(100)의 출력신호의 상대 위상을 조정하게 하는 제어신호를 출력한다. 이 제어신호는 제어 디지털 워드 또는 디지털 신호와 같은 아날로그 전압일 수 있다.

도 2는 일실시에 따른 직교 클럭 발생기를 도시한다. 직교 클럭 발생기(105)는 일반적으로 위상 이동회로(200) 및 비교기(210)를 포함하는 것으로 도시되어 있고 여기서 위상 이동회로(200)는 Q 출력 신호를 공급하고 비교기(210)는 I 출력신호를 출력한다. 입력 기준 클럭 신호는 CLK로 표기되어 있고 보상 기준 클럭 신호 CLKB를 따라 위상 이동회로(200) 및 비교기(210)에 공급된다. 직교 클럭 발생기(105)의 I 출력 신호는 입력 기준 클럭 신호(CLK)와 거의 동상이고, Q 출력 신호는 I 출력신호와 90도인 이상을 갖는다.

위상 이동회로(200)는 삼각파 발생기(201) 및 비교기(205)를 포함하는 것으로 도시되어 있다. 삼각파 발생기(201)는 비교기(205)의 포지티브 입력에 제 1 삼각파 신호(VOUT)를 출력하고 제 2 보상 삼각파 신호(VOUTB)를 비교기(205)의 네거티브 입력에 출력한다. 보상 삼각파 신호는 보상 입력 기준 클럭신호에 응답하여 출력한다. 일실시에 따라, VOUT은 입력 기준 클럭신호(CLK)의 적분이고, VOUTB는 보상 입력 기준 클럭신호(CLKB)의 적분이다.

비교기(205)는 영 미분 교차 지점에서 논리 하이 및 논리 로우간에 천이하는 구형파 신호를 출력하고 여기서 VOUT 과 VOUTB의 신호값은 동일하다. 영 미분 교차 지점은 입력 기준 클럭신호와 약 90도의 이상을 갖는다. 비교기(205)의 지연은 추가 위상차 결과로 되고, 비교기(210)는 I 및 Q 출력신호가 서로에 대해 직교하도록 매칭 지연을 갖도록 선택된다. 따라서, 비교기(210)의 지연은 I 출력신호가 입력 기준 클럭신호(CLK)와 약간 이상이 되게하며, 비교기(210)의 지연에 의해 야기된 위상차를 정확히 소거시킨다.

일 실시예에 따라, 삼각파 발생기(201)는 전류 스위치(202) 및 필터(203)를 포함한다. 전류 스위치(202)는 CLK 및 CLKB를 수신하기 위한 한 쌍의 입력과 출력전류(I_{out})를 출력하기 위한 출력단자(A 및 B)를 포함한다. 필터(203)는 전류 스위치(202)의 출력단자에 걸쳐 결합된다. 전류 스위치(202)는 보상 입력 클럭신호(CLK 및 CLKB)에 응답하여 출력전류(I_{out})의 흐름방향을 변경시킨다. 예를들어, 입력 클럭신호(CLK)가 논리 하이이면, 출력전류(I_{out})는 출력단자(A)로부터 필터(203)를 통하여 흐르므로써 VOUT는 증가하고 VOUTB는 감소한다. 입력 클럭신호(CLK)가 논리 로우이면, 출력전류(I_{out})는 출력단자(B)로부터 필터(203)를 통하여 흐르므로써 VOUTB는 증가하고 VOUT는 감소한다.

필터(203)는 각각이 전류 스위치(202)의 출력단자를 가로질러 결합된 레지스터(215) 및 커패시터(220)를 포함하는 것으로 도시되어 있다. 레지스터(215) 및 커패시터(220)의 값은 필터(203)의 RC 시정수가 전압(VOUT 및 VOUTB)의 슬루(slew)율을 제한하도록 선택되고, VOUT 및 VOUTB 가 공급전압(VCC 및 VSS)의 달성을 방지하며, 보상 삼각파 신호가 되는 결과로 된다. 레지스터(215) 및 커패시터(220)의 값은 또한 삼각파 신호의 진폭이 가능한 한 크도록 선택된다. 여기서 CLK는 250MHz 주파수를 가지며, 대표적인 레지스터(215) 및 커패시터(220)의 값은 각각 4k Ω 및 0.4pF 이다. 필터(203)의 레지스터(215)는 도 7에 도시된 바와 같은 방식으로 결합된 두 개의 1/2 값 레지스터와 2배 값 커패시터에 의해 제공될 수 있다.

도 3은 정합된 NMOS 트랜지스터(302 및 304)와 전류원(305, 306 및 308)의 차동 쌍을 포함하는 일 실시예의 전류 스위치(202)를 도시한다. 트랜지스터(302)는 CLK신호를 수신하도록 결합된 게이트와 전류원(306)을 통하여 공급전압 VCC에 결합된 드레인을 갖는다. 마찬가지로, 트랜지스터(304)는 CLKB신호를 수신하도록 결합된 게이트와 전류원(308)을 통하여 공급전압 VCC에 결합된 드레인을 갖는다. 트랜지스터(302 및 304)의 소스는 공통으로 전류원(305)을 통하여 시스템 접지 VSS에 결합된다. 전류원(306 및 308)은 각각 전류(I_1)를 공급하고, 전류원(305)은 I_1 값의 두 배를 갖는 전류를 싱크시킨다.

도시된 바와 같이, 전류 스위치(202)의 출력단자(A)는 트랜지스터(304)의 드레인에 결합되고, 출력단자(B)는 트랜지스터(302)의 드레인에 결합된다. 그러므로, 트랜지스터(302 및 304)의 드레인은 서로 필터(203)를 통하여 결합되어 필터(203)는 시스템 접지(VSS)에 도전경로를 제공한다. 트랜지스터(302)가 스위치 오프되고 트랜지스터(304)가 스위치 온 되는 경우에, 전류원(306)에 의해 공급된 전류는 필터(203) 및 트랜지스터(302)를 통하여 전환되므로써 출력단자(B)의 전압(VOUTB)은 출력단자(A)의 전압(VOUT)에 대해 증가한다. 마찬가지로, 트랜지스터(302)가 스위치 온되고 트랜지스터(304)가 스위치 오프되는 경우에, 전류원(308)에 의해 공급된 전류는 필터(203) 및 트랜지스터(302)를 통하여 전환되므로써 전압(VOUT)은 전압(VOUTB)에 대해 증가한다. NMOS 트랜지스터(302 및 304)는 정합되고 전류원(306 및 308)은 정합되기 때문에, VOUT 및 VOUTB의 진폭은 동일하다.

도 4는 전류 스위치(202) 및 직교 클럭 발생기(105)의 동작을 나타내는 여러 파형을 도시한다. 상세히는, 도 4는 보상 입력 기준 클럭신호(CLK, CLKB), 보상 삼각파 신호(VOUT, VOUTB) 및 직교 출력신호(Q, I)를 도시한다.

시간(T_0)에서, CLK는 논리 로우 값으로부터 논리 하이 값으로 천이하며, 보상 클럭신호(CLKB)는 논리 하이 값으로부터 논리 로우 값으로 천이하며, 전압(VOUT, VOUTB)은 각각 자신들의 최대값 및 최소값에 있다. CLK가 논리 하이이고 CLKB가 논리 로우인 동안, 트랜지스터(302)는 스위치 온되고 트랜지스터(304)는 스위치 오프되므로써 전류원(308)은 출력단자(A)로부터 필터(203)를 통하여 출력단자(B) 및 트랜지스터(302)를 거쳐 시스템 접지(VSS)로 흐르는 전류(I_1)를 공급한다. 따라서, 시간(T_0)에서 VOUT는 증가하기 시작하고 VOUTB는 감소하기 시작한다.

전류 스위치 발생기(202)의 성분이 정합되었기 때문에, VOUT 및 VOUTB에 대한 변경 시간 비율은 진폭이 동일하고 및 극성은 반대이다. 더욱이, 필터(203)의 RC 시정수는 두 신호가 VCC 보다 작은 최대값(V)과

VSS 보다 큰 최소값(V) 사이에서 스윙하는 삼각파가 되도록 VOUT 및 VOUTB의 슬루율을 한정한다. 이러한 이유로, VOUT 및 VOUTB의 값은 시간(T0 및 T1)에서 1/2 지점에서 동일하다. 따라서, 삼각파 신호 VOUT 및 VOUTB의 차동 교차 포인트는 입력기준 클럭신호(CLK)의 천이와 90도의 이상으로 발생한다.

비교기(205)(도 2에 도시됨)는 차동 교차점을 검출하여 Q 출력신호가 논리 로우로부터 논리 하이로 천이하게 한다. 비교기(205)의 천이 시간은 Q 출력신호가 CLK와 실질적으로 (90+ θ)의 이상이 되도록 직교 클럭 발생기(200)의 Q 출력신호에 지연(T₀)을 도입하며, 여기서 θ 는 지연(T₀)에 대응하는 위상차이다. 비교기(205)의 지연은 I 출력신호도 지연(T₀)을 포함하도록 선택된다. 따라서, Q 출력신호는 정확히 I 출력신호와 90도의 이상을 갖는다.

시간(T1)에서, CLK는 하이 값으로부터 로우 값으로 천이하며, CLKB는 논리 로우 값으로부터 하이 값으로 천이하며, VOUT 과 VOUTB는 각각 자신들의 최대값 및 최소값에 있다. CLK가 논리 로우이고 CLKB가 논리 하이인 동안, 트랜지스터(304)는 스위치 온되고 트랜지스터(302)는 스위치 오프되므로써 전류원(306)은 출력단자(B)로부터 필터(203)를 통하여 출력단자(A) 및 트랜지스터(304)를 거쳐 시스템 접지(VSS)로 흐르는 전류(I₁)를 공급한다. 따라서, 시간(T1)에서 VOUTB는 증가하기 시작하고 VOUT는 감소하기 시작한다. 또 다른 영 차동 교차점이 T1과 T2의 중간에서 발생한다. 비교기(205)는 영 차동 교차점을 검출하여 Q 출력신호가 논리 하이로부터 논리 로우로 천이하게 한다. 시간(T2)에서, CLK는 로우로부터 하이로 천이한다.

따라서 이제껏, Q 출력신호는 50% 듀티 사이클을 갖는 것으로 가정된다. 만일 입력 기준 클럭 신호(CLK)가 50% 듀티 사이클을 갖지 않는다면 또는 구성성분이 정합되지 않는다면, 삼각파의 상승 에지 및 하강 에지는 동일 전압 부근에서 중심을 이루지 않을 수 있으므로, Q 출력신호는 50% 듀티 사이클을 갖지 않을 수도 있다. DLL(100)을 위한 목적으로, Q 출력신호는 50% 듀티 사이클을 갖는 것이 바람직하다. 그러므로, 도 5에 도시된 직교 클럭 발생기는 듀티 사이클 에러를 정정하기 위한 추가의 회로를 포함한다.

상세히는, 도 5에 도시된 직교 클럭 발생기(105)의 실시예는 듀티 사이클 정정회로(520)를 포함하는 듀티 사이클 에러 관리회로(515)를 포함한다. 듀티 사이클 정정회로(520) 및 듀티 사이클 에러 관리회로(515)는 위상 시프터(200)의 비교기(505)의 출력과 삼각파 발생기(201)의 전류 스위치(202)의 출력간에 피드백 구성으로 결합된다.

도시된 바와 같이, 비교기(505)는 Q 출력신호와 180도의 이상인 QB 출력신호를 출력하는 보상 출력을 갖는다. Q 및 QB 출력신호는 듀티 사이클 에러 관리회로(515)에 입력으로 제공되고, 이것은 본 명세서에서 참조되고, 캘리포니아 소재 마운틴 뷰에 있는 Rambus, Inc.에 양도되고, 발명의 명칭 Amplifier With Active Duty Cycle Correction인 미합중국 특허 출원 제 08/196,711 호에 개시된 기술에 따라 제조될 수 있다.

듀티 사이클 에러 관리회로(515)는 Q 출력신호의 듀티 사이클과 50% 듀티 사이클간의 차이 검출에 응답하여 차동 에러 전압(V_{Δ+} 및 V_{Δ-})을 출력한다. 듀티 사이클 에러 관리회로(515)는 듀티 사이클의 에러 진폭에 비례하는 진폭을 갖는 에러 전압(V_Δ)이 서서히 변하여 거의 DC 전압까지 되는 결과로 되는 필터(도시하지 않음)를 포함한다. 이러한 2차 피드백 루프의 안정성을 보장하기 위해, 듀티 사이클 에러 관리회로(515)의 필터를 위한 폴은 듀티 사이클 정정 피드백 루프의 도미넌트 폴이 되도록 선택된다.

듀티 사이클 정정회로(520)는 차동 에러 전압(V_Δ)을 받아들이고 Q 출력신호가 50%의 듀티 사이클을 갖도록 차동 에러 전압(V_Δ)에 응답하여 출력단자(C 및 D)를 거쳐 정정 전류(I_Δ)를 공급한다. 도시된 바와 같이, 출력단자(C 및 D)는 각각 전류 스위치(202)의 출력단자(A 및 B)에 결합된다. 정정 전류(I_Δ)의 흐름 방향은 Q 출력신호의 듀티 사이클이 50% 보다 큰지 또는 50% 보다 작은 지의 여부에 좌우된다. 정정 전류(I_Δ)는 Q 출력신호가 50% 보다 작은 듀티 사이클을 가질 때 출력단자(C)로부터 흐른다. 정정 전류(I_Δ)는 Q 출력신호가 50% 보다 큰 듀티 사이클을 가질 때 출력단자(D)로부터 흐른다. 정정 전류(I_Δ)는 필터(203)로 공급되기 이전에 전류 스위치(202)의 출력 전류(I_{out})와 합해진다. 그러므로 정정전류는 삼각파중의 하나가 전압이 증가되게 하며 여기서 다른 삼각파 신호는 입력 기준 클럭 신호(CLK)의 상승 및 하강 에지 사이의 1/2 지점에서 영 차동 교차점이 발생하도록 감소한다.

일 실시예에 따라, 듀티 사이클 정정회로(520)는 정정전류(I_Δ)를 스위칭하는 전류 스위치이다. 도 6은 정합된 NMOS 트랜지스터(602 및 604)와 전류원(605, 606 및 608)의 차동 쌍을 일반적으로 포함하는 전류 스위치로서의 듀티 사이클 정정회로(520)를 도시한다. 트랜지스터(602)는 V_{Δ+} 에러 전압을 받아들이도록 결합된 게이트와 전류원(606)을 통하여 공급전압 VCC에 결합된 드레인을 갖는다. 마찬가지로, 트랜지스터(604)는 V_{Δ-} 에러 전압을 받아들이도록 결합된 게이트와 전류원(608)을 통하여 공급전압 VCC에 결합된 드레인을 갖는다. 트랜지스터(602 및 604)의 소스는 공통으로 전류원(605)을 통하여 시스템 접지(VSS)에 결합된다. 전류원(606 및 608)은 각각 전류(I₂)를 공급하고, 전류원(605)은 2I₂ 인 전류를 싱크시킨다. 전류(I₂)는 전류 스위치(202)에 사용되는 전류(I₁) 보다 훨씬 작다.

도 7은 일 실시예에 따른 필터(203)의 레지스터(215) 및 커패시터(220)를 도시한다. 레지스터(215)는 전류 스위치(202)의 출력단자(A)와 공통 모드 전압(V_{cm}) 사이에 결합된 제 1의 1/2 값 레지스터(705)와 전류 스위치(202)의 출력단자(B)와 공통 모드 전압(V_{cm}) 사이에 결합된 제 2의 1/2 값 레지스터(710)를 포함하는 것으로서 도시되어 있다. 커패시터(220)는 전류 스위치(202)의 출력단자(A)와 시스템 접지(VSS) 사이에 결합된 제 1의 2배값 커패시터(715)와 전류 스위치(202)의 출력단자(B)와 시스템 접지(VSS) 사이에 결합된 제 2의 2배값 커패시터(720)를 포함한다.

상기 설명에서 본 발명은 본 발명의 특정 실시예를 참조하여 설명되었다. 그러나, 첨부된 청구의 범위에 개시된 바와 같은 본 발명의 범위 및 더욱 넓은 정신으로부터 벗어남이 없이 다양한 수정 및 변경이 이루어질 수 있음은 자명할 것이다. 따라서 본 명세서 및 도면은 제한적이기 보다 예시적인 것으로 간주되어

야 한다.

(57) 청구의 범위

청구항 1

입력 기준신호를 수신하기 위해 결합되고, 입력 기준신호에 응답하여 한 쌍의 보상 삼각파 신호를 출력하는 한 쌍의 보상 삼각파 출력단을 포함하는 삼각파 신호 발생기; 와

한 쌍의 보상 삼각파 신호를 수신하기 위해 결합된 한 쌍의 입력단을 가지며, 한 쌍의 보상 삼각파 신호 간의 비교에 응답하여 입력 기준신호와 소정 위상관계를 갖는 출력신호를 출력하는 비교기를 포함하는 것을 특징으로 하는 위상 이동 회로.

청구항 2

제 1 항에 있어서, 삼각파 발생기는

보상 출력단에 걸쳐서 결합된 필터;와

입력 기준신호를 수신하기 위해 결합되고, 보상 출력단에 출력 전류를 공급하는 전류 스위치를 포함하며, 여기서 전류 스위치는 입력 기준신호에 응답하여 출력 전류에 대한 흐름 방향을 역전시키고, 필터는 보상 삼각파 신호 결과로 되도록 출력전류를 적분하는 것을 특징으로 하는 위상 이동 회로.

청구항 3

제 1 항에 있어서, 삼각파 발생기는

입력 기준신호에 결합된 제 1 입력단, 보상 입력 기준신호에 결합된 제 2 입력단과, 한 쌍의 보상 삼각파 출력단을 포함하는 차동 증폭기;와

보상 삼각파 출력단에 걸쳐서 결합되고, 차동 증폭기의 보상 삼각파 출력단으로 하여금 보상 삼각파 신호를 출력하게 하는 필터를 포함하는 것을 특징으로 하는 위상 이동 회로.

청구항 4

제 3 항에 있어서, 차동증폭기는

차동 증폭기의 제 1 입력단으로서 결합된 게이트, 차동 증폭기의 보상 출력단중의 제 1 보상 출력단으로서 결합된 제 1 단자와, 제 1 노드에 결합된 제 2 단자를 포함하는 제 1 전계효과 트랜지스터(FET);

제 1 FET의 제 1 단자와 제 1 공급 레일 사이에 결합된 제 1 전류원;

차동 증폭기의 제 2 입력단으로서 결합된 게이트, 차동 증폭기의 보상 출력단중의 제 2 보상 출력단으로서 결합된 제 1 단자와, 제 1 노드에 결합된 제 2 단자를 포함하는 제 2 FET;

제 2 FET의 제 1 단자와 제 1 공급 레일 사이에 결합된 제 2 전류원; 및

제 1 노드와 제 2 공급 레일 사이에 결합된 제 3 전류원을 포함하는 것을 특징으로 하는 위상 이동 회로.

청구항 5

제 2 항에 있어서, 제 1 및 제 2 전류원은 각각 약 1 암페어의 전류를 흐르게하고 제 3 전류원은 약 21 암페어의 전류를 흐르게 하는 것을 특징으로 하는 위상 이동 회로.

청구항 6

제 1 항에 있어서, 위상 이동 회로는 CMOS 회로로 구현되는 것을 특징으로 하는 위상 이동 회로.

청구항 7

제 1 항에 있어서, 위상 이동 회로는 단일 반도체 기판상에 구현되는 것을 특징으로 하는 위상 이동 회로.

청구항 8

제 1 항에 있어서,

비교기의 출력단에 결합되고, 50% 듀티 사이클로부터 벗어나는 비교기의 출력신호에 응답하여 에러 신호를 출력하는 듀티 사이클 에러 관리 회로;

에러 신호에 결합된 입력단과 차동증폭기의 보상 출력단에 결합된 한 쌍의 출력단을 포함하고, 비교기의 출력이 50% 듀티 사이클을 갖도록 정정 전류를 출력하는 제 2 차동증폭기를 더 포함하는 것을 특징으로 하는 위상 이동 회로.

청구항 9

제 1 출력신호에 대해 약 90도의 이상을 갖는 제 2 출력신호와 제 1출력신호를 출력하는 직교 클럭 발생기 회로에 있어서,

입력 기준신호에 결합된 입력단을 가지며, 보상 입력 신호에 응답하여 제 1 출력신호를 출력하는 제 1 비교기;

입력 기준신호를 수신하도록 결합되고, 입력 신호에 응답하여 한 쌍의 보상 삼각파 신호를

출력하는 한 쌍의 보상 출력단을 포함하는 삼각파 발생기;와
 한 쌍의 보상 삼각파 신호를 수신하도록 결합된 한 쌍의 입력단을 가지며, 한 쌍의 보상 삼각파 신호간의 비교에 응답하여 제 2 출력신호를 출력하는 제 2 비교기, 를 포함하며, 입력신호에 결합된 위상 이동회로를 포함하는 것을 특징으로 하는 직교 클럭 발생기 회로.

청구항 10

제 9 항에 있어서, 삼각파 발생기는, 보상 삼각파 출력단에 걸쳐서 결합된 필터;와
 입력 기준신호를 수신하기 위해 결합되고, 보상 삼각파 출력단에 출력 전류를 공급하는 전류 스위치를 포함하며, 여기서 전류 스위치는 입력 기준신호에 응답하여 출력 전류에 대한 흐름 방향을 역전시키고, 필터는 보상 삼각파 신호 결과로 되도록 출력전류를 적분하는 것을 특징으로 하는 직교 클럭 발생기.

청구항 11

제 9 항에 있어서, 삼각파 발생기는
 입력 기준신호에 결합된 제 1 입력단, 보상 입력 기준신호에 결합된 제 2 입력단과, 한 쌍의 보상 삼각파 출력단을 포함하는 차동 증폭기;와
 보상 출력단에 걸쳐서 결합되고, 차동 증폭기의 보상 출력단으로 하여금 보상 삼각파 신호를 출력하게 하는 필터를 포함하는 것을 특징으로 하는 직교 클럭 발생기.

청구항 12

제 11 항에 있어서, 차동증폭기는
 차동 증폭기의 제 1 입력단으로서 결합된 게이트, 차동 증폭기의 보상 출력단중의 제 1 보상 출력단으로서 결합된 제 1 단자와, 제 1 노드에 결합된 제 2 단자를 포함하는 제 1 전계효과 트랜지스터(FET);
 제 1 FET의 제 1 단자와 제 1 공급 레일 사이에 결합된 제 1 전류원;
 차동 증폭기의 제 2 입력단으로서 결합된 게이트, 차동 증폭기의 보상 출력단중의 제 2 보상 출력단으로서 결합된 제 1 단자와, 제 1 노드에 결합된 제 2 단자를 포함하는 제 2 FET;
 제 2 FET의 제 1 단자와 제 1 공급 레일 사이에 결합된 제 2 전류원; 및
 제 1 노드와 제 2 공급 레일 사이에 결합된 제 3 전류원을 포함하는 것을 특징으로 하는 직교 클럭 발생기.

청구항 13

제 11 항에 있어서, 제 1 및 제 2 전류원은 각각 1 암페어의 전류를 흐르게하고 제 3 전류원은 21 암페어의 전류를 싱크시키는 것을 특징으로 하는 직교 클럭 발생기.

청구항 14

제 9 항에 있어서, 직교 클럭 발생기는 CMOS 회로로 구현되는 것을 특징으로 하는 직교 클럭 발생기.

청구항 15

제 9 항에 있어서, 직교 클럭 발생기는 단일 반도체 기판상에 구현되는 것을 특징으로 하는 직교 클럭 발생기 회로.

청구항 16

제 9 항에 있어서,
 비교기의 출력단에 결합되고, 50% 듀티 사이클로부터 벗어나는 비교기의 출력신호에 응답하여 에러 신호를 출력하는 듀티 사이클 에러 관리 회로;와
 에러 신호에 결합된 입력단과 차동증폭기의 보상 출력단에 결합된 한 쌍의 출력단을 포함하고, 비교기의 출력이 50% 듀티 사이클을 갖도록 정정 전류를 출력하는 제 2 차동증폭기를 더 포함하는 것을 특징으로 하는 직교 클럭 발생기.

청구항 17

제 1 출력신호에 대해 약 90도의 이상을 갖는 제 2 출력신호와 제 1 출력신호를 출력하며,
 입력 기준신호에 결합된 입력단을 가지며, 입력 기준 신호에 응답하여 제 1 출력신호를 출력하는 제 1 비교기;
 입력신호에 결합되며,
 입력 기준신호를 수신하도록 결합되고, 입력 기준 신호에 응답하여 한 쌍의 보상 삼각파 신호를 출력하는 한 쌍의 보상 출력단을 포함하는 삼각파 발생기;와
 한 쌍의 보상 삼각파 신호를 수신하도록 결합된 한 쌍의 입력단을 가지며, 한 쌍의 보상 삼각파 신호간의 비교에 응답하여 제 2 출력신호를 출력하는 제 2 비교기를

포함하는 위상 이동회로를

포함하는 직교 클럭 발생기;

제 1 및 제 2 출력신호를 수신하도록 결합되고, 제어신호에 응답하여 지연된 신호를 출력하는 가변지연회로;

지연된 신호를 수신하여 버퍼링 하도록 결합되고, DLL의 출력신호를 출력하는 클럭 버퍼 회로;와

입력 기준 신호와 DLL의 출력신호에 결합되고, 입력신호와 출력신호간의 비교에 응답하여 제어신호를 발생하는 위상 검출기를 포함하는 것을 특징으로 하는 지연-잠금 루프.

청구항 18

제 17 항에 있어서, 삼각파 발생기는,

보상 출력단에 걸쳐서 결합된 필터;와

입력 기준신호를 수신하도록 결합되고, 보상 출력단에 출력 전류를 공급하는 전류 스위치를 포함하며, 여기서 전류 스위치는 입력 기준신호에 응답하여 출력 전류에 대한 흐름 방향을 역전시키고, 필터는 보상 삼각파 신호 결과로 되도록 출력전류를 적분하는 것을 특징으로 하는 지연-잠금 루프.

청구항 19

제 17 항에 있어서, 삼각파 발생기는

입력 기준신호에 결합된 제 1 입력단, 보상 입력 기준신호에 결합된 제 2 입력단과, 한 쌍의 보상 출력단을 포함하는 차동 증폭기;와

보상 출력단에 걸쳐서 결합되고, 차동 증폭기의 보상 출력단으로 하여금 보상 삼각파 신호를 출력하게 하는 필터를 포함하는 것을 특징으로 하는 지연-잠금 루프.

청구항 20

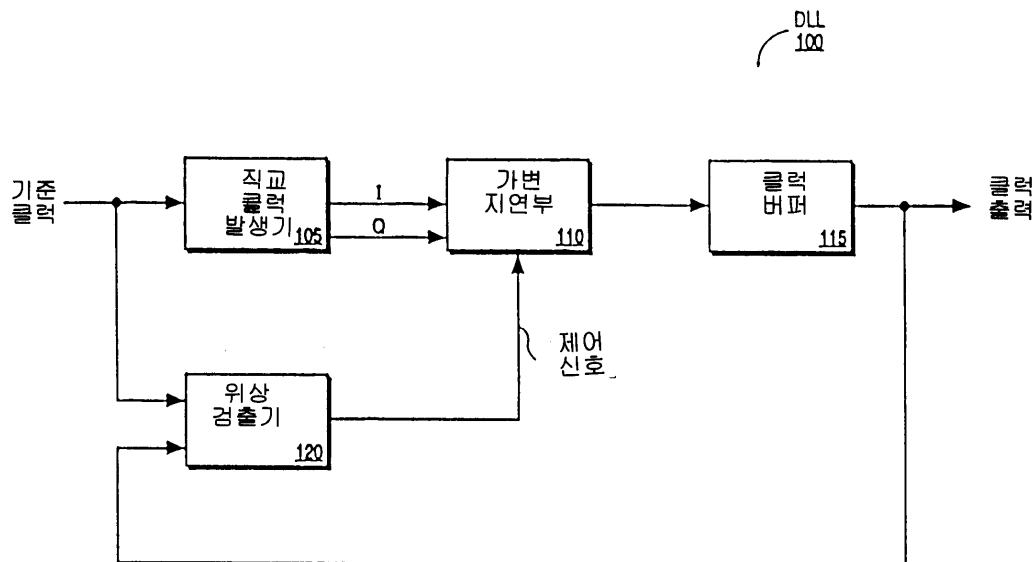
출력신호와 입력신호간에 약 90도의 위상 이동을 제공하는 방법에 있어서,

한 쌍의 보상 삼각파 신호를 발생하는 단계;와

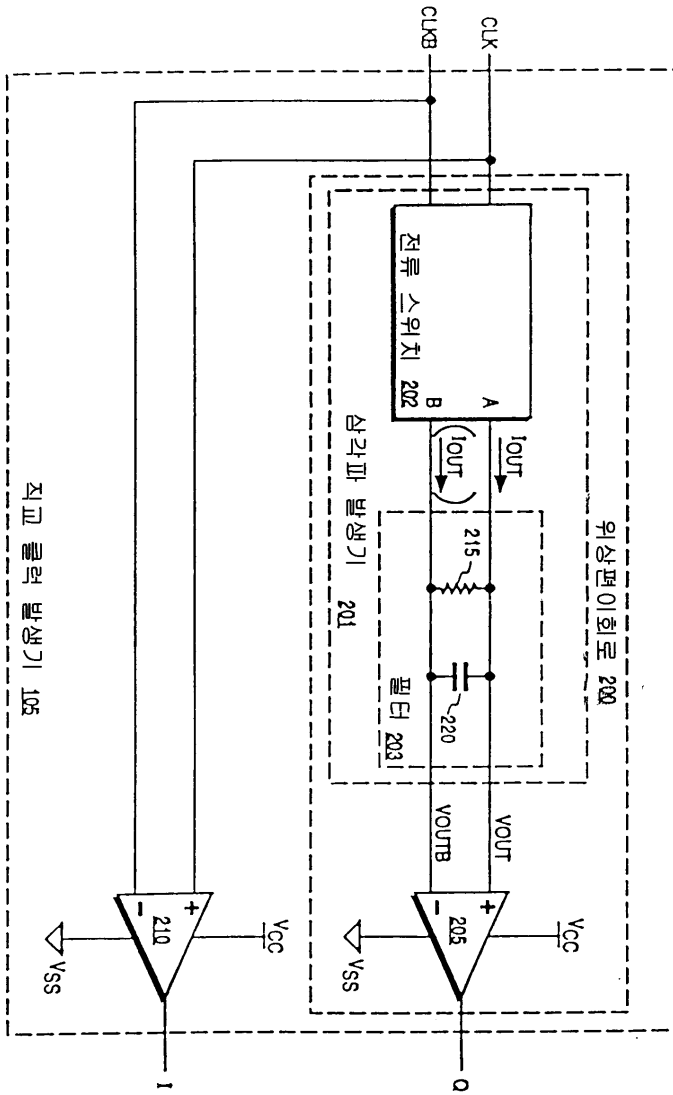
출력신호를 출력하는 단계를 포함하는데, 이 출력신호는 보상 삼각파 신호에 응답하여 제 1 상태와 제 2 상태간의 전이가 동일하게 되는 것을 특징으로 하는 방법.

도면

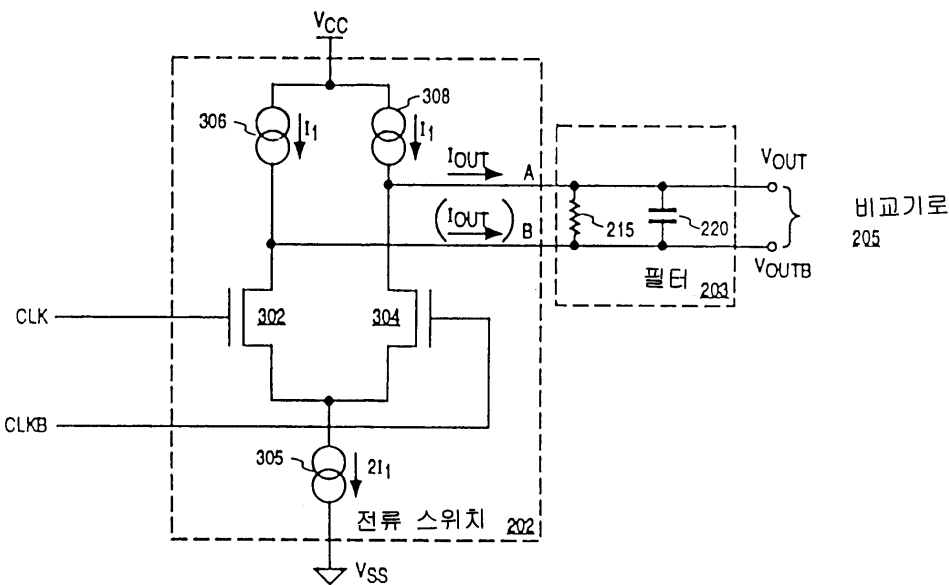
도면1



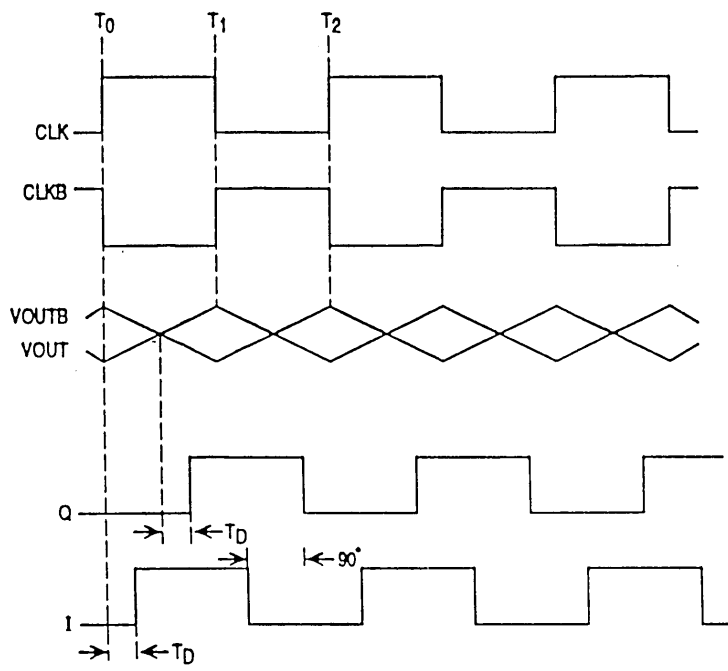
도면2



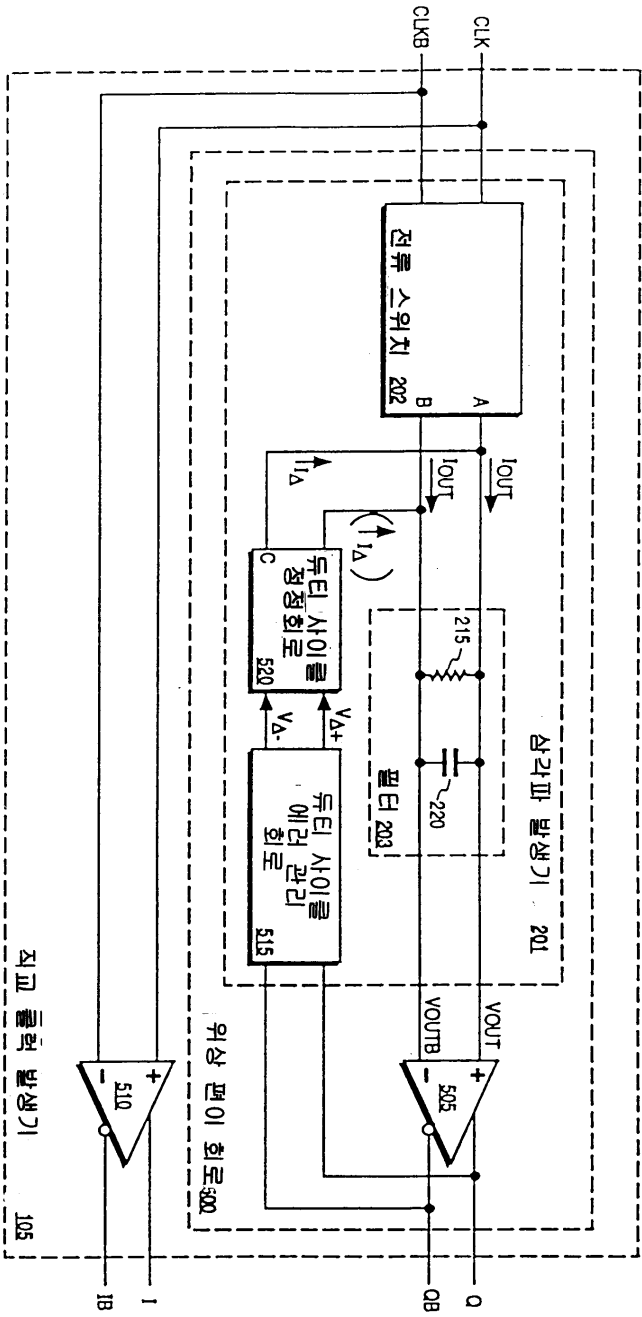
도면3



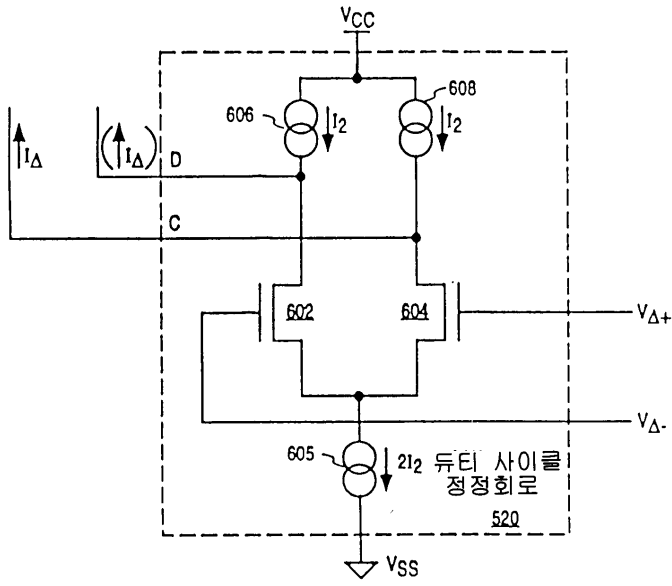
도면4



도면5



도면6



도면7

