



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0027657

(43) 공개일자 2015년03월12일

(51) 국제특허분류(Int. Cl.)

G05F 3/02 (2006.01) G05F 3/24 (2006.01)

(21) 출원번호 10-2013-0106355

(22) 출원일자 2013년09월04일

심사청구일자 2013년09월04일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)

김정문

경기 시흥시 두문로 8, 404호 (신천동, 무지개아파트)

(뒷면에 계속)

(74) 대리인

특허법인 무한

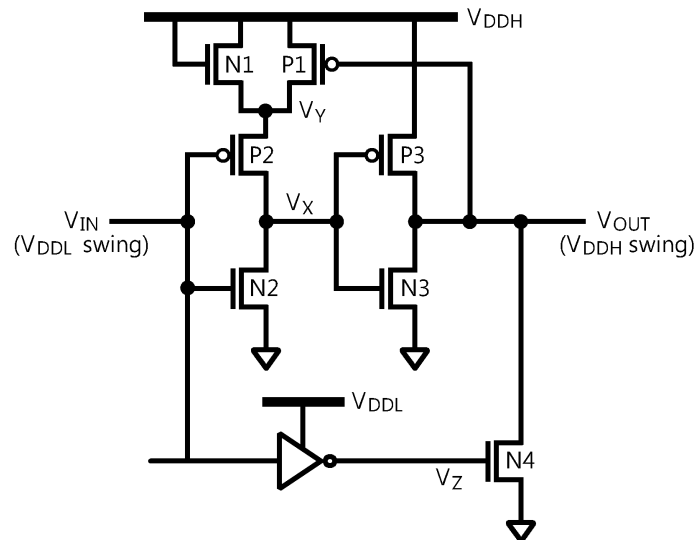
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 레벨 변환기

(57) 요약

입력 전압과 출력 전압의 차이가 근소해 지더라도 정상 동작이 가능해서, 전체적으로 동작 범위가 넓은 레벨변환기를 제공한다. 레벨 변환기의 출력 전압을 추가적으로 방전하는 구성을 통해서, 출력 전압이 방전되지 않고 계속 하이 신호로 유지되는 현상을 방지할 수 있다. 따라서, 다양한 전압 범위에 대해서도 안정적으로 신호 레벨을 변환할 수 있는 레벨 변환기를 제공한다.

대표도 - 도6



(72) 발명자

정준원

서울 성북구 안암로 145, 미래융합기술관 516호 (안암동5가, 고려대학교이과대학)

심민섭

서울 성북구 안암로 145, 미래융합기술관 516호 (안암동5가, 고려대학교이과대학)

이 발명을 지원한 국가연구개발사업

과제고유번호 20120008839

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 기초연구육성사업

연구과제명 그린 스마트패치 및 응용 소프트웨어 연구

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2012.09.01 ~ 2013.08.31

특허청구의 범위

청구항 1

단일 공급 전압을 입력받아, 두 개의 전압을 출력하는 전원 공급부;

상기 전원 공급부에서 출력되는 상기 두 개의 전압을 이용하여, 레벨 변환기에 입력되는 제 1 전압을 제 2 전압으로 변환하는 전압 레벨 변환부; 및

상기 레벨 변환부의 출력 전압을 방전하는 방전부

를 포함하는 레벨 변환기.

청구항 2

제1항에 있어서,

상기 레벨 변환부는, 상기 레벨 변환기의 출력단에 인가되는 전압을 방전하는 제 3 NMOS 트랜지스터를 포함하는 레벨 변환기.

청구항 3

제2항에 있어서,

상기 제3 NMOS 트랜지스터는 상기 레벨 변환기에 입력되는 입력 전압이 하이 신호에서 로우 신호로 스위칭하는 경우에, 상기 레벨 변환기의 출력단에 인가되는 전압을 방전하는 레벨 변환기.

청구항 4

제3항에 있어서,

상기 방전부는, 상기 레벨 변환기에 입력되는 입력 전압이 하이 신호에서 로우 신호로 스위칭하는 경우에, 상기 레벨 변환기의 출력단에 인가되는 전압을 추가 방전하는 레벨 변환기.

청구항 5

제1항에 있어서,

상기 방전부는, 상기 레벨 변환부의 출력단에 인가되는 상기 출력 전압을 방전하는 적어도 하나의 트랜지스터를 포함하는 레벨 변환기.

청구항 6

제5항에 있어서,

상기 방전부는,

상기 레벨 변환부의 입력 전압을 반전하는 인버터; 및

상기 레벨 변환부의 출력 전압과 연결되는 제4 NMOS 트랜지스터

를 포함하는 레벨 변환기.

청구항 7

제6항에 있어서,

상기 제4 NMOS 트랜지스터의 드레인 단은 상기 레벨 변환부의 출력 단과 연결되고, 게이트 단은 상기 인버터의 출력 단과 연결되는, 레벨 변환기.

청구항 8

제1항에 있어서,

상기 전원 공급부는,
제1 NMOS 트랜지스터; 및
상기 레벨 변환기의 상기 출력 전압을 피드백 받는 제1 PMOS 트랜지스터
를 포함하는 레벨 변환기.

청구항 9

제8항에 있어서,
상기 제1 NMOS 트랜지스터는 게이트단 및 드레인단이 상기 단일 공급 전압과 연결되고,
상기 제1 PMOS 트랜지스터는 게이트단이 상기 레벨 변환기의 출력단과 연결되고, 소스 단이 상기 공급전원과 연결되고,
상기 제1 NMOS 트랜지스터의 소스와 상기 제1 PMOS 트랜지스터의 드레인단이 서로 연결되는, 레벨 변환기.

청구항 10

제3항에 있어서,
상기 레벨 변환부는,
상기 제1 NMOS 트랜지스터의 소스 단 및 상기 제1 PMOS 트랜지스터의 드레인 단과 연결되는 제2 PMOS 트랜지스터;
상기 제2 PMOS 트랜지스터의 드레인단과 연결되는 제2 NMOS 트랜지스터;
상기 공급 전압과 연결되는 제3 PMOS 트랜지스터; 및
상기 제3 PMOS 트랜지스터의 드레인단과 연결되는 제3 NMOS 트랜지스터
를 포함하는 레벨 변환기.

청구항 11

제10항에 있어서,
상기 레벨 변환부의 입력 전압이 상기 제2 PMOS 트랜지스터 및 상기 제2 NMOS 트랜지스터의 게이트 단으로 인가되고,
상기 제3 PMOS 트랜지스터의 드레인단 및 상기 제3 NMOS 트랜지스터의 드레인단이 상기 레벨 변환부의 출력단인, 레벨 변환기.

청구항 12

제11항에 있어서,
상기 제2 PMOS 트랜지스터의 드레인단 및 상기 제2 NMOS 트랜지스터의 드레인단이 상기 제3 PMOS 트랜지스터 및 상기 제3 NMOS 트랜지스터의 게이트 단과 연결되는, 레벨변환기.

청구항 13

방전 수단을 포함하며, 제 1 전압을 제 2 전압으로 변환하는 레벨 변환기의 제어 방법에 있어서,
하이 신호로부터 로우 신호로 스위칭하는 제 1 전압을 입력받는 단계; 및
상기 제 1 전압을 상기 제 2 전압으로 변환하여, 상기 레벨 변환기의 출력단으로 출력하는 단계를 포함하며,
상기 출력하는 단계는, 상기 제 1 전압이 하이 신호로부터 로우 신호로 스위칭하는 경우 상기 출력단의 전압을 방전하고, 상기 방전 수단을 이용하여 상기 출력단의 전압을 추가 방전하는 레벨 변환기의 제어 방법.

명세서

기술 분야

[0001] 본 발명은 레벨 변환기에 관한 것으로, 보다 상세하게는 입력 신호 레벨과 출력 신호 레벨의 수준이 유사한 경우에도 이용할 수 있는 동작 범위가 넓은 레벨 변환기에 관한 것이다.

배경 기술

[0002] 휴대용 기기의 대중화와 배터리의 유한한 용량으로 인해 전자 제품의 전력 소모를 최소화하는 기술들이 주목받고 있다. 이러한 기술 중 다중 공급 전압(multiple supply voltage)과 관련된 설계 기법이 유용하게 사용될 수 있다.

[0003] 예를 들어, 다중 공급 전압 시스템은 낮은 성능을 요구하는 부품에는 낮은 전압을 공급하고 높은 성능을 요구하는 부품에는 높은 전압을 공급할 수 있다. 이 경우 부품이 요구하는 성능과 관계 없이 모든 부품에 일률적으로 높은 전압을 공급하는 방법에 비하여 소비전력이 작다.

[0004] 다중 공급 전압 시스템에서 레벨 변환기는 공급 전압이 다른 각 부품 간의 인터페이스에서 신호의 레벨을 변환시키는 중요한 회로이다.

[0005] 레벨 변환기는 어떤 디지털 회로의 신호 레벨을 다른 디지털 회로 형식의 신호 레벨로 변환하는 회로이다. 따라서, 전압을 모든 부품에 일률적으로 공급하는 것이 아닌 각 부품마다 요구되는 성능에 따라 다른 전압을 공급하기 위해서는 레벨 변환기가 필수적으로 요구된다.

[0006] 다만, 종래의 레벨 변환기는 낮은 레벨의 입력 전압을 높은 레벨로 변환하여 출력하고자 할 때, 높은 레벨의 전압이 낮은 레벨의 입력 전압과 차이가 작을수록 정상 동작을 하지 않는 경우가 있어, 그 활용성에 제약이 있었다.

[0007] 특히, 낮은 레벨의 입력 전압이 저전력 설계를 위해 매우 낮게 설정된 경우에는 특히 더 큰 제약이 발생한다. 따라서, 다양한 전압 범위에 대해서도 안정적으로 신호 레벨을 변환할 수 있는 레벨 변환기가 필요하다.

발명의 내용

과제의 해결 수단

[0008] 일측에 있어서, 단일 공급 전압을 입력받아, 두 개의 전압을 출력하는 전원 공급부, 상기 전원 공급부에서 출력되는 상기 두 개의 전압을 이용하여, 레벨 변환기에 입력되는 제 1 전압을 제 2 전압으로 변환하는 전압 레벨 변환부 및 상기 레벨 변환부의 출력 전압을 방전하는 방전부를 포함하는 레벨 변환기를 제공한다.

[0009] 일실시예에 있어서, 상기 레벨 변환부는, 상기 레벨 변환기의 출력단에 인가되는 전압을 방전하는 제 3 NMOS를 포함할 수 있다.

[0010] 일실시예에 있어서, 제 3 NMOS는 상기 레벨 변환기에 입력되는 입력 전압이 하이 신호에서 로우 신호로 스위칭(swing)하는 경우에, 상기 레벨 변환기의 출력단에 인가되는 전압을 방전할 수 있다.

[0011] 일실시예에 있어서, 상기 방전부는, 상기 레벨 변환기에 입력되는 입력 전압이 하이 신호에서 로우 신호로 스위칭하는 경우에, 상기 레벨 변환기의 출력단에 인가되는 전압을 추가 방전할 수 있다.

[0012] 일실시예에 있어서 상기 방전부는, 상기 레벨 변환부의 출력단에 인가되는 상기 출력 전압을 방전하는 적어도 하나의 트랜지스터를 포함할 수 있다.

[0013] 일실시예에 있어서, 상기 방전부는, 상기 레벨 변환부의 입력 전압을 반전하는 인버터 및 상기 레벨 변환부의 출력 전압과 연결되는 제4 NMOS 트랜지스터를 포함할 수 있다.

[0014] 일실시예에 있어서, 상기 제4 NMOS 트랜지스터의 드레인 단은 상기 레벨 변환부의 출력 단과 연결되고, 게이트 단은 상기 인버터의 출력 단과 연결될 수 있다.

[0015] 일실시예에 있어서, 상기 전원 공급부는, 제1 NMOS 트랜지스터 및 상기 레벨 변환기의 상기 출력 전압을 피드백받는 제1 PMOS 트랜지스터를 포함할 수 있다.

[0016] 일실시예에 있어서, 상기 제1 NMOS 트랜지스터는 게이트단 및 드레인단이 상기 단일 공급 전압과 연결되고, 상기 제1 PMOS 트랜지스터는 게이트단이 상기 레벨 변환기의 출력단과 연결되고, 소스 단이 상기 공급전원과 연결

되고, 상기 제1 NMOS 트랜지스터의 소스와 상기 제1 PMOS 트랜지스터의 드레인단이 서로 연결될 수 있다.

[0017] 일실시예에 있어서, 상기 레벨 변환부는, 상기 제1 NMOS 트랜지스터의 소스 단 및 상기 제1 PMOS 트랜지스터의 드레인 단과 연결되는 제2 PMOS 트랜지스터, 상기 제2 PMOS 트랜지스터의 드레인단과 연결되는 제2 NMOS 트랜지스터, 상기 공급 전압과 연결되는 제3 PMOS 트랜지스터 및 상기 제3 PMOS 트랜지스터의 드레인단과 연결되는 제3 NMOS 트랜지스터를 포함할 수 있다.

[0018] 일실시예에 있어서, 상기 레벨 변환부의 입력 전압이 상기 제2 PMOS 트랜지스터 및 상기 제2 NMOS 트랜지스터의 게이트 단으로 인가되고, 상기 제3 PMOS 트랜지스터의 드레인단 및 상기 제3 NMOS 트랜지스터의 드레인단이 상기 레벨 변환부의 출력단일 수 있다.

[0019] 일실시예에 있어서, 상기 제2 PMOS 트랜지스터의 드레인단 및 상기 제2 NMOS 트랜지스터의 드레인단이 상기 제3 PMOS 트랜지스터 및 상기 제3 NMOS 트랜지스터의 게이트 단과 연결될 수 있다.

[0020] 다른 일측에 있어서, 방전 수단을 포함하며, 제 1 전압을 제 2 전압으로 변환하는 레벨 변환기의 제어 방법에 있어서, 하이 신호(high signal)로부터 로우 신호(low signal)로 스위칭하는 제 1 전압을 입력받는 단계 및 상기 제 1 전압을 상기 제 2 전압으로 변환하여, 상기 레벨 변환기의 출력단으로 출력하는 단계를 포함하며, 상기 출력하는 단계는, 상기 제 1 전압이 하이 신호로부터 로우 신호로 스위칭하는 경우 상기 출력단의 전압을 방전하고, 상기 방전 수단을 이용하여 상기 출력단의 전압을 추가 방전하는 레벨 변환기의 제어 방법을 제공한다.

도면의 간단한 설명

[0021] 도 1은 레벨 변환기가 사용되는 다중 공급 전압 시스템의 블록도이다.
 도 2는 일비교예에 따른 단일 전원 레벨 변환기(SSL: single-supply level converter)의 회로도이다.
 도 3은 일비교예에 따른 단일 전원 레벨 변환기의 입력 및 출력 전압의 파형이다.
 도 4는 일비교예에 따른 입력 전압 레벨과 출력 전압 레벨의 차이가 근소할 경우에 단일 전원 레벨 변환기의 입력 및 출력 파형이다.
 도 5은 일실시예에 따른 레벨 변환기의 구조를 나타내는 블록도이다.
 도 6은 일실시예에 따른 레벨 변환기의 회로도이다.
 도 7은 일실시예에 따른 레벨 변환기의 각 노드의 파형이다.
 도 8은 일실시예에 따른 레벨 변환기의 레벨 변환 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하에서, 본 발명의 일부 실시예를, 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0023] 도 1은 레벨 변환기가 사용되는 다중 공급 전압 시스템(100)의 블록도이다.

[0024] 도 1을 참조하면, 다중 공급 전압 시스템(100)은 각 부품마다 크기가 다른 전압을 공급할 수 있다. 예를 들어, VDDL 영역(110) 및 VDDH 영역(120)은 각각 최적 동작 전압을 가질 수 있다. VDDL 영역(110)은 상대적으로 낮은 최적 동작 전압을 가질 수 있으며, VDDH 영역(130)은 상대적으로 높은 최적 동작 전압을 가질 수 있다. 최적 동작 전압이 상이한 두 영역에 대하여, 일괄적인 전압이 인가되는 경우, 전력 소모의 효율성이 저하될 수 있다.

[0025] 이에 따라, 레벨 변환기(120)는 각각의 부품에 최적 동작 전압이 인가될 수 있도록, 부품 사이에서 전압 레벨을 변환할 수 있다.

[0026] 도 1의 실시 예에서, 레벨 변환기(120)는 낮은 전압 레벨인 V_{DDL} 의 전압을 공급받는 회로들의 영역(110)과 V_{DDL} 보다 높은 전압 레벨인 V_{DDH} 의 전압을 공급받는 회로들의 영역(130) 사이에 배치될 수 있다.

[0027] 일실시예에 따르면, 레벨 변환기(120)는 낮은 전압 레벨인 V_{DDL} 을 높은 전압 레벨인 V_{DDH} 로 변환하여, V_{DDH} 의 전압을 공급받는 회로에 V_{DDH} 전압을 공급할 수 있다. 이와 같이 레벨 변환기(120)는 서로 다른 전압을 요구하는 회로들 사이에 연결되어, 입력된 전압을 출력단에 연결된 회로가 요구하는 전압으로 변환하여 공급할 수 있다.

- [0028] 다만, 낮은 전압 레벨인 V_{DDL} 를 높은 전압 레벨인 V_{DDH} 로 변환하기 위해서는 레벨 변환기(120)에 각 전압 레벨인 V_{DDL} 과 V_{DDH} 를 동시에 공급해 주어야 한다. 각 전압 레벨을 레벨 변환기에 동시에 공급해 주기 위해서는 각 전압 레벨 별로 별도의 배선이 필요하다. 따라서, 회로를 구성함에 있어서 배선상 어려움이 발생하며, 회로 레이아웃의 복잡도가 증가하는 원인이 된다.
- [0029] 따라서, 레벨 변환기에 단일 전원을 공급하여 배선상의 문제를 해결 하기 위한 단일 전원 레벨 변환기(SSLC)가 개발 되었다. 이에 대해서는 도 2에서 후술하도록 한다.
- [0030] 도 2는 일비교예에 따른 단일 전원 레벨 변환기(SSLC: single-supply level converter)의 회로도이다.
- [0031] 기존의 레벨 변환기는 제2 PMOS 트랜지스터(P2), 제3 PMOS 트랜지스터(P3), 제2 NMOS 트랜지스터(N2) 및 제3 NMOS 트랜지스터(N3)만으로 구성되었다. 따라서, 기존의 레벨 변환기는 제2 PMOS 트랜지스터(P2)에는 낮은 전압 레벨인 V_{DDL} 이 연결되고, 제3 PMOS 트랜지스터(P3)에는 높은 전압 레벨인 V_{DDH} 가 연결되었다.
- [0032] 이와 같이 기존의 레벨 변환기에서는 낮은 전압 레벨(V_{DDL})을 높은 전압 레벨(V_{DDH})로 변환하기 위해서는 레벨 변환기에 각각의 전압인 V_{DDL} 및 V_{DDH} 가 모두 공급 되어야 했다.
- [0033] 따라서 기존의 레벨 변환기는 적어도 2개의 전원이 공급되어야 하기 때문에 상기한 바와 같이 배선상 어려움이 발생할 수 있다. 따라서 이와 같은 문제를 해결하기 위해 높은 전압 레벨인 V_{DDH} 만을 레벨 변환기에 공급하면서 도 낮은 전압 레벨(V_{DDL})을 높은 전압 레벨(V_{DDH})로 변환하는 단일 전원 레벨 변환기(SSLC)가 개발되었다.
- [0034] 도 2를 참조하면, 단일 전원 레벨 변환기(SSLC)는 기존의 레벨 변환기의 제2 PMOS 트랜지스터(P2)에 제1 NMOS 트랜지스터(N1) 및 제1 PMOS 트랜지스터(P1)를 연결하여 구성될 수 있다.
- [0035] 보다 구체적으로, 제1 NMOS 트랜지스터(N1)의 소스단 및 제1 PMOS 트랜지스터(P1)의 드레인단이 제2 PMOS 트랜지스터(P2)의 소스단과 연결될 수 있다. 또한 하나의 공급 전압인 V_{DDH} 가 제1 NMOS 트랜지스터(N1)의 게이트단 및 드레인단과 연결되고 제1 PMOS 트랜지스터(P1)의 소스단과 연결될 수 있다.
- [0036] 일비교예에 따르면, 제1 NMOS 트랜지스터(N1)의 게이트단과 소스 단은 일정한 전압을 가지도록 구성될 수 있다. 또한, 제1 NMOS 트랜지스터(N1)의 게이트 단과 드레인단이 모두 공급 전압인 V_{DDH} 에 연결되어 다이오드 역할을 하게 됨으로써 낮은 전압 레벨을 공급해주는 효과가 발생할 수 있다.
- [0037] 제1 PMOS 트랜지스터(P1)의 게이트 단은 레벨 변환기의 출력단과 연결될 수 있다. 따라서, 출력 전압이 로우 신호에서 하이 신호로 올라가게 되는 경우 제1 PMOS 트랜지스터(P1)는 턴-오프(turn-off)되고, 출력 전압이 하이 신호에서 로우 신호로 내려가게 되는 경우 제1 PMOS 트랜지스터(P1)는 턴-온(turn-on)될 수 있다. 이와 같이 단일 전원 레벨 변환기에 추가되는 제1 PMOS 트랜지스터(P1)는 출력전압을 피드백 받는 역할을 할 수 있다.
- [0038] 이와 같은 단일 전원 레벨 변환기(SSLC)의 경우, 낮은 레벨 전압인 V_{DDL} 과 높은 레벨 전압인 V_{DDH} 의 차이가 클 경우에는 정상적으로 동작할 수 있다. 다만, 낮은 레벨 전압인 V_{DDL} 과 높은 레벨 전압인 V_{DDH} 의 차이가 작을수록 정상 동작을 하지 않을 수 있다.
- [0039] 입력 전압이 하이 신호에서 로우 신호로 스위칭하는 경우, V_X 노드가 로우 신호에서 하이 신호로 스위칭하기 위해서는 제1 NMOS 트랜지스터(N1)와 제2 PMOS 트랜지스터(P2)를 통해 V_X 노드로 전류가 신속하게 공급되어야 한다.
- [0040] 그러나 높은 전압 레벨인 V_{DDH} 가 낮은 전압 레벨인 V_{DDL} 에 가까울 정도로 낮은 전압이고 V_{DDL} 자체도 낮은 전압인 경우에는 제1 NMOS 트랜지스터(N1)의 소스단 및 제1 PMOS 트랜지스터(P1)의 드레인단과 제2 PMOS 트랜지스터(P2)의 소스단이 연결되는 노드의 전압 또한 매우 작아질 수 있다. 이 경우, V_X 노드의 기생 캐패시터가 충전되는 시간이 길어지게 되는 결과가 된다.
- [0041] 상기한 바와 같은 문제를 해결하기 위해 제1 NMOS 트랜지스터(N1)과 제2 PMOS 트랜지스터(P2)의 크기(Width/Length)를 증가시키는 방법이 사용될 수 있다. 그러나 이 방법은 레벨 변환기의 면적의 증가를 가져오게 되어 레벨 변환기의 제조 공정 등에서 비용 손실이 발생하고, 회로의 집적화에 있어서도 실장 면적이 커지게 됨으로써 문제가 발생할 수 있다.
- [0042] 또한, 제2 PMOS 트랜지스터(P2)의 크기 증가는 입력 전압과 연결되는 제2 PMOS 트랜지스터(P2)의 게이트단 및

제2 NMOS 트랜지스터(N2)의 게이트단에 큰 기생 캐패시턴스 부담을 주는 단점도 존재한다.

- [0043] 이하에서는 상기한 바와 같은 단점을 단일 전원 레벨 변환기의 입력 및 출력 전압의 파형을 통해 설명한다.
- [0044] 도 3는 일비교예에 따른 단일 전원 레벨 변환기의 입력 및 출력 전압의 파형이다.
- [0045] 도 3에서는 낮은 레벨 전압인 V_{DDL} 과 높은 레벨 전압인 V_{DDH} 의 차이가 클 경우의 입력 파형 및 출력 파형을 도시한다. 입력 전압(V_{IN})은 도시된 바와 같이 구형파 형태일 수 있다.
- [0046] 또한 출력 전압(V_{OUT})이 높은 레벨 전압인 V_{DDH} 로 도시된 바와 같이 낮은 전압 레벨인 V_{DDL} 과 차이가 있는 경우, 정상적으로 동작할 수 있다. 다시 말해서, 입력 전압(V_{IN})이 로우 신호에서 하이 신호로 스위칭할 때, 출력 전압(V_{OUT})도 로우 신호에서 하이 신호로 스위칭한다. 또한, 입력 전압(V_{IN})이 하이 신호에서 로우 신호로 스위칭할 때, 출력 전압(V_{OUT})도 하이 신호에서 로우 신호로 스위칭한다.
- [0047] 이와 같이 입력 전압(V_{IN})과 출력 전압(V_{OUT})이 전압 레벨만 다르고 파형은 동일하게 동작하여 높은 전압 레벨 V_{DDH} 이 요구되는 회로에 정상적으로 전압을 공급할 수 있다.
- [0048] 다만, 도 2에서 설명한 바와 같이 입력 전압 레벨과 출력 전압 레벨의 차이가 근소할 경우에는 단일 전원 레벨 변환기가 정상적으로 동작할 수 있다. 이 경우의 단일 전원 레벨 변환기의 입력 및 출력 파형에 대해 후술한다.
- [0049] 도 4는 일비교예에 따른 입력 전압 레벨과 출력 전압 레벨의 차이가 근소할 경우에 단일 전원 레벨 변환기의 입력 및 출력 파형이다.
- [0050] 도 4에서는 낮은 레벨 전압인 V_{DDL} 과 높은 레벨 전압인 V_{DDH} 의 차이가 근소할 경우의 입력 파형 및 출력 파형을 도시한다. 입력 전압(V_{IN})은 도시된 바와 같이 구형파 형태일 수 있다.
- [0051] 도 4에서 도시된 바와 같이 입력 전압(V_{IN})이 로우 신호에서 하이 신호로 스위칭하게 되는 경우에는 출력 전압(V_{OUT}) 역시 처음에는 로우 신호에서 하이 신호로 스위칭할 수 있다.
- [0052] 다만, 입력 전압(V_{IN})이 하이 신호에서 로우 신호로 스위칭하는 경우, 도 2에서의 V_X 노드가 로우 신호에서 하이 신호로 스위칭하기 위해서는 제1 NMOS 트랜지스터(N1)와 제2 PMOS 트랜지스터(P2)를 통해 V_X 노드로 전류가 신속하게 공급되어야 한다.
- [0053] 그러나 높은 전압 레벨인 V_{DDH} 가 낮은 전압 레벨인 V_{DDL} 에 근사한 전압이고 V_{DDL} 자체도 낮은 전압인 경우에는 제1 NMOS 트랜지스터(N1)의 소스단 및 제1 PMOS 트랜지스터(P1)의 드레인단과 제2 PMOS 트랜지스터(P2)의 소스단이 연결되는 노드의 전압 또한 매우 작아질 수 있다. 이 경우, V_X 노드의 기생 캐패시터가 충전되는 시간이 길어지게 되는 결과가 된다.
- [0054] 따라서 V_X 노드의 기생 캐패시터가 충전되는 긴 시간 동안, 제3 NMOS 트랜지스터(N3)가 턴-온되어 출력 전압(V_{OUT})을 방전시켜 로우 신호가 되게 하는 시간이 지연될 수 있다.
- [0055] 이 경우 출력 전압(V_{OUT})이 하이 신호에서 로우 신호로 스위칭하기 전에, 입력 전압(V_{IN})이 다시 로우 신호에서 하이 신호로 스위칭하게 될 수 있다. 따라서 출력 전압(V_{OUT})이 계속해서 로우 신호로 스위칭하지 못한 채 계속해서 하이 신호가 유지될 수 있다.
- [0056] 이와 같이 낮은 레벨 전압인 V_{DDL} 과 높은 레벨 전압인 V_{DDH} 의 차이가 근소할 경우, 입력 전압(V_{IN})과 출력 전압(V_{OUT})이 같은 파형이 되지 않고, 출력 전압(V_{OUT})이 계속해서 하이 신호로 유지되는 문제가 발생하게 된다.
- [0057] 이하에서는 상기한 바와 같은 문제를 해결하기 위해 본원의 일실시예에 따른 레벨 변환기에 대해서 설명한다.
- [0058] 도 5는 일실시예에 따른 레벨 변환기의 구조를 나타내는 블록도(200)이다.
- [0059] 일실시예에 따르면, 레벨 변환기(200)는 단일 공급 전원으로 2 개의 전압을 출력하는 전원 공급부(210), 레벨 변환기(200)에 입력되는 전압 레벨을 다른 전압 레벨로 변환하는 레벨 변환부(220) 및 레벨 변환기(200)의 출력

전압을 추가적으로 방전하기 위한 방전부(230)를 포함할 수 있다.

- [0060] 레벨 변환기에 2개의 전압이 따로 공급되어야 한다면, 상술한 바와 같이 배선이 복잡해져서 회로의 레이아웃이 복잡해지는 원인이 될 수 있다. 따라서, 하나의 공급 전원으로 2개의 전압을 출력하는 전원 공급부(210)가 필요하다. 또한, 입력되는 전압 레벨을 다른 전압 레벨로 변환하는 레벨 변환부(220) 역시 필요하다.
- [0061] 다만, 일비교예에 따른 단일 전원 레벨 변환기(SSLC)에는 포함되지 않은 방전부(230)를 더 포함할 수 있다. 일 실시예에 따르면, 방전부(230)는 상기한 바와 같은 단일 전원 레벨 변환기의 문제점을 해결하기 위한 것일 수 있다.
- [0062] 방전부(230)는 레벨 변환기(200)에 입력되는 전압과 레벨 변환부(220)에 의해 변환되는 출력 전압의 차이가 근소할 경우, 출력 전압의 방전을 도울 수 있다. 출력 전압이 로우 신호로 스윙하지 못하게 되는 이유는 제3 NMOS 트랜지스터가 출력 전압을 방전시키기 전에 입력 전압이 다시 로우 신호에서 하이 신호로 스윙하게 되기 때문이다.
- [0063] 따라서, 방전부(230)를 통해 출력 전압을 추가 방전하게 된다면, 입력 전압이 다시 로우 신호에서 하이 신호로 스윙하기 전에 출력 전압을 완전히 방전시켜 출력 전압을 로우 신호로 스윙하게 할 수 있다.
- [0064] 이 경우, 상기한 바와 같이 출력 전압이 계속해서 하이 신호로 유지되는 문제가 발생하지 않게 될 수 있다. 방전부(230)를 통해 출력 전압을 추가 방전시킴으로써 출력 전압을 하이 신호에서 로우 신호로 스윙하게 할 수 있기 때문이다.
- [0065] 이하에서는 방전부(230)를 추가한 구체적 회로에 대해 설명한다.
- [0066] 도 6은 일 실시예에 따른 레벨 변환기의 회로도이다.
- [0067] 일 실시예에 따르면, 레벨 변환기는 일비교예에 따른 단일 전원 레벨 변환기의 구성에 방전부의 구성을 더 포함할 수 있다. 도 6을 참조하면 인버터와 제4 NMOS 트랜지스터를 제외한 구성은 도 2에서 상술한 단일 전원 레벨 변환기(SSLC)의 회로도나 동일할 수 있다.
- [0068] 따라서, 단일 전원 레벨 변환기(SSLC)와 동일한 구성에 대해서는 도 2에서 설명하였으므로 이에 대한 연결 상태 및 구체적 동작에 대해서는 생략하도록 한다.
- [0069] 일 실시예에 따른 추가되는 방전부는 인버터 및 제4 NMOS 트랜지스터를 포함할 수 있다. 인버터의 출력은 제4 NMOS 트랜지스터(N4)의 게이트와 연결되고, 인버터의 입력은 레벨 변환기의 입력과 연결될 수 있다. 또한, 제4 NMOS 트랜지스터(N4)의 소스는 그라운드되어 있고, 드레인은 레벨 변환기의 출력단과 연결될 수 있다.
- [0070] 출력 전압이 하이 신호로 계속 유지되는 것은 입력 전압이 하이 신호에서 로우 신호로 스윙하게 될 때 발생한다. 따라서, 제4 NMOS 트랜지스터(N4)를 이용하여 출력 전압의 방전을 추가적으로 돕기 위해서는 입력 전압이 하이 신호에서 로우 신호로 스윙하게 될 때 동작해야 한다.
- [0071] 그러므로, 제4 NMOS 트랜지스터(N4)의 게이트단을 인버터의 출력과 연결할 수 있다. 입력 신호가 하이 신호에서 로우 신호로 스윙하게 되면, 제4 NMOS 트랜지스터(N4)의 게이트 단에는 입력 전압이 인버터를 통해 반전되므로 하이 신호가 인가되게 된다. 따라서, 제4 NMOS 트랜지스터가 동작하게 될 수 있다.
- [0072] 이와 같이, 입력 전압이 하이 신호에서 로우 신호로 스윙할 때 출력 전압이 완전하게 방전되지 못하는 문제점을 해결하기 위해 인버터와 제4 NMOS 트랜지스터(N4)로 구성되는 방전부를 추가로 포함할 수 있다. 이를 통해 낮은 레벨 전압인 V_{DDL} 과 높은 레벨 전압인 V_{DDH} 의 차이가 근소할 경우에도 레벨 변환기가 정상적으로 동작할 수 있다.
- [0073] 따라서, 입력 전압이 저전력 설계를 위해 매우 낮게 설정된 경우에도 레벨 변환기가 정상적으로 동작할 수 있다. 또한, 상기한 바와 같은 문제를 해결하기 위해 제1 NMOS 트랜지스터(N1) 및 제2 PMOS 트랜지스터(P2)의 크기를 증가시킬 필요도 없으므로, 레벨 변환기의 제조 비용의 증가 및 회로의 집적화에 있어서도 실장 면적이 커지게 되는 문제도 발생하지 않을 수 있다.
- [0074] 이하에서는 단일 전원 레벨 변환기(SSLC)에 방전부를 추가한 경우의 각 노드에 대한 파형에 대해 설명한다.
- [0075] 도 7은 일 실시예에 따른 레벨 변환기의 각 노드의 파형이다.
- [0076] 도 7에서는 낮은 레벨 전압인 V_{DDL} 과 높은 레벨 전압인 V_{DDH} 의 차이가 근사할 경우의 입력 파형 및 출력 파형을

도시한다. 입력 전압(V_{IN})은 도시된 바와 같이 구형파 형태일 수 있다.

[0077] 낮은 레벨 전압인 V_{DDL} 과 높은 레벨 전압인 V_{DDH} 의 차이가 클 경우에는 상기한 바와 같은 문제점이 발생하지 않아 단일 전원 레벨 변환기와 마찬가지로 정상동작 할 수 있으므로 자세한 설명은 생략한다.

[0078] 다만, 높은 전압 레벨인 V_{DDH} 가 낮은 전압 레벨인 V_{DDL} 에 근사한 전압이고 V_{DDL} 자체도 낮은 전압인 경우에는 제1 NMOS 트랜지스터(N1)의 소스단 및 제1 PMOS 트랜지스터(P1)의 드레인단과 제2 PMOS 트랜지스터(P2)의 소스단이 연결되는 노드의 전압 또한 매우 작아질 수 있다. 이 경우, V_X 노드의 기생 캐패시터가 충전되는 시간이 길어지게 되는 결과가 된다.

[0079] 이와 같이 V_X 노드의 기생 캐패시터가 충전되는 시간이 길어지는 현상으로 인해 도 7의 V_X 노드 파형에서 도시된 바와 같이 V_X 노드가 V_{DDH} 전압으로 충전되기 까지 일정한 기동 시간(startup time)이 존재할 수 있다.

[0080] 또한, 상기한 바와 같은 문제는 입력 전압(V_{IN})이 하이 신호에서 로우 신호로 스위칭하는 경우 발생하게 되므로, 이 때에 제4 NMOS 트랜지스터(N4)를 동작시켜 추가 방전시킬 수 있다. 따라서, 제4 NMOS 트랜지스터(N4)의 게이트 단 전압인 V_Z 노드는 입력 전압(V_{IN})이 반전된 파형을 가질 수 있다.

[0081] 결과적으로, 출력 전압(V_{OUT})은 제4 NMOS 트랜지스터(N4)가 제3 NMOS 트랜지스터(N3)와 더불어 추가적으로 방전하게 되므로 입력 전압(V_{IN})과 크기는 다르나 같은 모양의 파형이 될 수 있다. 단일 전원 레벨 변환기와 같이 출력 전압(V_{OUT})이 방전되지 않아 출력 전압(V_{OUT})이 계속 하이 신호로 유지되는 문제가 개선되는 효과가 있음을 출력 전압(V_{OUT})의 파형을 통해 알 수 있다.

[0082] 도 8은 일실시예에 따른 레벨 변환기의 레벨 변환 방법의 흐름도이다.

[0083] 도 8을 참조하면, 일실시예에 따른 레벨 변환기의 입력과 레벨 변환기에 의해 변환되는 전압의 차이가 근소할 경우의 레벨 변환 방법에 대한 흐름도이다.

[0084] 단계(S810)에서는 하이 신호로부터 로우 신호로 스위칭하는 전압을 레벨 변환기가 입력 받을 수 있다. 입력 전압이 하이 신호에서 로우 신호로 스위칭할 때 출력 전압이 계속 하이 신호로 유지되는 것을 개선하기 위해 방전부로 출력 전압을 추가 방전하는 것이므로 이 경우에 대한 흐름도를 제시한다.

[0085] 단계(S820)에서는 입력 전압이 하이 신호에서 로우 신호로 스위칭하는 경우 레벨 변환부가 출력 전압을 방전하고, 방전부가 출력 전압을 추가로 방전할 수 있다. 상기한 바와 같이 출력 전압이 완전히 방전되기 전에 입력 신호가 다시 로우 신호에서 하이 신호로 스위칭하게 될 경우, 출력 신호가 계속해서 하이 신호로 유지되는 것을 방지하기 위함이다.

[0086] 단계(S830)에서는 입력 전압을 레벨 변환부가 출력 전압으로 변환하여 출력할 수 있다. 결과적으로, 입력 전압과 출력 전압의 차이가 근소하거나 입력 전압 자체가 낮은 전압인 경우에도 단계(S820)에서 추가 방전하는 단계를 통해 정상적으로 레벨 변환기가 동작을 할 수 있다.

[0087] 본 발명의 일실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0088] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이

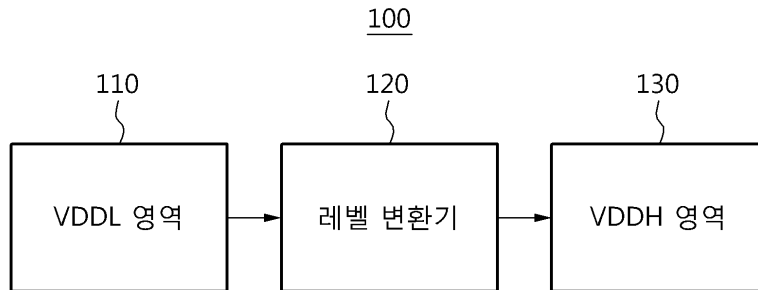
가능하다.

[0089]

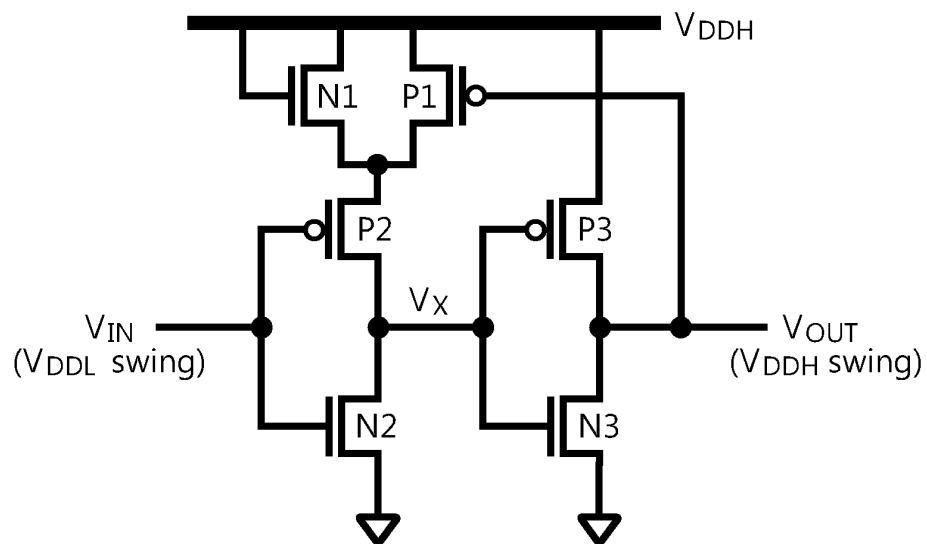
그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면

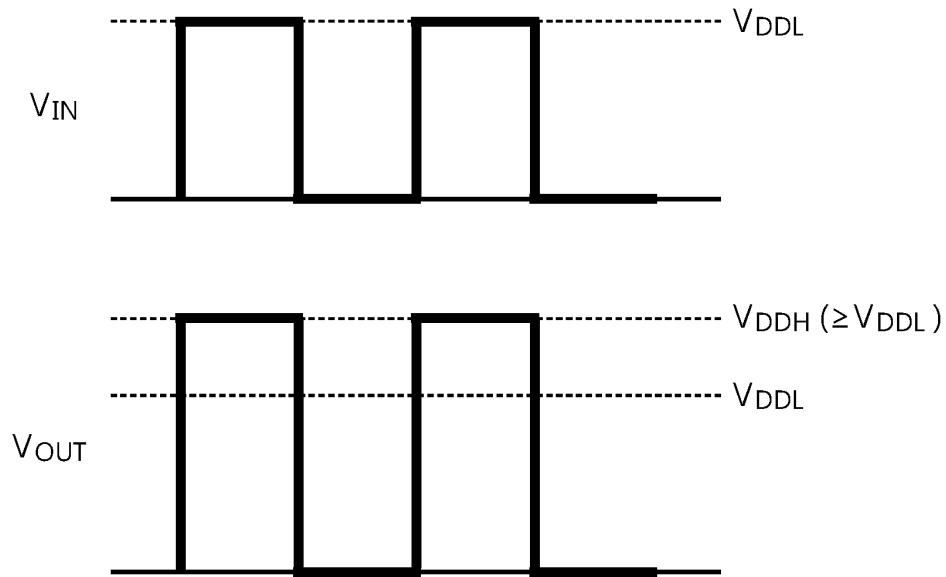
도면1



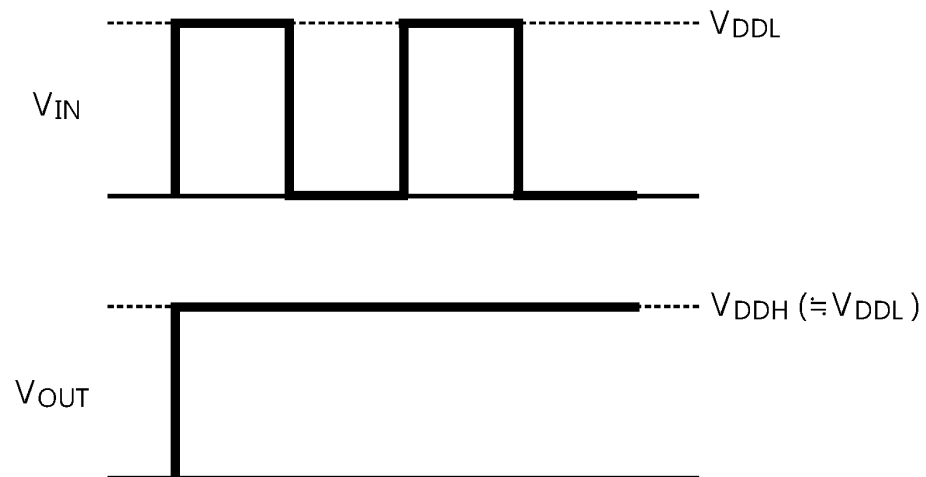
도면2



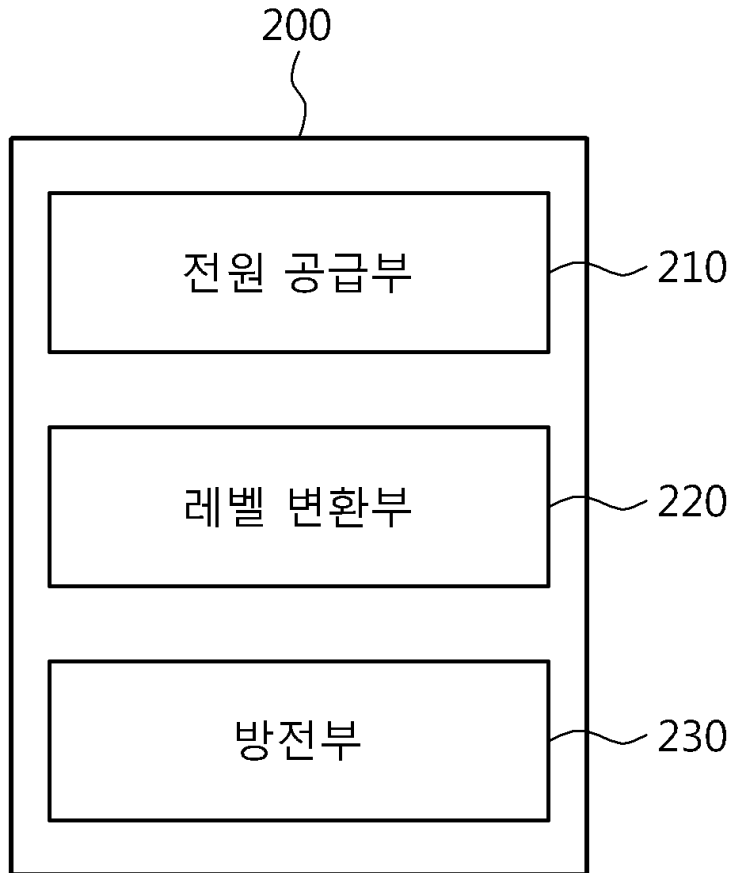
도면3



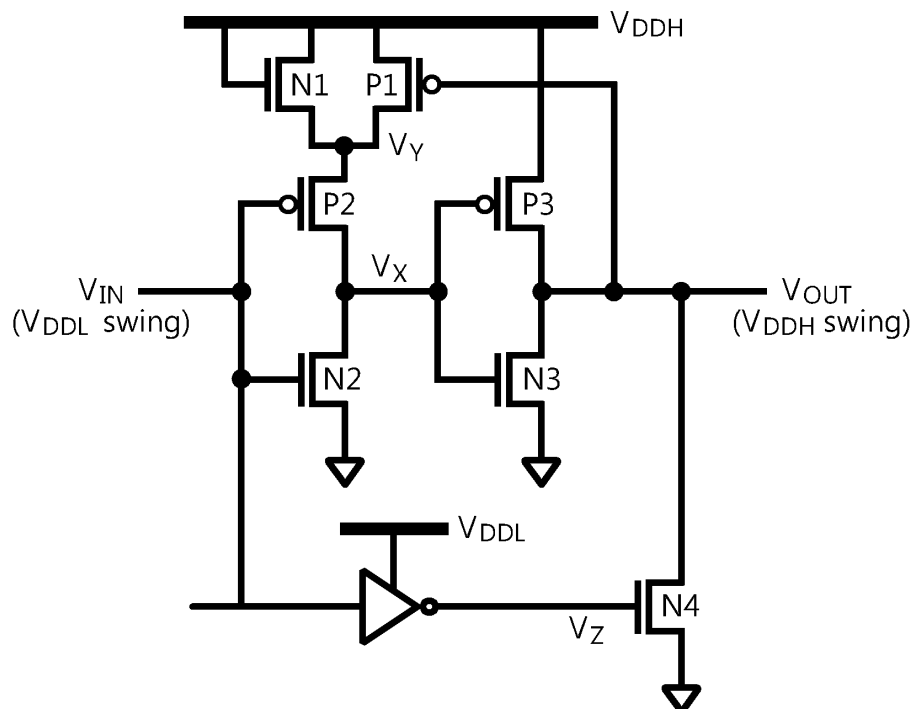
도면4



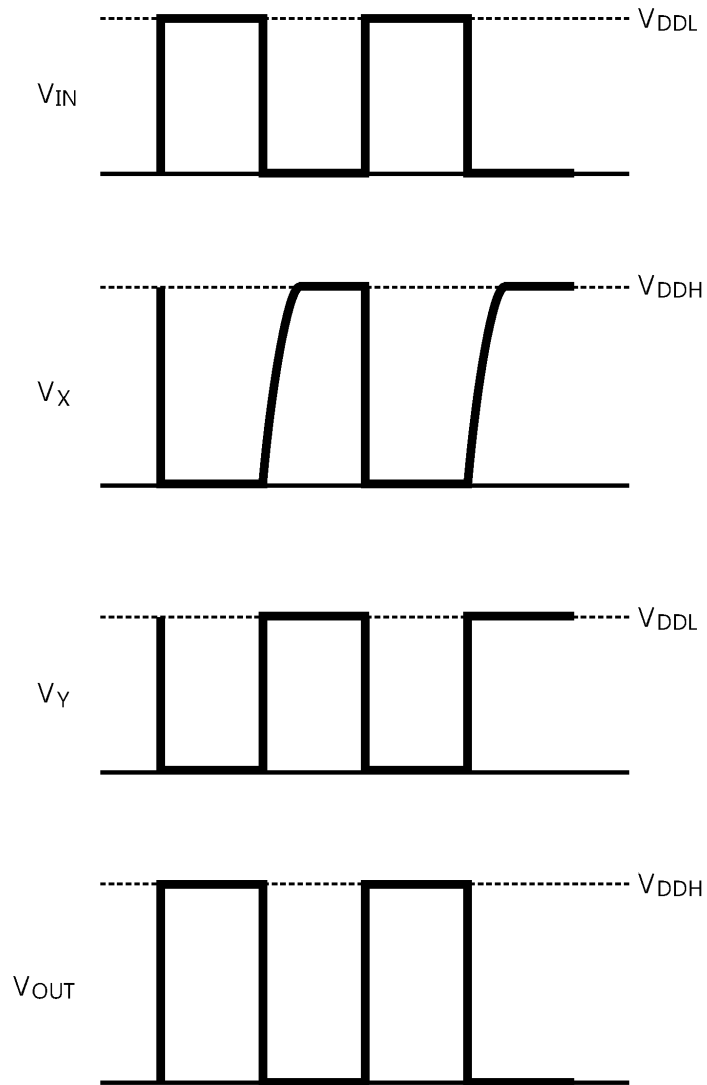
도면5



도면6



도면7



도면8

