

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4162801号
(P4162801)

(45) 発行日 平成20年10月8日(2008.10.8)

(24) 登録日 平成20年8月1日(2008.8.1)

(51) Int.Cl. F I
 H03K 19/20 (2006.01) H03K 19/20
 H03K 19/096 (2006.01) H03K 19/096 B

請求項の数 2 (全 13 頁)

(21) 出願番号	特願平11-124962	(73) 特許権者	590000879
(22) 出願日	平成11年4月30日(1999.4.30)		テキサス インストルメンツ インコーポ レイテッド
(65) 公開番号	特開2000-13216(P2000-13216A)		アメリカ合衆国テキサス州ダラス、ノース セントラルエクスプレスウェイ 135 00
(43) 公開日	平成12年1月14日(2000.1.14)	(74) 代理人	100066692
審査請求日	平成18年5月1日(2006.5.1)		弁理士 浅村 皓
(31) 優先権主張番号	083630	(74) 代理人	100072040
(32) 優先日	平成10年4月30日(1998.4.30)		弁理士 浅村 肇
(33) 優先権主張国	米国 (US)	(74) 代理人	100091339
			弁理士 清水 邦明
		(74) 代理人	100094673
			弁理士 林 拓三

最終頁に続く

(54) 【発明の名称】 ドミノ論理回路

(57) 【特許請求の範囲】

【請求項1】

ドミノ論理回路であって、
予備充電ノードと、

クロック信号の予備充電段階の間動作し、前記予備充電ノードを第1の所定の電圧源に接続し、これにより前記予備充電ノードを予備充電する第1の予備充電素子と、

複数の入力信号(A、B、C、D)を受信し、かつ前記予備充電ノードと前記第1の所定の電圧源とは異なる電圧を有する第2の電圧源との間に配置された論理ブロックであって、前記論理ブロックは前記予備充電ノードと前記第2の所定の電圧源との間に伝導路を形成し、前記複数入力が入力の論理条件を満たす時は前記予備充電ノードを放電させ、前記論理ブロックは隣接論理素子間の少なくとも1つの中間ノードを定義する少なくとも1つの直列連鎖に配置された複数の論理素子をふくみ、各々の論理素子は当該論理素子が導通するか否かを制御する対応する入力信号を受信し、前記入力信号が前記少なくとも1つの直列連鎖の対応する全ての論理素子を前記クロック信号の評価段階の間導通させる場合には、前記少なくとも1つの直列連鎖の論理素子が前記予備充電ノードを放電する論理ブロックと、

前記複数の入力信号の所定の1つが前記直列連鎖の少なくとも1つの対応する論理素子を制御して前記所定の中間ノードを前記第1の電圧源に非導通に接続する時に前記所定の中間ノードを予備充電する第2の予備充電装置と、

前記クロック信号の予備充電段階の間前記所定の中間ノードと前記第1の所定の電圧源

とを接続し、第2の予備充電装置とは独立に前記所定の間中ノードを予備充電する第3の予備充電装置と、

前記予備充電回路の電圧を検知し、前記予備充電ノードが予備充電されたか又は放電されたかの何れかに従って異なる論理出力を形成する検知回路とを備えるドミノ論理回路。

【請求項2】

ドミノ論理回路であって、

予備充電ノードと、

クロック信号の予備充電段階の間動作し、前記予備充電ノードを第1の所定の電圧源に接続し、これにより前記予備充電ノードを予備充電する第1の予備充電素子と、

複数の入力信号(A、B、C、D)を受信し、かつ前記予備充電ノードと前記第1の所定の電圧源とは異なる電圧を有する第2の電圧源との間に配置された論理ブロックであって、前記論理ブロックは前記予備充電ノードと前記第2の所定の電圧源との間に伝導路を形成し、前記複数入力が入力の論理条件を満たす時は前記予備充電ノードを放電させ、前記論理ブロックは隣接論理素子間の少なくとも1つの中間ノードを定義する少なくとも1つの直列連鎖に配置された複数の論理素子をふくみ、各々の論理素子は当該論理素子が導通するか否かを制御する対応する入力信号を受信し、前記入力信号が前記少なくとも1つの直列連鎖の対応する全ての論理素子を前記クロック信号の評価段階の間導通させる場合には、前記少なくとも1つの直列連鎖の論理素子が前記予備充電ノードを放電する論理ブロックと、

前記複数の入力信号の所定の1つが前記直列連鎖の少なくとも1つの対応する論理素子を制御して前記所定の間中ノードを前記第1の電圧源に非導通に接続する時に前記所定の間中ノードを予備充電し、前記複数の入力の内の前記所定の1つがクロックを受け、それによって前記第2の予備充電装置が常に前記所定の間中ノードを前記第1の所定の電圧源に接続し、前記クロック信号の前記予備充電段階の間前記所定の間中ノードを予備充電する第2の予備充電装置と、

前記クロック信号の予備充電段階の間前記所定の間中ノードと前記第1の所定の電圧源とを接続し、第2の予備充電装置とは独立に前記所定の間中ノードを予備充電する第3の予備充電装置と、

前記予備充電回路の電圧を検知し、前記予備充電ノードが予備充電されたか又は放電されたかの何れかに従って異なる論理出力を形成する検知回路とを備えるドミノ論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明の技術分野は、ドミノ論理又は予備充電/条件付き放電論理と呼ばれる動的論理回路型であり、特にドミノ論理回路に関する。

【0002】

【従来の技術】

本発明は、ドミノ論理と呼ばれるドミノ論理回路型についての問題に関係する。ドミノ論理においては、回路ノードは、予備充電時間の間予備充電電圧へ充電される。典型的な応用において、PチャンネルMOSFETが回路ノードを供給電圧へ充電する。評価段階の間は予備充電は止まっている。その代わりに、論理ブロックが条件付きで回路ノードを放電する。もし論理ブロックの論理条件が、「1」出力に対応して満足されると、そこで少なくとも1つの導電経路が、予備充電ノードと接地の間に形成される。この導電経路は、予備充電ノード上の電荷を放電し、その電圧を接地電位に近くする。もし論理ブロックの論理条件が、「0」出力に対応して満足されなければ、そこで予備充電ノードと接地との間には導電経路は存在しない。論理ブロックは、典型的には1つ又はそれより多いNチャンネルMOSFETで構成される。電荷は予備充電ノード上に残留するのでその電圧は変化しない。評価段階の終わりにおいて、感知回路、典型的にはインバータは予備充電ノード上の電圧を感知し、出力をそれに従い駆動する。

【0003】

ドミノ論理の良好な特徴の1つは、論理ブロックにおいて任意に複雑な論理項を形成する能力である。典型的なデータ処理装置は、AND及びOR項の両方を持つ多くの論理項を必要とする少なくとも幾つかの機能を持つであろう。ドミノ論理は、比較的小さな論理ブロック内で複雑な論理機能を形成する機会を提供する。

【0004】

ドミノ論理について、ワイド入力のANDゲートを具体化するためその使用を禁止するという問題が存在する。ANDゲートに対して、論理ブロックはNチャンネルMOSFETの縦続直列である。AND条件は、全部のNチャンネルMOSFETが評価段階の間ターンONしたときのみ満足される。そのときだけ放電経路が予備充電ノードと接地の間に存在する。ワイド入力ANDゲートは、この様なNチャンネルMOSFETの長い連鎖を必要とする。この様なドミノ論理に付いての問題は、電荷共有 (charge sharing) と呼ばれる。NチャンネルMOSFETの全部ではなく幾つかがONである時、予備充電ノードのキャパシタンス上の電荷は、このように接続された中間ノードの寄生キャパシタンスの全部と共有される。この電荷共有は、予備充電ノード上の電荷を減少させ、従ってその電圧を減少させる。電荷共有に起因する電圧減少は、感知回路の雑音余裕 (noise margin) を減少させる。苛酷な場合においては、この電荷共有はそれ程電圧を減少させるので、感知回路は、誤った状態を感知し、誤った信号を発生する。注目すべきは、この電荷共有問題は、OFFである接地に最も近いNチャンネルMOSFETを除いてNチャンネルMOSFETの連鎖の全部がONである時一層悪化する。この最も悪い場合は、予備充電ノードを放電することなく最大数のノードを予備充電ノードに結合する。従って、予備充電ノード上の電荷は、その最大キャパシタンス上に分布されなければならない、予備充電ノードが放電されない時電圧の最大限の減少に寄与する。

10

20

【0005】

ワイド入力ORゲートは、電荷共有の問題を生じない。これらORゲートは、典型的には予備充電ノードと接地の間の並列NチャンネルMOSFETにより実施される。OR条件を満足するには、全部のORゲートがOFFでなければならない。もしNチャンネルMOSFETのどれかがONであれば、そこで予備充電ノードは放電される。電荷を共有するための追加のノードを持つ直列連鎖はORに対しては現れない。従って、ORゲートは問題ではない。AND及びOR項の両方を持つ論理機能は、AND項の数に依存しては電荷共有の問題を生じるかも知れない。

30

【0006】

この問題に対する1つの解答は、いずれか特定のゲート回路により評価されるAND項の数を制限することである。AND項の数を制限することは、電荷共有に關与するノードの数を制限する。この制限は、次に電荷共有中に生じる電圧降下を制限し、問題の苛酷さを減少する。不利な電荷共有とならない直列連鎖の最大の長さは、回路の型に依存する。最大の長さは、その回路の型に対する設計の制限として働く。もし論理動作が、この設計制限により許されるより多くの項を持つAND機能を要求するならば、そこで追加のゲートが使用される。このことはその論理機能を遂行するために、必要とするゲートの深さ、又はゲートの数を増加させる不利がある。ゲートの深さを増加させると、典型的には同じ機能に対してより多くの回路を要求し、またその結果を生じるためより多くの時間を要求する。これは不利益である。ドミノ論理の1つの利点は、単一のゲートにおける任意の論理機能を遂行する能力である。従って、この不利益は、ドミノ論理の採用に対する1つの根拠を否定する。

40

【0007】

この技術においては、電荷共有の問題を軽減するため追加の回路ノードを予備充電することは知られている。典型的にはNチャンネルMOSFETの直列連鎖における直ぐ次のノードが予備充電ノードと同時に予備充電される。この場合、電荷共有が問題かも知れないという状態の下では、当該次のノードにおいては追加の電荷がある。この追加の電荷がNチャンネルMOSFETの直列連鎖の中にあると、最悪の場合の予備充電ノードから流出する電荷の量は減少する。この結果、予備充電ノード上の最大電圧降下は減少する。これは電

50

荷共有の問題を軽減する。この技術においては、複数の中間ノードを予備充電することは知られている。これは予備充電ノードが放電すべき時に不利益を生じさせるが、何故ならば論理条件が満足されるからである。他のノード上又は直列連鎖内の追加の電荷もまた、NチャネルMOSFETの全部がONの時に放電される。予備充電ノードの電荷及びこの追加の電荷の放電は、予備充電ノードの電荷だけを放電するよりも多くの時間を必要とする。ドミノ論理も1つの利点は、その動作速度である。従って、この不利益はドミノ論理を採用するための1つの根拠を否定する。

【0008】

【発明が解決しようとする課題】

本発明は、従来技術における種々の不利益を克服し、速い動作速度を保持できるドミノ論理回路を提供することを目的とする。

10

【0009】

【課題を解決するための手段】

本発明のドミノ論理回路は、予備充電ノードと、クロック信号の予備充電段階の間動作し、前記予備充電ノードを第1の所定の電圧源に接続し、これにより前記予備充電ノードを予備充電する第1の予備充電素子と、複数の入力信号を受け、前記予備充電ノードと、前記第1の所定の電圧源とは異なる電圧を持つ第2の所定の電圧源との間に配置される論理ブロックであって、前記論理ブロックは前記予備充電ノードと前記第2の所定の電圧源との間に導電経路を形成し、これにより前記複数の入力信号が一つの所定の論理条件を満足する時前記予備充電ノードを放電し、また前記論理ブロックは相隣接する論理素子の間に少なくとも1つの中間ノードを画定する少なくとも1つの直列連鎖の中に配置された複数の論理素子を含み、各論理素子は前記論理素子が導電するか又は導電しないかを制御する一つの対応する入力信号を受け、これによりもし前記入力信号が前記少なくとも1つの直列連鎖の中の前記全部の対応する論理素子を前記クロック信号の評価段階の間に導電させるならば前記予備充電ノードを放電させる、前記論理ブロックと、一つの所定の入力信号が前記少なくとも1つの直列連鎖の中の一つの対応する論理素子を導電しない様に制御する時、一つの所定の中間ノードを前記第1の所定の電圧源に接続し、これにより前記所定の中間ノードを予備充電する第2の予備充電素子と、前記予備充電ノードの電圧を感知し、前記予備充電ノードが予備充電されたか放電されたかに依存して夫々異なる論理出力を形成する感知回路とから成る。

20

30

【0010】

本発明はドミノ論理回路において有益である。ドミノ論理回路においては、予備充電素子が、クロック信号の予備充電段階の間予備充電ノードを予備充電する。論理ブロックは、複数の入力信号を受け、予備充電ノードを条件付きで放電する。この改良において、第2の予備充電素子が、特定の入力信号がその対応する論理素子を非導電に制御する時、中間ノードを予備充電する。この第2の予備充電素子により予備充電されるこの中間ノードは、予備充電ノードに最も近い中間ノードでも良い。代替として、この中間ノードは、予備充電ノードから直列連鎖における最後のものを含むいかなる中間ノードを含んでも良い。第2の予備充電素子を制御する入力信号は、予備充電ノードから直列連鎖における最後の論理素子を制御するのが好ましい。この第2の予備充電素子は、既知の技術に従い第3の予備充電素子と共に使用しても良く、この第3の予備充電素子は予備充電段階の間中間ノードを予備充電する。

40

【0011】

このドミノ論理回路は、第1の入力信号とは異なる第2の入力信号により制御される別の予備充電素子と共に使用しても良い。この追加の予備充電素子は、同じ中間ノード又は別の中間ノードを予備充電するために使用しても良い。

【0012】

もし第2の予備充電素子を制御している入力信号が、束縛されないのであれば、そこでその中間ノードが予備充電段階の間に予備充電されるかは確かではない。その場合、この回路は、予備充電段階の間に中間ノードを予備充電するため動作するクロックにより制御さ

50

れる予備充電素子を含むのが好ましい。この回路は、また前記論理ブロックと接地の間に配置され、予備充電段階の間前記論理ブロックを接地から隔離し放電を防止する放電制御素子を含むのが好ましい。この放電制御素子は、予備充電ノードの放電を許すため評価段階の間導電している。この代わりに、入力信号が、予備充電段階の間クロック制御され低状態に保証されても良い。この場合、中間ノードのクロック制御された予備充電は随意である。更に、放電制御素子は除外しても良い。

【0013】

【発明の実施の形態】

図1は、この発明を採用するドミノ論理ANDゲートの1つの実施例を示す。ドミノ論理ANDゲート100は、予備充電PチャンネルMOSFET101を含み、このソースは供給電圧 V_{DD} に接続され、そのドレインは予備充電ノード110に接続される。予備充電PチャンネルMOSFET101のゲートは、クロック信号を受ける。このクロック信号が低の時、即ち、接地に近いと、そこで予備充電PチャンネルMOSFET101は、予備充電ノード110を供給電圧 V_{DD} に接続する。これは予備充電ノード110を供給電圧 V_{DD} に予備充電するように働く。クロック信号が高の時、即ち、予備充電PチャンネルMOSFET101のスイッチングしきい値の上にあると、そこでこのMOSFETは遮断され、予備充電ノード110は電圧供給から隔離される。

【0014】

ドミノ論理ANDゲート100は、放電制御NチャンネルMOSFET103を含む。放電制御NチャンネルMOSFET103は、論理ブロック120に接続されたソースを持ち、これについては以下に更に詳細に述べる。NチャンネルMOSFET103のドレインは接地に接続される。NチャンネルMOSFET103のゲートは、クロック信号を受ける。このクロック信号が低で、予備充電PチャンネルMOSFET101がONの時、放電制御NチャンネルMOSFET103は遮断される。従って、予備充電ノード110は接地から隔離されるが、何故なら予備充電ノード110から接地への全部の経路は放電制御NチャンネルMOSFET103を通るからである。クロック信号が高で、予備充電PチャンネルMOSFET101が遮断であると、そこでこのMOSFETはONになる。従って、論理ブロック120の論理状態に依存して放電経路が予備充電ノード110と接地との間に存在することが出来る。

【0015】

インバータ105は、予備充電ノード110の上の電圧を感知し、回路出力を与える。ドミノ論理ANDゲート回路100はまた、キ-パ(keeper)PチャンネルMOSFET107を含む。キ-パPチャンネルMOSFET107は、そのソースが供給電圧 V_{DD} に接続され、そのドレインが予備充電ノード110に接続される。キ-パPチャンネルMOSFET107のゲートは、インバータ105の出力を受ける。インバータ105の出力が高であると、キ-パPチャンネルMOSFET107は遮断され、予備充電ノード110の上に電圧に影響しない。インバータ105の出力が低であると、キ-パPチャンネルMOSFET107はONになる。これは予備充電ノード110を、供給電圧 V_{DD} に結合する働きをし、このノード上の電荷を維持する。この技術において知られた様に、キ-パPチャンネルMOSFET107のチャンネル幅は、論理ブロック120におけるNチャンネルMOSFETと相対的に小さい。このチャンネル幅は、もし論理ブロック120の論理状態が満足されず、また論理ブロック120が導電していなければ、予備充電ノード110上の予備充電電圧を維持するのに丁度十分な様を選択される。

【0016】

ドミノ論理ANDゲート100は追加のノード予備充電PチャンネルMOSFET114を含む。追加のノード予備充電PチャンネルMOSFET114は、そのソースが供給電圧 V_{DD} に接続され、そのドレインは中間ノード122に接続される。追加のノード予備充電PチャンネルMOSFET114のゲートは、クロック信号を受ける。追加のノード予備充電PチャンネルMOSFET114は、予備充電PチャンネルMOSFET101の様に動作する。クロック信号が低である時、追加のノード予備充電PチャンネルMOSFET114は

10

20

30

40

50

、中間ノード122を供給電圧 V_{DD} に接続する。クロック信号が高である時、追加のノード予備充電PチャンネルMOSFET114は、遮断され、中間ノード122上の電荷に影響しない。これは上に述べた従来技術の追加のノード充電である。以下に述べるPチャンネルMOSFET150の追加について注目すべきは、追加のノード予備充電PチャンネルMOSFET114を含めることは随意である。

【0017】

図1は、論理ブロック120を示す。一般に、論理ブロック120は、並列及び直列の両方の接続の複数のNチャンネルMOSFETを含むことが出来る。選択される特定の数及び接続は、実行されるべき論理機能に依存する。電荷共有は、並列及び直列の両方の接続に発生し得る。注目すべきは、1つ又はそれより多い並列経路の存在は、共通ノードにおいて大きな寄生キャパシタンス生じるかも知れず、従って電荷共有に寄与する。以下の例の回路は、論理ブロック120に対して大部分が直列連鎖を示すが、この発明は、論理ブロックが予備充電ノードと接地の間に中間ノードを含む時は何時でも有益である。

10

【0018】

この例において、論理ブロック120は、4個の直列に接続されたNチャンネルMOSFET121、123、125及び127を含む。NチャンネルMOSFET121、123、125及び127のゲートは、夫々の入力信号A、B、C及びDを受ける。クロック信号の評価段階の間、即ち、クロック信号が高の時、予備充電PチャンネルMOSFET101及び追加のノードPチャンネルMOSFET114の両方は遮断され、また放電制御NチャンネルMOSFET103は導電している。もし全部の入力信号A、B、C及びDが高であれば、そこで放電経路が、予備充電ノード110と接地の間に、論理ブロックNチャンネルMOSFET121、123、125及び127及び放電制御NチャンネルMOSFET103を経由して存在する。予備充電ノード110上の電荷は放電される。インバータ105は、この放電の結果としての低電圧を感知し、高出力電圧を駆動する。注目すべきは、この放電経路の抵抗は、インバータ105の状態を切り替えるためキ-パPチャンネルMOSFET107により供給される電荷をオ-パドライブするため十分に低くなければならない。もし入力信号A、B、C及びDの全部が高とは限らないときは、そこで放電経路は存在せず、インバータ105は、電圧の変化を感知すべきではない。従来技術で知られる様に、ドミノ論理ANDゲートは、従って論理動作A AND B AND C AND Dを形成する。

20

30

【0019】

ドミノ論理ANDゲート100は、追加のPチャンネルMOSFET150を含む。このPチャンネルMOSFET150は、最悪の場合の電荷共有状態の間中間ノード122に追加の電荷を提供する。PチャンネルMOSFET150は、そのソースが供給電圧 V_{DD} に接続され、そのドレインが中間ノード122に接続される。PチャンネルMOSFET150のゲートは、入力信号Dを受け、同じ入力信号は、直列NチャンネルMOSFET連鎖の最後のNチャンネルMOSFET127に供給される。予備充電PチャンネルMOSFET114は、クロック信号の予備充電段階の間中間ノード122を予備充電することを思い出す。評価段階の間、予備充電PチャンネルMOSFET114は、予備充電PチャンネルMOSFET101の様に遮断される。この回路に対して、もし入力信号A、B及びCが全部が高で、入力信号Dが低であれば、最悪の場合の電荷共有が結果として生じる。入力信号Dが低の時、PチャンネルMOSFET150はターンONする。これは、追加の電荷を中間ノード122へ供給する。注目すべきは、この追加の電荷は、丁度必要とされる時に供給され、即ち、入力信号Dが低の時最悪の場合の電荷共有に対する要求がある。入力信号Dが高の時、NチャンネルMOSFET127はターンONし、PチャンネルMOSFET150は遮断される。従って、追加の電荷は中間ノード122へ供給されない。そのため、論理ブロック120の論理状態が満足され、そしてNチャンネルMOSFET121、123、125及び127が全部ONであると、この技術は追加の電荷を中間ノードへ導入しない。従って放電動作は遅くはない。

40

【0020】

50

注目すべきは、ある状況の下では、PチャネルMOSFETの追加は、先行技術のPチャネルMOSFET 114の必要性を除去するかも知れない。これは、もし入力信号Dが、クロック信号の予備充電段階の間低であることが知られていれば真実であろう。これは、図2にドミノ論理ANDゲート200として示される。図2において、放電制御NチャネルMOSFET 103は除外される。図2から気が付く様に、入力信号Dはクロック制御される。これは、入力信号Dは、クロックの予備充電段階の間低であることを意味する。これはNチャネルMOSFET 127をこの間隔の間ターンOFFする。NチャネルMOSFET 127のターンOFFは、予備充電ノード110から接地への放電経路を妨げる。これは、PチャネルMOSFET 101がノード110を予備充電出来るように予備充電段階の間必要となる。クロックの評価段階の間、入力信号Dは、低に残り又は高に変化するかも知れない。もし入力信号Dが低のまま残ると、そこで最悪の場合の電荷共有が可能となる。しかし、PチャネルMOSFET 150はONに残り、電荷を中間ノード122へ供給する。これは、電荷共有に起因して予備充電ノード110における電圧低下(dip)を減らす。この代わりに、もし入力信号Dが高に切替わると、NチャネルMOSFET 127はターンONし、PチャネルMOSFET 150はターンOFFする。従って、論理ブロック120の論理状態が満足され且つ予備充電ノード110が放電されることが可能な期間においては、追加の電荷は中間ノード122へは供給されない。

【0021】

図3は、この発明の、デュアルレール(dual rail)入力及び出力論理回路への応用を示す。ドミノ論理ANDゲート300は、真の入力信号A、B、C及びDと共にそれらの逆のA(バー)、B(バー)、C(バー)及びD(バー)の両方を受ける。ドミノ論理ANDゲート300は、真の出力信号(OUTPUT)及びその逆のOUTPUT(バー)を発生する。ドミノ論理ANDゲート300は、クロックの予備充電段階の間PチャネルMOSFET 201により予備充電される別の予備充電ノード210を含む。この予備充電ノード210における電圧は、キ-パPチャネルMOSFET 207を含むインバータ205により感知される。インバータ205は、逆出力信号OUTPUT(バー)を発生する。ドミノ論理ANDゲート300は、条件付き放電NチャネルMOSFET 221、223、225及び227を含む。これらの各々は、対応する逆入力信号A(バー)、B(バー)、C(バー)、又はD(バー)を受け、それらのソースドレイン経路は、予備充電ノード210とNチャネルMOSFET 103のソースとの間に接続される。もし逆入力信号A(バー)、B(バー)、C(バー)、又はD(バー)のどれかが高であり、入力信号の全部が低とは限らないことを示していれば、そこで予備充電ノード210は放電され、逆出力信号OUTPUT(バー)は高になる。交差接続されるPチャネルMOSFET 211と213は、第1の予備充電ノードが放電するのを感知し、他方の予備充電ノードを高に保持するためスイッチオンする。注目すべきは、追加の予備充電PチャネルMOSFETは、ドミノ論理ANDゲート300の真の側においてのみ必要であるが、何故ならこれはAND機能であるからである。予備充電ノード210に関しては、入力の状態に拘らず電荷共有は発生しない。もしこのゲートが、OR機能を遂行するように構成されたとすると、その直列NチャネルMOSFETは、ゲートの逆側上にあったであろう。この場合、入力信号によりゲートされる追加の予備充電PチャネルMOSFETは、ゲートの逆側上で最も良く使用されるであろう。上の図1の場合の様に、追加のノード予備充電PチャネルMOSFET 114は、随意であり、全部の設計において必要とは限らない。

【0022】

図4は、5入力ドミノ論理ANDゲート400を示す。ドミノ論理ANDゲート400は、追加の直列に接続されたNチャネルMOSFET 129を含む。NチャネルMOSFET 129のゲートは、第5の入力信号Eを受ける。ドミノ論理ANDゲート400は、更に別の予備充電PチャネルMOSFET 155を含む。この追加の予備充電PチャネルMOSFET 155は、入力信号Eが低の時に中間ノード122を予備充電する。この状態の下では、NチャネルMOSFET 129はOFFであり、最悪の場合の電荷共有を可能

10

20

30

40

50

にする。注目すべきは、より長い直列連鎖は、追加の潜在的な内部寄生キャパシタンスを提供し、これは予備充電ノード110と電荷を共有するかも知れない。入力信号D又は入力信号Eのいずれかが低の時は、2個のPチャネルMOSFETが中間ノード122を予備充電する。入力信号Dと入力信号Eの両方が高の時は、PチャネルMOSFET150と155は両方共OFFである。従って、予備充電ノード110の放電を要求する論理ブロック条件の満足に一致する状態の下では、電荷は中間ノードへは供給されない。上の図1の場合の様に、追加のノード予備充電PチャネルMOSFET114は、随意であり、全部の設計において必要とは限らない。

【0023】

図5は、更に別の代替の実施例のドミノ論理ANDゲート500を示す。ドミノ論理ANDゲート400の場合の様に、ドミノ論理ANDゲート500は、5入力ANDゲートである。ドミノ論理ANDゲート500は、PチャネルMOSFET157が、中間ノード122ではなく中間ノード128を予備充電することを除いてドミノ論理ANDゲート400と類似である。この発明に従い入力信号によりどちらの中間ノードを予備充電するかの選択は設計による。入力がゲートされるPチャネルMOSFETでどの中間ノードを予備充電するかの選択においては、雑音免疫(immununity)と速度の間で一般的なトレードオフがある。電荷共有に対する最大の雑音免疫は、予備充電ノードにより近い中間ノードを予備充電することにより達成される。しかし、もし論理条件が満足され、その予備充電ノードは放電されるべきであれば、この追加の電荷は接地からより遠くに位置する。電荷は、より多くのソースドレインチャンネルを通過しなければならず、従って遅くなる。直列連鎖における接地に近い中間ノードの予備充電は、丁度それに等しいだけの電荷共有の軽減を提供しない。しかし、この追加された電荷は、接地により近く、そして放電されるためより少ないソースドレインチャンネルを流さなければならない。従って、直列連鎖の接地端により近い中間ノードを予備充電することは、より速い動作を与える。この追加の予備充電を受けるため選択される特定の中間ノードは、雑音免疫又は動作の速度が主要な設計目標かどうかにより決定されるであろう。注目すべきは、図4及び5において、同一の中間ノードを予備充電するため1個より多い予備充電素子は実行可能であるが、これらの追加の予備充電素子の2個は夫々異なるノードを予備充電してもよい。

【0024】

この発明は、直ちには明らかでない追加の利点を提供する。マイクロプロセッサ及びデジタル信号処理装置の様な現在の論理回路設計において、集積回路の全部の部分へのクロック信号の分配には、綿密な計画と特種化された技術を必要とする。これらの設計は、しばしば綿密に平衡をとったクロック分配トリー(tree)を要求する。集積回路を横切るクロック分配に対するこの要求は、クロック信号に極めて依存するドミノ論理にとり特に重要である。この発明は、クロックによりゲートされる中間ノード予備充電を入力信号によりゲートされる中間ノード予備充電で置換することを可能にする。この様な置換は、クロック信号上のローディングを軽減する。このクロックローディングにおける軽減は、クロック分配トリー内においてより少ないドライバ回路を可能にする。これは電力消費と集積回路面積の減少となる。この様に解放された資源は、有益な回路に採用され、又は全体的な集積回路電力消費又は費用の削減に寄与するであろう。

【0025】

以上の説明に関して更に以下の項を開示する。

(1)ドミノ論理回路であって、予備充電ノードと、クロック信号の予備充電段階の間動作し、前記予備充電ノードを第1の所定の電圧源に接続し、これにより前記予備充電ノードを予備充電する第1の予備充電素子と、複数の入力信号を受け、前記予備充電ノードと、前記第1の所定の電圧源とは異なる電圧を持つ第2の所定の電圧源との間に配置される論理ブロックであって、前記論理ブロックは前記予備充電ノードと前記第2の所定の電圧源との間に導電経路を形成し、これにより前記複数の入力信号が一つの所定の論理条件を満足する時前記予備充電ノードを放電し、また前記論理ブロックは相隣接する論理素子の間に少なくとも1つの中間ノードを画定する少なくとも1つの直列連鎖の中に配置された

10

20

30

40

50

複数の論理素子を含み、各論理素子は前記論理素子が導電するか又は導電しないかを制御する一つの対応する入力信号を受け、これによりもし前記入力信号が前記少なくとも一つの直列連鎖の中の前記全部の対応する論理素子を前記クロック信号の評価段階の間に導電させるならば前記予備充電ノードを放電させる、前記論理ブロックと、一つの所定の入力信号が前記少なくとも一つの直列連鎖の中の一つの対応する論理素子を導電しない様に制御する時、一つの所定の間中ノードを前記第1の所定の電圧源に接続し、これにより前記所定の間中ノードを予備充電する第2の予備充電素子と、前記予備充電ノードの電圧を感知し、前記予備充電ノードが予備充電されたか放電されたかに依存して異なる論理出力を形成する感知回路とから成るドミノ論理回路。

【0026】

(2) 第1項に記載のドミノ論理回路であって、そこに前記第2の予備充電素子により予備充電される前記所定の間中ノードは、前記予備充電ノードに最も近い前記少なくとも一つの直列連鎖における間中ノードであるドミノ論理回路。

(3) 第2項に記載のドミノ論理回路であって、更に、前記クロック信号の予備充電段階の間前記所定の間中ノードを前記第1の所定の電圧源に接続するため動作する第3の予備充電素子を含むドミノ論理回路。

(4) 第1項に記載のドミノ論理回路であって、そこに前記により予備充電される前記所定の間中ノードは、前記予備充電ノードから最も遠い前記少なくとも一つの直列連鎖における間中ノードであるドミノ論理回路。

【0027】

(5) 第4項に記載のドミノ論理回路であって、更に、前記クロック信号の予備充電段階の間前記所定の間中ノードを前記第1の所定の電圧源に接続するため動作する第3の予備充電素子を含むドミノ論理回路。

(6) 第1項に記載のドミノ論理回路であって、更に、前記所定の入力信号と異なる第2の所定の入力信号が対応する論理素子を非導電に制御する時、前記所定の間中ノードを前記第1の所定の電圧源に接続するため動作する第3の予備充電素子を含み、これにより前記所定の間中ノードを予備充電するドミノ論理回路。

(7) 第1項に記載のドミノ論理回路であって、更に、前記所定の入力信号と異なる第2の所定の入力信号が対応する論理素子を非導電に制御する時、前記所定の入力ノードと異なる第2の所定の間中ノードを前記第1の所定の電圧源に接続して、前記第2の所定の間中ノードを予備充電する第3の予備充電素子を含むドミノ論理回路。

【0028】

(8) 第1項に記載のドミノ論理回路であって、そこに、前記所定の入力信号は、前記少なくとも一つの直列連鎖における前記対応する論理素子を、前記予備充電段階の間導電か又は非導電かのいずれかに制御し、これにより前記第2の予備充電素子は、前記予備充電段階の間、前記予備充電ノードを予備充電しないか又は前記予備充電ノードを予備充電するかのいずれかであり、前記ドミノ論理回路は、更に、前記クロック信号の前記予備充電段階の間前記予備充電ノードに最も近い前記少なくとも一つの直列連鎖における間中ノードを前記第1の所定の電圧源に接続するため動作する第3の予備充電素子を含み、これにより前記最も近いノードを予備充電し、また前記ドミノ論理回路は、更に、前記論理ブロックと前記第2の所定の電圧源の間に配置され、前記予備充電段階の間前記論理ブロックを前記第2の所定の電圧源から隔離するように動作し、これにより前記予備充電ノードの放電を防止し、また前記予備充電段階の間前記論理ブロックを前記第2の所定の電圧源に接続するように動作する、これにより前記予備充電ノードの放電を可能にする放電制御素子を含むドミノ論理回路。

(9) 第1項に記載のドミノ論理回路であって、そこに、前記所定の入力信号は、前記予備充電段階の間前記少なくとも一つの直列連鎖における前記対応する論理素子を随意的に制御し、これにより前記第2の予備充電は前記予備充電段階の間前記予備充電ノードを常に予備充電し、また前記論理ブロックは、論理素子の介入なしに前記第2の所定の電圧源に直接接続されるドミノ論理回路。

10

20

30

40

50

【 0 0 2 9 】

(1 0) ドミノ論理回路 4 0 0 は、予備充電ノード 1 1 0 を予備充電段階の間予備充電する予備充電素子 1 0 1 及び予備充電ノードを条件付きで放電するため複数の入力信号 A、B、C、D、E を受ける論理ブロック 1 2 1、1 2 3、1 2 5、1 2 7、1 2 9 を含む。この改良において、特定の入力信号 E がその対応する論理素子を制御する時、第 2 の予備充電素子 1 5 5 が中間ノード 1 2 2 を予備充電する。この第 2 の予備充電素子により予備充電される中間ノードは、予備充電ノードから直列連鎖における最後を含むどの中間ノードでもよい。この第 2 の予備充電素子は、予備充電段階の間予備充電する先行技術による第 3 の予備充電素子 1 1 4 と共に使用できる。このドミノ論理回路は、第 1 の入力信号と異なる第 2 の入力信号 D により制御される別の予備充電素子 1 5 0 と共に使用できる。この追加の予備充電素子は、同一の中間ノード又は別の中間ノードを予備充電するため使用できる。もし第 2 の予備充電素子を制御する入力信号が束縛されなければ、そこでこの回路は、予備充電段階の間中間ノードを予備充電するためのクロック制御予備充電素子及び予備充電段階の間放電を防止する前記論理ブロックと接地の間に接続される放電制御素子を含むのが好ましい。代わりに、入力信号はクロック制御されまた予備充電段階の間低に保証されても良い。この場合、中間ノードのクロック制御予備充電及び放電制御素子は随意である。

10

【 図面の簡単な説明 】

【 図 1 】 この発明を採用するドミノ論理 A N D 回路の 1 つの実施例を示す図。

【 図 2 】 クロック制御入力信号を採用するドミノ論理ゲートの第 1 の代わりの実施例を示す図。

20

【 図 3 】 デュアルレール入力及び出力を採用するドミノ論理ゲートの第 2 の代わりの実施例を示す図。

【 図 4 】 2 個の追加の素子が同一中間ノードを予備充電することを除き図 1 に示すものと類似の第 3 の代わりの実施例を示す図。

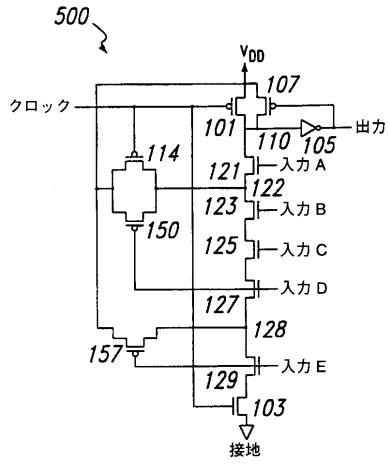
【 図 5 】 2 個の追加の素子が異なる中間ノードを予備充電することを除き図 4 に示すものと類似の第 4 の代わりの実施例を示す図。

【 符号の説明 】

1 0 1 予備充電素子
 1 1 0 予備充電ノード
 1 1 4 予備充電素子
 1 2 1、1 2 3、1 2 5、1 2 7、1 2 9 論理ブロック
 1 2 2 中間ノード
 1 5 0 予備充電素子
 A、B、C、D、E 入力信号

30

【図5】



フロントページの続き

- (72)発明者 ブランジャル スリバスタバ
アメリカ合衆国テキサス, オースチン, アルメダ トレース アpartment 431, 1237
0
- (72)発明者 パトリック ダブリュ. ボスハート
アメリカ合衆国テキサス, プラノ, タラ コート 7508
- (72)発明者 ウミング コ
アメリカ合衆国テキサス, プラノ, ロッチ ハイブン ドライブ 2405

審査官 宮島 郁美

- (56)参考文献 特開平03 - 105797 (JP, A)
特開平10 - 107613 (JP, A)
特開平02 - 035821 (JP, A)
特開平02 - 108325 (JP, A)
特開平09 - 232942 (JP, A)
特開平11 - 261406 (JP, A)
特開昭62 - 232218 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03K19/00-19/23