



# [12] 发明专利说明书

专利号 ZL 99811145.7

[45] 授权公告日 2007 年 4 月 11 日

[11] 授权公告号 CN 1310452C

[22] 申请日 1999.7.19 [21] 申请号 99811145.7

[30] 优先权

[32] 1998.7.20 [33] DE [31] 19832554.1

[86] 国际申请 PCT/EP1999/005133 1999.7.19

[87] 国际公布 WO2000/005831 英 2000.2.3

[85] 进入国家阶段日期 2001.3.20

[73] 专利权人 艾利森电话股份有限公司

地址 瑞典斯德哥尔摩

[72] 发明人 M·尼格尔 R·库克拉

S·-H·诺尔巴克施

[56] 参考文献

US 5442625A 1995.8.15

WO 9627250A2 1996.9.6

审查员 张雪凌

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王勇 李亚非

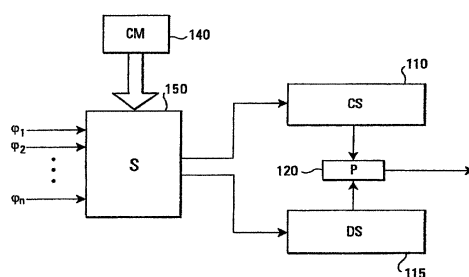
权利要求书 3 页 说明书 16 页 附图 4 页

[54] 发明名称

处理多数据速率的多个数字通信信道的数据的装置和方法

[57] 摘要

本发明涉及以具有不同长度的码序列扩展具有不同数据速率的多个数字通信信道的数据。本发明电路允许使用单个硬件单元用于扩展具有不同的数据速率的通信信道，例如在码分多址电信系统中。这是通过在适当的存储装置中处理用于具有最小的速率的信道的单个码元和一个相应的长的码，或者处理具有较高数据速率的通信信道的多个码元和相应的较短的码序列实现的，因此，使用单个硬件结构获得了在扩展之后的共同的码片速率。



1. 使用具有不同长度的码序列处理具有不同数据速率(RL, RM, RH)的多个数字通信信道( $\varphi_1, \varphi_2, \dots, \varphi_n$ )的数据的装置, 包括:

码存储装置(110), 它连接到处理装置(120), 具有多个存储单元, 用于存储该码序列之一的至少一个副本;

数据存储装置(115), 它连接到处理装置(120), 具有多个存储单元, 用于存储该通信信道( $\varphi_1, \varphi_2, \dots, \varphi_n$ )之一的至少一个码元的至少一个副本;

其中处理装置(120)用于处理码存储装置的各个存储单元的内容与数据存储装置的各个存储单元的内容; 其中

在码存储装置(110)中存储的码序列的副本的数量和在数据存储装置(115)中存储的通信信道( $\varphi_1, \varphi_2, \dots, \varphi_n$ )的码元的数量正比于该通信信道的数据速率(RL; RM; RH)。

2. 根据权利要求1的装置, 其中该码存储装置(110)具有等于最大的码序列长度(MaxL)的多个存储单元。

3. 根据权利要求1或者2的装置, 其中该数据存储装置(115)具有由最小的码序列长度(MinL)划分的码存储装置(110)的存储单元的数量确定的多个存储单元。

4. 根据权利要求1或者2的装置, 其中该码存储装置(110)的存储单元的数量是所有的不同码长度的整数倍。

5. 根据权利要求1或者2的装置, 包括控制装置, 用于以相同的速率处理每个信道, 从而在对所有的不同的通信信道速率扩展之后提供均匀的码片速率。

6. 根据权利要求1或者2的装置, 包括一个选择电路(150), 用于从多个通信信道( $\varphi_1, \varphi_2, \dots, \varphi_n$ )之一中选择码元的数量, 用于根据选择的通信信道的数据速率选择具有一个长度的码序列, 和用于控制加载该码元的数量和该码序列的副本的数量到数据存储装置和码存储装置的各个存储单元。

7. 根据权利要求1或者2的装置, 其中由实数值成分表示的复数值的通信信道( $\varphi_1, \varphi_2, \dots, \varphi_n$ ), 它们是独立地处理的。

8. 根据权利要求1或者2的装置, 其中该处理装置(120)执行XOR操作。

9. 根据权利要求1或者2的装置, 包括  
多个码存储装置(110),  
多个数据存储装置(115),  
多个处理装置(120);

其中一个选择电路(450)安排加载多个通信信道的每一个通信信道的至少一个码元和对应的被选码序列的副本到多个数据与代码存储装置, 以便由该多个处理装置并行处理。

10. 码分多址通信系统, 包括根据前面的权利要求之一的装置。

11. 使用具有不同长度的码序列处理具有不同数据速率(RL, RM, RH)的多个数字通信信道( $\varphi_1, \varphi_2, \dots, \varphi_n$ )的数据的方法, 包括步骤:

在码存储装置(110)中存储该码序列之一的至少一个副本, 该码序列副本的数量正比于该通信信道的数据速率(RL; RM; RH);

在数据存储装置(115)中存储通信信道( $\varphi_1, \varphi_2, \dots, \varphi_n$ )之一的至少一个码元的至少一个副本, 码元的数量正比于该通信信道的数据速率(RL; RM; RH); 和

使用处理装置(120)处理码存储装置的内容与数据存储装置的内容。

12. 根据权利要求11的方法, 其中该码存储装置(110)具有等于最大的码序列长度(MaxL)的多个存储单元。

13. 根据权利要求11或者12的方法, 其中该数据存储装置(115)具有由最小的码序列长度(MinL)划分的码存储装置(110)的存储单元的数量确定的多个存储单元。

14. 根据权利要求11或者12的方法, 其中该码存储装置(110)的存储单元的数量是所有的不同码长度的整数倍。

15. 根据权利要求11或者12的方法, 其中每个通信信道以相同的频率操作, 在对所有的不同的通信信道速率扩展之后提供均匀的码片速率。

16. 根据权利要求11或者12的方法, 还包括步骤  
选择该数据存储装置(115)中的数据码元; 和  
处理具有码存储装置(110)的多个存储单元内容的码元, 存储单元的数量是由具有最小长度的码序列确定的。

17. 根据权利要求11或者12的方法, 另外包括步骤:

使用选择电路(150)从多个通信信道( $\varphi_1, \varphi_2, \varphi_n$ )之一中选择至少一个数据码元; 和

根据选择的通信信道的数据速率选择具有一个长度的码序列; 和控制加载至少一个数据码元和该码序列到该数据与码存储装置。

18. 根据权利要求11或者12的方法, 其中由实数值成分表示复数值通信信道( $\varphi_1, \varphi_2, \dots, \varphi_n$ ), 它们是独立地处理的。

19. 根据权利要求11或者12的方法, 其中该处理装置(120)执行XOR操作。

20. 根据权利要求11或者12的方法, 还包括步骤:

在多个码存储装置(110)中存储多个码序列;

在对应于多个码存储装置的多个数据存储装置(115)中存储多个通信信道的每一个通信信道的至少一个数据码元; 和

并行处理具有每一个相应的通信信道的至少一个码元的多个码序列的每一个码序列。

21. 根据权利要求11或者12的方法, 其中该处理装置(120)处理该数据存储装置(115)的一个存储单元的内容与该码存储装置(110)的多个存储单元的内容, 以该数据存储装置的一个存储单元处理的该码存储装置的存储单元的数量等于具有最短的长度(MinL)的码序列的长度。

## 处理多数据速率的多个数字通信信道的数据的装置和方法

### [本发明领域]

发明涉及在码分多址 (CDMA) 电信网络中使用具有不同长度的码序列处理具有不同数据速率的多个数字通信信道的数据。

### [本发明的背景]

在电信系统中, 包括话音或者数据信号的大量的通信信道可以经过相同的传输媒介例如射频频带一起发送。在该传输媒介上放置通信信道的多数的接入方案是已知的。一类传输方案同时地例如在一个射频频带中以这样的方式发送多个不同的通信信道: 它们叠加在时域以及频域中。这类的熟知的接入方案是 CDMA (码分多址)。

为了从其它通信信道信号中区别每个通信信号, 每个通信信道信号以一个或者多个唯一的扩展码编码, 正如这是在本技术中熟知的。通信信道信号的一个比特 (在这里称作“码元”) 是以特定的扩展码序列的一个表示法处理的。扩展因数确定该扩展码序列的长度。该扩展码序列常常称短码或者信道化码。通过扩展每一个通信信道信号, 因此取样率将根据该扩展因数增加。得到的速率称为“码片速率”。

为了例如使用 CDMA 扩展用于传输的特定的通信信道, 该信道的输入数据流的每个码元例如具有逻辑值 1 或者 0, 使用该码序列表示。例如, 如果该码元具有逻辑的值 1, 发送该码序列本身, 如果该数据码元展现逻辑值 0, 则发送反向的码序列, 或者反之亦然。

因此, 对于例如扩展因数 8, 该通信信道的输入数据流的每个码元利用具有 8 比特长度的码序列表示, 通常称作码片。因此在扩展之后的通信信道的码片速率是该扩展因数和该信道的初始数据速率的函数。

在目前的电信网络中, 要求支持具有不同的数据速率的通信信道, 例如在传真发送中或者在计算机之间通信中遇见的话音信号的传输或者数据信号的传输。不同数据速率的信道可以使用用于具有不同数据速率的通信信道的不同的扩展因数 (不同的码序列长度) 以上面的接入方案便利地支持。

由于在扩展之后的每个通信信道的码片速率最好是相同的最高

的可能的传输速率，它可以由该系统处理，具有高数据速率的通信信道可以使用具有短长度的码序列扩展，而具有低数据速率的通信信道最好使用具有长长度的码序列扩展。利用适合于该通信信道的数据速率的码序列的长度，在扩展之后所有的扩展信道将具有相同的码片速率。

可觉察地，利用上述的，具有最大长度的码序列是利用具有最小的数据或者码元速率的信道确定的，因为这个信道必须分别利用最高的扩展因数或者最长的码序列扩展。类似地，具有最小长度的码序列是利用具有最高的数据或者码元速率的信道确定的，因为这个信道必须利用最小的扩展因数扩展。

在 CDMA 系统中，该码元速率也链接该扩展因数，并且因此链接该码序列的长度，而具有不同的码元速率的信道要求不同长度的码序列。表示具有一个码序列的信道（具有特定的码元速率）的每个码元例如可以通过对该码元和码序列的每个码片执行 XOR(异或)操作进行。当执行这个操作时，扩展信道的速率增加了该扩展因数(码序列长度)，正如前面概述的。

利用不同信道数据速率的要求，正如前面表示的，不同长度的码序列需要由电信系统处理。

对这个任务的一个直接了当的、直接的解决方案是提供用于每个要求的/提供的不同信道数据速率的专用的硬件部件，能够以给定的长度处理码序列，该长度取决于特定的数据速率。但是，提供用于每个数据速率的这样的硬件是昂贵的和不灵活的，并且可替代的解决方案是希望的。

#### [本发明概要]

因此本发明的目的是提供有效的、灵活的和成本有效地处理具有不同数据速率的多个数字通信信道数据的一种装置和方法。

根据本发明的一个方面，提供了使用具有不同长度的码序列处理具有不同数据速率的多个数字通信信道的数据的装置，包括：码存储装置，用于存储该码序列之一的至少一个副本；数据存储装置，用于存储该通信信道之一的至少一个码元的至少一个副本；处理装置，用于处理码存储装置的内容与数据存储装置的内容；其中在码存储装置中存储的码序列的副本的数量和在数据存储装置中存储的通信信道

的码元的数量正比于该通信信道的数据速率。

根据本发明的另一个方面，提供了一个使用具有不同长度的码序列处理具有不同数据速率的多个数字通信信道的数据的方法，包括步骤：在码存储装置中存储该码序列之一的至少一个副本，该码序列副本的数量正比于该通信信道的数据速率；在数据存储装置中存储通信信道之一的至少一个码元的至少一个副本，码元的数量正比于该通信信道的数据速率；和使用处理装置处理码存储装置的内容与数据存储装置的内容。

根据本发明，具有不同数据速率的多个数字通信信道可以使用相同的硬件结构以具有不同长度的码序列扩展。这是通过提供用于存储该码序列的至少一个表示法或者一个码序列的副本的码存储装置和通过提供用于存储相应的通信信道的至少一个数据比特/码元的数据

存储装置实现的，在该码存储装置中存储的码序列副本的数量正比于相应的通信信道的数据速率。在数据存储装置中存储的码序列的副本的数量、在该数据存储装置中存储的通信信道的码元的数量正比于相应的通信信道的数据速率。这有利地允许使用用于具有不同数据速率的通信信道的相同的硬件结构。对于具有较高数据速率和相应的较短长度的码序列的通信信道，较大数量的通信信道的码元将存储（和在一个工作循环中一起处理）在该数据存储装置中，和相应地较大数量的码序列副本将存储在该码存储装置中。因此，在一个工作循环中，可以处理或者具有高数据速率的通信信道的较大数量的码元或者具有相应较低的数据速率的较低的通信信道码元数量。

有利地该码存储装置可能具有等于最大的编码长度的多个存储单元。满足这个条件，该装置能够处理具有最小的数据速率通信信道和具有最大的编码长度的相应的码序列，因此最小化该码存储装置的存储单元的数量。

另外，该数据存储装置可以有利地具有由最小的码序列长度划分的码存储装置的存储单元的数量确定的多个存储单元，该最小的码序列长度对应于具有最高数据速率的通信信道。这允许进一步减少硬件要求，因为这时该数据存储装置能够存储对应于具有最高码元速率的通信信道的处理的最大数量的码元，另一方面仅仅存储具有最小码元速率的信道的一个码元。

另外，在本发明的有利的实施例中，选择不同长度的码序列，使得该码存储装置的存储单元的数量是所有的不同码长度的整数倍。这允许以码序列无缝的处理通信信道的数据，在处理期间不遇到空的存储单元（空的存储单元提出数据处理问题），因此避免复杂的控制电路。

还进一步，可以选择不同长度的码序列，使得在扩展之后所有的不同的通信信道的码片速率是相同的。

在本发明的另外有利的实施例中，可以由一个电路选择来自该数据存储装置的数据码元，以便处理具有多个码存储装置的存储单元内容的码元，存储单元的数量是由最短的码序列长度确定的。这允许进一步减少硬件要求，因为一个通信信道的每个码元至少以多个码存储的存储单元的数量处理，该码存储的存储单元的数量等于具有最小长



度的码序列。

在本发明的又一个有利的实施例中，可以使用一个选择电路选择来自多个通信信道之一的至少一个数据码元，另外选择具有对应于该选择的通信信道的数据速率的长度的一个码序列。该选择电路可以有利地控制加载至少一个数据码元和该码序列到该数据和码存储装置中。

该通信信道信号可以由具有真正的重要成分的复合信号表示，它们是独立地处理的。

在本发明的另外有利的实施例中，该装置可以包括用于存储多个码序列的多个码存储装置，多个数据存储装置，它对应于用于存储多个通信信道的每个通信信道的至少一个数据码元的多个码存储装置，和多个处理装置，用于并行处理具有该相应的通信信道的至少一个码元的每一个码元的多个码序列的每一个码序列。

在另外相关的权利要求中描述了本发明的另外有利的实施例。

#### [附图的简要描述]

图 1 表示本发明的第一实施例，用于处理具有不同数据速率的多个数字通信信道的数据；

图 2 表示本发明的一个实施例，表示处理具有不同数据速率的通信信道；

图 3 表示本发明的另一个实施例，表示在处理具有一个通信信道的数据比特的码序列期间步骤的时序；和

图 4 表示本发明的另一个实施例，表示用于并行处理具有不同数据速率的多个通信信道的硬件安排。

#### [实施例的详细描述]

在下面将参考图 1-4 描述本发明的优选的实施例。

图 1 示出根据本发明的一个优选的实施例的装置，使用具有不同长度的码序列处理具有不同数据速率的多个数字通信信道 ( $\varphi_1$ ,  $\varphi_2$ , ...,  $\varphi_n$ ) 的数据。

正如在本申请的介绍部分中概述的，在组合所有的通信信道之前，每个特定的通信信道需要使用一个具体代码序列扩展，特别地在使用在相同的传输媒介上放置多个不同的通信信道的接入方案的电信系统中，以便在时间和频域中产生叠加。在每个通信信道扩展之后，该

扩展的信道例如可以经过空中接口组合为被发送的一个发送信号。这样的方案例如在 CDMA (码分多址) 中使用。根据本发明的本实施例可以用于上面概述的接入方案, 特别地可以用于 CDMA 电信系统。

假定需要支持具有不同数据速率的通信信道。因此, 具有不同长度的码序列需要用于处理或者扩展具有不同数据速率的通信信道。回想一下, 具有较低的数据速率的通信信道将以较大扩展因数扩展, 或者相当于, 以比较更长的码序列处理。同样地, 具有较高数据速率的通信信道将以较低的扩展因数扩展, 或者相当于说, 它使用具有比较短的长度的码序列扩展。在扩展之后, 具有不同初始数据速率的所有的各个信道具有相同的码片速率。这个码片速率可以由数据通信系统的特性或者由另外的系数例如通信标准确定。

根据本发明的本实施例最好是使用在具有上面概述的接入方案的电信系统中, 特别地在 CDMA 电信系统中, 但是, 根据本发明的本发明同样地可以很好地用于要求处理具有不同数据速率的信道的任何系统。

本发明的一个基本思想是使用单个扩展/处理硬件单元处理具有不同数据速率的多个通信信道, 因此要求不同的扩展因数。

如在图 1 中所示的, 这可以通过提供对于存储该码序列之一的至少一个表示法或者副本的码存储装置 110 实现。可以在码存储装置中存储的码序列的副本或者表示法的数量是分别由该码存储装置的存储单元的数量确定的。另外, 图 1 的硬件结构装备用于存储多个通信信道  $\varphi_1, \varphi_2, \dots, \varphi_n$  之一的至少一个数据码元的数据存储装置 115, 存储在该数据存储装置中的通信信道的码元的数量是由该信道的数据速率确定的。该码存储装置和数据存储装置例如可以由寄存器构成。

另外, 图 1 的安排装备处理装置 120, 用于处理码存储装置的内容与数据存储装置的内容。

该处理装置 120 的输出可以提供给电信系统诸如 CDMA 电信系统的另外部件。在当前的实施例中, 该处理装置最好顺序地处理码存储装置的内容与数据存储装置的内容, 因此该处理装置的输出最好是一个串行数据流。该处理装置可以执行 XOR (异或) 操作, 像例如它可以在 CDMA 通信系统中首选的。

因此, 该处理装置 120 可能仅仅包括提供适当的扩展功能的适当的逻辑单元 (XOR), 以便利用存储在该码存储装置中的码序列表示具有逻辑值 1 的码元和表示具有反相的码序列的逻辑值 0 的一个码元, 或者反之亦然。

另外, 图 1 的安排包括一个选择电路 150, 用于从多个通信信道  $\varphi_1, \varphi_2, \dots, \varphi_n$  的每一个通信信道顺序地选择至少一个数据码元, 并用于选择具有相应于所选的通信信道的数据速率的长度的相应的码序列, 并用于控制加载通信信道的至少一个码元和该码序列到数据存储装置 115 和码存储装置 110。根据该信道的数据速率, 相同的码元和相同的码序列的多个副本可以装入该码存储装置。

不同的码序列可以存储在图 1 表示的一个码序列存储器 140 中。这个码序列存储器 140 可以包含提供的所有的不同长度的所有可能的码序列。码序列存储器 140 最好可以存储具有不同长度的多个组的码序列。对于每个特定的码长度, 可以提供多个不同的正交码序列。

因此, 当选择通信信道  $\varphi_1, \varphi_2, \dots, \varphi_n$  之一时, 该选择电路 150 最好选择具有对应于该选择的信道的数据速率的一个长度的码序列之一, 并且从该码序列存储器 140 提供该码序列至少一个副本/表示式给该码存储装置 110。同时, 选择电路提供选择的通信信道的多个数据码元的每个数据码元的至少一个副本给该数据存储装置 115, 码元和副本的数量是由该信道的数据速率确定的。最好, 码元的数量和每个码元副本的数量是彼此互逆的。

注意, 具有不同数据速率的多个通信信道  $\varphi_1, \varphi_2, \dots, \varphi_n$  可以个别地由复合信号分量表示, 它们是使用正交幅度调制 (QAM) 或者相移键控 (PSK) 技术作为数字调制方案获得的。如果应用这样的调制方案, 为每个通信信道产生一个同相和一个正交分量信号。QAM 和 PSK 是本技术中熟知的。正如上面那样, 与每一个通信信道相关的同相和正交分量信号可以个别地使用码序列编码。因此, 多个通信信道  $\varphi_1, \varphi_2, \dots, \varphi_n$  的各个复合的分量可以由图 1 的电路安排各个地处理。因此, 在一个工作循环中一个特定的通信信道的同相信号分量或者正交信号分量可以由选择电路 150 选择, 和取决于通信信道的数据速率, 码元的预定的数量可以装入该数据存储装置。相应地, 可以从码序列存储器 140 中选择一个适当的码序列并且存储在码存储装置

110 中。在由处理装置 120 处理之后，可以为下一个工作循环选择任何其它通信信道或者任何其它同相信号分量或者正交信号分量。

在下面，将详细地概述根据图 1 的本发明的优选的实施例的装置的操作。

在第一步，为了扩展或者处理工作循环选择多个通信信道  $\varphi_1$ ,  $\varphi_2$ , ...,  $\varphi_n$  之一。一个工作循环本质上包括由该码序列或者反相的码序列表示该选择的通信信道的码元的预定的数量，正如在上面概述的。在一个操作中处理的码元的数量是由选择的信道的数据速率确定的并且将参考图 2 进一步概述。

多个通信信道之一的选择可以根据预定的方案由选择电路 150 执行，最好允许没有任何延迟的处理所有提供的通信信道  $\varphi_1$ ,  $\varphi_2$ , ...,  $\varphi_n$ 。这可包含周期地选择预定序列中的通信信道的每个信道。提供周期的选择所有的通信信道可以适当的处理全部通信信道的全部数据，因为所有的通信信道以相同的频率工作。而且在对全部不同的通信信道速率扩展之后，以相同的频率在每个通信信道上工作又提供均匀的码片速率，因为对于具有高数据速率的通信信道，在一个工作循环可以同时地处理较大数量的码元，而对具有较低数据速率的通信信道，在一个工作循环同时地处理较小数量的通信信道的码元。对具有最小的数据速率的通信信道，在一个工作循环期间仅仅可以处理一个数据码元。但是，可以改为使用选择通信信道的任何其它方案。

在已经选择了通信信道之后，在第二步骤中，必须选择适当的码序列。该码序列可以由选择电路 150 确定，并且从码序列存储器 140 中检索。正如在前面概述的，选择的码序列的长度是根据选择的通信信道的数据速率确定的。对具有较高数据速率的通信信道，将选择具有较短长度的码序列，同样地，对具有较低数据速率的通信信道，将选择具有更长长度的码序列。相当于说，对具有高数据速率的通信信道，要求低的扩展因数，而对具有低数据速率的通信信道，将要求较高的扩展因数，以便在扩展或者处理操作之后获得所有的通信信道的联合 (joint) 码片速率。

在确定具有适当长度的码序列的第二步骤后，在第三步骤中，确定选择的通信信道的的数据码元的适当的数量。选择用于转移到数据存储装置 115 的选择的通信信道的的数据码元的数量还依赖该选择的

通信信道的数据速率。这至少一个数据码元传送到数据存储装置 115，并且在同时，该选择的码序列最好利用该选择电路 150 传送给码存储装置 110。

自然地，因为码存储装置 110 具有有限数量的存储单元，仅仅选择的码序列的一定数量的副本可以存储在码存储装置 110 中。相应地，适当地选择数据存储装置 115 的存储单元的数量，以便能够存储该通信信道的许多随后的数据码元，因为选择的码序列的副本可以存储在码存储装置 110 中。

因此，如果例如一个特定的通信信道的选择的码序列的三个副本可以存储在码存储装置 110 中，最好选择的通信信道的 3(最好顺序的)数据码元可以传送到数据存储装置 115。类似地，只要选择的码序列的一个副本可以存储在该码存储装置中，最好选择的通信信道的仅仅一个数据码元传送到该数据存储装置 115。因此，码存储装置 110 将存储正比于选择的通信信道的的数据速率的码序列的多个副本，而该数据存储装置将存储也正比于选择的通信信道的数据速率的该选择的通信信道的多个码元。

但是，为了匹配存储在该数据存储装置 115 中的可变数量的不同(最好顺序的)码元与存储在码存储装置 110 中的码序列副本的数量和特定的长度，选择的通信信道的至少一个选择的码元的几个副本将存储在数据存储装置 115。例如，如果该码序列的较小数量的副本存储在码存储装置 110 中，该通信信道的每个选择的数据码元的较大数量的副本存储在数据存储装置 115 中。

在存储该通信信道的至少 1 个选择的码元的适当数量的副本和相应的码序列的适当数量的副本之后，在第四步骤中，处理装置 120 处理码存储装置 110 的内容与数据存储装置 115 的内容。

处理装置 120 例如可以处理码存储装置 110 的每个存储单元与数据存储装置 115 的每个存储单元，或者处理装置 120 可以分别处理码存储装置 110 的多个存储单元的内容与数据存储装置 115 的一个存储单元的内容。后者可能是足够的，因为正如在本申请的引导部分中概述的，使用选择的码序列表示一个通信信道的数据流的每个单个码元。因此，用于处理数据存储装置 115 的单个存储单元的内容的码存储装置 110 的存储单元的数量可以等于该码序列的长度或者具有最短

的长度的码序列的组。这允许减少硬件要求，因此因为较小数量的存储单元是数据存储装置 115 要求的。

处理装置 120 最好以 XOR(异或)操作或者任何其它逻辑的操作处理码存储装置的内容和数据存储装置的内容。在 CDMA 电信系统的情况下 XOR 操作是特别有利的，以便提供该通信信道的适当的扩展。

在下面，参考图 2，将描述使用具有不同长度的码序列扩展具有不同数据速率的多个数字通信信道的数据的本发明的另一个实施例。在图 2 的这个实施例中，描述了码存储装置和数据存储装置的存储单元的最好的数量以及另外的硬件部件，允许进一步减少硬件要求。

正如参考前面的实施例概述的，码序列的多个副本将存储在码存储装置 115 中，由选择的通信信道的数据速率确定副本的数量。同样地，选择的通信信道的多个码元，最好选择的通信信道的数据流的顺序的码元将存储在该数据存储装置 110 中。根据本实施例，通信信道的码元的数量和选择的码序列的副本的数量是相同的。根据本发明，这允许最佳的使用提供用于该装置的硬件部件。

正如在本申请的引导部分中概述的，必须支持具有不同数据速率的不同的通信信道。因此，将提供用于扩展具有不同数据速率的各个通信信道的码序列。因此具有最小数据速率  $R_L$  的通信信道必须以具有最大长度的码序列处理，或者相当于说，必须以最高的扩展因数扩展。因此，根据参考图 2 描述的实施例，码存储装置 110 具有等于用于具有最小的数据速率  $R_L$  的通信信道的最大的码序列长度  $Max1$  的多个存储单元。这允许避免任何空的存储单元，因此避免在处理装置 120 的输出数据流中的任何未定义的样值。空的存储单元提出数据处理问题。

另外，为了最有效地使用提供的硬件部件，根据图 2 的本实施例，数据存储装置 115 的存储单元的数量减少到一个最小值。因为正如在前面详细地概述的，通信信道的数据流的每个码元需要使用该码序列表示，数据存储装置要求用于码存储装置 110 的存储单元的每个预定数量的内容的单个数据存储的存储单元内容。明显地，因为具有最高的数据速率  $R_H$  的通信信道和相应地最短的码序列需要处理，用于具有速率  $R_H$  的通信信道的特定的数据码元的码存储装置的存储单元的

最小的数量必须等于最短码序列的长度。如果满足这个情况，可以通过在数据存储装置 115 的邻近的存储单元中存储选择码元的副本对付任何其它更长的码序列。根据上面的描述，在本实施例中的数据存储装置最好具有由最小的码序列长度  $MinL$  划分的码存储装置的存储单元的数量确定的存储单元数量。

如同以前，相对于码存储装置 110，这允许在数据存储装置 115 中避免任何空的存储单元，因此避免处理装置 120 的输出数据流中的任何未定义比特。

在上面概述的，如何根据最大的码序列长度  $MaxL$  和最小的码序列长度  $MinL$ ，可以适当地选择码存储装置 110 的存储单元的数量和数据存储装置 115 的存储单元的数量，以便避免任何空的存储单元。但是，这还不能在用于中间数据速率的通信信道的中间长度的码序列的情况下避免空的存储单元，即利用被处理的最高的数据速率  $RH$  和最小的数据速率  $RL$  之间的数据速率。因此，根据图 2 的本发明的实施例，选择不同长度的码序列，使得码存储装置 110 的存储单元的数量是所有的不同码长度的整数倍。因此确信所有的不同码序列副本的整数无缝的适合在相邻位置的码存储装置 110。因此不出现空的存储单元，并且因为为数据存储装置 115 提供适当数量的位置，处理装置 120 的输出数据流将不展现任何“间隙”或者未定义样值。

在参考图 2，根据本发明的码和数据存储装置单元的数量最佳选择的理论的说明和描述之后，将概述具有三个不同数据速率的三个不同的通信信道的三个例子。

在图 2 的部分 C1 中，表示具有最小的可允许的数据速率  $RL$  的通信信道的处理例子。在部分 C2 中，示出具有中间数据速率  $RM$  的通信信道的处理和图 2 的部分 C3 中，表示具有最高的可允许的数据速率  $RH$  的通信信道的处理。假设

$RL$ : 最小的速率

$RM$ :  $2 * RL$  ,  $RL$  的双倍的速率,

$RH$ :  $4*RL$ , 最高的速率,

$MaxL = 16$  比特(码片),

$MinL = 4$  比特,

和相应地，具有中间数据速率  $RM$  的通信信道的码序列的长度是 8

比特(码片)。

每一个部分表示码存储装置 110, 数据存储装置 115 和处理装置 120, 正如参考图 1 概述的。处理装置 120 可以执行 XOR 操作或者对数据和码存储装置的内容的任何另外的逻辑的操作。选择电路(未表示)可以执行编目录和加载操作, 正如参考图 1 概述的。

参考标记 210 表明该硬件安排的一个工作循环要求的时间周期。一个工作循环可以包括四个操作步骤, 正如参考图 1 概述的。T 代表一个工作循环要求的时间周期, 它等于具有最小的数据速率的通信信道的数据速率  $R_L$  的倒数。对一个工作循环这个时间期间是需要的, 因为在一个工作循环中整个码序列需要以选择的通信信道的数据流的码元处理。

在下面, 将概述处理具有最小的可能的数据速率  $R_L$  的通信信道  $\phi_x$  的数据码元 DL(1) 的操作。该通信信道  $\phi_x$  已经以具有最大长度  $Max1$  的码序列处理, 在本例子中是 16 码片。因为码存储装置 110 的存储单元的数量是由具有最大长度  $Max1$  的码序列的长度确定的, 对应于通信信道  $\phi_x$  的码序列的单个副本将装入码存储装置 110。各个码存储单元是以递降次序由整数表示的。另外, 因为仅仅该码序列的单个副本存储在该码存储装置中, 码元 DL(1) 的副本将装入数据存储装置 115 的所有的四个存储单元。

该数据存储装置可以具有等于该码存储装置的存储单元的数量多个存储单元, 但是, 正如前面概述的, 最好改为可以提供较小数量的数据存储的存储单元, 该数量由最小的码长度  $Min1$  划分的码存储装置的存储单元的总数确定。因此, 在本例子中该数据存储装置的存储单元的数量可以是 4 个单元。

在该数据存储装置的所有 4 个单元存储具有数据速率  $R_L$  的通信信道  $\phi_x$  的数据样值或者数据码元 DL(1) 之后, 该处理装置处理码存储装置 110 的存储单元的内容与数据存储装置 115 的内容, 正如前面概述的。如合适, 根据输入数据流 DL(1) 的数据码元, 表示该码序列或者该码序列的反向的数据流由处理装置 120 输出。这完成本发明装置的一个操作循环, 用于扩展具有最小的可能的数据速率  $R_L$  的通信信道。

在下面, 相对于参考标记 C2, 将描述用于处理具有是两倍于数据



速率 RL 的中间数据速率 RM 的通信信道  $\phi_y$  的两个码元 DM(1), DM(2) 的一个工作循环。这种情况下, 因为数据速率 RM 等于 2RL, 该码序列将具有 8 码片的长度, 和该码序列的两个副本可以存储在码存储装置 110 中。相应地, 通信信道  $\phi_y$  的输入数据流的两个数据码元 DM(2) 和 DM(1) 将存储在数据存储装置 115 中。因为为该数据存储装置提供四个存储单元, 每一个数据码元 DM(2) 和 DM(1) 的两个副本将存储在由数据存储装置 115 提供的四个数据存储单元。

数据样值 DM(2) 的副本最好存储在数据存储装置 115 的最左边两个单元, 以便匹配存储在码存储装置 110 中的码序列的左边副本, 以 251 表示。数据样值 DM(1) 的两个副本最好存储在数据存储装置 115 的最右边两个单元, 以便匹配该码序列的右边副本, 以 252 表示。因此, 在具有中间数据速率 RM 的数据信道  $\phi_y$  的这个工作循环中, 在一个周期可以一起处理两个数据码元。

在下面, 相对于参考标记 C3, 将描述具有最高可能的数据速率 RH 的数据信道  $\phi_y$  的一个工作循环。在这种情况下, 相应的码序列具有 4 码片的长度, 因此, 在码存储装置 110 中可以存储四个副本 261, 262, 263 和 264。相应地, 在数据存储装置 115 中可以存储四个码元 DH(1), DH(2), DH(3), DH(4)。最好选择该数据流的码元 DH(1)—DH(4) 的顺序, 使得处理装置 120 的输出提供一个串行数据流, 对应于信道  $\phi_z$  的输入数据流的正确的码元序列。如在标号 213 看到的, 在一个操作周期中一起处理四个不同的样值。

图 2 的实施例将在处理装置 120 的输出提供所有不同的信道的联合码片速率  $16 \times RL$  (或者  $8 \times RM$  或者  $4 \times RH$ ), 利用上面的描述它变得明显了。

正如相对于图 1 说明的, 当然加倍该码元速率的上面的程序可以重复直到达到最高的理论上的码元速率, 在此情况下扩展因数是 1。另外注意, 可以选择任意的长度  $Minl$  和  $Maxl$  以及任意数量的不同的数据速率。例如可能需从一组 32/64/128/256/512/1024 kspS (每秒千码元) 中以任何混合提供任何码元速率的 64 信道。对于码片速率为 4.096 Mcps (每秒兆码片),  $Minl$  可以是 16 码片,  $Maxl$  可以是 128 码片。

在本申请的引导的部分中概述的直接了当的方法中, 需要下列数

量的扩展单元:

32 ksps 的 64 信道  
 64 ksps 的 64 信道  
 128 ksps 的 64 信道  
 256 ksps 的 64 信道  
 512 ksps 的 64 信道  
 1024 ksps 的 64 信道

-----  
 总共 384 扩展单元

与此相反, 本发明允许使用全部不同的码元速率的硬件部件共享的, 即处理具有不同长度的码序列。依据上面的例子, 仅仅需要 64 扩展单元, 总计硬件减少 84%。

在下面, 参考图 3 描述本发明的另一个实施例。图 3 另外示出一个工作循环的处理步骤的特定的序列。

图 3 表示具有 16 单元的码存储装置 110, 如由递降次序的整数表示。另外, 图 3 表示一个保持电路 310, 用于锁存从数据存储装置 115 接收的选择的通信信道中的数据码元和用于允许处理具有码存储装置 110 的单元数量的内容的码元, 从而保持电路存储单元的数量等于具有最小长度的码序列。不是提供一个保持电路, 该数据码元可以直接地从一个存储器中读出, 例如通过重复地选择相同的存储单元。如同以前, 参考图 2, 假设码序列的最大长度  $Maxl$  是 16 码片和码序列的最小的长度  $Minl$  是 4 码片。因此, 数据存储装置 115 最好包括 4 个存储单元, 而保持电路 310 包括一个存储单元。

本质上需要确信 4 个码存储单元可以由具有该保持电路内容的处理装置处理, 因为具有最小长度的码序列具有 4 码片。

注意, 仅仅为了说明的目的, 选择该存储和码序列的大小的特定的例子, 原则上任何其它的数量是可能的, 只要满足上面概述的本发明条件。

在下面, 参考图 3, 将描述在本发明电路工作的一个循环期间的四个步骤  $S1$ ,  $S2$ ,  $S3$ ,  $S4$ 。

在第一步 S1, 115a 表示的数据存储的存储单元的内容传送给保持电路 310。

随后, 该处理装置必须处理具有该保持电路内容的码存储单元 110a, 110b, 110c, 110d 的内容(依次), 是从数据存储装置 115 的存储单元 115a 传送的数据码元。

随后, 在步骤 S2, 数据存储的存储单元 115b 的内容传送给保持电路 310, 并且正如相对于步骤 S1 概述的, 利用该保持电路的内容处理码存储单元 110e, 110f, 110g, 110h 的内容。类似地前进在步骤 S3, 其中数据存储的存储单元 115c 的内容传送给保持电路 310 并且相应地以下一个 4 码存储单元的内容处理。

另外, 类似于上面的步骤, 在步骤 S4, 来自数据存储的存储单元 115d 的内容传送给该保持电路 310, 因此以最后的 4 个码存储单元的内容处理。所有的处理结果最好以串行数据流输出, 对应于输入数据的顺序。

在图 3 的例子中, 在所有 4 个数据存储的存储单元 115a, 115b, 115c 和 115d 处理具有最小可能的数据速率  $R_L$  的数据信道的情况下, 将存储选择的数据信道的相同的数据码元。相应地, 以具有 16 码片的相应的码序列适当的处理是可能的。在处理具有最高可能的数据速率  $R_H$  的通信信道的情况下, 将在数据存储的存储单元 115a, 115b, 115c 和 115d 存储四个码元。相应地, 具有 4 码片长度的码序列的相同的副本每个将适当地存储在码存储装置 110, 提供正确的处理。在处理具有中间数据速率  $R_M$  的通信信道的情况下, 相同的(第一)数据码元将存储在数据存储的存储单元 115a 和 115b, 类似地选择的通信信道的第二数据码元将存储在数据存储的存储单元 115c, 115d。

类似地, 在另一个实施例中, 对于任何可能的最大的, 中间的和最小的数据速率, 可以在数据存储装置中存储适当数量的码元或者码元的副本。

即使仅仅概述了三个不同的数据速率  $R_L$ ,  $R_M$  和  $R_H$  的例子, 多个另外数据速率是可能的, 假定满足了根据本发明的限制。例如, 在最大的码长度是 128 的情况下, 可以提供长度 64 码片, 32 码片, 16 码片, 8 码片, 4 码片和 2 码片的码序列。

在前面的描述中, 描述了可以如何使用单个扩展硬件单元处理单

个码元和用于具有最小的速率的信道的一个相应的“长的”码序列，或者处理多个码元和用于较高数据速率的信道的相应的较短的码序列。例如 32 kbps, 64 kbps, 128 kbps, 256 kbps, 512 kbps 和 1024 kbps 的信道可以由相同的硬件结构处理。基本上，许多不同的数据速率是可能的。

在下面，参考图 4 描述本发明的另一个实施例。

类似于图 1，图 4 表示用于扩展通信信道的处理单元，但是，与图 1 不同，图 4 的实施例适合于并行地处理多个通信信道。并行处理允许进一步增加该设备的处理速度，因为可以同时地处理通信信道或者相应的同相和正交分量并且组合到单个传输信号，而没有任何中间缓冲等等。

图 4 表示 K 个通信信道  $\varphi_1, \varphi_2, \dots, \varphi_k$ ，一个选择电路 450 和一个码存储装置 410，码存储装置 410 包括用于存储的 K 个并行码存储单元 CS1, CS2, ..., CSK，正如前面概述的，适当数量的 K 个不同码序列的每个码序列副本。另外，图 4 显示数据存储装置 415，包括对于存储来自 K 个通信信道、适当数量/副本的码元的 K 个并行数据存储单元 DS1, DS2, ..., DSK。提供包括用于并行处理相应的码存储单元和数据存储单元内容的 K 个处理单元 P1, P2, ..., Pk 的处理装置 420。

根据图 4 的本发明电路能够并行处理 K 个信道，正如在下面概述的。

正如参考图 1 概述的，在选择电路 450 接收包含每一个不同通信信道的数据码元的数据流。该选择电路经过 K 个并行线路连接到码存储装置 410，用于加载适当数量的各个码序列副本到 K 个码存储单元。该选择电路另外经过 K 并行线路连接到数据存储装置 415，用于分别加载适当数量的和每一个通信信道的码元的副本到 K 个数据存储单元。随后，这时每一个处理单元 P1, P2, ..., PK 处理一个码存储单元和相应的数据存储单元的内容，正如前面概述的。因此，因为提供 K 个处理单元，可以并行处理所有的 K 信道并且从处理装置 420 输出 K 个并行数据流，然后它们可以在一个组合器（未表示）中组合。

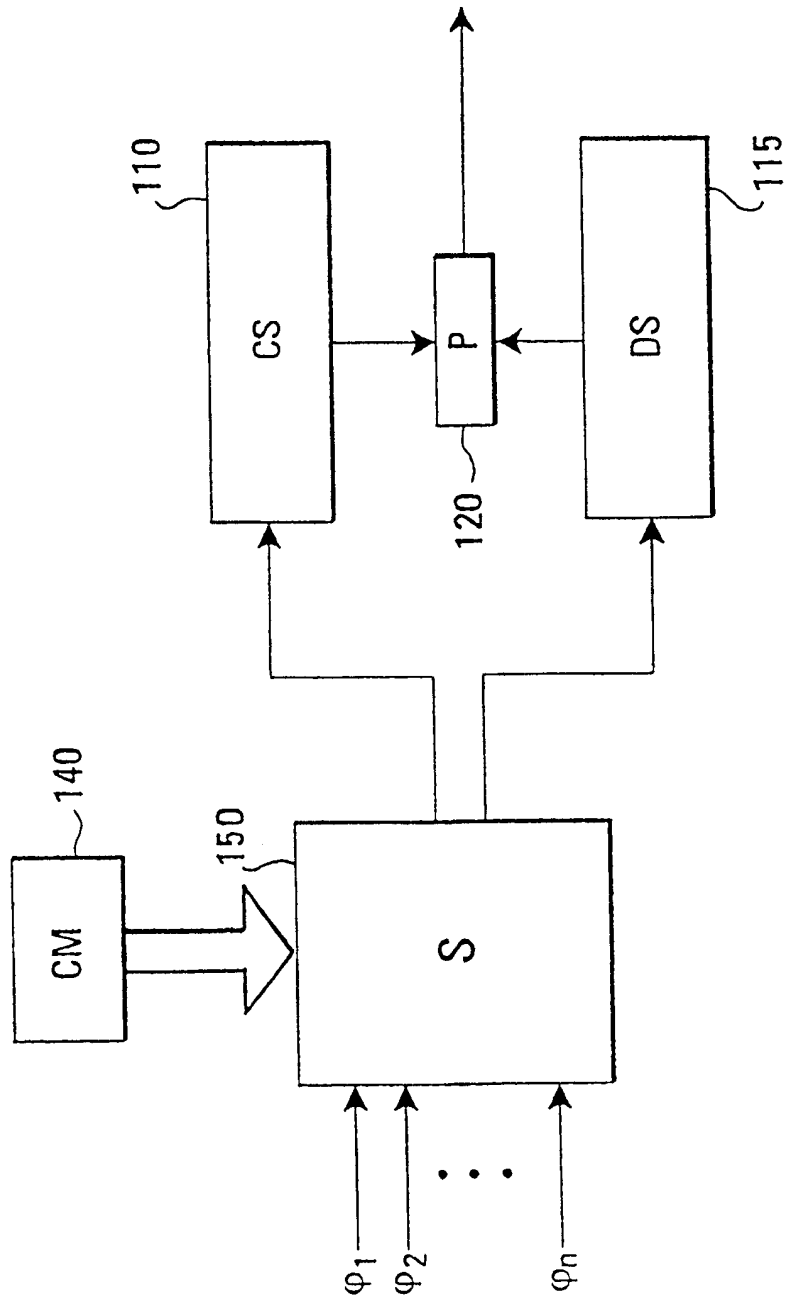


图 1

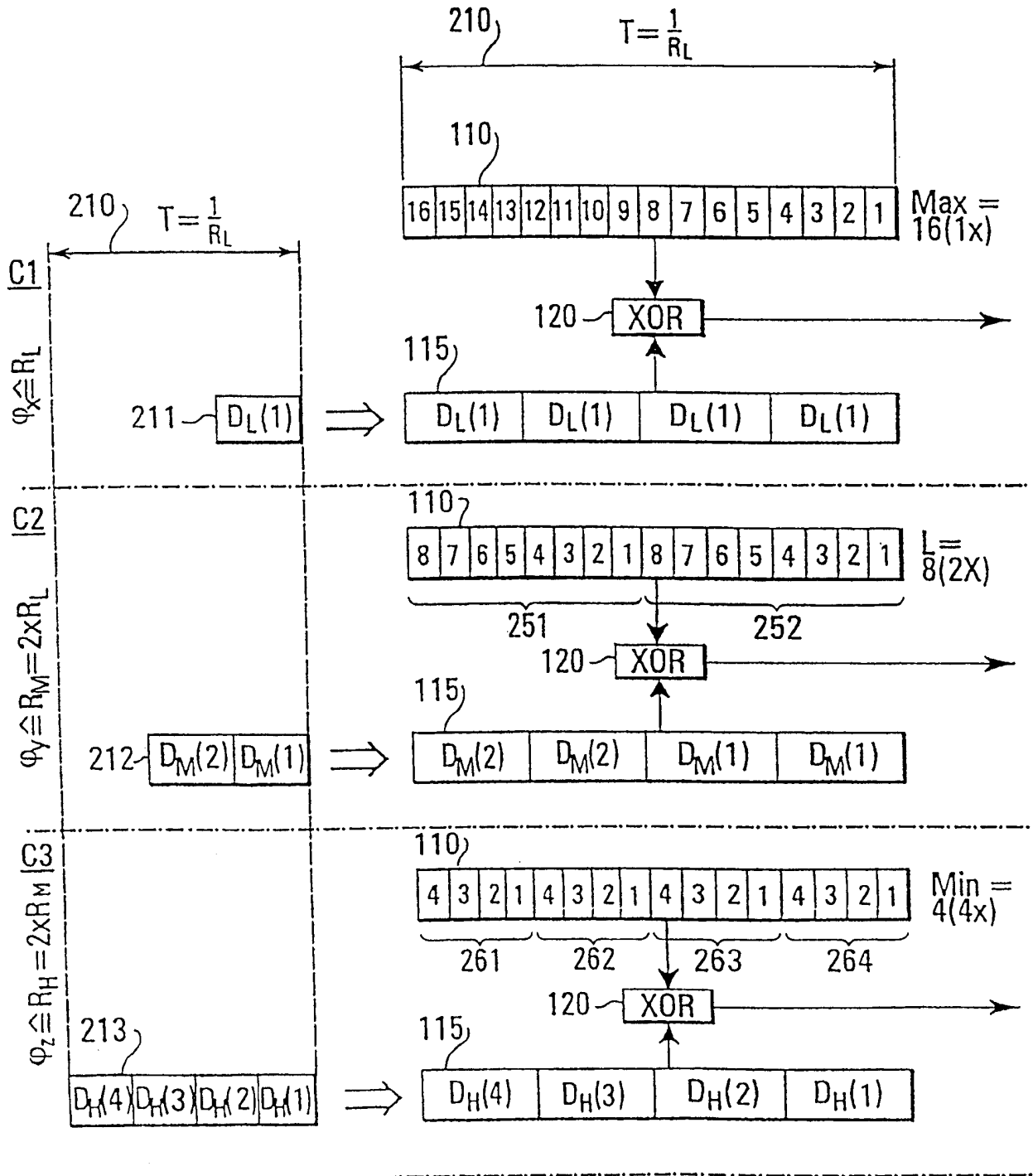


图 2

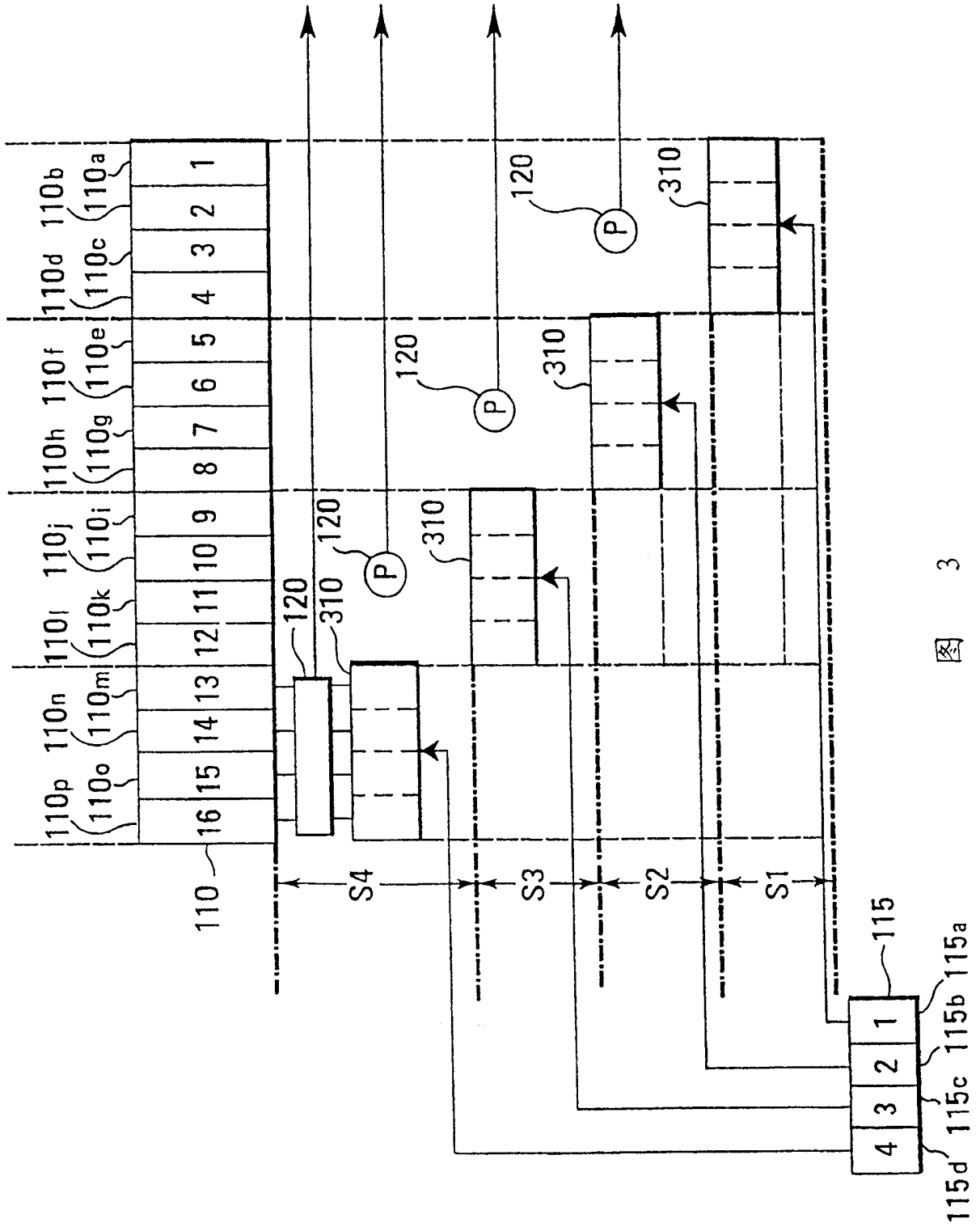


图 3

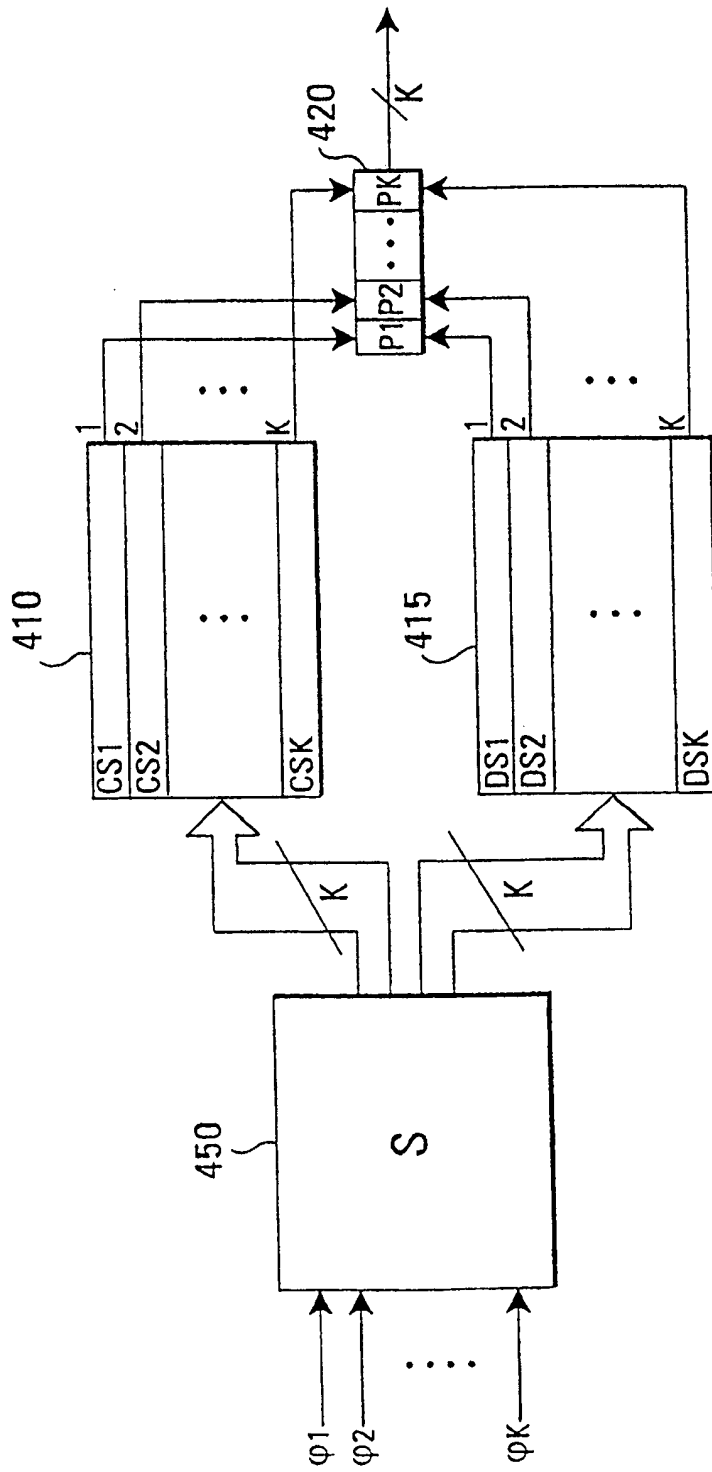


图 4