公告本

申請日期	89 12 22
案號	89113038
類別	H01L 21/76

（以上各欄由本局填註）

A4
C4

512482

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	積體電路及其製造方法
	英文	"AN INTEGRATED CIRCUIT AND A PROCESS FOR MANUFACTURING THE INTEGRATED CIRCUIT"
二、發明 ~~創作~~ 人	姓名	1.馬裘 亞里 艾柏戴格迪爾 2.傑瑞 W. 吉布森, 二世 3.史帝芬 葛瑞高利 岡特 4.艾爾維洛 莫利
	國籍	1.蘇丹 2.3.4.均美國
	住、居所	1.美國佛州奧蘭多市費茲威廉道507號 2.美國佛州奧蘭多市威洛雪德街4418號 3.美國佛州奧蘭多市史太佛街1716號 4.美國佛州奧蘭多市蘭格洛夫街8034號
三、申請人	姓名（名稱）	美商朗訊科技公司
	國籍	美國
	住、居所（事務所）	美國新澤西州摩里山丘市山脈大道600號
	代表人姓名	麥克・R・格林

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	1999年07月01日	60/141,974	☑有 □無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 × 297 公釐)

五、發明說明（ 1 ）

本發明之範圍

一般而言，本發明係關於積體電路，及特別是關於積體電路中之淺溝隔離。

本發明之背景

淺溝隔離(STI)與化學機械磨光(CMP)結合成爲用於0.2微米裝置及更小者之重要隔離計劃。此種技藝提供縮小能力(scalability)及平面構形作爲其優點。典型之STI方法包括在基體上形成一襯墊氧化物層，接者形成一氮化物層。於一圖型之光阻蝕刻在該氮化物層上形成之後，對該氮化物層，襯墊氧化物層及基體施行蝕刻。此圖型之光阻蝕刻包括相當於各隔離區域之窗，然後作氧化物層之覆蓋沉積，俾於已移除該光阻蝕刻之後填塞各隔離區域。

該覆蓋沉積形成在各溝中及非挖溝區域內之氧化物。因此必須使用某種平面化程序以完成名義上之平坦頂部表面。但此項技術患於局部之磨光率變動以及凹狀扭曲與氧化物殘渣有關之問題。此等變更通常可由局部圖型密度中之改變及在CMP期間以不同之速率對不同之材料蝕刻所造成。

圖型密度係指積體電路構形中之變更，局部之CMP速率殊視附近各溝之圖形密度而定。此種圖型變更所導致之問題爲在低圖型密度區域中之"凹狀扭曲"(dishing)。

減少此等問題之一方法爲提供相反狀態(reverse tone)氧化物蝕刻以增進CMP之均勻一致。在此狀況中，一圖型之光阻蝕刻被形成於氧化物層上，其中該圖型相當於圖型之

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

相反狀態以形成各溝。將該氧化物層蝕刻以減少形成於非挖溝區域上之氧化物數量。因爲需有一另加之石印術步驟，此方法之成本增加。又由於補償及重合爭點，此方法乃不易概略估計。

另一方式可將"假裝填"(dummy fill)圖型加於用以界定光阻蝕刻中各溝之光罩。此假裝填圖形將橫過一基體之圖型密度之變更減至最少。不過，對不同積體電路之甚多種類之假裝填圖型之設計，可大爲增加該光罩之複雜性與成本。因此所希望在爲具有一種能產生平面化特色而無CMP缺點之方法。

本發明之概要

本發明係關於製造一種包含淺溝隔離(STI)區域之積體電路之方法。該方法包括提供一種含有一材料層及各淺溝之基體。一絕緣層係形成於該材料層上及各淺溝中，該絕緣層之一部份被移除以暴露設有溝之隔離層。其後，使用提起法除去在該材料層上形成之絕緣層以完成各淺溝隔離區域。結果，可形成平面化之各淺溝隔離區域而不必使用化學機械磨光(CMP)。因此能避免與CMP有關之各問題。

應瞭解者上列之一般性說明與下文之詳細說明均係作爲本發明之範例而非用以限制者。

圖式之簡單說明

當與所附各圖連同閱讀時，可從下列之詳細說明對本發明有最佳之瞭解，應強調在根據半導體工業之共通作業，附圖之各項不同特點並不按比例尺縮小，與此相反，各特

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 3 ）

徵之尺寸乃係任意擴大或減縮以資清晰，包括於附圖中者為下列各圖：

圖1a為用以根據本發明之第一說明實例形成淺溝隔離區域之流程圖：

圖1b為用以根據本發明之第二說明實例形成淺溝隔離區域之流程圖；

圖2-8為例示根據圖1b中所示之方法製造一積體電路之各略圖；

圖9為根據本發明之第三說明實例形成淺溝隔離區域之流程圖；及

圖10-12為說明根據圖9中所示之方法製造一積體電路之各略圖。

本發明之詳細說明

簡言之，本發明係關於製造一種包含淺溝隔離(STI)區域之積體電路之方法，如圖1a中所示者，該方法包括步驟1，提供含有一材料層及淺溝之一基體。步驟2，形成一絕緣層於該材料層上及各淺溝中。該絕緣層之一部份在步驟3中被移除以曝露設有淺溝之隔離層其後在步驟4中使用提起法除去在該材料層上形成之絕緣層以完成各淺溝隔離區域。結果能形成變為平面之各淺溝隔離區域而不必使用化學機械磨光(CMP)，因此可避免與CMP有關之各問題。

圖1b為舉例說明根據本發明製造淺溝隔離(STI)_區域之另一方法之流程圖。茲參照顯示在製造連續步驟中之一積體電路之圖2-8敘述圖1b中所示方法如下列。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 4 ）

在步驟10，將一材料層110形成於基體100上，舉例而言該基體乃係例如硅，鎵砷，硅鍺或其他已知半導體材料之一半導體，一種襯墊氧化物105可形成於該材料層110與基體100之間。該襯墊氧化物105可予以熱成長並係例如SiO_2，該襯墊氧化物之厚度X1為例如100Å至200Å或約為150Å。

當曝露於至少一種共用之蝕刻劑時，可選擇該材料層110以較其後形成之絕緣層130為快之速度蝕刻之。例如絕緣層110乃抵抗第一種蝕刻劑之蝕刻而材料層110，則對第一種蝕刻劑較少抗拒。換言之，當曝露於第一種蝕刻劑時，材料層110係以較絕緣層130為快之速度蝕刻。又，亦可選擇材料層110使其作用如同使用於淺溝115形成之堅固掩蔽。舉例而言，該蝕刻方法係一種溼化學蝕刻，該材料層110之厚度X2為例如1500Å至2000Å或約為1700Å。

在一舉例說明之實例中，材料層110包含SiN，絕緣層130包含高密度電漿(HDP)氧化物及蝕刻劑包含熱磷酸，該SiN及HDP氧化物係用熟知之技術形成。可替用者，材料層110可為聚硅及蝕刻劑可為氨氫氧化物(NH_4OH)。

在步驟20中，將設有圖型之掩蔽層120形成於該材料層110上。例如設有圖形之掩蔽層120係以光致抗蝕劑形成及使用傳統之石印技術加上圖型。在步驟30中，使用傳統之蝕刻技術蝕刻材料層110及基體100以形成各溝115。如有襯墊氧化物105存在亦可施以蝕刻，在步驟40中，使用熟知之方法除去設有圖型之掩蔽層120及清洗基體。然後

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 5 ）

在步驟50中，將絕緣層130形成於材料層110上及各溝115中。選擇用於絕緣層130之材料及沉積方法使變薄之區域135得以形成。此外，亦可選擇沉積法，俾使溝115被充塞以沉積之物料。

一種例示之方法為高密度電漿(HDP)氧化物以空隙填塞模式沉積。1999年2月16日頒佈之美國專利案第5,872,058號發明名稱為使用HDP之高縱橫空隙填塞法者敘述使用空隙填塞步驟沉積氧化物之此種方法。該專利案係併列於此以供參考。絕緣層130之厚度X3為例如4000Å至5000Å或約為4500Å。

在步驟60中，將絕緣層130蝕刻以曝露材料層110之一部份。步驟60可為單一蝕刻或複式蝕刻過程。例如絕緣層130可用各向異性蝕刻施以覆蓋蝕刻，該各向異性蝕刻乃以選擇方式蝕刻非平面之區域者，其後，使用稀釋(100：1)之HF蝕刻法蝕刻絕緣層130。此兩步驟之過程移除變薄之區域135及曝露材料層110之各區域125。另一方式，可單獨使用覆蓋各向異性蝕刻或HF蝕刻以曝露區域125。絕緣層130之約200Å至300Å，在步驟60中被移除。

在步驟70中，使用對材料層110具有高選擇性之一種蝕刻劑作蝕刻之用。材料層110可包括SiN並可使用熱磷酸蝕刻之。圖8例示使用上述方法形成之隔離區域140。在襯墊氧化物上之隔離區域140之階高可為200Å至1000Å及隔離區域之總厚度×5可為3500Å至4000Å該襯墊氧化物105在步驟70實施之蝕刻過程中對基體中之作用區105提供保護。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 6 ）

在步驟80中，使用熟知之各方法完成積體電路。例如將各裝置形成於基體中，及形成其後之導電及電介質層以產生一完整之積體電路。所述裝置及此等裝置之互連乃視所製造之特定積體電路而定。

圖9為本發明之一替用具體實例之流程圖。此實例與圖1b中所示之實例相同，唯已加入步驟55，57及59及修正步驟60。茲參照圖10-11敘述圖9中所示方法如下列。圖10-11乃顯示在製造之連續步驟中之一積體電路者。

在步驟55中，一掩蔽層150係形成於絕緣層130上。掩蔽層150之形成乃用以在於爾後蝕刻中保護各溝115中形成之絕緣層130之各部份。此掩蔽層150係例如設有圖型之光阻蝕刻層，在步驟57中，將絕緣層130蝕刻以曝露材料層110，及在步驟59中將掩蔽層從該基體移除。在步驟60中，將絕緣層130蝕刻以曝露區域160及從區域170除去剩下之物料，以此方法可使材料層110之較大區域曝露及其後在步驟70中被蝕刻。該積體電路遂如上文所述者予以完成及顯示於圖9中。

在另一選替實例中，可使用假填塞圖型於圖1a，1b及9所示之方法中。於此狀況中，假填塞圖型可包括在不需要隔離區域之範圍中各溝之形成。結果，各隔離區域可能橫過晶片形成而使橫過晶片之隔離區域之圖型密度更為一致。

雖然本發明已參照各示範實例予以敘述，但並不受限於此等實例，而且所附之申請專利範圍應解釋為包括本發明之其他變體與實例及此等變體與實例乃可由熟諳本技藝者在不背離本發明之真正精神與範圍下完成者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210 × 297 公釐）

五、發明說明（ 6a ）

圖式元件符號說明

100 基體
105 襯墊氧化物
110 材料層
115 淺溝
120 設有圖形之掩蔽層
125 曝露區域
130 絕緣層
135 變薄之區域
140 隔離區域
150 掩蔽層
160 曝露區域
170 區域

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

A5
B5

四、中文發明摘要（發明之名稱：積體電路及其製造方法）

製造一種包含淺溝隔離(STI)區域之積體電路之方法。該方法包括提供一種包含一材料層與各溝之基體。一絕緣層係形成於該材料層上及各溝道中。絕緣層之一部份被移除以曝露挖有溝之絕緣層。其後將形成於該材料層上之絕緣層用提起法除去以完成各淺溝隔離區域。結果，可不用化學機械磨光(CMP)而形成平面之淺溝隔離區域。因此能避免與CMP有關之各項問題。

英文發明摘要（發明之名稱："AN INTEGRATED CIRCUIT AND A PROCESS FOR MANUFACTURING THE INTEGRATED CIRCUIT"）

A method for manufacturing an integrated circuit including shallow trench isolation (STI) regions. The method includes providing a substrate including a material layer and trenches. An insulating layer is formed over the material layer and in the trenches. A portion of the insulating layer is removed to expose the trenched isolation layer. Subsequently, the insulating layer formed above the material layer is removed using a liftoff method to complete the shallow trench isolation regions. As a result, planarized shallow trench isolation regions can be formed without using chemical mechanical polishing (CMP). Accordingly, the problems associated with CMP can be avoided.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種製造包括至少一溝隔離區域之積體電路之方法，包含：

(a)在一基體上形成一材料層，該材料層與基體具有至少一溝；

(b)在該材料層上及該溝中形成一絕緣層，包括形成一鄰接於該至少一溝之上部周圍之絕緣層變薄之區域；

(c)在該溝及該絕緣層變薄之區域上形成一掩蔽層；

(d)蝕刻該絕緣層以使該絕緣層變薄之區域縮減且因而曝露鄰接於該至少一溝之上部周圍之該材料層之至少一部份，該蝕刻亦使形成於該溝中之該絕緣層縮減至該材料層之厚度內；及

(e)藉蝕刻材料層移除絕緣層之至少一部份，以形成至少一溝隔離區域。

2. 如申請專利範圍第1項之方法，其中步驟(e)另包含：

使用第一種蝕刻劑蝕刻該材料層，該第一種蝕刻劑對該材料層之蝕刻較該絕緣層為迅速。

3. 如申請專利範圍第1項之方法，其中步驟(d)係在步驟(e)之前實施。

4. 如申請專利範圍第1項之方法，其中步驟(e)另包含在蝕刻之後留置在該至少一溝中形成之一部份絕緣層。

5. 一種製造積體電路之方法，包含：

(a)在一基體上形成一硬質掩蔽；

(b)在該硬質掩蔽與基體中形成至少一溝；

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

(c)在該溝中及該硬質掩蔽之至少一部份上形成一絕緣層，包括形成一鄰接於該至少一溝之上部周圍之絕緣層變薄之區域；

(d)在該溝及該絕緣層變薄之區域上形成一掩蔽層；

(e)藉移除該硬質掩蔽之一部份而提起該絕緣層之一部份，以曝露鄰接於該絕緣層變薄之區域之該硬質掩蔽之一部份；及

(f)蝕刻該絕緣層以使該絕緣層縮減至該硬質掩蔽之厚度內。

6. 如申請專利範圍第5項之方法，其中步驟(e)包括蝕刻該硬質掩蔽之步驟。

7. 如申請專利範圍第6項之方法，其中使用溼蝕刻法蝕刻該硬質掩蔽。

8. 如申請專利範圍第5項之方法，另包含形成一溝隔離區域。

9. 如申請專利範圍第5項之方法，其中該硬質掩蔽為SiN及該絕緣層為一氧化物。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

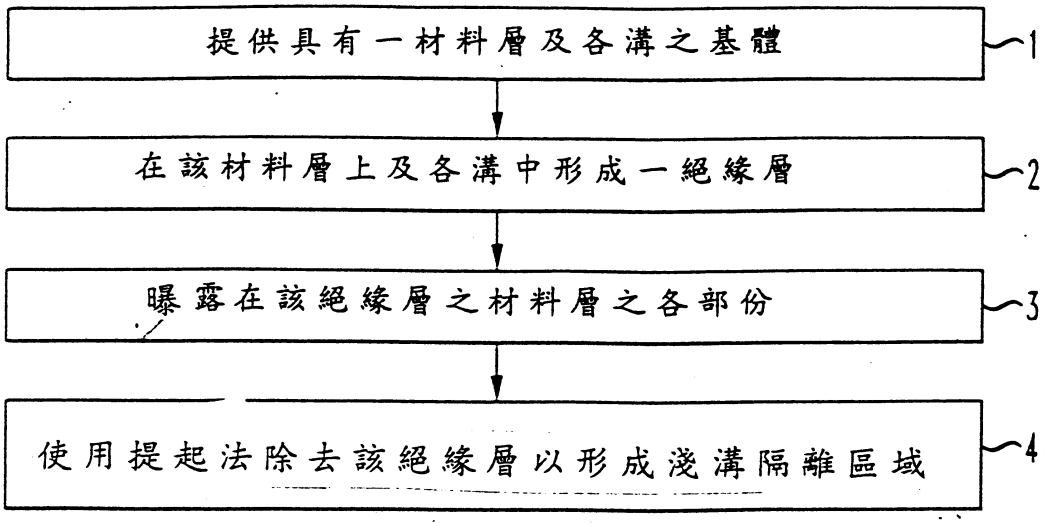

提供具有一材料層及各溝之基體
1
在該材料層上及各溝中形成一絕緣層
2
曝露在該絕緣層之材料層之各部份
3
使用提起法除去該絕緣層以形成淺溝隔離區域
4

圖 1a

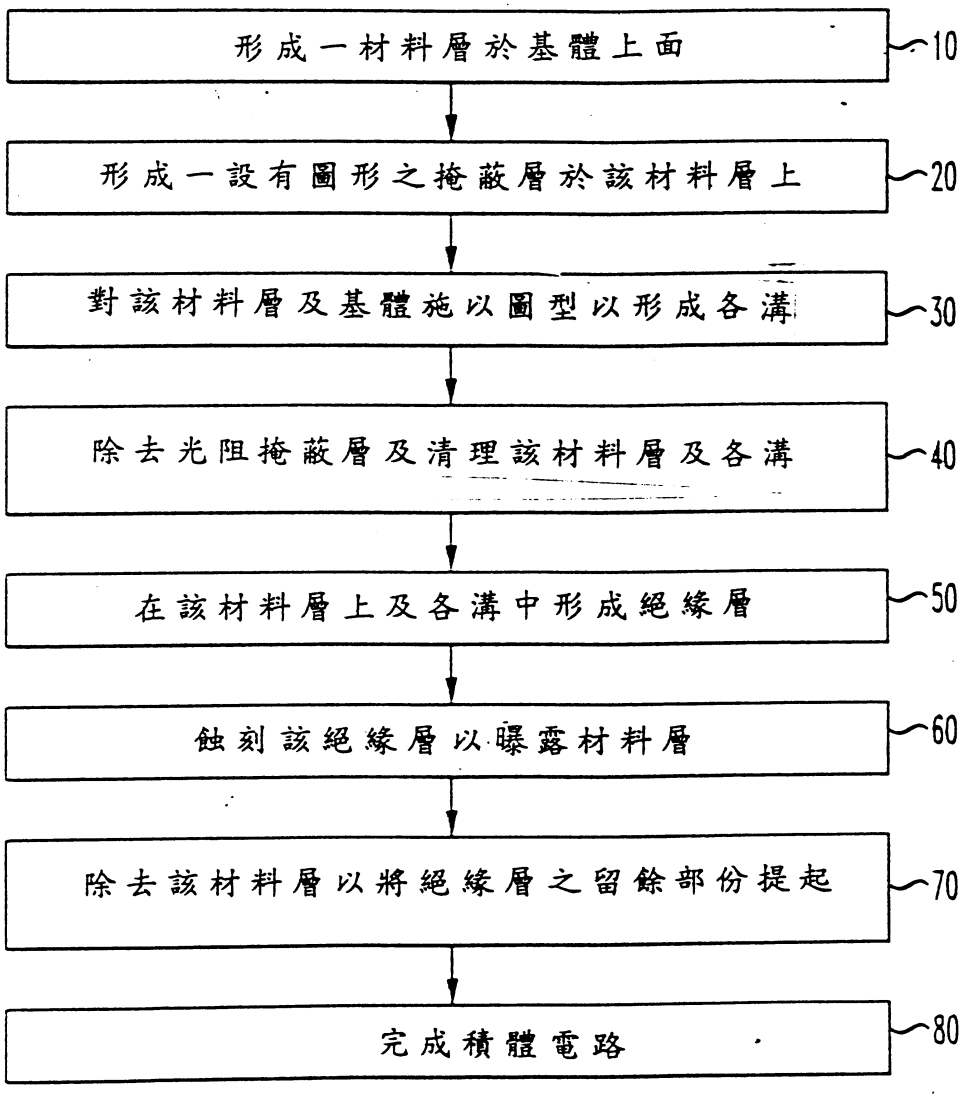

形成一材料層於基體上面
10
形成一設有圖形之掩蔽層於該材料層上
20
對該材料層及基體施以圖型以形成各溝
30
除去光阻掩蔽層及清理該材料層及各溝
40
在該材料層上及各溝中形成絕緣層
50
蝕刻該絕緣層以曝露材料層
60
除去該材料層以將絕緣層之留餘部份提起
70
完成積體電路
80

圖 1b

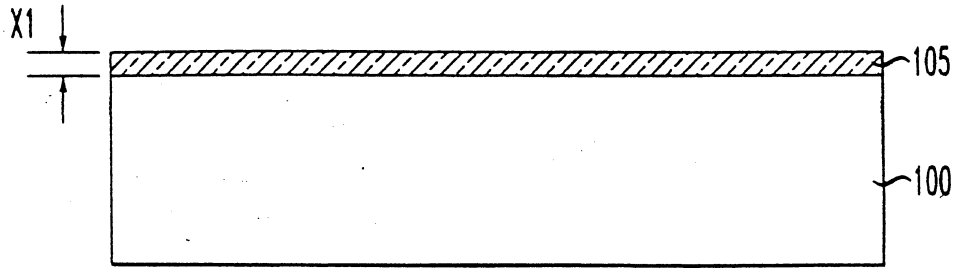


圖 2

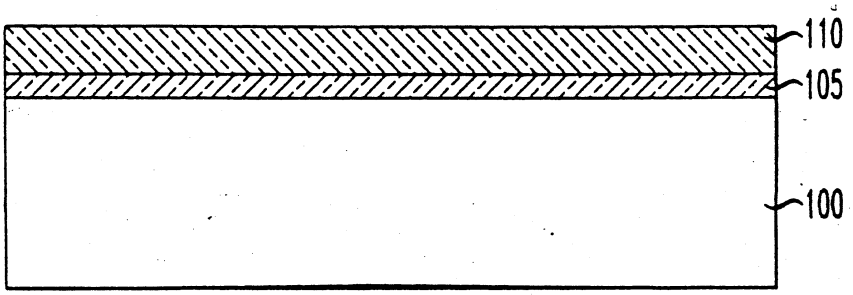


圖 3

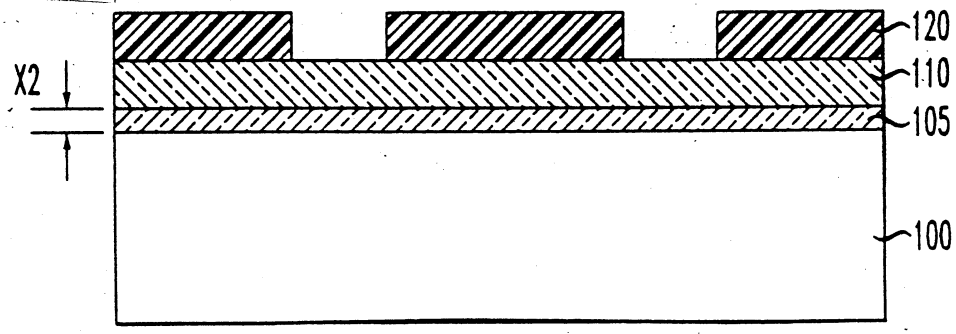


圖 4

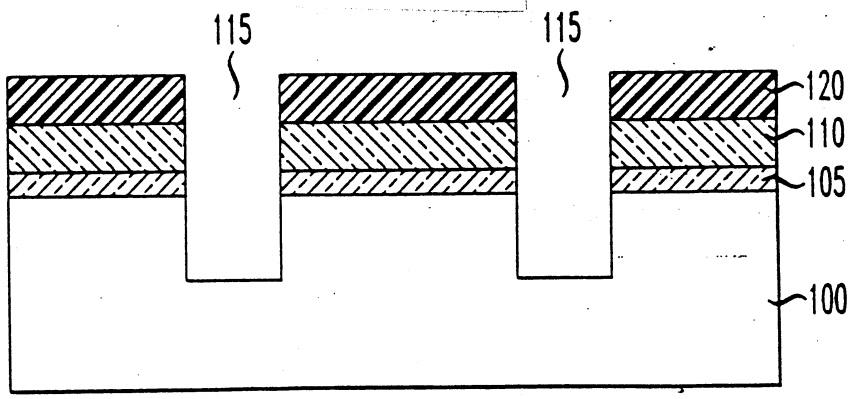


圖 5

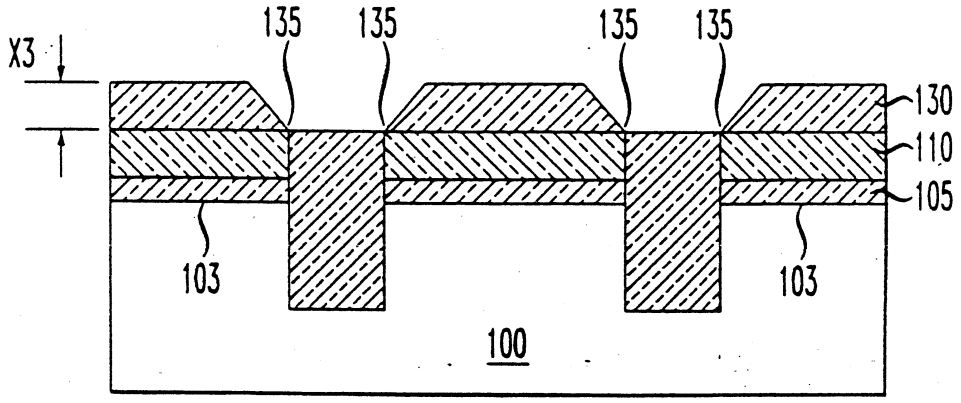

X3
135
135
135
135
130
110
105
103
103
100

圖 6

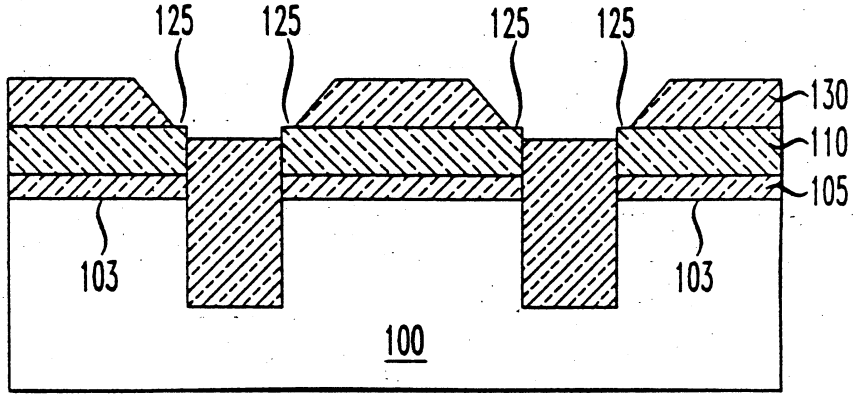

125
125
125
125
130
110
105
103
103
100

圖 7

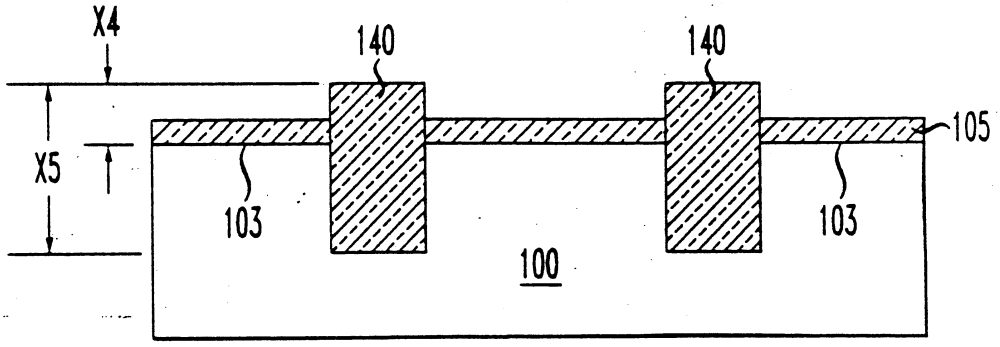

X4
X5
140
140
105
103
103
100

圖 8

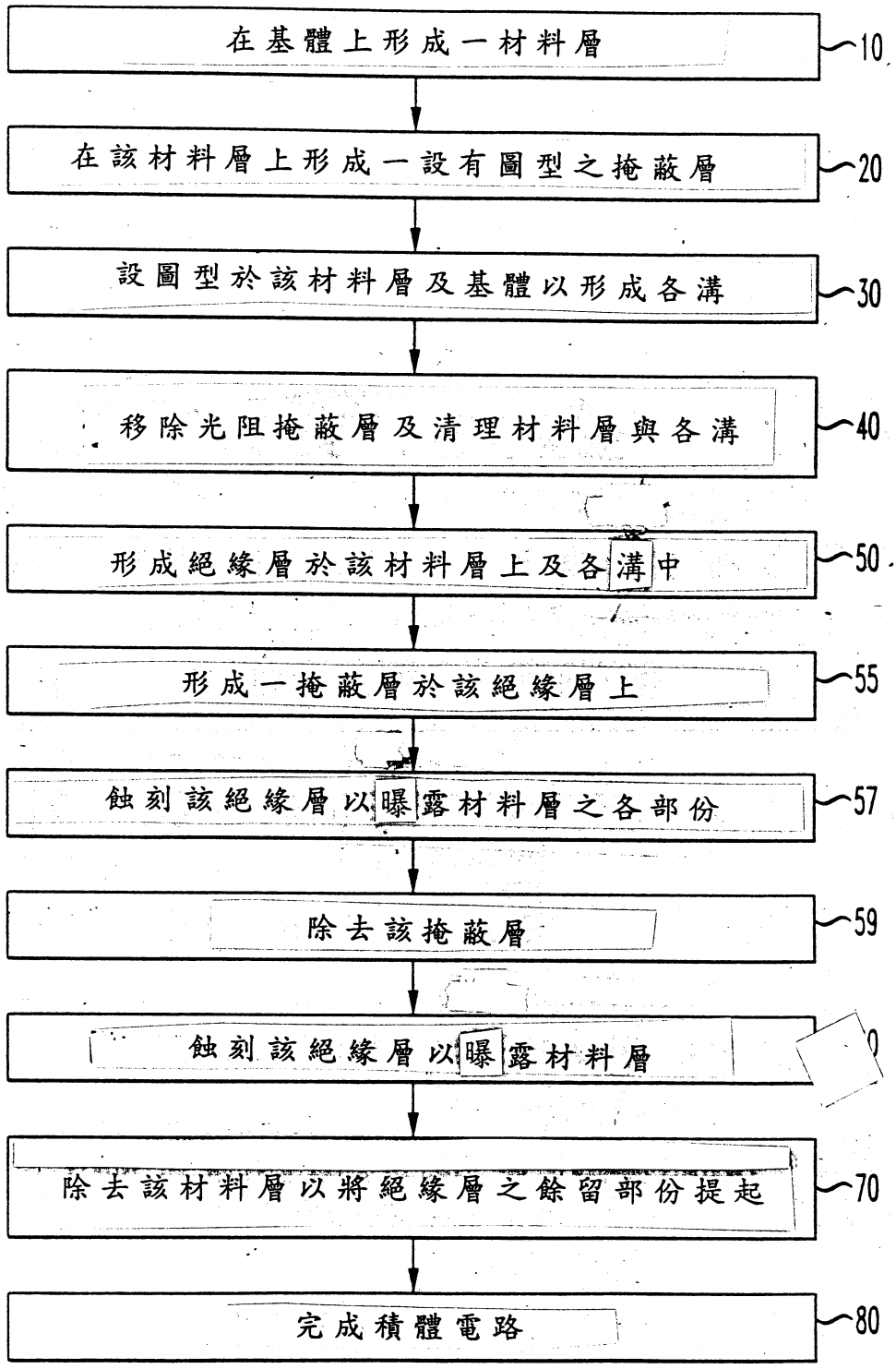

在基體上形成一材料層
10
在該材料層上形成一設有圖型之掩蔽層
20
設圖型於該材料層及基體以形成各溝
30
移除光阻掩蔽層及清理材料層與各溝
40
形成絕緣層於該材料層上及各溝中
50
形成一掩蔽層於該絕緣層上
55
蝕刻該絕緣層以曝露材料層之各部份
57
除去該掩蔽層
59
蝕刻該絕緣層以曝露材料層
除去該材料層以將絕緣層之餘留部份提起
70
完成積體電路
80

圖 9

第 089113098 號專利申請案
中文圖式修正頁(91 年 9 月)
91. 8. 13

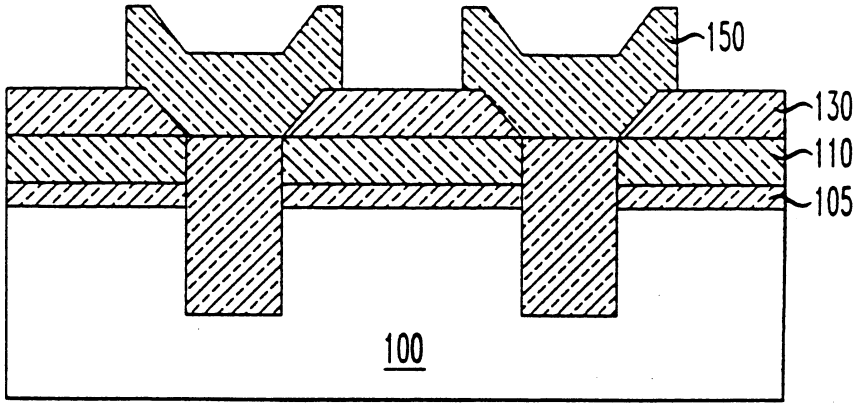


圖 10

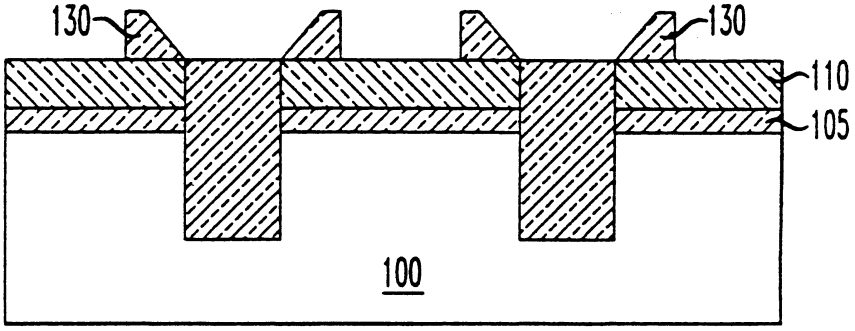


圖 11

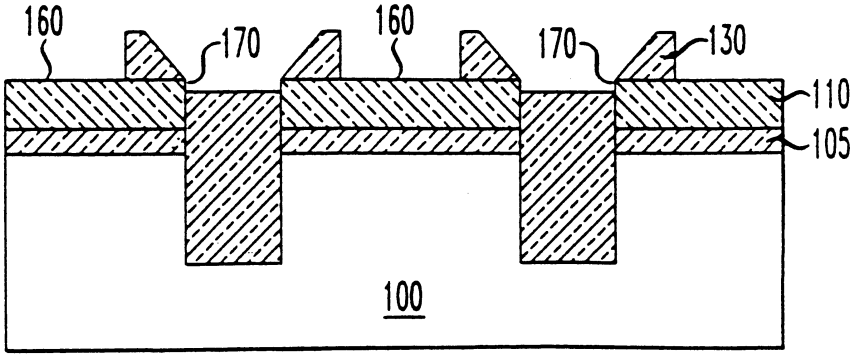


圖 12