

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4329505号
(P4329505)

(45) 発行日 平成21年9月9日(2009.9.9)

(24) 登録日 平成21年6月26日(2009.6.26)

(51) Int.Cl.	F I
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 7
HO 1 L 27/105 (2006.01)	G 1 1 C 11/15 1 1 0
G 1 1 C 11/15 (2006.01)	HO 1 L 27/10 4 6 1
HO 1 L 27/10 (2006.01)	HO 1 L 43/08 Z
HO 1 L 43/08 (2006.01)	

請求項の数 3 (全 26 頁)

(21) 出願番号	特願2003-389105 (P2003-389105)	(73) 特許権者	000005821
(22) 出願日	平成15年11月19日(2003.11.19)		パナソニック株式会社
(62) 分割の表示	特願2002-178745 (P2002-178745) の分割		大阪府門真市大字門真1006番地
原出願日	平成14年6月19日(2002.6.19)	(74) 代理人	100097445
(65) 公開番号	特開2004-140386 (P2004-140386A)		弁理士 岩橋 文雄
(43) 公開日	平成16年5月13日(2004.5.13)	(74) 代理人	100109667
審査請求日	平成17年6月1日(2005.6.1)		弁理士 内藤 浩樹
(31) 優先権主張番号	特願2001-184480 (P2001-184480)	(74) 代理人	100109151
(32) 優先日	平成13年6月19日(2001.6.19)		弁理士 永野 大介
(33) 優先権主張国	日本国(JP)	(72) 発明者	平本 雅祥
			大阪府門真市大字門真1006番地 松下 電器産業株式会社内
		(72) 発明者	松川 望
			大阪府門真市大字門真1006番地 松下 電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 磁気メモリを用いた磁気メモリ装置

(57) 【特許請求の範囲】

【請求項1】

磁気メモリを平面視においてマトリックス状に複数個配置した磁気メモリ装置であって

前記磁気メモリは、
固定磁性層、トンネル層、およびメモリ層が順に積層された第1段の磁気抵抗素子、および

固定磁性層、トンネル層、およびメモリ層が順に積層された第2段の磁気抵抗素子からなる第2段のメモリ層面、

を具備し、

前記第1段のメモリ層と前記第2段のメモリ層とが層の厚さ方向に積層されており、
前記層の厚さ方向に積層されている第1段のメモリ層と第2段のメモリ層が電氣的に直列に接続されており、

前記第1段のメモリ層の磁化反転により生じる抵抗変化と、前記第2段のメモリ層の磁化反転により生じる抵抗変化とが互いに相違し、

前記第1段のメモリ層の長手方向は、前記第2段のメモリ層の長手方向と異なっており

前記平面視において隣接する2つの磁気メモリにおける第1段のメモリ層同士も、互いに異なる長手方向を有しており、

前記平面視において隣接する2つの磁気メモリにおける第2段のメモリ層同士も、互い

異なる長手方向を有している、
磁気メモリ装置。

【請求項 2】

前記第 1 段のメモリ層の長手方向と、前記第 2 段のメモリ層の長手方向とがなす角度は、
20°以上90°以下である請求項 1 に記載の磁気メモリ装置。

【請求項 3】

前記平面視において隣接する 2 つの磁気メモリにおける第 1 段のメモリ層の 2 つの長手
方向がなす角度は、20°以上90°以下である請求項 1 に記載の磁気メモリ装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、磁気メモリを用いた磁気ランダムアクセスメモリ(MRAM)等の磁気メモリ装置に関する。

【背景技術】

【0002】

トンネル磁気抵抗効果(TMR)素子は、トンネル(バリア)層とこれを挟持する一対の磁性層を含んでいる。TMR素子では、一対の磁性層における磁化方向の相対角度の相違に基づくスピントネル効果が利用される。スピバルブ型のTMR素子には、一対の磁性層として、磁化が相対的に回転しにくい固定磁性層と、磁化が相対的に回転しやすい自由磁性層とが含まれている。自由磁性層は、情報が磁化方向として記録されるメモリ層として機能する。

20

【0003】

TMR素子を磁気メモリとしてマトリックス状に配置したMRAMでは、高集積化の進行に伴って、以下の問題が生じることが予想されている。

1. 素子間隔の減少に伴う磁気クロストークにより生じる記録エラー。
2. 磁性体の微細化に伴う磁化反転磁界の増加および記録電流の増大。
3. 配線の微細化に伴う記録電流の制限。
4. 配線の微細化に伴う抵抗上昇により生じる読み出し時のS/Nの低下。

【0004】

これらの問題により、例えばGbit/in²以上に至るまでに高い集積度の達成は困難であると考えられている。

30

【特許文献 1】特開 2001-229665 号公報

【特許文献 2】特開平 11-354728 号公報

【特許文献 3】特開 2001-015611 号公報

【特許文献 4】特開平 8-306014 号公報

【特許文献 5】特開 2001-338487 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこで、本発明は、高集積化しても上記のような問題が生じにくく、多値化が可能な磁気メモリ装置を提供することを目的とする。

40

【課題を解決するための手段】

【0006】

本発明の磁気メモリ装置は、
磁気メモリを平面視においてマトリックス状に複数個配置した磁気メモリ装置であって

前記磁気メモリは、
固定磁性層、トンネル層、およびメモリ層(すなわち、自由磁性層)が順に積層された第 1 段の磁気抵抗素子、および

固定磁性層、トンネル層、およびメモリ層(すなわち、自由磁性層)が順に積層された

50

第 1 段の磁気抵抗素子、
を具備し、

前記第 1 段のメモリ層と前記第 2 段のメモリ層とが層の厚さ方向に積層されており、
前記層の厚さ方向に積層されている第 1 段のメモリ層と第 2 段のメモリ層が電氣的に直
列に接続されており、

前記第 1 段のメモリ層の磁化反転により生じる抵抗変化と、前記第 2 段のメモリ層の磁
化反転により生じる抵抗変化とが互いに相違し、

前記第 1 段のメモリ層の長手方向は、前記第 2 段のメモリ層の長手方向と異っており
、

前記平面視において隣接する 2 つの磁気メモリにおける第 1 段のメモリ層同士も、互い
に異なる長手方向を有しており、

前記平面視において隣接する 2 つの磁気メモリにおける第 2 段のメモリ層同士も、互い
に異なる長手方向を有している、

前記第 1 段のメモリ層の長手方向と、前記第 2 段のメモリ層の長手方向とがなす角度は
、20°以上90°以下であることが好ましい。

前記平面視において隣接する 2 つの磁気メモリにおける第 1 段のメモリ層の 2 つの長手
方向がなす角度は、20°以上90°以下であることが好ましい。

【0007】

本発明によれば、多値化した磁気メモリを得ることができる。メモリの多値化は、メモ
リの微細化を抑制しつつ、情報を高密度で記録することを可能とする。本発明の磁気メモ
リからは、情報の非破壊読み出しが可能である。メモリの抵抗変化は、定電流または定電
圧を印加したときの電圧変化または電流変化として測定できる。

【0009】

本発明によれば、円滑な磁化反転を実現できる。円滑な磁化反転は、集積度が高い磁気
メモリにおける誤記録の低減に有効である。

【発明の効果】

【0010】

本発明によれば、多値化が可能で高集積化に適した磁気メモリを提供できる。また、磁
気メモリのメモリ層における磁化反転を円滑化できる。円滑な磁化反転は、集積度が高い
磁気メモリにおける誤記録の低減に有効である。

【発明を実施するための最良の形態】

【0011】

本発明の磁気メモリでは、複数のメモリ層から選ばれる第 1 層群の抵抗変化 R_1 と第
2 層群の抵抗変化 R_2 とが互いに相違する。これらメモリ層群に含まれるメモリ層の数
に制限はないが、第 1 層群および第 2 層群がともに 1 つのメモリ層から構成されていても
よい。

【0012】

抵抗変化 R_1 と抵抗変化 R_2 との間には（ただし、 $R_1 < R_2$ ）、以下の関係式（
1）が成立することが好ましい。

【0013】

$$R_1 \times 2 \quad R_2 \quad (1)$$

式（1）の関係が成立すると、2 つのメモリ層群からの出力の分離が容易となる。

【0014】

本発明の磁気メモリは、2 以上の磁気抵抗素子（TMR 素子）が層の厚さ方向に積層さ
れた形態であってもよい。TMR 素子は、磁気メモリを構成するメモリ層とトンネル層と
をそれぞれ少なくとも 1 つ含むことになる。磁気メモリには、情報の書き込みのために 2
以上の記録導線が配置される。この場合、上記 2 以上の TMR 素子から選ばれ、互いに隣
接する一対の TMR 素子の間に、上記 2 以上の記録導線から選ばれる少なくとも 1 本の記
録導線が配置されていることが好ましい。TMR 素子と少なくとも 1 本の記録導線とが、
交互に配置されていることがより好ましい。記録導線とメモリ層との距離が小さくなると

10

20

30

40

50

、磁化反転に要する電流量を削減できるからである。

【 0 0 1 5 】

本発明の磁気メモリは、その一形態において、層の厚さ方向に積層された2以上のTMR素子を含み、この2以上のTMR素子が、互いに出力が相違する2つのTMR素子を含む。

【 0 0 1 6 】

この磁気メモリでは、各TMR素子を挟持するように記録導線を配置するとよい。N個のTMR素子を含むメモリには、少なくとも(N+1)本の記録導線を配置するとよい。ただし、Nは2以上の整数である。

【 0 0 1 7 】

TMR素子は、1つのメモリ層のみを含んでいてもよいが、2以上のメモリ層を含んでいてもよい。このTMR素子は、磁気メモリを構成するメモリ層から選ばれる少なくとも2つを含むことになる。このTMR素子は、少なくとも2つのトンネル層を含んでいてもよい。この場合、1つのTMR素子に含まれる少なくとも2つのメモリ層に、磁化反転により生じる抵抗変化が互いに相違する2つのメモリ層が含まれていてもよい。

【 0 0 1 8 】

本発明の磁気メモリは、その別の形態において、層の厚さ方向に積層され、互いに出力が相違する少なくとも2つのメモリ層を含むTMR素子を備えている。

【 0 0 1 9 】

磁化反転により生じる抵抗変化が互いに相違する2つのメモリ層を形成するためには、例えば、互いに膜厚が相違する2つのトンネル層を形成するとよい。トンネル層の厚さに応じて、固定磁性層/トンネル層/メモリ層(自由磁性層)として表記できる積層体のトンネル抵抗は変化する。また、スピントネル効果も影響を受ける。トンネル抵抗が変化するため、磁化反転に伴うトンネル抵抗変化率が一定であったとしても、抵抗変化を変えることができる。トンネル層の膜厚の調整は、メモリ層の磁化反転に伴う抵抗変化を制御する方法の一つである。

【 0 0 2 0 】

N個のメモリ層を含む場合、本発明の磁気メモリは、最大 2^N 段階の抵抗変化を提供できる。ただし、Nは2以上の整数である。換言すれば、本発明の磁気メモリは、最大で 2^N 値のメモリとなりうる。

【 0 0 2 1 】

N番目のメモリ層における抵抗変化を R_N 、 R_N の最小値を R_{min} 、 R_N の最大値を R_{max} と表示したときに、以下の関係式(2)が成立することが好ましい。

【 0 0 2 2 】

$$R_{max} = R_{min} \times 2^{N-1} \quad (2)$$

ただし、Nは2以上の整数である。

【 0 0 2 3 】

さらに、M番目に小さい R_N を R_M と表示したときに、以下の関係式(3)が成立することが好ましい。

【 0 0 2 4 】

$$R_M \times 2 = R_{M+1} \quad (3)$$

ただし、Mは1以上(N-1)以下の整数である。

【 0 0 2 5 】

磁気メモリに含まれる2以上のメモリ層の厚さ方向に沿って定電流Iを通過させる場合には、N番目のメモリ層の磁化反転に伴って出力変化 $I \cdot R$ が生じる。関係式(2)および/または(3)が成立すると、多値化を実現しながら、各メモリ層の磁化反転に伴う出力変化を分離しやすくなる。

【 0 0 2 6 】

なお、 $I \cdot R_{min}$ は検出限界以上に設定することが好ましく、検出素子にもよるが、50 mV以上が適当である。

10

20

30

40

50

【 0 0 2 7 】

上記関係式において、Nは、特に制限されないが、動作速度、出力、コスト等を考慮すると、2～10程度が好ましい。Nが大きくなり過ぎると、磁気メモリ全体の抵抗が高くなり、RC遅延等が無視できなくなる。また、出力も低下し、積層数の増加に伴う層表面のラフネスが大きくなって製造歩留まりが低下する。

【 0 0 2 8 】

磁気メモリには、層の厚さ方向に隣接し、磁化容易軸方向が互いに相違する一対のメモリ層が含まれることが好ましい。磁化容易軸方向がなす角度は20°以上90°以下が好適である。磁化容易軸方向を調整すると、各メモリ層の磁化反転を制御しやすくなり、誤動作を防止しやすくなる。

10

【 0 0 2 9 】

本発明の磁気メモリは、2以上のメモリ層と電氣的に接続された非線形素子により制御するとよい。非線形素子の例には、例えばスイッチ素子、整流素子が含まれる。2以上のTMR素子を直列に接続し、各TMR素子の間に少なくとも1本の記録導線をTMR素子と電氣的に接続するように配置する場合、各記録導線の間それぞれに、非線形素子、例えば整流素子を配置するとよい。各素子を導通する電流を制御しやすくなるからである。

【 0 0 3 0 】

上記磁気メモリをMRAM等の磁気メモリ装置(メモリデバイス)として用いる場合、複数のメモリを層の面内方向に配置するとよい。このメモリ装置は、層の面内方向に隣接し、磁化容易軸方向が互いに相違する一対のメモリ層を含むことが好ましい。上記と同様、磁化容易軸方向がなす角度は20°以上90°以下が好適である。上記磁気メモリは、さらに例えばシステムLSIに利用できる。

20

【 0 0 3 1 】

本発明の駆動方法では、少なくとも磁化反転の対象とするメモリ層を、この層の厚さ方向に通過する電流が利用される。この第1電流に加えて、層の面内方向に沿って流れ、上記磁化反転後の磁化方向に沿った磁界を発生させる第2電流を用いてもよい。この場合は、第1電流の印加を開始した後に、第2電流の印加を開始するとよい。また、第1電流の印加を終了した後に、第2電流の印加を終了するとよい。こうして電流印加の開始および/または終了を調整すると、より円滑な磁化反転を実現できる。第2電流により生じる磁界は、メモリ層の面において、反転した後のメモリ層の磁化方向と同一方向に作用することが好ましい。

30

【 0 0 3 2 】

層の面内方向であって第2電流とは異なる方向に沿って流れる第3電流により生じる磁界をさらに印加してもよい。この場合も、第3電流の印加を開始した後に、第2電流の印加を開始するとよい。また、第3電流の印加を終了した後に、第2電流の印加を終了するとよい。上記と同様、円滑な磁化反転のためである。

【 0 0 3 3 】

第1電流および第3電流は、同時に印加してもよく、同一の記録導線から分岐した電流としてもよい。第3電流から分岐して第1電流を供給する場合は、第1電流が分岐する前の第3電流から生じる磁界と、第1電流から生じる磁界とが、磁化反転の対象とするメモリ層における磁化方向を同一方向に回転させるように作用させることが好ましい。

40

【 0 0 3 4 】

また、2つの層における磁化反転を、少なくとも、これら2つの層の間を伸長する導線を通る電流により生じる磁界を印加して、同時に反転させてもよい。

【 0 0 3 5 】

以下、図面を参照しながら、本発明の形態についてさらに説明する。

【 0 0 3 6 】

図1(a)、(b)に、本発明の磁気メモリに使用可能な磁気抵抗素子の構造を例示する。磁気抵抗素子(TMR素子)は、少なくとも、1つのトンネル層2と、この層2を挟持する2つの強磁性層1, 3とを含んでいる(図1(a))。このTMR素子では、自由

50

磁性層（メモリ層）3における磁化方向の変化に伴い、この磁化方向と固定磁性層1の磁化方向との間に磁化相対角の変化が生じる。磁化相対角の変化は、これらの層1, 2, 3を一部に含む回路の電圧変化または電流変化として検出される。

【0037】

TMR素子には、さらに他の層を付加してもよく、例えばさらにバイアストンネル層4と非磁性導電層5とを積層しても構わない（図1（b））。バイアストンネル層4により、MR変化率のバイアス依存性を改善できる。

【0038】

TMR素子に、複数の固定磁性層または自由磁性層を含ませてもよい。このようなTMR素子としては、固定磁性層/トンネル層/自由磁性層/トンネル層/固定磁性層、自由磁性層/トンネル層/固定磁性層/トンネル層/自由磁性層のような積層体を含む素子が挙げられる。

10

【0039】

自由磁性層（メモリ層）3は、一軸異方性または多軸異方性を有することにより、磁化方向が2安定状態または多安定状態となる。そして、外部から印加される磁界が消失した後も、磁化方向を情報として記憶する。通常、磁化相対角が大きくなるほど高い磁気抵抗変化率（MR変化率）が得られるため、自由磁性層3には、磁化方向の2安定状態を導入すること、即ち一軸異方性を付与して1つの磁化容易軸を設定することが好ましい。2安定状態を導入すると、自由磁性層3の磁化方向は、外部磁界により、固定磁性層1の磁化方向と平行（同一方向）または反平行（反対方向）との間を反転する。

20

【0040】

一軸異方性は、層の形状に由来する形状異方性により導入できるが、これに限らず、他の方法により付与してもよい。他の方法には、自由磁性層の磁界中での熱処理、磁界中での成膜、斜め蒸着による異方性の導入等が含まれる。

【0041】

固定磁性層1は、トンネル層2と反対側の面において、高保磁力層、積層フェリ、反強磁性層等と磁氣的に結合させることにより、磁化方向を回転しにくくすることが好ましい。

【0042】

高保磁力層は、CoPt, FePt, CoCrPt, CoTaPt, FeTaPt, FeCrPt等の保磁力が100 Oe以上である材料から形成するとよい。反強磁性層は、PtMn, PtPdMn, FeMn, IrMn, NiMn等のMn含有反強磁性材料から形成するとよい。積層フェリは、磁性膜と非磁性膜の積層体であるが、磁性膜としては、例えばCoまたはFeCo, CoFeNi, CoNi, CoZrTa, CoZrB, CoZrNb等のCo合金を、非磁性膜としては厚みが0.2~1.1 nm程度のCu, Ag, Au, Ru, Rh, Ir, Re, Osまたはこれらの金属の合金もしくは酸化物を、それぞれ用いるとよい。

30

【0043】

両磁性層1, 3は、少なくともトンネル層の界面近傍において、以下の材料により形成することが好ましい。

【0044】

1) Fe, Co, Ni, FeCo合金, NiFe合金, CoNi合金またはNiFeCo合金; 2) FeN, FeTiN, FeAlN, FeSiN, FeTaN, FeCoN, FeCoTiN, FeCo(Al,Si)N, FeCoTaN等の式TMAで示される化合物、ただし、TはFe, Co, Niから選ばれる少なくとも1種、MはMg, Ca, Ti, Zr, Hf, V, Nb, Ta, Cr, Al, Si, Mg, Ge, Gaから選ばれる少なくとも1種、AはN, B, O, F, Cから選ばれる少なくとも1種; 3) 式(Co, Fe)Eで示される化合物、ただし、EはTi, Zr, Hf, V, Nb, Ta, Cu, Bから選ばれる少なくとも1種; 4) FeCr, FeSiAl, FeSi, FeAl, FeCoSi, FeCoAl, FeCoSiAl, FeCoTi, Fe(Ni)(Co)Pt, Fe(Ni)(Co)Pd, Fe(Ni)(Co)Rh, Fe(Ni)(Co)Ir, Fe(Ni)(Co)Ru, FePt等に代表される式TLで示される化合物、ただし、TはFe, Co, Niから選ばれる少なくとも1種、LはCu, Ag, Au, Pd, Pt, Rh, Ir, Ru, Os, Ru, Si, Ge, Al, Ga, Cr, Mo, W, V, Nb, Ta, Ti, Zr, Hf, La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Luから選ばれる少なくとも1種; 5) Fe₃O₄、式XMnSbで示される材料（ただし、

40

50

XはNi, Cu, Ptから選ばれる少なくとも1種), LaSrMnO, LaCaSrMnO, CrO₂に代表されるハーフメタル材料; 6)式QDJ(ただし、QはSc, Y, ランタノイド, Ti, Zr, Hf, V, Nb, Ta, Cr, Ni, Znから選ばれる少なくとも1種、DはV, Cr, Mn, Fe, Co, Niから選ばれる少なくとも1種、JはC, N, O, F, Sから選ばれる少なくとも1種)、あるいはGaMnN, AlMnN, GaAlMnN, AlBMnN等の式RDG(ただし、RはB, Al, Ga, Inから選ばれた1種、Dは上記に同じ、GはC, N, O, P, Sから選ばれる少なくとも1種)に代表される磁性半導体; 7)ペロブスカイト型酸化物、フェライト等のスピネル型酸化物、ガーネット型酸化物; 8)CaB₆, CaMgB等のアルカリ土類金属の酸化物、またはこれにLa等のランタノイドを添加した強磁性体。

【0045】

トンネル層2およびバイアストンネル層4には、絶縁体または半導体であれば特に制限はないが、Mg, Ti, Zr, Hf, V, Nb, Ta, Crを含むIIa~VIa族(新IUPAC表示では2~6族)元素、La, Ceを含むランタノイド、Zn, B, Al, Ga, Siを含むIIb~IVb族(12~14族)元素から選ばれる元素と、F, O, C, N, Bから選ばれる少なくとも1種の元素との化合物が適当である。代表的なトンネル層用絶縁体は、Alの酸化物、窒化物、酸窒化物である。

【0046】

磁気抵抗素子は、実際には、基板10上に形成された多層膜の一部となる(図2)。例えば図1(b)に示した素子を挟持するように、一對の電極6, 9が配置され、これら電極間には層間絶縁膜8が配置される。

【0047】

多層膜は、従来から用いられてきた方法、例えば、パルスレーザーデポジション(PLD)、イオンビームデポジション(IBD)、クラスターイオンビーム、RF、DC、ECR(Electron Cyclotron Resonance)、ヘリコン、ICP(Inductively Coupled Plasma)、対向ターゲット等の各種スパッタリング法、MBE(Molecular Beam Epitaxy)、イオンプレーティング法により成膜すればよい。これらいわゆるPVD(Physical Vapor Deposition)法に加え、CVD(Chemical Vapor Deposition)法、メッキ法、ゾル-ゲル法等を用いても構わない。

【0048】

トンネル層は、所定の金属または合金からなる薄膜前駆体を、所定の元素、分子、イオン、ラジカルを含む適当な雰囲気内で反応させ、具体的にはフッ化、酸化、炭化、窒化、硼化等して、作製してもよい。薄膜前駆体として、F, O, C, N, Bを化学量論比以下の割合で含む不定比化合物を用いても構わない。

【0049】

例えばトンネル絶縁層としてAl₂O₃膜を成膜する場合には、AlまたはAlO_x(X=1.5)を不活性ガス雰囲気中またはAr+O₂雰囲気中で成膜し、次いでO₂またはO₂+不活性ガス中で酸化させて成膜するとよい。酸化等は、プラズマを発生させて行ってもよい。

【0050】

形成した膜の微細加工の手段としては、半導体プロセスやGMRヘッド作製プロセス等で用いられる手法を適用すればよい。この手法には、イオンミリング、RIE(Reactive Ion Etching)、FIB(Focused Ion Beam)等の物理的または化学的エッチング法、微細パターン形成のためのステッパー技術、EB法等を用いたフォトリソグラフィ技術が含まれる。電極等の表面の平坦化のために、CMP(Chemical Mechanical Polishing)やクラスターイオンビームエッチングを用いてもよい。

【0051】

本発明では、例えば、基板上に複数の磁気抵抗素子11, 12, 13を積層し、これらの素子の間に、記録用の導線が配置される(図3(a), (b))。なお、図3(a), (b)では、磁気抵抗素子として、図1(b)に示した素子が使用されている。

【0052】

これらの素子11, 12, 13は電氣的に互いに直列に接続された素子群を構成し、こ

10

20

30

40

50

の素子群は、スイッチ素子 5 1 である MOSFET に接続される。スイッチ素子に代えて、整流素子等、例えばダイオード、クーロンプロケイド素子、トンネルダイオード等を用いてもよい。

【 0 0 5 3 】

スイッチ素子や整流素子等の非線形素子は、隣接する素子群を電氣的に分離する役割を担う。非線形素子を配置しない場合には、センス感度を保持するために、最大個数 1 万個程度のメモリセル集合体を 1 ブロックとして、他のブロックと電氣的に切り離す設計をするとよい。

【 0 0 5 4 】

素子 1 1 への磁界の印加には、基本的には、ワード線 3 1 およびビット線 2 1 を使用すればよい。同様に、素子 1 2 に対してはビット線 2 1 とワード線 3 2 が、素子 1 3 に対してはワード線 3 2 とビット線 2 2 が使用される。このメモリでは、各素子を挟持するように、一对の記録導線（ワード線、ビット線）が配置され、これら導線を通る電流により生じる合成磁界が各素子に印加される。

【 0 0 5 5 】

ワード線 3 1 , 3 2 が伸長する方向とビット線 2 1 , 2 2 が伸長する方向とは互いに 90° の角度をなし、互いにいわゆる「ねじれ」の位置にある。このメモリでは、ワード線 3 1 , 3 2 は各素子と電氣的に絶縁されている。しかし、ビット線 2 1 , 2 2 は各素子と電氣的に接続されており、情報を読み出すためのセンス線としても使用される。なお、ワード線、ビット線等の導線は、Cu, Al 等により形成するとよい。

【 0 0 5 6 】

この形態のように、互いに直列に接続した素子の間にワード線とビット線とを、交互に、かつ伸長する方向が互いに直交するように介在させると、情報の記録のための磁界を各素子に効率的に印加できる。

【 0 0 5 7 】

記録導線は、単線に限らず、互いに平行に伸長する複数の導線から構成してもよい（図 4）。図 4 のメモリでは、ワード線 3 1 , 3 2 およびビット線 2 1 , 2 2 を、それぞれ 2 本の導線から構成している。この形態は、単線路の記録導線を用いた形態（図 3 (a) , (b)）と比較して、高い記録周波数（例えば 2 0 0 M H z 以上）を用いた情報の記録に適している。なお、複線路からなる記録導線では、少なくとも 1 本の導線を定電位、例えばグランド電位に保持しておくるとよい。

【 0 0 5 8 】

情報の書き込みは、複数の素子について同時に行ってもよい。複数ビットの記録情報の書き込みを行う場合は、記録導線を共用しない素子 1 1 , 1 3 を選択すると磁気クロストーク等による誤記録を防止しやすいが、記録導線を共用する素子 1 1 , 1 2 (1 2 , 1 3) の選択は、消費電力の観点から有利である。

【 0 0 5 9 】

複数ビットを同時記録する際には、瞬間最大消費電力が電源の許容量を上回ることも想定される。この場合には、記録電流の非発生時間において電源と並列に配置したコンデンサを充電し、情報の書き込み時に、電源とコンデンサとから同時に、またはコンデンサのみから記録電流を供給すればよい。

【 0 0 6 0 】

図 3 (a) , (b)、図 4 に示した磁気メモリに書き込み可能な情報量について、以下に検討する。電圧検知を例にとると、磁気抵抗素子の出力変化は P ($P = I \times R$: R は抵抗変化量) と表示できる。素子 1 1 による出力変化を P_1 、素子 1 2 による出力変化を P_2 ($P_2 = 2 P_1$)、素子 1 3 による出力変化を P_3 ($P_3 = 3 P_1$) とすると、取りうるメモリ値は 7 通りとなる（図 5）。

【 0 0 6 1 】

一方、素子 1 3 による出力変化 P_3 を $3 P_1$ ではなく $4 P_1$ とすると、取りうるメモリ値は 8 (2^3) 通りとなる（図 6）。

10

20

30

40

50

【0062】

ただし、図5、図6において、 R は、検出可能な最小出力値以上とする必要がある。最小の $P(I \times R_{min})$ は、50 mV以上とするとよい。出力検出素子を安価に作製できるからである。

【0063】

互いに直列に接続された N 個のメモリ層から得られるメモリ値は、最大で 2^{N-1} となる。これを実現するためには、最小出力変化 $I \times R_{min}$ に対し、最大出力が $I \times R_{min} \times 2^{N-1}$ 以上であることが好ましい。また、 M 番目（ただし、 M は 1 以上 ($N - 1$) 以下の整数）に低い出力変化 $I \times R_M$ に対し、 $M + 1$ 番目に低い出力変化 $I \times R_{M+1}$ が、 $I \times R_M \times 2$ 以上であることが好ましい。

10

【0064】

各素子についての R は、測定バイアスまたは測定電流での MR 変化率と素子抵抗 R の積となる。 R の調整は、素子抵抗 R の調整、例えばトンネル絶縁層の膜厚の制御により容易に行うことができる。

【0065】

なお、以上では、電圧検知について示したが、電流検知の場合についても同様の関係を成立させればよい。

【0066】

磁気抵抗素子を積層するのではなく、1つの素子内において複数のメモリ層を積層することによっても、メモリの多値化は実現できる（図7）。

20

【0067】

例えば図7に示したように、図1(b)に示した素子に、さらにトンネル層72、自由磁性層（メモリ層）73、バイアストンネル層74を積層すれば、1つの素子内に2つのメモリ層3, 73を含ませることができる。この素子では、固定磁性層1を中心として、この両側に、トンネル層2, 72、自由磁性層3, 72、バイアストンネル層4, 74が順次積層されている。

【0068】

この素子のメモリ層3, 73に対しても、互いに「ねじれ」の位置にあるビット線21とワード線31とを用いて記録磁界を印加し、スイッチ素子51を用いて、このメモリの選択を行うとよい。この磁気抵抗素子を図3(a)、(b)に示したように積層してもよい。

30

【0069】

1つの素子に複数のメモリ層が存在する場合、各メモリ層への個別の書き込みを容易にするために、メモリ層の保磁力（磁化反転磁界）を変化させてもよい。保磁力の調整は、材料、膜厚、結晶構造の制御によって、さらにはメモリ層の多層化によって行えばよい。外部磁界が印加される方向を考慮しつつ、メモリ層に形状異方性を与えてもよい。

【0070】

1つの磁気抵抗素子内に存在する複数のメモリ層3, 73の保磁力が実質的に同一であっても、ビット線21およびワード線31に対するメモリ層の位置の相違を利用すれば、メモリ層への個別の書き込みは可能である。メモリ層と記録導線との距離に応じて、磁化反転に要する電流量は相違するからである。この操作の具体例は、図15を参照して後述する。

40

【0071】

1つの素子に含ませるメモリ層の数は、3以上であってもよい。しかし、記録導線との距離が大きくなりすぎないように、固定磁性層、自由磁性層、トンネル層を含む積層体1~4, 72~74の厚さは、500nm以下が好適である。

【0072】

磁気メモリからの出力の検出回路は、差動増幅器を介して比較用メモリと接続することが好ましい（図8）。このように、配線抵抗を含めた比較抵抗との出力差を採用することにより、配線抵抗および基準素子抵抗をキャンセルできる。この検出回路を用いると、高

50

S / N化が容易に実現できる。

【0073】

スイッチ素子51に代えて、ダイオード、トンネルダイオードに代表される整流素子52, 53, 54を用いても、同様のメモリを実現できる(図9(a), (b))。

【0074】

このメモリでは、整流素子52, 53, 54を、各記録導線の間介在させているため、磁気抵抗素子11, 12, 13の抵抗変化を個別に読み出すことができる。このメモリでは、センス線としても用いられるビット線21, 22とともに、ワード線31, 32も情報の読み出しに用いられる。素子11については、ワード線31とビット線21との間の抵抗変化が、素子12については、ビット線21とワード線32との間の抵抗変化が、素子13については、ワード線32とビット線22との間の抵抗変化が、電圧または電流変化として読み出される。この形態では、素子が電氣的に分離されているため、S / Nの向上を図りやすい。

10

【0075】

図4に示した素子においても、スイッチ素子51に代えて、整流素子52を用いてもよい(図10)。

【0076】

本発明の磁気メモリは、上記に例示した構成に限らず、素子またはメモリ層をさらに積層してもよく、適宜、配線を変更してもよい。

【0077】

以下、磁気メモリの面内方向における配置について説明する。

20

【0078】

磁気メモリは、所定の数のメモリ列およびメモリ行を形成するように、マトリックス状に配置するとよい(図11)。磁気メモリ101, 102...201, 202...301...303...は、ワード線31, 131, 231...とビット線21, 121, 221...との交点に配置される。これら記録導線への記録電流は、それぞれに配置されたスイッチ素子70, 170, 270...71, 171, 271...により制御される。この制御は、いわゆる2電流一致方式により行われる。図11に示した例では、スイッチ素子70, 71のみがon状態となって、ワード線31とビット線21とが交差する位置に配置された磁気メモリ101が選択され、このメモリ101に記録磁界が印加される。

30

【0079】

スイッチ素子によるアドレッシングの時間を高速化する場合、あるいは記録導線の間隔を狭めると、記録導線の間誘導結合電流または容量性結合電流が発生し、磁気クロストークが生じることがある。この磁気クロストークを抑制するためには、記録導線の間、結合線81, 181, 281...91, 191, 291...を配置するとよい(図12)。

【0080】

結合線は、層の厚さ方向に存在する記録導線の間それぞれに配置するとよい(図13)。即ち、例えば、ビット線21, 22の伸長方向に隣接する磁気メモリ101, 201の間において、結合線81, 82は、それぞれ、ワード線31, 131の間、ワード線32, 132の間に配置される。結合線81, 82により、隣接する一对の磁気抵抗素子11, 111(12, 112; 13, 113)における誤記録の発生を抑制できる。結合線は、所定の定電位、例えばグランド電位に保持しておくことよい。

40

【0081】

上述のように、自由磁性層(メモリ層)には、情報の記録のために一軸異方性を付与するとよい。一軸異方性が付与された自由磁性層におけるスイッチング磁界曲線は、4回対称である理想的な形状ではなく(図14(a))、この曲線を磁化困難軸方向に引き伸ばしたアステロイド曲線(図14(b))となることがある。この傾向は、軟磁性膜と高保磁力膜とを積層した2層膜のように、膜面垂直方向における異方性が一様ではないメモリ

50

層、即ち少なくとも2つの磁性膜を含むメモリ層、において顕著となる。非磁性膜を挟む一対の磁性膜が静磁結合した積層体からなるメモリ層においては、スイッチング磁界曲線が多軸安定な形状になる場合もある。

【0082】

図14(a)に示した磁化スイッチング曲線を有する2つのメモリ層の磁化容易軸を互いに所定の角度だけ傾けると、一方のスイッチング曲線内であって他方の曲線外である磁化反転領域が出現する(図17(a))。図17(a)における点Aで示される磁界を印加すると、スイッチング曲線がaで示されるメモリ層においてのみ磁化反転が生じ、点Bで示される磁界を印加すると、スイッチング曲線がbで示されるメモリ層においてのみ磁化反転が生じる。

10

【0083】

これを利用すると、磁気クロストークを抑制しながら、所定のメモリ層への情報の記録を行うことができる。なお、メモリ層の磁化容易軸が形状異方性に依存している場合、磁化容易軸の角度は、メモリ層3a、3bの長手方向がなす角度により表示できる(図17(b))。この場合、角度の好ましい範囲は $20^{\circ} \sim 70^{\circ}$ である。なお、便宜的に素子の面形状を矩形として示したが、素子の面形状が矩形に限られるわけではない(図19(b)~図19(e))。

【0084】

同様に、図14(b)に示した磁化スイッチング曲線についても、2つのメモリ層の磁化容易軸を互いに異ならせることにより、一方のメモリ層のみを磁化反転できる磁界領域を出現させることができる(図15)。この場合、磁化容易軸がなす好ましい角度の範囲は $20^{\circ} \sim 90^{\circ}$ である。

20

【0085】

従って、磁気メモリをマトリクス状に配列したメモリ装置において、互いに隣接するメモリ層の磁化容易軸を互いに異なる方向、好ましくは $20^{\circ} \sim 90^{\circ}$ 、より好ましくは $20^{\circ} \sim 70^{\circ}$ の角度をなす方向とすると、磁気クロストークを抑制できる(図18)。図18に示したMRAMでは、各メモリ層201, 202, 203...211, 212, 213...221, 222, 223...が、層の面内方向について隣接するメモリ層の磁化容易軸方向と $20^{\circ} \sim 70^{\circ}$ の角度をなすように配置されている。

【0086】

図16に示したメモリ装置では、メモリ層がマトリクス状に配置された第2段のメモリ層面120が、メモリ層がなす第1段および第3段のメモリ層面110, 130に挟持されている。第2段のメモリ層面120に含まれるメモリ層121, 122, 123...221, 222, 223...321, 322, 323は、面内方向において隣接するメモリ層とのみならず、当該層と面垂直方向に隣接するメモリ層とも、磁化容易軸方向が互いに異なるように配置されている。この配置によれば、メモリ層222は、これに隣接する上下左右すべてのメモリ層122, 221, 223, 322, 212, 232との間において、磁化容易軸が互いに相違している。

30

【0087】

なお、図16では、磁化スイッチング曲線が図14(b)で表される場合を想定して、磁化容易軸がなす角度が 90° に設定されている。

【0088】

図16、図18では、メモリ層の面形状を矩形としたが(図19(a))、メモリ層の面形状はこれに限らない(図19(b)~図19(e))。メモリ層の形状を、頂角近傍が内側にせり出した曲線となるように変形した多角形(図19(b))、楕円(図19(c))、内角が 90° を超える多角形(図19(d)、図19(e))とすると、メモリ層の角形状や情報保持の信頼性が向上する。

40

【0089】

50

メモリ層の磁化反転は、通常、スイッチ素子をoff状態にして行われる。スイッチ素子をon状態とするのは、センス電流を流してメモリ層の磁化状態に応じた出力変化を読み出す場合である。

【0090】

しかし、メモリ層を層の厚さ方向に通過する電流を用いると、メモリ層における磁化が回転する方向を決定することができる(図20(a))。図20(a)では、メモリ層(自由磁性層)3の磁化を反転させる際に、スイッチ素子51がon状態となって素子を層の厚さ方向に通過する電流63が流れ、これに伴い、メモリ層を面内方向に囲む磁界43が発生する。この磁界43は、メモリ層における磁化の回転をより円滑にする。ビット線21およびワード線31にもそれぞれ層の面内方向に電流61, 62を流し、磁界41, 42を発生させてもよい。

10

【0091】

ワード線31を流れる電流62の印加は、スイッチ素子51を流れる電流63の印加を開始(終了)した後に、開始(終了)することが好ましい(図20(b))。電流63により発生する磁界43は磁化の回転を誘導し、電流62により発生する磁界42は回転する磁化を所定方向に向けるからである。なお、この磁気抵抗素子では、センス線を兼用するビット線21からスイッチ素子51へと電流が分岐して供給されるため、電流61, 63は同時に流れることになる。

【0092】

図20(b)における時間 T_1 では、メモリ層3の磁化方向33を横切る方向(層の短手方向)に磁界41, 43が印加されて磁化方向33が不安定となる(図20(c))。磁界41のみでは、磁化反転の基点となる磁化の乱れは層の両端で生じるが、磁界43を同時に印加することにより、一方の端部において磁化の乱れがより生じやすくなる。この場合、磁化回転の方向は、電流63が通過する方向に沿って見た時に、換言すれば図20(a)の上方から見た時に、時計回り(右回り)となる。こうして磁化方向の回転が始まる。

20

【0093】

時間 T_2 では、さらに、当初の磁化方向と逆向き(反平行)の磁界42が印加され、時間 T_3 では磁界41, 42の印加が終了して磁化方向33が決定づけられる(図20(c))。

30

【0094】

反転した磁化を元に戻すためには、図20(a)において、ワード線32を流れる電流62を逆向きにするとよい。磁化の回転を左回り(反時計回り)とする場合は、電流61, 63の向きを逆にすればよい。

【0095】

この素子においても、メモリ層3からの読み出し動作は、電流63により行うことができる。

【0096】

これらの書き込み/読み込み動作は、スイッチ素子51に代えて、整流素子52を用いた場合(図21(a)、(b))、これら素子を用いない場合(図22(a)、(b))において、同様である。図21(b)、図22(b)は、センス電流64による読み出し動作を示す。

40

【0097】

以上のように、本発明の駆動方法は、1つのメモリ層を有する従来型のTMR素子に適用できるが、層の厚さ方向に2以上のメモリ層が積層された磁気メモリにも適用できる。この磁気メモリでは、メモリ層の密度が高く、従来の駆動方法では所定のメモリ層における円滑な磁化反転が困難となることがあるから、上記方法を適用したときの効果も大きい。

【0098】

上記で作製したメモリを用いれば、図23に基本回路を示したような、メモリ機能を搭

50

載したプログラマブルメモリ、あるいはリコンフィギュラブルメモリを作製できる。ここでは、図7に示したメモリ100を用いた例を示したが、使用可能な磁気メモリはこれに限らない。

【0099】

図23では、 $V_o = V_i \times (R_v + R_c) / (R_i + R_v + R_c)$ の関係が成立する。ここで、 R_c はFET2のon抵抗であり、 R_v は合計4つのトンネル層を含む積層体の抵抗である。所定のメモリ層における磁化方向が固定磁性層における磁化方向と平行なときの R_v を R_{vp} 、反平行なときの R_v を R_{vap} とし、反平行の時の抵抗が相対的に高いとすると、負荷回路とのゲート電圧 V_d と、磁気抵抗素子の抵抗の関係を $V_d < V_o = V_i \times (R_{vap} + R_c) / (R_i + R_{vap} + R_c)$ $V_d > V_o = V_i \times (R_{vp} + R_c) / (R_i + R_{vp} + R_c)$ のようにすることで、不揮発性リコンフィギュラブルメモリとして用いることができる。

10

【0100】

この回路は、負荷回路として論理回路を用いた場合は不揮発プログラマブル素子として、負荷回路として表示回路を用いた場合は静止画像等の不揮発保存のために使用できる。また、これら複数の機能を集積したシステムLSIとして用いることも可能である。なお、図23のFETはそれぞれウエハ上に作製することが可能である。

【0101】

なお、以下の実施例に示すように、磁気メモリは磁気シールドによりパッケージするとよい。MRAM等のメモリ装置およびシステムLSI等についても、同様に磁気シールドを加えることが好ましい。外部からの磁気ノイズによる誤動作を抑制できるからである。磁気シールドは、汎用の磁性材料により形成すれば足りる。

20

【実施例1】

【0102】

(実施例1)

CMOS基板上に、図3に示したように3段の磁気抵抗素子からなる磁気メモリで集積メモリを作製した。集積メモリはセラミックパッケージに封入し、パッケージ全体には、厚さ100 μ mのNiFe膜を磁気シールドとしてメッキした。

【0103】

磁気メモリは、図11と同様、マトリックス状に配列し、さらに、メモリ列ごとに、比較のための磁気メモリ R_1 、 R_2 、 R_3 ・・・を配置した(図24)。これらの磁気メモリも、3段からなる磁気抵抗素子により構成した。磁気メモリは、 256×256 (磁気抵抗素子の総数は $256 \times 256 \times 3$ 個)となるように配列した。比較のための磁気メモリは256個配置した。

30

【0104】

各磁気メモリにおいて、第1段目の磁気抵抗素子として、以下に示す積層構造を作製した。

【0105】

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(2)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

ここで、カッコ内の数値は、単位はnmとする膜厚であるが、AlOの膜厚は、酸化前の金属Alの膜厚である(以下において、同様)。

40

【0106】

この素子では、トンネル層はAlOにより、メモリ層はNiFeにより、それぞれ形成されている。PtMnは、固定磁性層(CoFe/Ru/CoFe)の磁化を相対的に反転しにくくするための反強磁性層である。

【0107】

第2段目の磁気抵抗素子は、2層のAlO(1.0)をそれぞれAlO(1.06)とした以外は、第1段目の素子と同様にして作製した。

【0108】

第3段目の磁気抵抗素子は、2層のAlO(1.0)をそれぞれAlO(1.12)とした以外は、第1

50

段目の素子と同様にして作製した。

【0109】

これらの素子を作製した後、5 kOe、280 で1時間熱処理し、PtMnに一方向異方性を設定した。その後、各素子における各層の面形状が、この一方向異方性の向きが長手方向となるように加工した。即ち、図3(a)における左右方向が各層の長手方向となるように、素子の面形状を $0.2\mu\text{m} \times 0.3\mu\text{m}$ とした。

【0110】

各磁気抵抗素子からの出力は、配線抵抗やCMOSの抵抗を除き、1段目が40 mV、2段目が80 mV、3段目が160 mVであった。

【0111】

ワード線とビット線との合成磁界により、3段からなる一連の磁気メモリに3ビットずつメモリを記録した。図3、図24を参照して説明すると、まず、書き込むべき磁気メモリ101のスイッチ素子70, 71をアドレッシングした。次いで、素子11, 12の間を伸長するビット線21に電流を流し、これらの素子に対して、素子の短手方向に磁界を印加しながら、ワード線31, 32に同時に電流を流し、素子11, 12の磁化反転を一度に行った。このように2以上の素子の磁化反転を同時に行ったのは、消費電力を削減するためである。

【0112】

続いて、ビット線22に電流を流し、素子13に対して短手方向に磁界を印加した後、ワード線32に電流を流し、素子13の磁化反転を行った。

【0113】

なお、ビット線およびワード線に電流を流す時間(電流のパルス幅)は、25 nsec(ナノ秒)であり、ビット線からの電流パルスが素子に到達した10 nsec後にワード線からのパルスが到達するように制御した。

【0114】

次に、読み出し操作を示す。まず、磁気メモリ101およびこれに対応する比較磁気メモリR1に対応するスイッチ素子70, 71, RSをアドレッシングした。次いで、磁気メモリ101および比較磁気メモリR1にセンス電流を流した。

【0115】

両素子101, R1から得た出力 V_{mem} 、 V_{ref} を、図8に示した回路で増幅し、得られた出力値が8通りのメモリ値のいずれであるかを判定した。

【0116】

図24に示した回路では、センス電流が、読み出すべき磁気メモリと比較磁気メモリとに分流する。スイッチ素子を追加する必要があるが、バイアスの変動や読み取り電圧の最小値を引き上げるために、磁気メモリと比較磁気メモリとを別回路としてもよい。

【0117】

さらに、複数の磁気メモリにおいて、同一段にある磁気抵抗素子を同時に書き込んだ。ここでは、素子101とともに、行または列方向に1つおきに素子301・・・103・・・303・・・を選択した。このように、行および列方向に隣接しない素子に同時に書き込むと、磁気クロストークを抑制しながら、効率的な書き込みが可能となり、消費電力も抑制できる。この場合は、各配線に並列に設けたコンデンサ部(図示省略)の充放電を利用することにより、電源の負担を軽減するとよい。

【0118】

複数の素子への同時書き込みと、電流の分流を抑制する読み取りとを組み合わせると、書き込みの信号と読み取りの信号とが時間軸に対して異なることになる。この場合は、シフトレジスタやバッファメモリを用いて、入出力の信号を制御する回路を併用するとよい。

【0119】

(実施例2)

CMOS基板上に、図7に示したような2つのメモリ層3, 73を有する磁気抵抗素子から

10

20

30

40

50

なる磁気メモリを、マトリックス状に配列して集積メモリを作製した。集積メモリには、実施例 1 と同様の磁気シールドを施した。ただし、図 7 に示した層のうち、両端のパイアストネル層 4 , 7 4 の形成は省略した。

【 0 1 2 0 】

磁気メモリの配列は、実施例 1 と同様とした (図 2 4) 。この集積メモリでは、メモリ総数が $256 \times 256 \times 2$ 個となる。この集積メモリを 1 つのフレームとして、合計 8 フレームの M R A M を作製した。

【 0 1 2 1 】

磁気抵抗素子は、以下の膜構成とした。

【 0 1 2 2 】

下部電極/Ta(3)/NiFeCr(4)/NiFe(2)/AlO(1.0)/CoFe(3)/Ru(0.8)/CoFe(3)/ PtMn(20)/CoFe(3)/Ru(0.8)/CoFe(3)/AlO(1.06)/NiFe(2)/NiFeCr(4)/Ta(3)/上部電極

この素子では、トンネル層がAlOにより、メモリ層がNiFeにより、それぞれ形成されている。

【 0 1 2 3 】

この多層膜に対しては、実施例 1 と同様の熱処理と、一方向異方性を考慮した層の加工を行った (図 7 における左右方向を層の長手方向とした) 。

【 0 1 2 4 】

外部コイルによる均一磁界を印加して、M R 変化率を測定したところ、2 つのメモリ層 (NiFe) の保磁力は同程度であった。各メモリ層の磁化反転による出力変化は、配線抵抗やCMOSの抵抗を除き、下部電極側のメモリ層 7 3 について40mV、上部電極側のメモリ層 3 について80mV程度であった。

【 0 1 2 5 】

これらの出力変化値は、以下に示すように、形状異方性の大きさが異なるNiFe(6)およびNiFe(2)を作製し、この多層膜におけるM R 曲線から求めた値である。

【 0 1 2 6 】

下部電極/Ta(3)/NiFe(6)/AlO(1.0)/CoFe(3)/Ru(0.8)/CoFe(3)/ PtMn(20)/CoFe(3)/Ru(0.8)/CoFe(3)/AlO(1.06)/NiFe(2)/NiFeCr(4)/Ta(3)/上部電極

ワード線とビット線の合成磁界により、2 つのメモリ層 3 , 7 3 に個別に書き込みを行った。これらメモリ層の磁化スイッチ曲線は、いずれも、ほぼ図 1 4 (a) に示した形状である。しかし、メモリ層 3 , 7 3 とビット線 2 1 またはワード線 3 1 との相対的な距離の相違により、電流に基づく磁化スイッチ曲線は、相対的に近い記録導線の方に引き伸ばされた形状となる (図 2 5) 。従って、点 A に相当する合成電流を印加すると、磁化反転するのは磁化スイッチング曲線 p を有するメモリ層 3 のみである。点 B の合成電流の印加によると、磁化スイッチング曲線 q を有するメモリ層 7 3 のみにおいて磁化方向が反転する。

【 0 1 2 7 】

これを利用すると、1 つの磁気抵抗素子に含まれる複数のメモリ層から選択した任意のメモリ層への書き込みが可能となる。

【 0 1 2 8 】

書き込みおよび読み出しは、実施例 1 と同様にして行うことができる。また、この M R A M では、8 つの基本フレームで同時に 1 素子ずつについて読み出しを行うことにより、合計 2×8 ビットのメモリの読み出しを同時に行うことができる。

【 0 1 2 9 】

(実施例 3)

ガラス基板上に、図 9 に示したように 3 段の磁気抵抗素子からなる磁気メモリで集積メモリを作製した。集積メモリには、実施例 1 と同様の磁気シールドを施した。

【 0 1 3 0 】

磁気メモリは、図 2 4 に示したように配列した。磁気メモリは、 256×256 (磁気抵抗素子の総数は $256 \times 256 \times 3$ 個) となるように配列し、この磁気メモリ群を 1 フ

10

20

30

40

50

レーンとして、合計 8 フレームの M R A M を作製した。

【 0 1 3 1 】

磁気抵抗素子の膜構成は、3つの素子すべてにおいて、以下のとおりとした。

【 0 1 3 2 】

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/Fe(2)/AlO(1.3) /Ta(3)
/上部電極

この素子では、トンネル層がAlOにより、メモリ層がFeにより、それぞれ形成されている。Taに接するAlOはバイアストンネル層である。

【 0 1 3 3 】

この多層膜に対しては、実施例 1 と同様の熱処理と、一方向異方性を考慮した層の加工を行った(図 9 (a)における左右方向を層の長手方向とした)。

10

【 0 1 3 4 】

各磁気抵抗素子の間には、それぞれ、順方向側からpin構造を有するダイオードを整流素子 5 2 , 5 3 , 5 4 として作製した。ここで、pinの各層はCVD法により成膜した。p層は、0.5%B₂H₆ / H₂ = 100 sccm、 H₂=100 sccm、 SiH₄ = 100 sccm の条件で作製した。i層はSiH₄とH₂により、n層は、0.5%PH₃/H₂=100 sccm、 H₂=100 sccm、 SiH₄=50 sccm の条件で作製した。ここで、「0.5%」はH₂に対する割合を示す。なお、これらのダイオードと磁気抵抗素子または配線との間にはTiバッファ層を形成した。

【 0 1 3 5 】

各磁気抵抗素子の出力は、配線抵抗やダイオード抵抗を除き、120mVであった。

20

【 0 1 3 6 】

各素子への書き込みは、実施例 1 と同様にして行った。

【 0 1 3 7 】

図 9、図 2 4 を参照して読み出し動作を説明する。まず、読み出すべき磁気メモリ 1 0 1 と比較磁気メモリ R 1 とをアドレッシングし、その後、ワード線 3 1 , 3 2 をグランド電位に落とし、ビット線 2 2 とワード線 3 2 との間、およびビット線 2 1 とワード線 3 1 との間に同じ大きさのセンス電流を流した。以降は、実施例 1 と同様にして、まず、素子 1 1 のメモリ値を判定し、続いて素子 1 2 のメモリ値を判定した。こうして、1つの磁気メモリ 1 0 1 を構成する2つの磁気抵抗素子 1 1 , 1 2 のメモリ値を読み取った。

【 0 1 3 8 】

30

(実施例 4)

ガラス基板上に、図 1 0 に示した2つのメモリ層を有する磁気抵抗素子で集積メモリを作製した。集積メモリには、実施例 1 と同様の磁気シールドを施した。

【 0 1 3 9 】

磁気メモリは、図 2 4 に占めたように配列した。磁気メモリは 2 5 6 × 2 5 6 (メモリ層の総数は 2 5 6 × 2 5 6 × 2 個)となるように配列し、この磁気メモリ群を1フレームとして、合計 8 フレームの M R A M を作製した。

【 0 1 4 0 】

磁気抵抗素子は、以下の膜構成とした。

【 0 1 4 1 】

40

下部電極/Ta(3)/AlO(1.3)/Fe(2)/AlO(1.0)/CoFe(3)/Ru(0.8)/CoFe(3)/ PtMn(20)/CoFe(3)/Ru(0.8)/CoFe(3)/AlO(1.06)/Fe(2)/AlO(1.3)/Ta(3)/上部電極

この素子では、トンネル層がAlOにより、メモリ層がFeにより、それぞれ形成されている。Taに接するAlOは、バイアストンネル層である。

【 0 1 4 2 】

この多層膜に対しては、実施例 1 と同様の熱処理と、一方向異方性を考慮した層の加工を行った(図 1 0 における左右方向を層の長手方向とした)。

【 0 1 4 3 】

外部コイルによる均一磁界を印加して、M R 変化率を測定したところ、2つのメモリ層(Fe)の保磁力は同程度であった。各メモリ層の磁化反転による出力変化は、配線抵抗や

50

ダイオードの抵抗を除き、下部電極側のメモリ層 7 3 について40mV、上部電極側のメモリ層 3 について80mV程度であった。これらの出力変化は、実施例 2 と同様にして求めた。

【 0 1 4 4 】

以下、実施例 2 と同様にして、一つの素子を構成するメモリ層について個別に情報を書き込んだ、また、センス線を兼用するビット線 2 1 からワード線 3 1 へとセンス電流を流して、書き込んだ情報の読み出しを行った。

【 0 1 4 5 】

(実施例 5)

CMOS基板上に、図 3 に示したような多段の磁気抵抗素子からなる磁気メモリで集積メモリを作製した。ただし、ここでは、素子の段数は 2 とした。集積メモリには、実施例 1 と同様の磁気シールドを施した。

【 0 1 4 6 】

磁気メモリは、図 2 4 に示したように配列した。磁気メモリは、 256×256 (磁気抵抗素子の総数は $256 \times 256 \times 2$ 個) となるように配列した。

【 0 1 4 7 】

各磁気メモリにおいて、第 1 段の磁気抵抗素子として、以下に示す積層構造を作製した。

【 0 1 4 8 】

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/CoFe(0.5) /NiFe(2)/CoFe(0.5)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20) /Ta(3)/上部電極

引き続き、第 2 段の磁気抵抗素子として、以下に示す積層構造を作製した。

【 0 1 4 9 】

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/CoFe(0.5) /NiFe(2)/CoFe(0.5)/AlO(1.06)/CoFe(3)/Ru(0.9)/CoFe(3)/IrMn(20)/Ta(3)/上部電極

これらの素子では、トンネル層はAlOにより、メモリ層はCoFe(0.5) /NiFe(2)/CoFe(0.5)により、それぞれ形成されている。

【 0 1 5 0 】

なお、第 1 段の素子は、成膜後、実施例 1 と同様の条件でPtMnに一方向異方性を付与し、この一方向異方性の方向が長手方向になるように、層の面形状を $0.2 \mu\text{m} \times 0.3 \mu\text{m}$ に加工した(図 3 (a) における左右方向を長手方向とした)。

【 0 1 5 1 】

一方、第 2 段の素子は、IrMnを磁界中で成膜することにより、PtMnと直交するように一方向異方性を設け、その後、この一方向異方性の方向が長手方向になるように、層の面形状を $0.2 \mu\text{m} \times 0.3 \mu\text{m}$ に加工した(図 3 (a) における左右方向を短手方向とした)。こうして得た集積メモリを「メモリ A」とする。

【 0 1 5 2 】

比較のために、上記と同様に第 1 段の素子を作製し、さらに第 2 段の素子として、AlO(1)をAlO(1.06)とした以外は第 1 段と同様にして、「メモリ B」を作製した。ただし、ここでは、第 1 段と第 2 段との間において、一方向異方性の方向および層の長手方向は一致させた(図 3 (a) における左右方向を長手方向とした)。

【 0 1 5 3 】

上記両集積メモリにおいて、各磁気抵抗素子の出力は、配線抵抗やCMOSの抵抗を除き、第 1 段が60mV、第 2 段が120mVである。

【 0 1 5 4 】

こうして得た集積メモリについて、第 1 段の素子に、ビット線 2 1 により層の短手方向に磁界を印加し、さらにワード線 3 1 から磁界を印加して、磁化反転を行う操作を繰り返した。この繰り返し反転後の第 2 段の素子におけるメモリの誤記録の確率を測定したところ、メモリ A では 10^{-8} / 回、メモリ B では 10^{-6} / 回であった。ただし、誤記録には、読み出しの際の誤差によるものも含まれる。

【 0 1 5 5 】

10

20

30

40

50

追加のメモリを作製して検討したところ、第1段の素子における長手方向と第2段の素子の長手方向とが、互いに 20° 以上 90° 以下の角度をなしていると、誤記録が明らかに低減した。面内方向に隣接する素子の間においても、層の長手方向を互いに異ならせることは、誤記録の減少に有効であった。

【0156】

さらに、図26に示したように、第1段の素子111, 112, 211, 212と、第2段の素子121, 122, 221, 222とが厚さ方向に互いに重ならないように配置すると、読み取り精度が向上した。

【0157】

引き続き、以下に示す素子を用い、上記と同様にして、集積メモリを作製した。

10

・メモリI

第1段

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(2)/Ru(0.9)/NiFe(4)/AlO(1.0)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

第2段

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/NiFe(2)/Ru(0.9)/NiFe(4)/AlO(1.06)/CoFe(3)/PtMn(20)/Ta(3)/上部電極・メモリII

第1段

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(2)/Ru(0.9)/NiFe(2)/Ru(0.9)/NiFe(2)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

20

第2段

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/NiFe(2)/Ru(0.9)/NiFe(2)/Ru(0.9)/NiFe(2)/AlO(1.06)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極・メモリIII

第1段

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(1)/CoFe(1)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

第2段

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/NiFe(1)/CoFe(1)/AlO(1.06)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極・メモリIV

30

第1段

下部電極/Ta(3)/PtMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.0)/NiFe(2)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

第2段

下部電極/Ta(3)/IrMn(20)/CoFe(3)/Ru(0.9)/CoFe(3)/AlO(1.06)/NiFe(2)/AlO(1.06)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20)/Ta(3)/上部電極

メモリI~IIIでは多層膜がメモリ層として用いられている。メモリIにおいてメモリ層はNiFe(2)/Ru(0.9)/NiFe(4)であり、メモリIIにおいてメモリ層はNiFe(2)/Ru(0.9)/NiFe(4)/Ru(0.9)/NiFe(4)であり、メモリIIIにおいてメモリ層はNiFe(1)/CoFe(1)である。これに対し、メモリIVにおけるメモリ層はNiFe(2)である。

40

【0158】

各メモリにおいて、第1段の素子は、成膜後280、5kOeの雰囲気中で1時間熱処理し、PtMnに一方向異方性を付与した後、一方向異方性の方向が長手方向になるように、各層の素子形状を $0.2\mu\text{m} \times 0.3\mu\text{m}$ に加工した(図3(a)の左右方向を長手とした)。

【0159】

各メモリにおいて、第2段の素子は、IrMnを磁界中で成膜することにより、PtMnと直交する一方向異方性を設けた後、この一方向異方性の方向が長手方向となるように、各層の素子形状を $0.2\mu\text{m} \times 0.3\mu\text{m}$ に加工した(図3(a)の左右方向を短手方向とした)。

【0160】

各素子の出力は、配線抵抗やCMOSの抵抗を除き、第1段が60mV、第2段が120mVであっ

50

た。

【0161】

こうして得た各メモリについて、第1段の素子に、ビット線21により層の短手方向に磁界を印加し、さらにワード線31から磁界を印加して、磁化反転を行う操作を繰り返した。この繰り返し反転後の第2段の素子におけるメモリの誤記録の確率を測定したところ、メモリI~IIIでは 10^{-8} /回、メモリIVでは 10^{-6} /回であった。ただし、誤記録には、読み出しの際の誤差によるものも含まれる。

【0162】

メモリI~IIIのように、メモリ層が少なくとも2種の磁性膜または少なくとも2種の磁性膜と少なくとも1種の非磁性膜との多層膜であると、スイッチング磁化曲線は単純な4回対称から崩れることになる。この結果、誤記録が減少したものと考えられる。

10

【0163】

(実施例6)

CMOS基板上に、図27に示した構成の磁気抵抗素子をマトリクス状に配置したMRAMを作製し、記録方法について検討した。

【0164】

磁気抵抗素子としては、以下の構成を採用した。

【0165】

下部電極/Ta(3)/AlO(1.3)/Fe(2)/AlO(1.0)/CoFe(3)/Ru(0.9)/CoFe(3)/PtMn(20) /Ta(3)/上部電極

20

ここで、AlO(1.3)はパイアストンネル層4であり、Fe(2)はメモリ層3であり、AlO(1.0)はトンネル層2であり、CoFe(3)/Ru(0.9)/CoFe(3)は固定磁性層1である。PtMn(3)は、図示を省略する反強磁性層である。

【0166】

多層膜は、成膜後、280℃、5kOeの雰囲気中で1時間熱処理し、PtMnに一方向異方性を付与した後、この一方向異方性の方向が長手方向になるように、各層の素子形状を $0.1\mu\text{m} \times 0.15\mu\text{m}$ に加工した(図27の左右方向を長手方向とした)。

【0167】

本実施例では、ワード線の位置を調整して、ワード線31の上端とメモリ層3の下端との距離dを40~100nmの範囲で適宜変更した複数の素子を作製した。

30

【0168】

まず、ワード線31およびビット線21に電流61, 62を流して、発生した合成磁界によりメモリ層の磁化反転を試みた。dが大きくなるにつれて磁化反転は困難となった。

【0169】

さらに電流63を流して磁化反転を行ったところ、dの全範囲において、誤記録の確率は減少した。このとき、ビット線21を流れる分岐前の電流61aによる磁界の向きと電流63による磁界の向きとは一致させた。

【0170】

ビット線21を流れる電流61a、61bの向きを逆方向として、分岐前の電流による磁界の向きと電流による磁界の向きとを逆にしたところ、誤記録減少の効果は得られなかった。分岐後よりも相対的に大きい分岐前のビット線を流れる電流による磁界が、メモリ層を垂直に流れる電流による反転アシスト効果の発揮を妨げたためと考えられる。

40

【産業上の利用可能性】

【0171】

本発明によれば、多値化が可能で高集積化に適した磁気メモリを提供できる。また、磁気メモリのメモリ層における磁化反転を円滑化できる。円滑な磁化反転は、集積度が高い磁気メモリにおける誤記録の低減に有効である。

【図面の簡単な説明】

【0172】

【図1】(a)、(b)は、それぞれ、本発明の磁気メモリに用いる磁気抵抗素子の基

50

本構成を示す断面図

【図2】本発明の磁気メモリに用いる磁気抵抗素子の基本構成を周辺の部材とともに示す断面図

【図3】(a)、(b)は、ともに本発明の磁気メモリの一形態を示す断面図であり、互いに90°相違する方向から観察した状態を示した図

【図4】本発明の磁気メモリの別の形態を示す断面図

【図5】本発明の磁気メモリにおけるメモリ値を説明するための図

【図6】本発明の磁気メモリにおける最大メモリ値を説明するための図

【図7】本発明の磁気メモリの形態であって、複数のメモリ層を含む磁気抵抗素子を用いた形態を示す断面図

10

【図8】本発明の磁気メモリから出力を取り出す方法の一例を示すための回路図

【図9】(a)、(b)は、それぞれ、本発明の磁気メモリのまた別の形態を示す断面図

【図10】本発明の磁気メモリの形態であって、複数のメモリ層を含む磁気抵抗素子を用いた別の形態を示す断面図

【図11】本発明の磁気メモリを面内方向に複数個配列した磁気メモリ装置の一形態を示す平面図

【図12】本発明の磁気メモリ装置の別の形態を示す平面図

【図13】図12の磁気メモリ装置における導線の位置関係を説明するための断面図

【図14】(a)、(b)は、それぞれ、メモリ層の磁化スイッチング曲線の例を示す図

20

【図15】メモリ層の磁化スイッチング曲線と、磁化反転を可能とする合成磁界との関係を説明するための図

【図16】本発明の磁気メモリ装置における各メモリ層の磁化容易軸の相対的な関係を示すための平面図

【図17】(a)、(b)は、メモリ層の磁化容易軸がなす角度による磁化スイッチング曲線の傾きを示し、さらにこの場合の合成磁界による磁化反転を説明するための図

【図18】本発明のメモリ装置において、面内方向に配置されたメモリ層の磁界容易軸の関係の一例を示す平面図

【図19】(a)~(e)は、それぞれ、メモリ層の面形状の例を示すための平面図

【図20】(a)~(c)は、本発明の駆動方法の一例を説明するための図面であり、(a)は磁気メモリの断面図であり、(b)は記録電流と時間との関係を示す図であり、(c)はメモリ層の平面図

30

【図21】(a)、(b)は、本発明の駆動方法の別の例を説明するための磁気メモリの断面図であり、(a)は書き込み動作を、(b)は読み出し動作をそれぞれ示す図

【図22】(a)、(b)は、本発明の駆動方法の別の例を説明するための磁気メモリの断面図であり、(a)は書き込み動作を、(b)は読み出し動作をそれぞれ示す図

【図23】本発明の磁気メモリを用いたシステムLSIの一例を示す回路図

【図24】本発明の磁気メモリを面内方向に配置した磁気メモリ装置の別の一例を示す平面図

【図25】ワード線を通過する電流 I_w およびビット線を通過する電流 I_b による磁化反転を示すための磁化スイッチング曲線を示す図

40

【図26】本発明の磁気メモリ装置における素子の配置の別の例を示す平面図

【図27】本発明の実施例で作製した磁気メモリの断面図

【符号の説明】

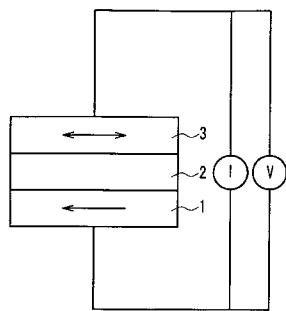
【0173】

- 1 固定磁性層 2, 7 2 トンネル層 3, 7 3 自由磁性層(メモリ層) 4, 7 4
- バイアストンネル層 5 非磁性導電層 6, 9 電極 8 層間絶縁膜 10
- 基板 11, 12, 13 磁気抵抗素子 21, 22 ビット線 31, 32
- ワード線 41, 42, 43 磁界 51 スイッチ素子 52, 53, 54
- 整流素子 61, 62, 63 電流 70, 71, 170, 171, 72, 172

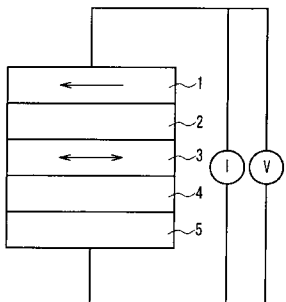
50

スイッチ素子 101, 102, 103, 201, 202, 203 . . . 磁気メモリ 1
21, 221 ビット線 131, 231 ワード線 81, 82, 91, 181, 191,
281, 291 結合線

【図1】

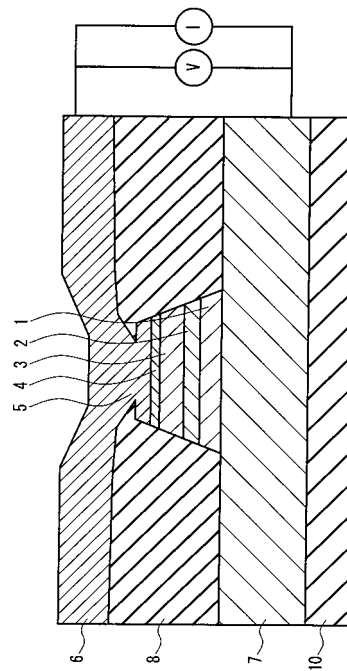


(a)

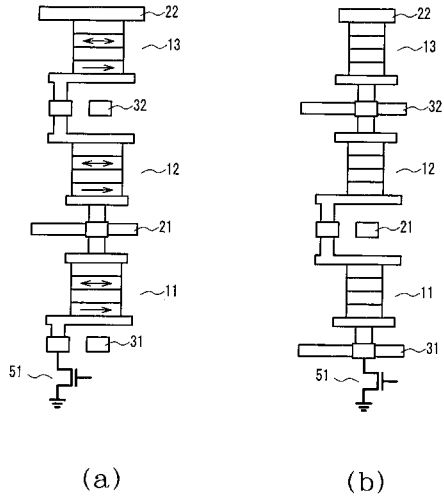


(b)

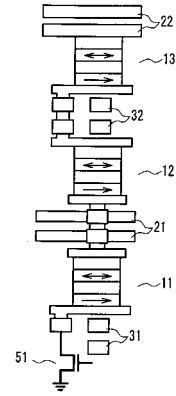
【図2】



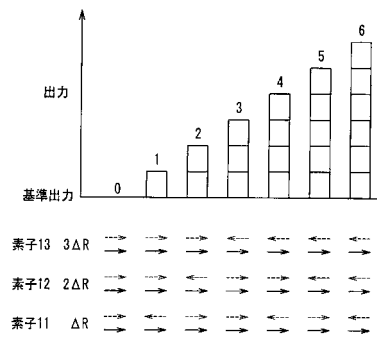
【図3】



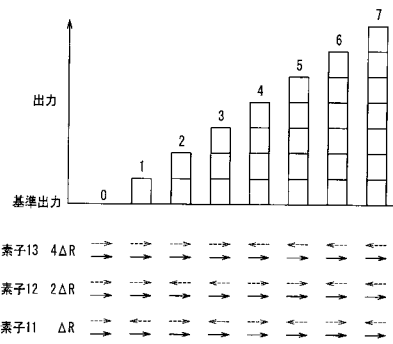
【図4】



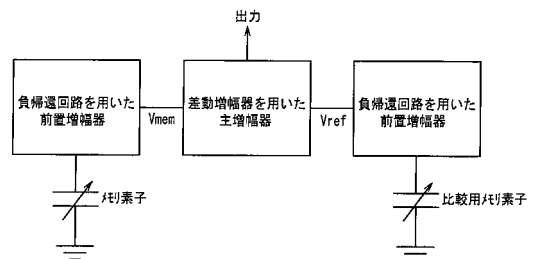
【図5】



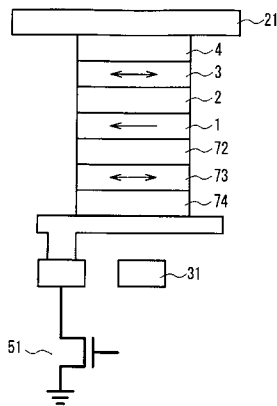
【図6】



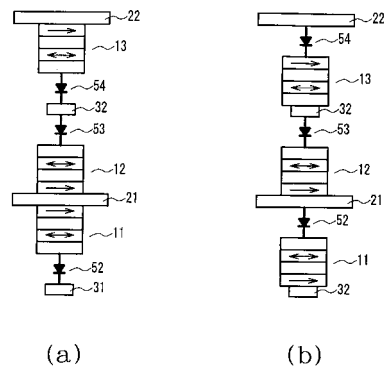
【図8】



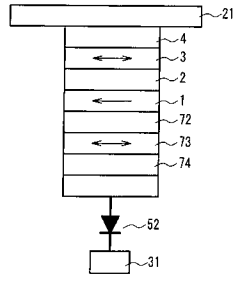
【図7】



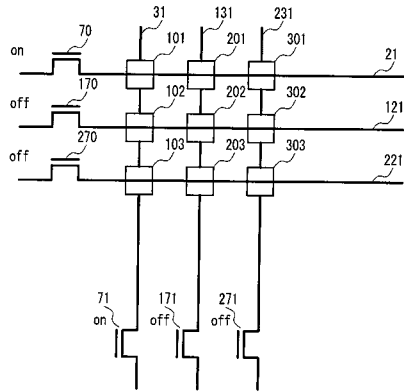
【図9】



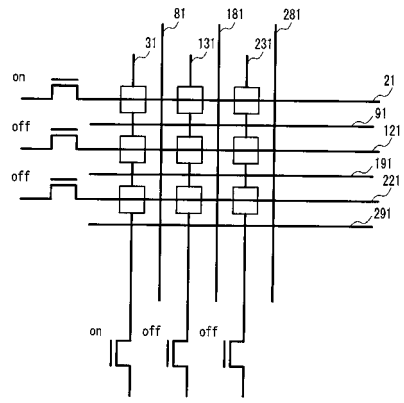
【図10】



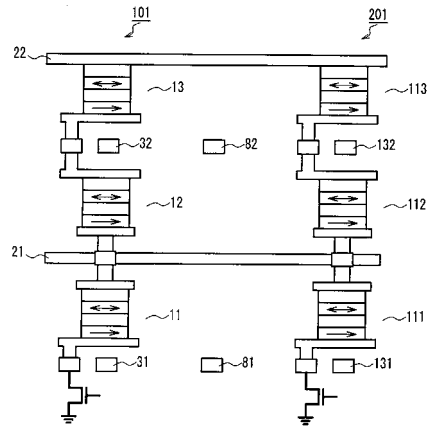
【図11】



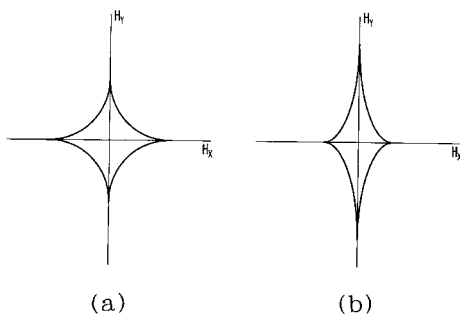
【図12】



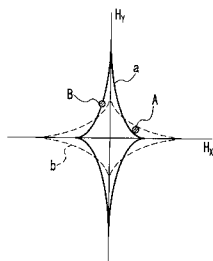
【図13】



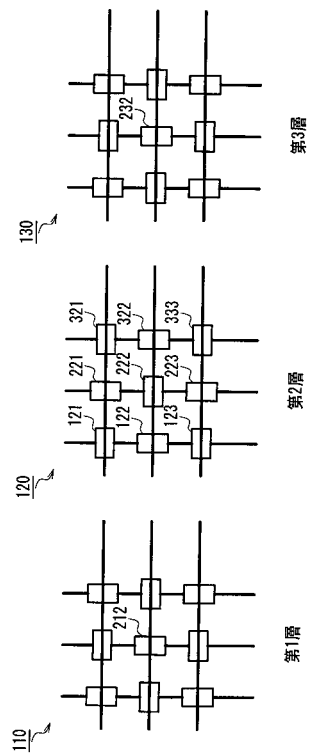
【図14】



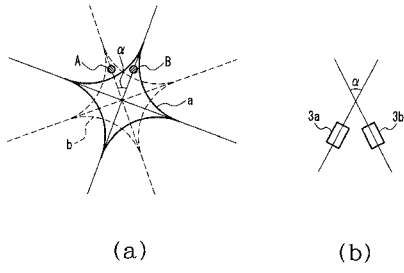
【図15】



【図16】



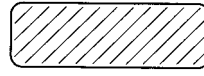
【 図 17 】



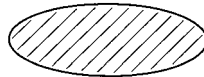
【 図 19 】



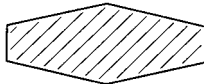
(a)



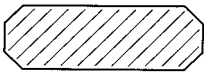
(b)



(c)

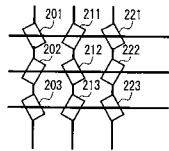


(d)

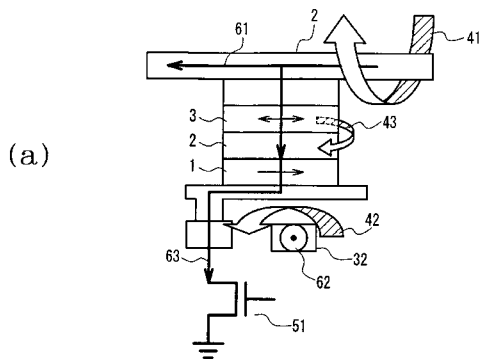


(e)

【 図 18 】

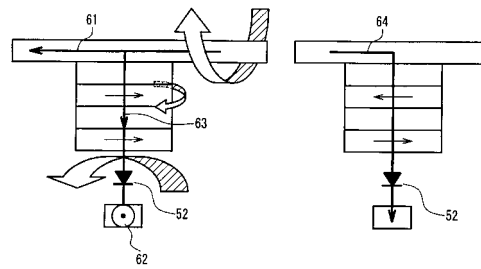


【 図 20 】



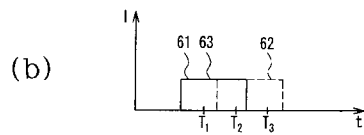
(a)

【 図 21 】



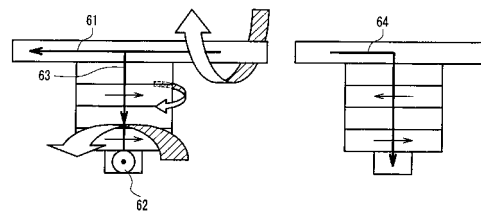
(a)

(b)



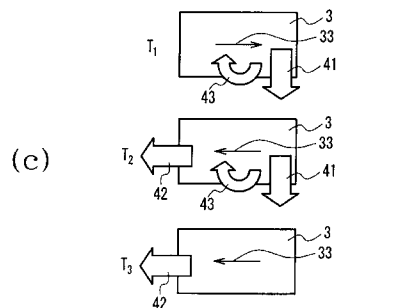
(b)

【 図 22 】



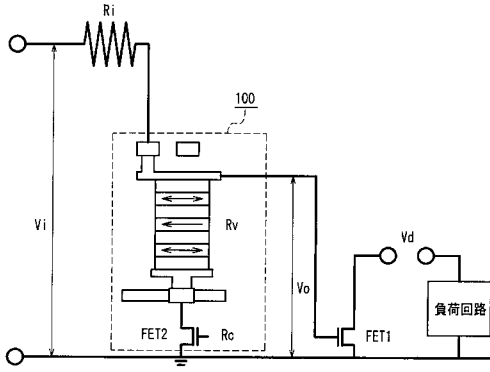
(a)

(b)

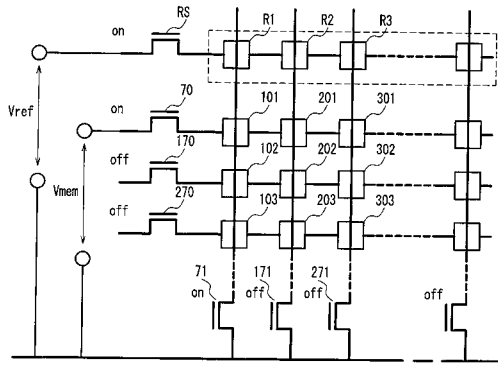


(c)

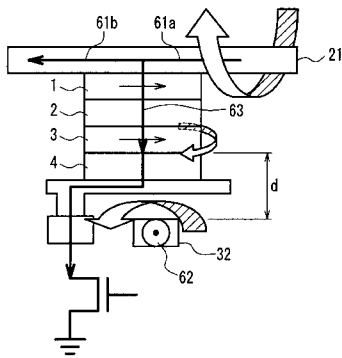
【図23】



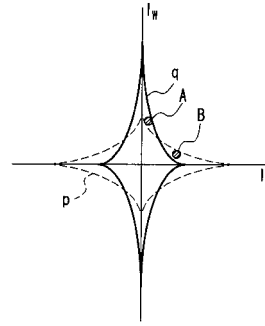
【図24】



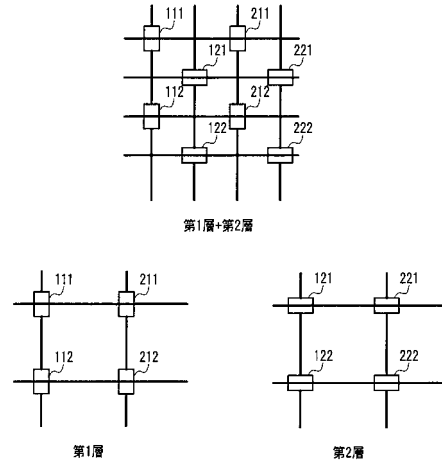
【図27】



【図25】



【図26】



フロントページの続き

- (72)発明者 小田川 明弘
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 里見 三男
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 杉田 康成
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 川島 良男
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 正山 旭

- (56)参考文献 特開2002-134708(JP,A)
特表2004-514237(JP,A)
米国特許第06169189(US,B1)
特表2001-519582(JP,A)
特開平08-306014(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246
G11C 11/15
H01L 27/10
H01L 27/105
H01L 43/08