

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年2月6日(2014.2.6)

【公開番号】特開2012-243992(P2012-243992A)

【公開日】平成24年12月10日(2012.12.10)

【年通号数】公開・登録公報2012-052

【出願番号】特願2011-113627(P2011-113627)

【国際特許分類】

H 01 L 21/3065 (2006.01)

H 01 L 41/22 (2013.01)

H 01 L 41/187 (2006.01)

H 01 L 41/18 (2006.01)

H 01 L 41/09 (2006.01)

【F I】

H 01 L 21/302 104 C

H 01 L 21/302 105 A

H 01 L 41/22 Z

H 01 L 41/18 101 D

H 01 L 41/18 101 Z

H 01 L 41/18 101 J

H 01 L 41/08 C

【手続補正書】

【提出日】平成25年12月12日(2013.12.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

(工程7)：レジストマスク形成工程

次に、ハードマスク22の層の上に、レジスト24をスピンドルコート法等によって形成した後、ソフトベークを行い、露光、現像を行ってからポストベークを行う。なお、ポストベークの代わり、紫外線照射による硬化処理(UVキュア)を行っても良い。こうして、上部電極パターニング用のレジスト24をパターニングする(図1(g))。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

<ドライエッチング装置の構成例>

図2は本実施形態に係るドライエッチング方法を使用するドライエッチング装置の構成図である。ドライエッチング装置110は、例えば誘電結合方式(Inductive Coupling Plasma: ICP)の装置を用いる。その他には、ヘリコン波励起プラズマ(Helicon Wave Plasma: HWP)、電子サイクロトロン共鳴(Electron Cyclotron resonance: ECR)プラズマ、マイクロ波励起表面波プラズマ(Surface Wave Plasma: SWP)などのプラズマ源を用いた方式を適用することも可能である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

以上のことから、バイアス周波数は800kHz以上4MHz未満が望ましい。さらには略1MHzが望ましい。略1MHzという場合の「略」の範囲としては、相応の作用効果が得られる範囲で適宜の許容範囲を設定し得る。例えば、±15%（±150kHz）を許容範囲とすると850kHz～1.15MHzの範囲であり、±10%（±100kHz）を許容範囲とすると900kHz～1.1MHzの範囲である。また、±5%（±50kHz）を許容範囲とすると950kHz～1.05MHzの範囲である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

[2]ガス圧（エッティング圧力）について

エッティング圧力は、1Pa未満の場合、イオンエネルギーが高く、下地膜である強誘電体（PZT）のエッティングレートが速く十分な選択比が得られない。逆に5Pa以上の場合は、ラジカルが多く生成されイオン量が少なく且つイオンエネルギーが低く、貴金属材料を十分にエッティングすることが出来ない。以上のことから、エッティング圧力（「処理圧力」とも言う。）は、1Pa以上5Pa未満であることが望ましい。さらには、略3Paが望ましい。略3Paという場合の「略」の範囲としては、相応の作用効果が得られる範囲で適宜の許容範囲を設定し得る。例えば、±0.5Paを許容範囲とすると3Pa±0.5Paの範囲であり、±10%を許容範囲とすると3Pa±0.3Paの範囲である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正の内容】

【0073】

本発明のドライエッティング方法は、Ru、Ir、Ptなどの貴金属或いはその金属酸化物を良好にエッティングすることができる手段である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0080

【補正方法】変更

【補正の内容】

【0080】

（発明9）：基板上に第1の導電性材料による第1の電極を形成する第1の電極形成工程と、前記第1の電極に誘電体材料を積層する誘電体層形成工程と、前記誘電体材料の上に第2の導電性材料による第2の電極を形成する第2の電極形成工程と、前記第2の電極を構成する前記第2の導電性材料を、発明1から6のいずれか1項に記載のドライエッティング方法を使用してエッティングし、前記第2の電極をパターニングするパターニング工程と、を含むことを特徴とするデバイス製造方法。