(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 2 月 16 日(16.02.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/025841 A1

(51) 国際特許分類:
G09F 9/46 (2006.01) *G09F 9/30* (2006.01)

(21) 国際出願番号: PCT/IB2016/054471

(22) 国際出願日: 2016 年 7 月 27 日(27.07.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-157633 2015 年 8 月 7 日(07.08.2015) JP
特願 2016-122939 2016 年 6 月 21 日(21.06.2016) JP

(71) 出願人: 株式会社半導体エネルギー研究所 **(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.)** [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

(72) 発明者: 山崎舜平**(YAMAZAKI, Shunpei)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 平形吉晴**(HIRAKATA, Yoshiharu)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 久保田大介**(KUBOTA, Daisuke)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

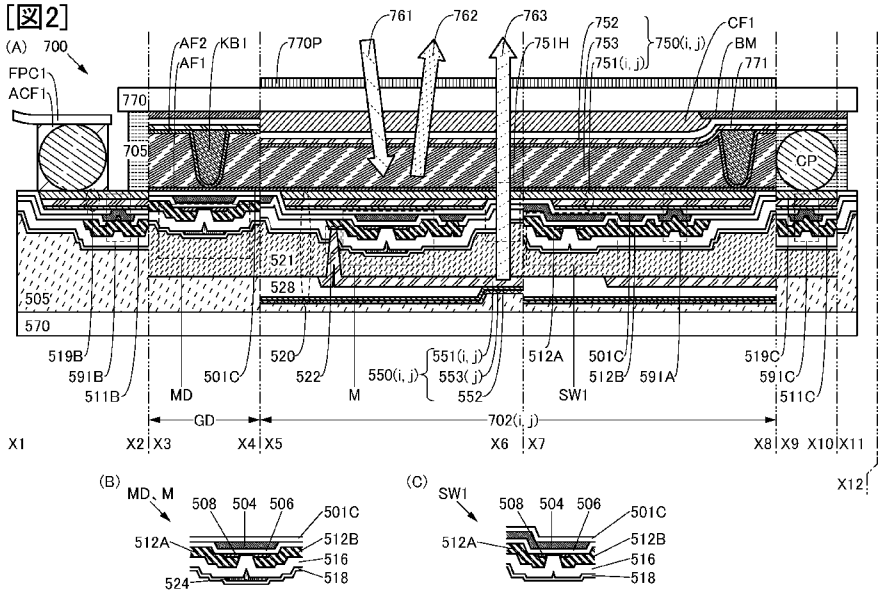
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) **Title**: DISPLAY PANEL

(54) 発明の名称 : 表示パネル

[図2]



(57) **Abstract**: Provided is a novel display panel having excellent convenience or reliability. The visibility of a display image is improved by providing a single pixel with a light-emitting-type display element and a reflection-type display element. The pixel is sandwiched between two substrates. Here, heat dissipation of the display panel can be improved when one of the substrates is made of a metal. Further, providing the other of the substrates made of a resin achieves a display panel that is resistant to external impact and that hardly suffers from damage.

(57) 要約: 利便性または信頼性に優れた新規な表示パネルを提供する。 一つの画素に、 自発光型の表示素子と反 射型の表示素子を設けることで、表示画像の視認性を高める。また、当該画素を２つの基板で挟む。 この時、 一方の基板を金属基板とすることで、 表示パネルの放熱性を高めることができる。 また、 他 方の基板を樹脂基板とすることで、 外部からの衝撃に強く、 破損しにくい表示パネルを実現することができる。

WO 2017/025841 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明細書

発明の名称

表示パネル

技術分野

[０００１]

本発明の一態様は、表示パネルに関する。

[０００２]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

[０００３]

基板の同一面側に集光手段と画素電極を設け、集光手段の光軸上に画素電極の可視光を透過する領域を重ねて設ける構成を有する液晶表示装置や、集光方向Ｘと非集光方向Ｙを有する異方性の集光手段を用い、非集光方向Ｙと画素電極の可視光を透過する領域の長軸方向を一致して設ける構成を有する液晶表示装置が、知られている（特許文献１）。

[先行技術文献]

[特許文献]

[０００４]

[特許文献１]特開２０１１－１９１７５０号公報

発明の概要

発明が解決しようとする課題

[０００５]

本発明の一態様は、利便性または信頼性に優れた新規な表示パネルを提供することを課題の一とする。

[０００６]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[０００７]

一つの画素に、自発光型の表示素子と反射型の表示素子を設けることで、表示画像の視認性を高める。また、当該画素を２つの基板で挟む。この時、一方の基板を金属基板とすることで、表示パネルの放熱性を高めることができる。また、他方の基板を樹脂基板とすることで、外部からの衝撃に強く、破損しにくい表示パネルを実現することができる。

[０００８]

本発明の一態様は、樹脂基板と、金属基板と、画素と、を有する表示パネルであって、樹脂基板と金属基板は、画素を介して互いに重なる領域を有し、画素は、第１の表示素子と、第２の表示素子と、を有し、第１の表示素子は反射型の表示素子であり、第２の表示素子は自発光型の表示素子であることを特徴とする表示パネルである。

［０００９］

または、本発明の一態様は、樹脂基板と、金属基板と、画素と、を有する表示パネルであって、樹脂基板と金属基板は、画素を介して互いに重なる領域を有し、画素は、第１の表示素子と、第２の表示素子と、第１の表示素子を駆動する機能を有する第１の回路と、第２の表示素子を駆動する機能を有する第２の回路と、を有し、第１の表示素子は反射型の表示素子であり、第２の表示素子は自発光型の表示素子であることを特徴とする表示パネルである。

［００１０］

樹脂基板は透光性を備えることが好ましい。第１の回路は、酸化物半導体を用いたトランジスタを用いることが好ましい。第２の回路は、酸化物半導体を用いたトランジスタを用いることが好ましい。

［００１１］

複数の画素をマトリクス状に配置することで、４Ｋ解像度または８Ｋ解像度の表示パネルを実現できる。

発明の効果

［００１２］

本発明の一態様によれば、利便性または信頼性に優れた新規な表示パネルを提供できる。

［００１３］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００１４］

[図１]実施の形態に係る表示パネルの構成を説明する図。

[図２]実施の形態に係る表示パネルの構成を説明する図。

[図３]実施の形態に係る画素回路を説明する回路図。

[図４]実施の形態に係る表示パネルの構成を説明する図。

[図５]実施の形態に係る表示パネルの構成を説明する図。

[図６]実施の形態に係る表示パネルの構成を説明する図。

[図７]実施の形態に係る表示パネルの構成を説明する図。

[図８]実施の形態に係る表示パネルの構成を説明する図。

[図９]実施の形態に係るトランジスタの構成を説明する図。

[図１０]実施の形態に係るトランジスタの構成を説明する図。

[図１１]実施の形態に係る表示パネルの作製方法を説明するフロー図。

[図１２]実施の形態に係る表示パネルの作製方法を説明する図。

[図１３]実施の形態に係る表示パネルの作製方法を説明する図。

[図１４]実施の形態に係る表示パネルの作製方法を説明する図。
[図１５]実施の形態に係る表示パネルの作製方法を説明する図。
[図１６]実施の形態に係る表示パネルの作製方法を説明する図。
[図１７]実施の形態に係る表示パネルの作製方法を説明する図。
[図１８]実施の形態に係る表示パネルの作製方法を説明する図。
[図１９]実施の形態に係る入出力装置の構成を説明する図。
[図２０]実施の形態に係る情報処理装置の構成を説明するブロック図および投影図。
[図２１]実施の形態に係る表示部の構成を説明するブロック図および回路図。
[図２２]実施の形態に係るプログラムを説明するフローチャート。
[図２３]実施の形態に係る画像情報を説明する模式図。
[図２４]実施の形態に係る半導体装置を説明する断面図および回路図。
[図２５]実施の形態に係るＣＰＵを説明するブロック図。
[図２６]実施の形態に係る記憶素子を説明する回路図。
[図２７]実施の形態に係る電子機器を説明する図。
[図２８]　試料のＸＲＤスペクトルの測定結果を説明する図。
[図２９]　試料のＴＥＭ像、および電子線回折パターンを説明する図。
[図３０]　試料のＥＤＸマッピングを説明する図。

発明を実施するための形態

[００１５]
実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

[００１６]
また、図面において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、範囲などに限定されない。

[００１７]
また、図面において、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[００１８]
また、本明細書に添付した図面では、構成要素を機能ごとに分類し、互いに独立したブロックとしてブロック図を示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

[００１９]
本明細書等における「第１」、「第２」などの序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において

序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲などにおいて序数詞を省略する場合がある。

[００２０]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[００２１]

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層Ａ上の電極Ｂ」の表現であれば、絶縁層Ａの上に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。

[００２２]

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書等においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

[００２３]

また、本明細書等においてトランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、または上記半導体膜に接続されたソース電極を意味する場合がある。同様に、トランジスタのドレインとは、上記半導体膜の一部であるドレイン領域、または上記半導体膜に接続されたドレイン電極を意味する場合がある。また、ゲートはゲート電極を意味する場合がある。

[００２４]

また、本明細書等において、ＸとＹとが接続されている、と明示的に記載されている場合は、ＸとＹとが電気的に接続されている場合と、ＸとＹとが機能的に接続されている場合と、ＸとＹとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

[００２５]

また、本明細書等において、「平行」とは、二つの直線が－１０°以上１０°以下の角度で配置されている状態をいう。従って、－５°以上５°以下の場合も含まれる。また、「略平行」とは、二つの直線が－３０°以上３０°以下の角度で配置されている状態をいう。また、「垂直」および「直交」とは、二つの直線が８０°以上１００°以下の角度で配置されている状態をいう。従って、８５°以上９５°以下の場合も含まれる。また、「略垂直」とは、二つの直線が６０°以上１２０°以下の角度で配置されている状態をいう。

[００２６]

なお、本明細書等において、計数値および計量値に関して「同一」、「同じ」、「等しい」または「均一」（これらの同意語を含む）などと言う場合は、明示されている場合を除き、プラスマイナス２０％の

誤差を含むものとする。

［００２７］

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

［００２８］

本明細書において接続とは、電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。

［００２９］

本明細書において回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極として機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

［００３０］

半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のＤＯＳ（Ｄｅｎｓｉｔｙ　ｏｆ　Ｓｔａｔｅ）が高くなることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１３族元素、第１４族元素、第１５族元素、および酸化物半導体の主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第１族元素、第２族元素、第１３族元素、第１５族元素などがある。

［００３１］

また、本明細書中において、トランジスタの第１の電極または第２の電極の一方がソース電極を、他方がドレイン電極を指す。

［００３２］

（実施の形態１）

本実施の形態では、本発明の一態様の表示パネルの構成について、図１乃至図４を参照しながら説明する。

［００３３］

図１は本発明の一態様の表示パネル７００の構成を説明する図である。図１（Ａ）は本発明の一態様の表示パネル７００の下面図である。図１（Ｂ－１）は図１（Ａ）の一部を説明する下面図であり、図１（Ｂ－２）は図１（Ｂ－１）に図示する一部の構成を省略して説明する下面図である。

［００３４］

図２は本発明の一態様の表示パネル７００の構成を説明する図である。図２（Ａ）は図１（Ａ）の切断線Ｘ１－Ｘ２、Ｘ３－Ｘ４、Ｘ５－Ｘ６、Ｘ７－Ｘ８、Ｘ９－Ｘ１０、Ｘ１１－Ｘ１２における断面図である。図２（Ｂ）は表示パネルの一部の構成を説明する断面図であり、図２（Ｃ）は表示パネルの他の一部の構成を説明する断面図である。

［００３５］

図３は本発明の一態様の表示パネル７００の構成を説明する図である。図３は本発明の一態様の表示パネル７００が備える画素回路に用いることができる画素回路５３０（ｉ，ｊ）および画素回路５３０（ｉ，ｊ＋１）の回路図である。

［００３６］

図４は本発明の一態様の表示パネル７００の構成を説明する図である。図４は本発明の一態様の表示パネル７００に用いることができる画素および配線等の配置を説明するブロック図である。図４（Ｂ－１）および図４（Ｂ－２）は本発明の一態様の表示パネル７００に用いることができる開口部７５１Ｈの配置を説明する模式図である。

［００３７］

＜表示パネルの構成例１＞

本実施の形態で説明する表示パネルは、駆動回路ＧＤと、駆動回路ＳＤと、表示領域７１０と、を有する（図１（Ａ）および図４（Ａ）参照）。また、表示領域７１０は画素７０２（ｉ，ｊ）を有する。画素７０２（ｉ，ｊ）は、信号線Ｓ１（ｊ）と電気的に接続される（図１（Ｂ－１）および図１（Ｂ－２）参照）。なお、図１（Ａ）では表示領域７１０が矩形の表示パネル７００を示しているが、図１（Ｃ）に示すように、表示パネル７００の表示領域７１０は円形であってもよい。

［００３８］

画素７０２（ｉ，ｊ）は、第１の表示素子７５０（ｉ，ｊ）と、第１の導電膜と、第２の導電膜と、絶縁膜５０１Ｃと、画素回路５３０（ｉ，ｊ）と、第２の表示素子５５０（ｉ，ｊ）と、を有する（図２（Ａ）および図３参照）。

［００３９］

第１の導電膜は、第１の表示素子７５０（ｉ，ｊ）と電気的に接続される（図２（Ａ）参照）。例えば、第１の導電膜を、第１の表示素子７５０（ｉ，ｊ）の第１の電極７５１（ｉ，ｊ）に用いることができる。

［００４０］

第２の導電膜は、第１の導電膜と重なる領域を備える。例えば、第２の導電膜を、スイッチＳＷ１に用いることができるトランジスタのソース電極またはドレイン電極として機能する導電膜５１２Ｂに用いることができる。

［００４１］

絶縁膜５０１Ｃは、第２の導電膜と第１の導電膜の間に挟まれる領域を備える。

［００４２］

画素回路５３０（ｉ，ｊ）は、第２の導電膜と電気的に接続される。例えば、第２の導電膜をソース電極またはドレイン電極として機能する導電膜５１２Ｂに用いたトランジスタを、画素回路５３０（ｉ，ｊ）のスイッチＳＷ１に用いることができる（図２（Ａ）および図３参照）。

［００４３］

第２の表示素子５５０（ｉ，ｊ）は、画素回路５３０（ｉ，ｊ）と電気的に接続される。

［００４４］

絶縁膜５０１Ｃは、開口部５９１Ａを備える（図２（Ａ）参照）。

［００４５］

第２の導電膜は、開口部５９１Ａにおいて第１の導電膜と電気的に接続される。例えば、導電膜５１２Ｂは、第１の導電膜を兼ねる第１の電極７５１（ｉ，ｊ）と電気的に接続される。

［００４６］

画素回路５３０（ｉ，ｊ）は、信号線Ｓ１（ｊ）と電気的に接続される（図３参照）。なお、導電膜５１２Ａは、信号線Ｓ１（ｊ）と電気的に接続される（図２（Ａ）および図３参照）。

［００４７］

第１の電極７５１（ｉ，ｊ）は、絶縁膜５０１Ｃに埋め込まれた側端部を備える。

［００４８］

また、本実施の形態で説明する表示パネルの画素回路５３０（ｉ，ｊ）は、スイッチＳＷ１を備える。スイッチＳＷ１はトランジスタを含み、トランジスタは、酸化物半導体を含む。

［００４９］

また、本実施の形態で説明する表示パネルの第２の表示素子５５０（ｉ，ｊ）は、第１の表示素子７５０（ｉ，ｊ）が表示をする方向と同一の方向に表示をする機能を備える。例えば、外光を反射する強度を制御して第１の表示素子７５０（ｉ，ｊ）が表示をする方向を、破線の矢印で図中に示す。また、第２の表示素子５５０（ｉ，ｊ）が表示をする方向を、実線の矢印で図中に示す（図２（Ａ）参照）。

［００５０］

また、本実施の形態で説明する表示パネルの第２の表示素子５５０（ｉ，ｊ）は、第１の表示素子７５０（ｉ，ｊ）が表示をする領域に囲まれた領域に表示をする機能を備える（図４（Ｂ－１）または図４（Ｂ－２）参照）。なお、第１の表示素子７５０（ｉ，ｊ）は、第１の電極７５１（ｉ，ｊ）と重なる領域に表示をし、第２の表示素子５５０（ｉ，ｊ）は、開口部７５１Ｈと重なる領域に表示をする。

［００５１］

また、本実施の形態で説明する表示パネルの第１の表示素子７５０（ｉ，ｊ）は、入射する光を反射する機能を備える反射膜と、反射する光の強さを制御する機能と、を有する。そして、反射膜は、開口部７５１Ｈを備える。例えば、第１の表示素子７５０（ｉ，ｊ）の反射膜に、第１の導電膜または第１の電極７５１（ｉ，ｊ）等を用いることができる。

［００５２］

また、第２の表示素子５５０（ｉ，ｊ）は、開口部７５１Ｈに向けて光を射出する機能を有する。

［００５３］

また、本実施の形態で説明する表示パネルは、画素７０２（ｉ，ｊ）と、一群の画素７０２（ｉ，１）乃至画素７０２（ｉ，ｎ）と、他の一群の画素７０２（１，ｊ）乃至画素７０２（ｍ，ｊ）と、走査線Ｇ１（ｉ）と、を有する（図４（Ａ）参照）。なお、ｉは１以上ｍ以下の整数であり、ｊは１以上ｎ以下の整数であり、ｍおよびｎは１以上の整数である。

［００５４］

また、本実施の形態で説明する表示パネルは、走査線Ｇ２（ｉ）と、配線ＣＳＣＯＭと、配線ＡＮＯと、を有する。

［００５５］

一群の画素７０２（ｉ，１）乃至画素７０２（ｉ，ｎ）は、画素７０２（ｉ，ｊ）を含み、行方向（図中に矢印Ｒで示す方向）に配設される。

［００５６］

また、他の一群の画素７０２（１，ｊ）乃至画素７０２（ｍ，ｊ）は、画素７０２（ｉ，ｊ）を含み、行方向と交差する列方向（図中に矢印Ｃで示す方向）に配設される。

［００５７］

走査線Ｇ１（ｉ）は、行方向に配設される一群の画素７０２（ｉ，１）乃至画素７０２（ｉ，ｎ）と電気的に接続される。

［００５８］

列方向に配設される他の一群の画素７０２（１，ｊ）乃至画素７０２（ｍ，ｊ）は、信号線Ｓ１（ｊ）と電気的に接続される。

［００５９］

例えば、画素７０２（ｉ，ｊ）の行方向に隣接する画素７０２（ｉ，ｊ＋１）は、画素７０２（ｉ，ｊ）に対する開口部７５１Ｈの配置と異なるように画素７０２（ｉ，ｊ＋１）に配置される開口部を備える（図４（Ｂ－１）参照）。

［００６０］

例えば、画素７０２（ｉ，ｊ）の列方向に隣接する画素７０２（ｉ＋１，ｊ）は、画素７０２（ｉ，ｊ）に対する開口部７５１Ｈの配置と異なるように画素７０２（ｉ＋１，ｊ）に配置される開口部を備える（図４（Ｂ－２）参照）。なお、例えば、第１の電極７５１（ｉ，ｊ）を反射膜に用いることができる。

［００６１］

上記本発明の一態様の表示パネルは、第１の表示素子と、第１の表示素子と電気的に接続される第１の導電膜と、第１の導電膜と重なる領域を備える第２の導電膜と、第２の導電膜と第１の導電膜の間に挟まれる領域を備える絶縁膜と、第２の導電膜と電気的に接続される画素回路と、画素回路と電気的に接続される第２の表示素子と、を含み、第２の絶縁膜は開口部を備え、第２の導電膜は第１の導電膜と開口部で電気的に接続される。

［００６２］

これにより、例えば同一の工程を用いて形成することができる画素回路を用いて、第１の表示素子と、第１の表示素子とは異なる方法を用いて表示をする第２の表示素子と、を駆動することができる。その結果、利便性または信頼性に優れた新規な表示パネルを提供することができる。

［００６３］

また、本実施の形態で説明する表示パネルは、端子５１９Ｂと、導電膜５１１Ｂと、を有する（図２（Ａ）参照）。

［００６４］

絶縁膜５０１Ｃは、端子５１９Ｂおよび導電膜５１１Ｂの間に挟まれる領域を備える。また、絶縁膜５０１Ｃは、開口部５９１Ｂを備える。

[００６５]
端子５１９Ｂは、開口部５９１Ｂにおいて導電膜５１１Ｂと電気的に接続される。また、導電膜５１１Ｂは、画素回路５３０（ｉ，ｊ）と電気的に接続される。なお、例えば、第１の電極７５１（ｉ，ｊ）または第１の導電膜を反射膜に用いる場合、端子５１９Ｂの接点として機能する面は、第１の電極７５１（ｉ，ｊ）の、第１の表示素子７５０（ｉ，ｊ）に入射する光に向いている面と同じ方向を向いている。
[００６６]
これにより、端子を介して電力または信号を、画素回路に供給することができる。その結果、利便性または信頼性に優れた新規な表示パネルを提供することができる。
[００６７]
また、本実施の形態で説明する表示パネルの第１の表示素子７５０（ｉ，ｊ）は、液晶材料を含む層７５３と、第１の電極７５１（ｉ，ｊ）および第２の電極７５２と、を備える。なお、第２の電極７５２は、第１の電極７５１（ｉ，ｊ）との間に液晶材料の配向を制御する電界が形成されるように配置される。
[００６８]
また、本実施の形態で説明する表示パネルは、配向膜ＡＦ１および配向膜ＡＦ２を備える。配向膜ＡＦ２は、配向膜ＡＦ１との間に液晶材料を含む層７５３を挟むように配設される。
[００６９]
また、本実施の形態で説明する表示パネルの第２の表示素子５５０（ｉ，ｊ）は、第３の電極５５１（ｉ，ｊ）と、第４の電極５５２と、発光性の有機化合物を含む層５５３（ｊ）と、を備える。
[００７０]
第４の電極５５２は、第３の電極５５１（ｉ，ｊ）と重なる領域を備える。発光性の有機化合物を含む層５５３（ｊ）は、第３の電極５５１および第４の電極５５２の間に配設される。そして、第３の電極５５１（ｉ，ｊ）は、接続部５２２において、画素回路５３０（ｉ，ｊ）と電気的に接続される。
[００７１]
また、本実施の形態で説明する表示パネルの画素７０２（ｉ，ｊ）は、着色膜ＣＦ１と、遮光膜ＢＭと、絶縁膜７７１と、機能膜７７０Ｐと、を有する。
[００７２]
着色膜ＣＦ１は、第１の表示素子７５０（ｉ，ｊ）と重なる領域を備える。遮光膜ＢＭは、第１の表示素子７５０（ｉ，ｊ）と重なる領域に開口部を備える。
[００７３]
絶縁膜７７１は、着色膜ＣＦ１と液晶材料を含む層７５３の間または遮光膜ＢＭと液晶材料を含む層７５３の間に配設される。これにより、着色膜ＣＦ１の厚さに基づく凹凸を平坦にすることができる。または、遮光膜ＢＭまたは着色膜ＣＦ１等から液晶材料を含む層７５３への不純物の拡散を、抑制することができる。
[００７４]
機能膜７７０Ｐは、第１の表示素子７５０（ｉ，ｊ）と重なる領域を備える。機能膜７７０Ｐは、機能膜７７０Ｐと第１の表示素子７５０（ｉ，ｊ）で基板７７０を挟むように配設される。
[００７５]

また、本実施の形態で説明する表示パネルは、基板５７０と、基板７７０と、機能層５２０と、を有する。

［００７６］

基板７７０は、基板５７０と重なる領域を備える。機能層５２０は、基板５７０および基板７７０の間に配設される。

［００７７］

機能層５２０は、画素回路５３０（ｉ，ｊ）と、第２の表示素子５５０（ｉ，ｊ）と、絶縁膜５２１と、絶縁膜５２８と、を含む。

［００７８］

絶縁膜５２１は、画素回路５３０（ｉ，ｊ）および第２の表示素子５５０（ｉ，ｊ）の間に配設される。

［００７９］

絶縁膜５２８は、絶縁膜５２１および基板５７０の間に配設され、第２の表示素子５５０（ｉ，ｊ）と重なる領域に開口部を備える。第３の電極５５１の周縁に沿って形成される絶縁膜５２８は、第３の電極５５１および第４の電極の短絡を防止することができる。

［００８０］

また、本実施の形態で説明する表示パネルは、接合層５０５と、封止材７０５と、構造体ＫＢ１と、を有する。

［００８１］

接合層５０５は、機能層５２０および基板５７０の間に配設され、機能層５２０および基板５７０を貼り合せる機能を備える。

［００８２］

封止材７０５は、機能層５２０および基板７７０の間に配設され、機能層５２０および基板５７０を貼り合わせる機能を備える。

［００８３］

構造体ＫＢ１は、機能層５２０および基板５７０の間に所定の間隙を設ける機能を備える。

［００８４］

また、本実施の形態で説明する表示パネルは、端子５１９Ｃと、導電膜５１１Ｃと、導電体ＣＰと、を有する。

［００８５］

絶縁膜５０１Ｃは、端子５１９Ｃおよび導電膜５１１Ｃの間に挟まれる領域を備える。また、絶縁膜５０１Ｃは、開口部５９１Ｃを備える。

［００８６］

端子５１９Ｃは、開口部５９１Ｃにおいて導電膜５１１Ｃと電気的に接続される。また、導電膜５１１Ｃは、画素回路５３０（ｉ，ｊ）と電気的に接続される。

［００８７］

導電体ＣＰは、端子５１９Ｃと第２の電極７５２の間に挟まれ、端子５１９Ｃと第２の電極７５２を電気的に接続する。例えば、導電性の粒子を導電体ＣＰに用いることができる。

［００８８］

駆動回路ＧＤは、走査線Ｇ１（ｉ）と電気的に接続される。駆動回路ＧＤは、例えばトランジスタＭＤを備える。具体的には、画素回路５３０（ｉ，ｊ）に含まれるトランジスタと同じ工程で形成することができる半導体膜を含むトランジスタをトランジスタMDに用いることができる（図２（Ａ）および図２（Ｃ）参照）。

［００８９］

駆動回路ＳＤは、信号線Ｓ１（ｊ）と電気的に接続される。駆動回路ＳＤは、例えば端子５１９Ｂまたは端子５１９Ｃと同一の工程で形成することができる端子に導電材料を用いて電気的に接続される。

［００９０］

以下に、表示パネルを構成する個々の要素について説明する。なお、これらの構成は明確に分離できず、一つの構成が他の構成を兼ねる場合や他の構成の一部を含む場合がある。

［００９１］

例えば第１の導電膜を、第１の電極７５１（ｉ，ｊ）に用いることができる。また、第１の導電膜を、反射膜に用いることができる。

［００９２］

また、第２の導電膜を、トランジスタのソース電極またはドレイン電極の機能を備える導電膜５１２Ｂに用いることができる。

［００９３］

〔構成例〕

本発明の一態様の表示パネルは、基板５７０、基板７７０、構造体ＫＢ１封止材７０５または接合層５０５、を有する。

［００９４］

また、本発明の一態様の表示パネルは、機能層５２０、絶縁膜５２１、絶縁膜５２８、を有する。

［００９５］

また、本発明の一態様の表示パネルは、信号線Ｓ１（ｊ）、信号線Ｓ２（ｊ）、走査線Ｇ１（ｉ）、走査線Ｇ２（ｉ）、配線ＣＳＣＯＭ、配線ＡＮＯを有する。

［００９６］

また、本発明の一態様の表示パネルは、第１の導電膜または第２の導電膜を有する。

［００９７］

また、本発明の一態様の表示パネルは、端子５１９Ｂ、端子５１９Ｃ、導電膜５１１Ｂまたは導電膜５１１Ｃを有する。

［００９８］

また、本発明の一態様の表示パネルは、画素回路５３０（ｉ，ｊ）、スイッチＳＷ１、を有する。

［００９９］

また、本発明の一態様の表示パネルは、第１の表示素子７５０（ｉ，ｊ）、第１の電極７５１（ｉ，ｊ）、反射膜、開口部７５１Ｈ、液晶材料を含む層７５３、第２の電極７５２、を有する。

［０１００］

また、本発明の一態様の表示パネルは、配向膜ＡＦ１、配向膜ＡＦ２、着色膜ＣＦ１、遮光膜ＢＭ、絶縁膜７７１、機能膜７７０Ｐを有する。

［０１０１］
また、本発明の一態様の表示パネルは、第２の表示素子５５０（ｉ，ｊ）、３の電極５５１（ｉ，ｊ）、第４の電極５５２または発光性の有機化合物を含む層５５３（ｊ）を有する。
［０１０２］
また、本発明の一態様の表示パネルは、絶縁膜５０１Ｃを有する。
［０１０３］
また、本発明の一態様の表示パネルは、駆動回路ＧＤまたは駆動回路ＳＤを有する。
［０１０４］
〔基板５７０〕
作製工程中の熱処理に耐えうる程度の耐熱性を有する材料を基板５７０等に用いることができる。例えば、厚さ０．７ｍｍの無アルカリガラスを用いることができる。
［０１０５］
例えば、第６世代（１５００ｍｍ×１８５０ｍｍ）、第７世代（１８７０ｍｍ×２２００ｍｍ）、第８世代（２２００ｍｍ×２４００ｍｍ）、第９世代（２４００ｍｍ×２８００ｍｍ）、第１０世代（２９５０ｍｍ×３４００ｍｍ）等の面積が大きなガラス基板を基板５７０等に用いることができる。これにより、大型の表示装置を作製することができる。
［０１０６］
有機材料、無機材料または有機材料と無機材料等の複合材料等を基板５７０等に用いることができる。例えば、ガラス、セラミックス、金属等の無機材料を基板５７０等に用いることができる。
［０１０７］
具体的には、無アルカリガラス、ソーダ石灰ガラス、カリガラス、クリスタルガラス、石英またはサファイア等を、基板５７０等に用いることができる。具体的には、無機酸化物膜、無機窒化物膜または無機酸窒化物膜等を、基板５７０等に用いることができる。例えば、酸化シリコン、窒化シリコン、酸窒化シリコン、アルミナ膜等を用いて、基板５７０等に用いることができる。また、タングステン、アルミニウムまたはステンレスなどの合金等を用いて、基板５７０等に用いることができる。
［０１０８］
例えば、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、ＳＯＩ基板等を基板５７０等に用いることができる。これにより、半導体素子を基板５７０等に形成することができる。
［０１０９］
例えば、樹脂、樹脂フィルムまたはプラスチック等の有機材料を基板５７０等に用いることができる。具体的には、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネートまたはアクリル樹脂等の樹脂フィルムまたは樹脂板を、基板５７０等に用いることができる。
［０１１０］
例えば、金属板、薄板状のガラス板または無機材料等の膜を樹脂フィルム等に貼り合わせた複合材料を基板５７０等に用いることができる。例えば、繊維状または粒子状の金属、ガラスもしくは無機材料等を樹脂フィルムに分散した複合材料を、基板５７０等に用いることができる。例えば、繊維状または粒子状の樹脂もしくは有機材料等を無機材料に分散した複合材料を、基板５７０等に用いることができる。

［０１１１］
また、単層の材料または複数の層が積層された材料を、基板５７０等に用いることができる。例えば、基材と基材に含まれる不純物の拡散を防ぐ絶縁膜等が積層された材料を、基板５７０等に用いることができる。具体的には、ガラスとガラスに含まれる不純物の拡散を防ぐ酸化シリコン層、窒化シリコン層または酸化窒化シリコン層等から選ばれた一または複数の膜が積層された材料を、基板５７０等に用いることができる。または、樹脂と樹脂を透過する不純物の拡散を防ぐ酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜等が積層された材料を、基板５７０等に用いることができる。
［０１１２］
具体的には、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミド等）、ポリイミド、ポリカーボネート、ポリウレタン、アクリル樹脂、エポキシ樹脂もしくはシロキサン結合を有する樹脂を含む材料を基板５７０等に用いることができる。
［０１１３］
具体的には、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）またはアクリル等を基板５７０等に用いることができる。
［０１１４］
また、紙または木材などを基板５７０等に用いることができる。
［０１１５］
例えば、可撓性を有する基板を基板５７０等に用いることができる。
［０１１６］
なお、トランジスタまたは容量素子等を基板に直接形成する方法を用いることができる。また、例えば作製工程中に加わる熱に耐熱性を有する工程用の基板にトランジスタまたは容量素子等を形成し、形成されたトランジスタまたは容量素子等を基板５７０等に転置する方法を用いることができる。これにより、例えば可撓性を有する基板にトランジスタまたは容量素子等を形成できる。
［０１１７］
〔基板７７０〕
例えば、透光性を備える材料を基板７７０に用いることができる。透光性を備える材料であれば、基板５７０と同様の材料を用いることができる。具体的には厚さ０．７ｍｍ乃至厚さ０．１ｍｍ程度まで研磨した無アルカリガラスを用いることができる。また、透光性を備える材料であれば、例えば、樹脂を含む材料を用いてもよい。
［０１１８］
〔構造体ＫＢ１〕
例えば、有機材料、無機材料または有機材料と無機材料の複合材料を構造体ＫＢ１等に用いることができる。これにより、構造体ＫＢ１等を挟む構成の間に所定の間隔を設けることができる。
［０１１９］
具体的には、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、ポリシロキサン若しくはアクリル樹脂等またはこれらから選択された複数の樹脂の複合材料などを構造体ＫＢ１等に用いることができる。また、感光性を有する材料を用いて形成してもよい。
［０１２０］
〔封止材７０５〕

無機材料、有機材料または無機材料と有機材料の複合材料等を封止材７０５等に用いることができる。

［０１２１］

例えば、熱溶融性の樹脂または硬化性の樹脂等の有機材料を、封止材７０５等に用いることができる。

［０１２２］

例えば、反応硬化型接着剤、光硬化型接着剤、熱硬化型接着剤または／および嫌気型接着剤等の有機材料を封止材７０５等に用いることができる。

［０１２３］

具体的には、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、ＰＶＣ（ポリビニルクロライド）樹脂、ＰＶＢ（ポリビニルブチラル）樹脂、ＥＶＡ（エチレンビニルアセテート）樹脂等を含む接着剤を封止材７０５等に用いることができる。

［０１２４］

〔接合層５０５〕

例えば、封止材７０５に用いることができる材料を接合層５０５に用いることができる。

［０１２５］

〔絶縁膜５２１〕

例えば、絶縁性の無機材料、絶縁性の有機材料または無機材料と有機材料を含む絶縁性の複合材料を、絶縁膜５２１等に用いることができる。

［０１２６］

具体的には、無機酸化物膜、無機窒化物膜または無機酸化窒化物膜等またはこれらから選ばれた複数を積層した積層材料を、絶縁膜５２１等に用いることができる。例えば、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜等またはこれらから選ばれた複数を積層した積層材料を含む膜を、絶縁膜５２１等に用いることができる。

［０１２７］

具体的には、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、ポリシロキサン若しくはアクリル樹脂等またはこれらから選択された複数の樹脂の積層材料もしくは複合材料などを絶縁膜５２１等に用いることができる。また、感光性を有する材料を用いて形成してもよい。

［０１２８］

これにより、例えば絶縁膜５２１と重なるさまざまな構造に由来する段差を平坦化することができる。

［０１２９］

〔絶縁膜５２８〕

例えば、絶縁膜５２１に用いることができる材料を絶縁膜５２８等に用いることができる。具体的には、厚さ１μｍのポリイミドを含む膜を絶縁膜５２８に用いることができる。

［０１３０］

〔絶縁膜５０１Ｃ〕

例えば、絶縁膜５２１に用いることができる材料を絶縁膜５０１Ｃに用いることができる。具体的には、シリコンおよび酸素を含む材料を絶縁膜５０１Ｃに用いることができる。これにより、画素回路または第２の表示素子等への不純物の拡散を抑制することができる。

［０１３１］

例えば、シリコン、酸素および窒素を含む厚さ２００ｎｍの膜を絶縁膜５０１Ｃに用いることができる。

［０１３２］

なお、絶縁膜５０１Ｃは、開口部５９１Ａ、開口部５９１Ｂまたは開口部５９１Ｃを有する。

［０１３３］

〔配線、端子、導電膜〕

導電性を備える材料を配線等に用いることができる。具体的には、導電性を備ええる材料を、信号線Ｓ１（ｊ）、信号線Ｓ２（ｊ）、走査線Ｇ１（ｉ）、走査線Ｇ２（ｉ）、配線ＣＳＣＯＭ、配線ＡＮＯ、端子５１９Ｂ、端子５１９Ｃ、導電膜５１１Ｂまたは導電膜５１１Ｃ等に用いることができる。

［０１３４］

例えば、無機導電性材料、有機導電性材料、金属または導電性セラミックスなどを配線等に用いることができる。

［０１３５］

具体的には、アルミニウム、金、白金、銀、銅、クロム、タンタル、チタン、モリブデン、タングステン、ニッケル、鉄、コバルト、パラジウムまたはマンガンから選ばれた金属元素などを、配線等に用いることができる。または、上述した金属元素を含む合金などを、配線等に用いることができる。特に、銅とマンガンの合金がウエットエッチング法を用いた微細加工に好適である。

［０１３６］

具体的には、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等を配線等に用いることができる。

［０１３７］

具体的には、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物を、配線等に用いることができる。

［０１３８］

具体的には、グラフェンまたはグラファイトを含む膜を配線等に用いることができる。

［０１３９］

例えば、酸化グラフェンを含む膜を形成し、酸化グラフェンを含む膜を還元することにより、グラフェンを含む膜を形成することができる。還元する方法としては、熱を加える方法や還元剤を用いる方法等を挙げることができる。

［０１４０］

具体的には、導電性高分子を配線等に用いることができる。

［０１４１］

〔第１の導電膜、第２の導電膜〕

例えば、配線等に用いることができる材料を第１の導電膜または第２の導電膜に用いることができる。

［０１４２］

また、第１の電極５７１（ｉ，ｊ）または配線等を第１の導電膜に用いることができる。

［０１４３］

また、スイッチＳＷ１に用いることができるトランジスタの導電膜５１２Ｂまたは配線等を第２の導電膜に用いることができる。

［０１４４］

〔画素回路５３０（ｉ，ｊ）〕

画素回路５３０（ｉ，ｊ）は、信号線Ｓ１（ｊ）、信号線Ｓ２（ｊ）、走査線Ｇ１（ｉ）、走査線Ｇ２（ｉ）、配線ＣＳＣＯＭおよび配線ＡＮＯと電気的に接続される（図３参照）。

［０１４５］

画素回路５３０（ｉ，ｊ＋１）は、信号線Ｓ１（ｊ＋１）、信号線Ｓ２（ｊ＋１）、走査線Ｇ１（ｉ）、走査線Ｇ２（ｉ）、配線ＣＳＣＯＭおよび配線ＡＮＯと電気的に接続される。

［０１４６］

なお、信号線Ｓ２（ｊ）に供給する信号に用いる電圧が、信号線Ｓ１（ｊ＋１）に供給する信号に用いる電圧と異なる場合、信号線Ｓ１（ｊ＋１）を信号線Ｓ２（ｊ）から離して配置する。具体的には、信号線Ｓ２（ｊ＋１）を信号線Ｓ２（ｊ）に隣接するように配置する。

［０１４７］

画素回路５３０（ｉ，ｊ）は、スイッチＳＷ１、容量素子Ｃ１、スイッチＳＷ２、トランジスタＭおよび容量素子Ｃ２を含む。

［０１４８］

例えば、走査線Ｇ１（ｉ）と電気的に接続されるゲート電極と、信号線Ｓ１（ｊ）と電気的に接続される第１の電極と、を有するトランジスタを、スイッチＳＷ１に用いることができる。

［０１４９］

容量素子Ｃ１は、スイッチＳＷ１に用いるトランジスタの第２の電極に電気的に接続される第１の電極と、配線ＣＳＣＯＭに電気的に接続される第２の電極と、を有する。

［０１５０］

例えば、走査線Ｇ２（ｉ）と電気的に接続されるゲート電極と、信号線Ｓ２（ｊ）と電気的に接続される第１の電極と、を有するトランジスタを、スイッチＳＷ２に用いることができる。

［０１５１］

トランジスタＭは、スイッチＳＷ２に用いるトランジスタの第２の電極に電気的に接続されるゲート電極と、配線ＡＮＯと電気的に接続される第１の電極と、を有する。

［０１５２］

なお、半導体膜をゲート電極との間に挟むように設けられた導電膜を備えるトランジスタを、トランジスタＭに用いることができる。例えば、トランジスタＭの第１の電極と同じ電位を供給することができる配線と電気的に接続された導電膜を用いることができる。

［０１５３］

容量素子Ｃ２は、スイッチＳＷ２に用いるトランジスタの第２の電極に電気的に接続される第１の電極と、トランジスタＭの第１の電極に電気的に接続される第２の電極と、を有する。

［０１５４］

なお、第１の表示素子７５０の第１の電極をスイッチＳＷ１に用いるトランジスタの第２の電極と電気的に接続し、第１の表示素子７５０の第２の電極を配線ＶＣＯＭ１と電気的に接続する。これにより、第１の表示素子７５０を駆動することができる。

[０１５５]
また、第２の表示素子５５０の第１の電極をトランジスタMの第２の電極と電気的に接続し、第２の表示素子５５０の第２の電極を配線ＶＣＯＭ２と電気的に接続する。これにより、第２の表示素子５５０を駆動することができる。
[０１５６]
〔スイッチＳＷ１、スイッチＳＷ２、トランジスタM、トランジスタMD〕
例えば、ボトムゲート型またはトップゲート型等のトランジスタをスイッチＳＷ１、スイッチＳＷ２、トランジスタM、トランジスタMD等に用いることができる。
[０１５７]
例えば、１４族の元素を含む半導体を半導体膜に用いるトランジスタを利用することができる。具体的には、シリコンを含む半導体を半導体膜に用いることができる。例えば、単結晶シリコン、ポリシリコン、微結晶シリコンまたはアモルファスシリコンなどを半導体膜に用いたトランジスタを用いることができる。
[０１５８]
例えば、酸化物半導体を半導体膜に用いるトランジスタを利用することができる。具体的には、インジウムを含む酸化物半導体またはインジウムとガリウムと亜鉛を含む酸化物半導体を半導体膜に用いることができる。
[０１５９]
一例を挙げれば、アモルファスシリコンを半導体膜に用いたトランジスタと比較して、オフ状態におけるリーク電流が小さいトランジスタをスイッチＳＷ１、スイッチＳＷ２、トランジスタM、トランジスタMD等に用いることができる。具体的には、酸化物半導体を半導体膜５０８に用いたトランジスタをスイッチＳＷ１、スイッチＳＷ２、トランジスタM、トランジスタMD等に用いることができる。
[０１６０]
これにより、アモルファスシリコンを半導体膜に用いたトランジスタを利用する画素回路と比較して、画素回路が画像信号を保持することができる時間を長くすることができる。具体的には、フリッカーの発生を抑制しながら、選択信号を３０Ｈｚ未満、好ましくは１Ｈｚ未満より好ましくは一分に一回未満の頻度で供給することができる。その結果、情報処理装置の使用者に蓄積する疲労を低減することができる。また、駆動に伴う消費電力を低減することができる。
[０１６１]
スイッチＳＷ１に用いることができるトランジスタは、半導体膜５０８および半導体膜５０８と重なる領域を備える導電膜５０４を備える（図２（Ｃ）参照）。また、スイッチＳＷ１に用いることができるトランジスタは、導電膜５１２Ａおよび導電膜５１２Ｂを備える。
[０１６２]
なお、導電膜５０４はゲート電極の機能を備え、絶縁膜５０６はゲート絶縁膜の機能を備える。また、導電膜５１２Ａはソース電極の機能またはドレイン電極の機能の一方を備え、導電膜５１２Ｂはソース電極の機能またはドレイン電極の機能の他方を備える。
[０１６３]
また、導電膜５０４との間に半導体膜５０８を挟むように設けられた導電膜５２４を備えるトランジ

スタを、トランジスタMに用いることができる（図２（Ｂ）参照）。

［０１６４］

タンタルおよび窒素を含む厚さ１０ｎｍの膜と、銅を含む厚さ３００ｎｍの膜と、をこの順で積層した導電膜を導電膜５０４に用いることができる。

［０１６５］

シリコンおよび窒素を含む厚さ４００ｎｍの膜と、シリコン、酸素および窒素を含む厚さ２００ｎｍの膜と、を積層した材料を絶縁膜５０６に用いることができる。

［０１６６］

インジウム、ガリウムおよび亜鉛を含む厚さ２５ｎｍの膜を、半導体膜５０８に用いることができる。

［０１６７］

タングステンを含む厚さ５０ｎｍの膜と、アルミニウムを含む厚さ４００ｎｍの膜と、チタンを含む厚さ１００ｎｍの膜と、をこの順で積層した導電膜を、導電膜５１２Ａまたは導電膜５１２Ｂに用いることができる。

［０１６８］

〔第１の表示素子７５０（ｉ，ｊ）〕

例えば、光の反射または透過などを制御する機能を備える表示素子を、第１の表示素子７５０（ｉ，ｊ）に用いることができる。例えば、液晶素子、電子インク、電気泳動素子を用いることができる。また、ＤＭＳ（デジタル・マイクロ・シャッター）などのシャッター方式のＭＥＭＳ（マイクロ・エレクトロ・メカニカル・システム）表示素子や、マイクロミラーデバイス（ＤＭＤ）、グレーティングライトバルブ（ＧＬＶ）、ＭＩＲＡＳＯＬ（登録商標）、ＩＭＯＤ（インターフェロメトリック・モジュレーション）素子などの、光の反射、回折、または干渉を利用したＭＥＭＳ表示素子等を用いることができる。

［０１６９］

第１の表示素子７５０（ｉ，ｊ）としてバックライトなどの光源が不要な反射型の表示素子を用いることにより、表示パネルの消費電力を抑制することができる。本実施の形態では、第１の表示素子７５０（ｉ，ｊ）として、反射型の液晶表示素子を用いる。外部より第１の表示素子７５０（ｉ，ｊ）に入射した光７６１は、着色膜ＣＦ１により分光分布が変化し、電極７５１（ｉ，ｊ）に反射して、光７６２として外部に射出される。また、光７６２の光量は機能膜７７０Ｐ、および液晶材料を含む層７５３により調整される。

［０１７０］

なお、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）モード、ＦＦＳ（Ｆｒｉｎｇｅ　Ｆｉｅｌｄ　Ｓｗｉｔｃｈｉｎｇ）モード、ＡＳＭ（Ａｘｉａｌｌｙ　Ｓｙｍｍｅｔｒｉｃ　ａｌｉｇｎｅｄ　Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌｌｙ　Ｃｏｍｐｅｎｓａｔｅｄ　Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モードなどの駆動方法を用いて駆動することができる液晶素子を用いることができる。

［０１７１］

また、例えば垂直配向（ＶＡ）モード、具体的には、ＭＶＡ（Ｍｕｌｔｉ－Ｄｏｍａｉｎ　Ｖｅｒｔ

ｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ　Ｃｏｎｔｒｏｌｌｅｄ　Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＣＰＡ（Ｃｏｎｔｉｎｕｏｕｓ　Ｐｉｎｗｈｅｅｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＡＳＶ（Ａｄｖａｎｃｅｄ　Ｓｕｐｅｒ－Ｖｉｅｗ）モードなどの駆動方法を用いて駆動することができる液晶素子を用いることができる。

［０１７２］

例えば、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。または、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す液晶材料を用いることができる。または、ブルー相を示す液晶材料を用いることができる。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために５重量％以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が１ｍｓｅｃ以下と短く、光学的等方性であるため配向処理が不要であり、かつ、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって表示パネルの生産性を向上させることが可能となる。

［０１７３］

〔第１の電極７５１（ｉ，ｊ）〕

例えば、配線等に用いる材料を第１の電極７５１（ｉ，ｊ）に用いることができる。具体的には、反射膜を第１の電極７５１（ｉ，ｊ）に用いることができる。

［０１７４］

〔反射膜〕

例えば、可視光を反射する材料を反射膜に用いることができる。具体的には、銀を含む材料を反射膜に用いることができる。例えば、銀およびパラジウム等を含む材料または銀および銅等を含む材料を反射膜に用いることができる。

［０１７５］

反射膜は、例えば、液晶材料を含む層７５３を透過してくる光を反射する。これにより、第１の表示素子７５０を反射型の液晶素子にすることができる。また、例えば、表面に凹凸を備える材料を、反射膜に用いることができる。これにより、入射する光をさまざまな方向に反射して、白色の表示をすることができる。

［０１７６］

なお、第１の電極７５１（ｉ，ｊ）を反射膜に用いる構成に限られない。例えば、液晶材料を含む層７５３と第１の電極７５１（ｉ，ｊ）の間に反射膜を配設する構成を用いることができる。または、反射膜と液晶材料を含む層７５３の間に透光性を有する第１の電極７５１（ｉ，ｊ）を配置する構成を用いることができる。

［０１７７］

〔開口部７５１Ｈ〕

１つの第１の表示素子７５０（ｉ，ｊ）の反射膜について、非開口部の総面積に対する開口部７５１

Ｈの総面積の比の値は、好ましくは０．０５２以上０．６以下である。開口部７５１Ｈの総面積の比の値が大きすぎると、第１の表示素子７５０（ｉ，ｊ）を用いた表示が暗くなってしまう。また、非開口部の総面積に対する開口部７５１Ｈの総面積の比の値が小さすぎると、第２の表示素子５５０（ｉ，ｊ）を用いた表示が暗くなってしまう。

［０１７８］

また、第１の電極７５１（ｉ，ｊ）を反射膜に用いる場合、１つの開口部７５１Ｈの面積は、３μｍ^{2}以上２５μｍ^{2}以下である。開口部７５１Ｈの面積が大きすぎると、例えば液晶材料を含む層７５３に加わる電界が不均一になり、第１の表示素子７５０の表示品位が以下してしまう。また、第１の導電膜に設ける開口部７５１Ｈの面積が小さすぎると、第２の表示素子５５０が射出する光から取り出せる光の効率が低下してしまう。

［０１７９］

多角形、四角形、楕円形、円形または十字等の形状を開口部７５１Ｈの形状に用いることができる。また、細長い筋状、スリット状、市松模様状の形状を開口部７５１Ｈの形状に用いることができる。また、開口部７５１Ｈを隣接する画素に寄せて配置してもよい。好ましくは、開口部７５１Ｈを同じ色を表示する機能を備える他の画素に寄せて配置する。これにより、第２の表示素子５５０が射出する光が隣接する画素に配置された着色膜に入射してしまう現象（クロストークともいう）を抑制できる。

［０１８０］

〔第２の電極７５２〕

例えば、可視光について透光性を有し且つ導電性を備える材料を、第２の電極７５２に用いることができる。

［０１８１］

例えば、導電性酸化物、光が透過する程度に薄い金属膜または金属ナノワイヤーを第２の電極７５２に用いることができる。

［０１８２］

具体的には、インジウムを含む導電性酸化物を第２の電極７５２に用いることができる。または、厚さ１ｎｍ以上１０ｎｍ以下の金属薄膜を第２の電極７５２に用いることができる。または、銀を含む金属ナノワイヤーを第２の電極７５２に用いることができる。

［０１８３］

具体的には、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛、アルミニウムを添加した酸化亜鉛などを、第２の電極７５２に用いることができる。

［０１８４］

〔配向膜ＡＦ１、配向膜ＡＦ２〕

例えば、ポリイミド等を含む材料を配向膜ＡＦ１または配向膜ＡＦ２に用いることができる。具体的には、所定の方向に配向するようにラビング処理または光配向技術を用いて形成された材料を用いることができる。

［０１８５］

例えば、可溶性のポリイミドを含む膜を配向膜ＡＦ１または配向膜ＡＦ２に用いることができる。

［０１８６］
〔着色膜ＣＦ１〕
所定の色（波長域）の光を透過する材料を着色膜ＣＦ１に用いることができる。これにより、着色膜ＣＦ１を例えばカラーフィルターとして用いることができる。
［０１８７］
例えば、青色（青の波長域）の光を透過する材料、緑（緑の波長域）の光を透過する材料、赤色（赤の波長域）の光を透過する材料、黄色（黄の波長域）の光を透過する材料または白色の光を透過する材料などを着色膜ＣＦ１に用いることができる。
［０１８８］
なお、３つの画素７０２をそれぞれ副画素として機能させて、まとめて１つの画素として用いてもよい。３つの画素７０２それぞれに対応する着色膜ＣＦ１を、赤、緑、青、とすることで、フルカラー表示を実現することができる。また、着色膜ＣＦ１の色は、赤、緑、青、以外であってもよく、例えば、着色膜ＣＦ１に黄、シアン、マゼンダなどを用いてもよい。
［０１８９］
また、４つの画素７０２をそれぞれ副画素として機能させて、まとめて１つの画素として用いてもよい。例えば、４つの画素７０２それぞれに対応する着色膜ＣＦ１を、赤、緑、青、黄としてもよい。また、４つの画素７０２それぞれに対応する着色膜ＣＦ１を、赤、緑、青、白としてもよい。白の光を発する（または反射する）画素７０２を設けることで、表示領域の輝度を高めることができる。
［０１９０］
なお、白の光を発する（または反射する）画素７０２を設ける場合は、当該画素７０２に対応する着色膜ＣＦ１は設けなくてもよい。当該画素７０２に対応する着色膜ＣＦ１を設けないことで、着色膜ＣＦ１による輝度低下がなくなるため、表示領域の輝度をより高めることができる。また、表示パネルの消費電力を低減することができる。一方で、当該画素７０２に対応する白の着色膜ＣＦ１を設けることにより、白色光の色温度を制御することができる。よって、表示パネルの表示品位を高めることができる。１つの画素として用いる画素７０２の数を増やすことで、再現性可能な色域を広げることができる。よって、表示パネルの表示品位を高めることができる。また、表示パネルの用途によっては、２つの画素７０２を副画素として機能させて、まとめて１つの画素として用いてもよい。
［０１９１］
また、また、例えば、画素を１９２０×１０８０のマトリクス状に配置すると、いわゆるフルハイビジョン（「２Ｋ解像度」、「２Ｋ１Ｋ」、「２Ｋ」などとも言われる。）の解像度で表示可能な表示パネルを実現することができる。また、例えば、画素を３８４０×２１６０（または、４０９６×２１６０など）のマトリクス状に配置すると、いわゆるウルトラハイビジョン（「４Ｋ解像度」、「４Ｋ２Ｋ」、「４Ｋ」、「４Ｋ　ＵＨＤ」、「４Ｋ　ＵＨＤＴＶ」、「ＱＦＨＤ」、「４Ｋウルトラ ＨＤ」などとも言われる。）の解像度で表示可能な表示パネルを実現することができる。また、例えば、画素を７６８０×４３２０（または、８１９２×４３２０など）のマトリクス状に配置すると、いわゆるスーパーハイビジョン（「８Ｋ解像度」、「８Ｋ４Ｋ」、「８Ｋ」、「８Ｋ　ＵＨＤ」、「８Ｋ　ＵＨＤＴＶ」などとも言われる。）の解像度で表示可能な表示パネルを実現することができる。画素数を増やすことで、１６Ｋや３２Ｋの解像度で表示可能な表示パネルを実現することも可能である。
［０１９２］

〔遮光膜ＢＭ〕
光の透過を妨げる材料を遮光膜ＢＭに用いることができる。これにより、遮光膜ＢＭを例えばブラックマトリクスに用いることができる。
［０１９３］
〔絶縁膜７７１〕
例えば、ポリイミド、エポキシ樹脂、アクリル樹脂等を絶縁膜７７１に用いることができる。
［０１９４］
〔機能膜７７０Ｐ〕
例えば、偏光板、位相差板、拡散フィルム、集光フィルム、プリズムシート、または反射防止膜等を単独で、もしくは組み合わせて機能膜７７０Ｐに用いることができる。または、２色性色素を含む偏光板を機能膜７７０Ｐに用いることができる。
［０１９５］
また、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜などを、機能膜７７０Ｐに用いることができる。
［０１９６］
〔第２の表示素子５５０（ｉ，ｊ）〕
例えば、発光素子を第２の表示素子５５０（ｉ，ｊ）に用いることができる。例えば、ＥＬ（エレクトロルミネッセンス）素子（有機ＥＬ素子、無機ＥＬ素子、または、有機物及び無機物を含むＥＬ素子）、ＬＥＤ（白色ＬＥＤ、赤色ＬＥＤ、緑色ＬＥＤ、青色ＬＥＤなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子などの自発光素子を第２の表示素子５５０（ｉ，ｊ）に用いることができる。また、自発光素子として量子ドットを用いてもよい。
［０１９７］
例えば、青色の光を射出するように積層された積層体、緑色の光を射出するように積層された積層体または赤色の光を射出するように積層された積層体等を、発光性の有機化合物を含む層５５３（ｊ）に用いることができる。
［０１９８］
例えば、信号線Ｓ１（ｊ）に沿って列方向に長い帯状の積層体を、発光性の有機化合物を含む層５５３（ｊ）に用いることができる。また、発光性の有機化合物を含む層５５３（ｊ）とは異なる色の光を射出する信号線Ｓ１（ｊ＋１）に沿って列方向に長い帯状の積層体を、発光性の有機化合物を含む層５５３（ｊ＋１）に用いることができる。
［０１９９］
また、例えば、白色の光を射出するように積層された積層体を、発光性の有機化合物を含む層５５３（ｊ）および発光性の有機化合物を含む層５５３（ｊ＋１）に用いることができる。具体的には、青色の光を射出する蛍光材料を含む発光性の有機化合物を含む層と、緑色および赤色の光を射出する蛍光材料以外の材料を含む層または黄色の光を射出する蛍光材料以外の材料を含む層と、を積層した積層体を、発光性の有機化合物を含む層５５３（ｊ）および発光性の有機化合物を含む層５５３（ｊ＋１）に用いることができる。
［０２００］
例えば、配線等に用いることができる材料を第３の電極５５１（ｉ，ｊ）または第４の電極５５２に

用いることができる。

［０２０１］

例えば、配線等に用いることができる材料から選択された、可視光について透光性を有する材料を、第３の電極５５１（ｉ，ｊ）に用いることができる。

［０２０２］

具体的には、導電性酸化物またはインジウムを含む導電性酸化物、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などを、第３の電極５５１（ｉ，ｊ）に用いることができる。または、光が透過する程度に薄い金属膜を第３の電極５５１（ｉ，ｊ）に用いることができる。

［０２０３］

例えば、配線等に用いることができる材料から選択された可視光について反射性を有する材料を、第４の電極５５２に用いることができる。

［０２０４］

第２の表示素子５５０（ｉ，ｊ）から生じた光７６３は、基板７７０側から外部に射出される。

［０２０５］

〔駆動回路ＧＤ〕

シフトレジスタ等のさまざまな順序回路等を駆動回路ＧＤに用いることができる。例えば、トランジスタＭＤ、容量素子等を駆動回路ＧＤに用いることができる。具体的には、トランジスタＭと同一の工程で形成することができる半導体膜を備えるトランジスタを用いることができる。

［０２０６］

または、スイッチＳＷ１に用いることができるトランジスタと異なる構成をトランジスタＭＤに用いることができる。具体的には、導電膜５２４を有するトランジスタをトランジスタＭＤに用いることができる（図２（Ｃ）参照）。

［０２０７］

導電膜５０４との間に半導体膜５０８を挟むように、導電膜５２４を配設し、導電膜５２４および半導体膜５０８の間に絶縁膜５１６を配設し、半導体膜５０８および導電膜５０４の間に絶縁膜５０６を配設する。例えば、導電膜５０４と同じ電位を供給する配線に導電膜５２４を電気的に接続する。

［０２０８］

なお、トランジスタＭと同一の構成を、トランジスタＭＤに用いることができる。

［０２０９］

〔駆動回路ＳＤ〕

例えば、集積回路を駆動回路ＳＤに用いることができる。具体的には、シリコン基板上に形成された集積回路を駆動回路ＳＤに用いることができる。

［０２１０］

例えば、ＣＯＧ（Ｃｈｉｐ　ｏｎ　ｇｌａｓｓ）法を用いて、画素回路５３０（ｉ，ｊ）と電気的に接続されるパッドに駆動回路ＳＤを実装することができる。具体的には、異方性導電膜を用いて、パッドに集積回路を実装できる。

［０２１１］

なお、パッドは、端子５１９Ｂまたは端子５１９Ｃと同一の工程で形成することができる。

[０２１２]
＜表示パネルの構成例２＞
図５は本発明の一態様の表示パネル７００ａの構成を説明する図である。図５（Ａ）は図１（Ａ）の切断線Ｘ１－Ｘ２、Ｘ３－Ｘ４、Ｘ５－Ｘ６、Ｘ７－Ｘ８、Ｘ９－Ｘ１０、Ｘ１１－Ｘ１２における断面図である。図５（Ｂ）は表示パネルの一部の構成を説明する断面図である。
[０２１３]
なお、表示パネル７００ａは、ボトムゲート型のトランジスタに換えてトップゲート型のトランジスタを有する点が、表示パネル７００と異なる。ここでは、上記の説明と同様の構成を用いることができる部分について上記の説明を援用し、異なる部分について詳細に説明する。
[０２１４]
〔スイッチＳＷ１Ｂ、トランジスタＭＢ、トランジスタＭＤＢ〕
スイッチＳＷ１Ｂに用いることができるトランジスタ、トランジスタＭＢおよびトランジスタＭＤＢは、絶縁膜５０１Ｃと重なる領域を備える導電膜５０４と、絶縁膜５０１Ｃおよび導電膜５０４の間に配設される領域を備える半導体膜５０８と、を備える。なお、導電膜５０４はゲート電極の機能を備える図５（Ｂ）。
[０２１５]
半導体膜５０８は、導電膜５０４と重ならない第１の領域５０８Ａおよび第２の領域５０８Ｂと、第１の領域５０８Ａおよび第２の領域５０８Ｂの間に導電膜５０４と重なる第３の領域５０８Ｃと、を備える。
[０２１６]
トランジスタＭＤＢは絶縁膜５０６を、第３の領域５０８Ｃおよび導電膜５０４の間に備える。なお、絶縁膜５０６はゲート絶縁膜の機能を備える。
[０２１７]
第１の領域５０８Ａおよび第２の領域５０８Ｂは、第３の領域５０８Ｃに比べて抵抗率が低く、ソース領域の機能またはドレイン領域の機能を備える。
[０２１８]
なお、例えば本実施の形態の最後において詳細に説明する酸化物半導体の抵抗率を制御する方法を用いて、第１の領域５０８Ａおよび第２の領域５０８Ｂを半導体膜５０８に形成することができる。具体的には、希ガスを含むガスを用いるプラズマ処理を適用することができる。
[０２１９]
また、例えば、導電膜５０４をマスクに用いることができる。これにより、第３の領域５０８Ｃの一部の形状を、導電膜５０４の端部の形状に自己整合させることができる。
[０２２０]
トランジスタＭＤＢは、第１の領域５０８Ａと接する導電膜５１２Ａと、第２の領域５０８Ｂと接する導電膜５１２Ｂと、を備える。導電膜５１２Ａおよび導電膜５１２Ｂは、ソース電極またはドレイン電極の機能を備える。
[０２２１]
トランジスタＭＤＢと同一の工程で形成することができるトランジスタをトランジスタＭＢに用いることができる。

[０２２２]
＜表示パネルの構成例３＞
図６乃至図８は、図１（Ａ）の切断線Ｘ１－Ｘ２、Ｘ３－Ｘ４、Ｘ５－Ｘ６、Ｘ７－Ｘ８、Ｘ９－Ｘ１０、Ｘ１１－Ｘ１２における断面図である。
[０２２３]
図６に示す表示パネル７００ｂのように、遮光膜ＢＭ、および着色膜ＣＦ１と、基板７７０の間に絶縁膜７７５を設けてもよい。また、接合層５０５と基板５７０の間に絶縁膜７７６を設けてもよい。表示パネル７００ｂは、絶縁膜７７５および絶縁膜７７６を有する点が表示パネル７００と異なる。
[０２２４]
絶縁膜７７５および絶縁膜７７６は、不純物が透過しにくい絶縁性材料を用いて形成することが好ましい。例えば、不純物が透過しにくい絶縁性材料として、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、窒化シリコンなどを挙げることができる。また、絶縁膜７７５および絶縁膜７７６として、絶縁性の高い酸化インジウム錫亜鉛（Ｉｎ－Ｓｎ－Ｚｎ酸化物）などを用いてもよい。
[０２２５]
絶縁膜７７５に不純物が透過しにくい絶縁性材料を用いることで、基板７７０側からの不純物の拡散を抑制し、表示パネルの信頼性を高めることができる。また、絶縁膜７７６に不純物が透過しにくい絶縁性材料を用いることで、基板５７０側からの不純物の拡散を抑制し、表示パネルの信頼性を高めることができる。
[０２２６]
絶縁膜７７５および絶縁膜７７６は、目的に応じて、もしくは状況に応じて、どちらか一方のみを設けてもよい。また、図７に示す表示パネル７００ｃのように、基板７７０全体を覆って絶縁膜７７５を設けてもよい。また、基板５７０全体を覆って絶縁膜７７６を設けてもよい。表示パネル７００ｃは、絶縁膜７７５および絶縁膜７７６を有する点が表示パネル７００と異なる。また、図８に示す表示パネル７００ｄのように、表示パネル全体を覆うように絶縁膜７７５を設けてもよい。表示パネル全体を絶縁膜７７５で覆うことで、側面からの不純物の拡散も抑制することができる。
[０２２７]
絶縁膜７７５および絶縁膜７７６の形成方法は特に限定されず、スパッタリング法、ＣＶＤ法、ＭＢＥ法またはＰＬＤ（Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、ＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、スピンコート法などの各種形成方法を用いることができる。特に、ＡＬＤ法は段差の被覆性に優れる成膜方法であるため好ましい。
[０２２８]
＜酸化物半導体の抵抗率の制御方法＞
酸化物半導体膜の抵抗率を制御する方法について説明する。
[０２２９]
所定の抵抗率を備える酸化物半導体膜を、半導体膜５０８または導電膜５２４等に用いることができる。
[０２３０]

例えば、酸化物半導体膜に含まれる水素、水等の不純物の濃度及び／又は膜中の酸素欠損を制御する方法を、酸化物半導体の抵抗率を制御する方法に用いることができる。

［０２３１］

具体的には、プラズマ処理を水素、水等の不純物濃度及び／又は膜中の酸素欠損を増加または低減する方法に用いることができる。

［０２３２］

具体的には、希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅ）、水素、ボロン、リン及び窒素の中から選ばれた一種以上を含むガスを用いて行うプラズマ処理を適用できる。例えば、Ａｒ雰囲気下でのプラズマ処理、Ａｒと水素の混合ガス雰囲気下でのプラズマ処理、アンモニア雰囲気下でのプラズマ処理、Ａｒとアンモニアの混合ガス雰囲気下でのプラズマ処理、または窒素雰囲気下でのプラズマ処理などを適用できる。これにより、キャリア密度が高く、抵抗率が低い酸化物半導体膜にすることができる。

［０２３３］

または、イオン注入法、イオンドーピング法またはプラズマイマージョンイオンインプランテーション法などを用いて、水素、ボロン、リンまたは窒素を酸化物半導体膜に注入して、抵抗率が低い酸化物半導体膜にすることができる。

［０２３４］

または、水素を含む絶縁膜を酸化物半導体膜に接して形成し、絶縁膜から酸化物半導体膜に水素を拡散させる方法を用いることができる。これにより、酸化物半導体膜のキャリア密度を高め、抵抗率を低くすることができる。

［０２３５］

例えば、膜中の含有水素濃度が1×10^{22}ａｔｏｍｓ／ｃｍ^{3}以上の絶縁膜を酸化物半導体膜に接して形成することで、効果的に水素を酸化物半導体膜に含有させることができる。具体的には、窒化シリコン膜を酸化物半導体膜に接して形成する絶縁膜に用いることができる。

［０２３６］

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合することで、キャリアである電子を生成する場合がある。これにより、キャリア密度が高く、抵抗率が低い酸化物半導体膜にすることができる。

［０２３７］

具体的には、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる水素濃度が、8×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上、より好ましくは5×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物半導体を導電膜５２４に好適に用いることができる。

［０２３８］

一方、抵抗率の高い酸化物半導体をトランジスタのチャネルが形成される半導体膜に用いることができる。具体的には半導体膜５０８に好適に用いることができる。

［０２３９］

例えば、酸素を含む絶縁膜、別言すると、酸素を放出することが可能な絶縁膜を酸化物半導体に接し

て形成し、絶縁膜から酸化物半導体膜に酸素を供給させて、膜中または界面の酸素欠損を補填することができる。これにより、抵抗率が高い酸化物半導体膜にすることができる。

[０２４０]

例えば、酸化シリコン膜または酸化窒化シリコン膜を、酸素を放出することが可能な絶縁膜に用いることができる。

[０２４１]

酸素欠損が補填され、水素濃度が低減された酸化物半導体膜は、高純度真性化、又は実質的に高純度真性化された酸化物半導体膜といえる。ここで、実質的に真性とは、酸化物半導体膜のキャリア密度が、８×１０^{11}／ｃｍ^{3}未満、好ましくは１×１０^{11}／ｃｍ^{3}未満、さらに好ましくは１×１０^{10}／ｃｍ^{3}未満であることを指す。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度を低減することができる。

[０２４２]

また、高純度真性または実質的に高純度真性である酸化物半導体膜を備えるトランジスタは、オフ電流が著しく小さく、チャネル幅が１×１０^{6}μｍでチャネル長Ｌが１０μｍの素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が１Ｖから１０Ｖの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち１×１０$^{-13}$Ａ以下という特性を備えることができる。

[０２４３]

上述した高純度真性または実質的に高純度真性である酸化物半導体膜をチャネル領域に用いるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

[０２４４]

具体的には、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる水素濃度が、２×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは１×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下である酸化物半導体を、トランジスタのチャネルが形成される半導体に好適に用いることができる。

[０２４５]

なお、半導体膜５０８よりも水素濃度及び／又は酸素欠損量が多く、抵抗率が低い酸化物半導体膜を、導電膜５２４に用いる。

[０２４６]

また、半導体膜５０８に含まれる水素濃度の２倍以上、好ましくは１０倍以上の濃度の水素を含む膜を、導電膜５２４に用いることができる。

[０２４７]

また、半導体膜５０８の抵抗率の１×１０$^{-8}$倍以上１×１０$^{-1}$倍未満の抵抗率を備える膜を、導電膜５２４に用いることができる。

[０２４８]

具体的には、１×１０$^{-3}$Ωｃｍ以上１×１０^{4}Ωｃｍ未満、好ましくは、１×１０$^{-3}$Ωｃｍ以上１×１０$^{-1}$Ωｃｍ未満である膜を、導電膜５２４に用いることができる。

［０２４９］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０２５０］

例えば、本明細書等において、ＸとＹとが接続されている、と明示的に記載されている場合は、ＸとＹとが電気的に接続されている場合と、ＸとＹとが機能的に接続されている場合と、ＸとＹとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

［０２５１］

ここで、Ｘ、Ｙは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［０２５２］

ＸとＹとが直接的に接続されている場合の一例としては、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、ＸとＹとの間に接続されていない場合であり、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、ＸとＹとが、接続されている場合である。

［０２５３］

ＸとＹとが電気的に接続されている場合の一例としては、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、ＸとＹとが電気的に接続されている場合は、ＸとＹとが直接的に接続されている場合を含むものとする。

［０２５４］

ＸとＹとが機能的に接続されている場合の一例としては、ＸとＹとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、ＮＡＮＤ回路、ＮＯＲ回路など）、信号変換回路（ＤＡ変換回路、ＡＤ変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、一例として、ＸとＹとの間に別の回路を挟んでいても、Ｘから出力された信号がＹへ伝達される場合は、ＸとＹとは機能的に接続されているものとする。なお、ＸとＹとが機能的に接続されている場合は、ＸとＹとが直接的に接続されている場合と、ＸとＹとが電気的に接続されている場合とを含むものとする。

［０２５５］

なお、ＸとＹとが電気的に接続されている、と明示的に記載されている場合は、ＸとＹとが電気的に接続されている場合（つまり、ＸとＹとの間に別の素子又は別の回路を挟んで接続されている場合）と、ＸとＹとが機能的に接続されている場合（つまり、ＸとＹとの間に別の回路を挟んで機能的に接続されている場合）と、ＸとＹとが直接接続されている場合（つまり、ＸとＹとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電気的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。

［０２５６］

なお、例えば、トランジスタのソース（又は第１の端子など）が、Ｚ１を介して（又は介さず）、Ｘと電気的に接続され、トランジスタのドレイン（又は第２の端子など）が、Ｚ２を介して（又は介さず）、Ｙと電気的に接続されている場合や、トランジスタのソース（又は第１の端子など）が、Ｚ１の一部と直接的に接続され、Ｚ１の別の一部がＸと直接的に接続され、トランジスタのドレイン（又は第２の端子など）が、Ｚ２の一部と直接的に接続され、Ｚ２の別の一部がＹと直接的に接続されている場合では、以下のように表現することが出来る。

［０２５７］

例えば、「ＸとＹとトランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とは、互いに電気的に接続されており、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙの順序で電気的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第１の端子など）は、Ｘと電気的に接続され、トランジスタのドレイン（又は第２の端子など）はＹと電気的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この順序で電気的に接続されている」と表現することができる。または、「Ｘは、トランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とを介して、Ｙと電気的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第１の端子など）と、ドレイン（又は第２の端子など）とを、区別して、技術的範囲を決定することができる。

［０２５８］

または、別の表現方法として、例えば、「トランジスタのソース（又は第１の端子など）は、少なくとも第１の接続経路を介して、Ｘと電気的に接続され、第１の接続経路は、第２の接続経路を有しておらず、第２の接続経路は、トランジスタを介した、トランジスタのソース（又は第１の端子など）とトランジスタのドレイン（又は第２の端子など）との間の経路であり、第１の接続経路は、Ｚ１を介した経路であり、トランジスタのドレイン（又は第２の端子など）は、少なくとも第３の接続経路を介して、Ｙと電気的に接続され、第３の接続経路は、第２の接続経路を有しておらず、第３の接続経路は、Ｚ２を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第１の端子など）は、少なくとも第１の接続経路によって、Ｚ１を介して、Ｘと電気的に接続され、第１の接続経路は、第２の接続経路を有しておらず、第２の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第２の端子など）は、少なくとも第３の接続経路によって、Ｚ２を介して、Ｙと電気的に接続され、第３の接続経路は、第２の接続経路を有していない。」

と表現することができる。または、「トランジスタのソース（又は第１の端子など）は、少なくとも第１の電気的パスによって、Ｚ１を介して、Ｘと電気的に接続され、第１の電気的パスは、第２の電気的パスを有しておらず、第２の電気的パスは、トランジスタのソース（又は第１の端子など）からトランジスタのドレイン（又は第２の端子など）への電気的パスであり、トランジスタのドレイン（又は第２の端子など）は、少なくとも第３の電気的パスによって、Ｚ２を介して、Ｙと電気的に接続され、第３の電気的パスは、第４の電気的パスを有しておらず、第４の電気的パスは、トランジスタのドレイン（又は第２の端子など）からトランジスタのソース（又は第１の端子など）への電気的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第１の端子など）と、ドレイン（又は第２の端子など）とを、区別して、技術的範囲を決定することができる。

［０２５９］

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、Ｘ、Ｙ、Ｚ１、Ｚ２は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［０２６０］

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、１つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

［０２６１］

（実施の形態２）

本実施の形態では、本発明の一態様の表示パネルに用いることができるトランジスタの構成について、図９を参照しながら説明する。

［０２６２］

＜半導体装置の構成例＞

図９（Ａ）は、トランジスタ１００の上面図であり、図９（Ｃ）は、図９（Ａ）に示す切断線Ｘ１－Ｘ２間における切断面の断面図に相当し、図９（Ｄ）は、図９（Ａ）に示す切断線Ｙ１－Ｙ２間における切断面の断面図に相当する。なお、図９（Ａ）において、煩雑になることを避けるため、トランジスタ１００の構成要素の一部（ゲート絶縁膜として機能する絶縁膜等）を省略して図示している。また、切断線Ｘ１－Ｘ２方向をチャネル長方向、切断線Ｙ１－Ｙ２方向をチャネル幅方向と呼称する場合がある。なお、トランジスタの上面図においては、以降の図面においても図９（Ａ）と同様に、構成要素の一部を省略して図示する場合がある。

［０２６３］

なお、トランジスタ１００を実施の形態１において説明する表示パネル７００等に用いることができる。

［０２６４］

例えば、トランジスタ１００をスイッチＳＷ１に用いる場合は、基板１０２を第２の絶縁膜５０１Ｃに、導電膜１０４を導電膜５０４に、絶縁膜１０６および絶縁膜１０７が積層された積層膜を絶縁膜５０６に、酸化物半導体膜１０８を半導体膜５０８に、導電膜１１２ａを導電膜５１２Ａに、導電膜

１１２ｂを導電膜５１２Ｂに、絶縁膜１１４および絶縁膜１１６が積層された積層膜を絶縁膜５１６に、絶縁膜１１８を絶縁膜５１８に、それぞれ読み替えることができる。

[０２６５]

トランジスタ１００は、基板１０２上のゲート電極として機能する導電膜１０４と、基板１０２及び導電膜１０４上の絶縁膜１０６と、絶縁膜１０６上の絶縁膜１０７と、絶縁膜１０７上の酸化物半導体膜１０８と、酸化物半導体膜１０８に電気的に接続されるソース電極として機能する導電膜１１２ａと、酸化物半導体膜１０８に電気的に接続されるドレイン電極として機能する導電膜１１２ｂと、を有する。また、トランジスタ１００上、より詳しくは、導電膜１１２ａ、１１２ｂ及び酸化物半導体膜１０８上には絶縁膜１１４、１１６、及び絶縁膜１１８が設けられる。絶縁膜１１４、１１６、１１８は、トランジスタ１００の保護絶縁膜としての機能を有する。

[０２６６]

また、酸化物半導体膜１０８は、ゲート電極として機能する導電膜１０４側の第１の酸化物半導体膜１０８ａと、第１の酸化物半導体膜１０８ａ上の第２の酸化物半導体膜１０８ｂと、を有する。また、絶縁膜１０６及び絶縁膜１０７は、トランジスタ１００のゲート絶縁膜としての機能を有する。

[０２６７]

酸化物半導体膜１０８としては、Ｉｎ－Ｍ（Ｍは、Ｔｉ、Ｇａ、Ｓｎ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、Ｎｄ、またはＨｆを表す）酸化物、Ｉｎ－Ｍ－Ｚｎ酸化物を用いることができる。とくに、酸化物半導体膜１０８としては、Ｉｎ－Ｍ－Ｚｎ酸化物を用いると好ましい。

[０２６８]

また、第１の酸化物半導体膜１０８ａは、Ｉｎの原子数比がＭの原子数比より多い第１の領域を有する。また、第２の酸化物半導体膜１０８ｂは、第１の酸化物半導体膜１０８ａよりもＩｎの原子数比が少ない第２の領域を有する。また、第２の領域は、第１の領域よりも薄い部分を有する。

[０２６９]

第１の酸化物半導体膜１０８ａにＩｎの原子数比がＭの原子数比より多い第１の領域を有することで、トランジスタ１００の電界効果移動度（単に移動度、またはμＦＥという場合がある）を高くすることができる。具体的には、トランジスタ１００の電界効果移動度が１０ｃｍ^2／Ｖｓを超えることが可能となる。

[０２７０]

例えば、上記の電界効果移動度が高いトランジスタを、ゲート信号を生成するゲートドライバ（とくに、ゲートドライバが有するシフトレジスタの出力端子に接続されるデマルチプレクサ）に用いることで、額縁幅の狭い（狭額縁ともいう）半導体装置または表示装置を提供することができる。

[０２７１]

一方で、Ｉｎの原子数比がＭの原子数比より多い第１の領域を有する第１の酸化物半導体膜１０８ａとすることで、光照射時にトランジスタ１００の電気特性が変動しやすくなる。しかしながら、本発明の一態様の半導体装置においては、第１の酸化物半導体膜１０８ａ上に第２の酸化物半導体膜１０８ｂが形成されている。また、第２の酸化物半導体膜１０８ｂのチャネル領域の膜厚が第１の酸化物半導体膜１０８ａの膜厚よりも小さい。

[０２７２]

また、第２の酸化物半導体膜１０８ｂは、第１の酸化物半導体膜１０８ａよりもＩｎの原子数比が少

ない第２の領域を有するため、第１の酸化物半導体膜１０８ａよりもＥｇが大きくなる。したがって、第１の酸化物半導体膜１０８ａと、第２の酸化物半導体膜１０８ｂとの積層構造である酸化物半導体膜１０８は、光負バイアスストレス試験による耐性が高くなる。

[０２７３]

上記構成の酸化物半導体膜とすることで、光照射時における酸化物半導体膜１０８の光吸収量を低減させることができる。したがって、光照射時におけるトランジスタ１００の電気特性の変動を抑制することができる。また、本発明の一態様の半導体装置においては、絶縁膜１１４または絶縁膜１１６中に過剰の酸素を含有する構成のため、光照射におけるトランジスタ１００の電気特性の変動をさらに、抑制することができる。

[０２７４]

ここで、酸化物半導体膜１０８について、図９（Ｂ）を用いて詳細に説明する。

[０２７５]

図９（Ｂ）は、図９（Ｃ）を用いて示すトランジスタ１００の断面の、酸化物半導体膜１０８の近傍を拡大した断面図である。

[０２７６]

図９（Ｂ）において、第１の酸化物半導体膜１０８ａの膜厚をｔ１として、第２の酸化物半導体膜１０８ｂの膜厚をｔ２－１、及びｔ２－２として、それぞれ示している。第１の酸化物半導体膜１０８ａ上には、第２の酸化物半導体膜１０８ｂが設けられているため、導電膜１１２ａ、１１２ｂの形成時において、第１の酸化物半導体膜１０８ａがエッチングガスまたはエッチング溶液等に曝されることがない。したがって、第１の酸化物半導体膜１０８ａにおいては、膜減りがない、または極めて少ない。一方で、第２の酸化物半導体膜１０８ｂにおいては、導電膜１１２ａ、１１２ｂの形成時において、第２の酸化物半導体膜１０８ｂの導電膜１１２ａ、１１２ｂと重ならない部分がエッチングされ、凹部が形成される。すなわち、第２の酸化物半導体膜１０８ｂの導電膜１１２ａ、１１２ｂと重なる領域の膜厚がｔ２－１となり、第２の酸化物半導体膜１０８ｂの導電膜１１２ａ、１１２ｂと重ならない領域の膜厚がｔ２－２となる。

[０２７７]

第１の酸化物半導体膜１０８ａと第２の酸化物半導体膜１０８ｂの膜厚の関係は、ｔ２－１＞ｔ１＞ｔ２－２となると好ましい。このような膜厚の関係とすることによって、高い電界効果移動度を有し、且つ光照射時における、しきい値電圧の変動量が少ないトランジスタとすることが可能となる。

[０２７８]

また、トランジスタ１００が有する酸化物半導体膜１０８は、酸素欠損が形成されるとキャリアである電子が生じ、ノーマリーオン特性になりやすい。したがって、酸化物半導体膜１０８中の酸素欠損、とくに第１の酸化物半導体膜１０８ａ中の酸素欠損を減らすことが、安定したトランジスタ特性を得る上でも重要となる。そこで、本発明の一態様のトランジスタの構成においては、酸化物半導体膜１０８上の絶縁膜、ここでは、酸化物半導体膜１０８上の絶縁膜１１４及び／又は絶縁膜１１６に過剰な酸素を導入することで、絶縁膜１１４及び／又は絶縁膜１１６から酸化物半導体膜１０８中に酸素を移動させ、酸化物半導体膜１０８中、とくに第１の酸化物半導体膜１０８ａ中の酸素欠損を補填することを特徴とする。

[０２７９]

なお、絶縁膜１１４、１１６としては、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有することがより好ましい。別言すると、絶縁膜１１４、１１６は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜１１４、１１６に酸素過剰領域を設けるには、例えば、成膜後の絶縁膜１１４、１１６に酸素を導入して、酸素過剰領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、プラズマ処理等を用いることができる。

［０２８０］

また、第１の酸化物半導体膜１０８ａ中の酸素欠損を補填するためには、第２の酸化物半導体膜１０８ｂのチャネル領域近傍の膜厚を薄くした方が好適である。したがって、ｔ２－２＜ｔ１の関係を満たせばよい。例えば、第２の酸化物半導体膜１０８ｂのチャネル領域近傍の膜厚としては、好ましくは１ｎｍ以上２０ｎｍ以下、さらに好ましくは、３ｎｍ以上１０ｎｍ以下である。

［０２８１］

以下に、本実施の形態の半導体装置に含まれるその他の構成要素について、詳細に説明する。

［０２８２］

〔基板〕

基板１０２の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板１０２として用いてもよい。

［０２８３］

また、シリコンや炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、ＳＯＩ基板等を適用することも可能である。

［０２８４］

また、これらの基板上に半導体素子または絶縁膜等が設けられたものを、基板１０２として用いてもよい。

［０２８５］

なお、基板１０２として、ガラス基板を用いる場合、第６世代（１５００ｍｍ×１８５０ｍｍ）、第７世代（１８７０ｍｍ×２２００ｍｍ）、第８世代（２２００ｍｍ×２４００ｍｍ）、第９世代（２４００ｍｍ×２８００ｍｍ）、第１０世代（２９５０ｍｍ×３４００ｍｍ）等の大面積基板を用いることで、大型の表示装置を作製することができる。

［０２８６］

また、基板１０２として、可撓性基板を用い、可撓性基板上に直接、トランジスタ１００を形成してもよい。または、基板１０２とトランジスタ１００の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板１０２より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ１００は耐熱性の劣る基板や可撓性の基板にも転載できる。

［０２８７］

〔ゲート電極、ソース電極、及びドレイン電極として機能する導電膜〕

ゲート電極として機能する導電膜１０４、及びソース電極として機能する導電膜１１２ａ、及びドレイン電極として機能する導電膜１１２ｂとしては、クロム（Ｃｒ）、銅（Ｃｕ）、アルミニウム（Ａｌ）、金（Ａｕ）、銀（Ａｇ）、亜鉛（Ｚｎ）、モリブデン（Ｍｏ）、タンタル（Ｔａ）、チタン（Ｔ

ｉ）、タングステン（W）、マンガン（Ｍｎ）、ニッケル（Ｎｉ）、鉄（Ｆｅ）、コバルト（Ｃｏ）から選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いてそれぞれ形成することができる。

[０２８８]

また、導電膜１０４、１１２ａ、１１２ｂは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

[０２８９]

また、導電膜１０４、１１２ａ、１１２ｂには、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。

[０２９０]

また、導電膜１０４、１１２ａ、１１２ｂには、Ｃｕ－Ｘ合金膜（Ｘは、Ｍｎ、Ｎｉ、Ｃｒ、Ｆｅ、Ｃｏ、Ｍｏ、Ｔａ、またはＴｉ）を適用してもよい。Ｃｕ－Ｘ合金膜を用いることで、ウエットエッチングプロセスで加工できるため、製造コストを抑制することが可能となる。

[０２９１]

〔ゲート絶縁膜として機能する絶縁膜〕

トランジスタ１００のゲート絶縁膜として機能する絶縁膜１０６、１０７としては、プラズマ化学気相堆積（ＰＥＣＶＤ：（Ｐｌａｓｍａ Ｅｎｈａｎｃｅｄ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ））法、スパッタリング法等により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁膜を、それぞれ用いることができる。なお、絶縁膜１０６、１０７の積層構造とせずに、上述の材料から選択された単層の絶縁膜、または３層以上の絶縁膜を用いてもよい。

[０２９２]

また、絶縁膜１０６は、酸素の透過を抑制するブロッキング膜としての機能を有する。例えば、絶縁膜１０７、１１４、１１６及び／または酸化物半導体膜１０８中に過剰の酸素を供給する場合において、絶縁膜１０６は酸素の透過を抑制することができる。

[０２９３]

なお、トランジスタ１００のチャネル領域として機能する酸化物半導体膜１０８と接する絶縁膜１０７は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有することがより好ましい。別言すると、絶縁膜１０７は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜１０７に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁

膜１０７を形成すればよい。または、成膜後の絶縁膜１０７に酸素を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、プラズマ処理等を用いることができる。

[０２９４]

また、絶縁膜１０７として、酸化ハフニウムを用いる場合、以下の効果を奏する。酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いる場合に比べて膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。すなわち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

[０２９５]

なお、本実施の形態では、絶縁膜１０６として窒化シリコン膜を形成し、絶縁膜１０７として酸化シリコン膜を形成する。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、酸化シリコン膜と同等の静電容量を得るのに必要な膜厚が大きいため、トランジスタ１５０のゲート絶縁膜として、窒化シリコン膜を含むことで絶縁膜を物理的に厚膜化することができる。よって、トランジスタ１００の絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタ１００の静電破壊を抑制することができる。

[０２９６]

〔酸化物半導体膜〕

酸化物半導体膜１０８としては、先に示す材料を用いることができる。

[０２９７]

酸化物半導体膜１０８がＩｎ－Ｍ－Ｚｎ酸化物の場合、Ｉｎ－Ｍ－Ｚｎ酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、Ｉｎ≧Ｍ、Ｚｎ≧Ｍを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、例えば、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２、Ｉｎ：Ｍ：Ｚｎ＝２：１：３、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝３：１：４、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１、Ｉｎ：Ｍ：Ｚｎ＝５：１：７などがある。

[０２９８]

また、酸化物半導体膜１０８がＩｎ－Ｍ－Ｚｎ酸化物の場合、スパッタリングターゲットとしては、多結晶のＩｎ－Ｍ－Ｚｎ酸化物を含むターゲットを用いると好ましい。多結晶のＩｎ－Ｍ－Ｚｎ酸化物を含むターゲットを用いることで、結晶性を有する酸化物半導体膜１０８を形成しやすくなる。なお、成膜される酸化物半導体膜１０８の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス４０％の変動を含む。例えば、スパッタリングターゲットとして、原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：４．１を用いる場合、成膜される酸化物半導体膜１０８の原子数比は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３近傍となる場合がある。

[０２９９]

例えば、第１の酸化物半導体膜１０８ａとしては、上述のＩｎ：Ｍ：Ｚｎ＝２：１：３、Ｉｎ：Ｍ：

Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１等のスパッタリングターゲットを用いて形成すればよい。また、第２の酸化物半導体膜１０８ｂとしては、上述のＩｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２等を用いて形成すればよい。なお、第２の酸化物半導体膜１０８ｂに用いるスパッタリングターゲットの金属元素の原子数比としては、Ｉｎ≧Ｍ、Ｚｎ≧Ｍを満たす必要はなく、Ｉｎ≧Ｍ、Ｚｎ＜Ｍを満たす組成でもよい。具体的には、Ｉｎ：Ｍ：Ｚｎ＝１：３：２等が挙げられる。

［０３００］

また、酸化物半導体膜１０８は、エネルギーギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上、より好ましくは３ｅＶ以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ１００のオフ電流を低減することができる。とくに、第１の酸化物半導体膜１０８ａには、エネルギーギャップが２ｅＶ以上、好ましくは２ｅＶ以上３．０ｅＶ以下の酸化物半導体膜を用い、第２の酸化物半導体膜１０８ｂには、エネルギーギャップが２．５ｅＶ以上３．５ｅＶ以下の酸化物半導体膜を用いると、好適である。また、第１の酸化物半導体膜１０８ａよりも第２の酸化物半導体膜１０８ｂのエネルギーギャップが大きい方が好ましい。

［０３０１］

また、第１の酸化物半導体膜１０８ａ、及び第２の酸化物半導体膜１０８ｂの厚さは、それぞれ３ｎｍ以上２００ｎｍ以下、好ましくは３ｎｍ以上１００ｎｍ以下、さらに好ましくは３ｎｍ以上５０ｎｍ以下とする。なお、先に記載の膜厚の関係を満たすと好ましい。

［０３０２］

また、第２の酸化物半導体膜１０８ｂとしては、キャリア密度の低い酸化物半導体膜を用いる。例えば、第２の酸化物半導体膜１０８ｂは、キャリア密度が1×10^{17}／ｃｍ^{3}以下、好ましくは1×10^{15}／ｃｍ^{3}以下、さらに好ましくは1×10^{13}／ｃｍ^{3}以下、より好ましくは1×10^{11}／ｃｍ^{3}以下とする。

［０３０３］

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、第１の酸化物半導体膜１０８ａ、及び第２の酸化物半導体膜１０８ｂのキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

［０３０４］

なお、第１の酸化物半導体膜１０８ａ、及び第２の酸化物半導体膜１０８ｂとしては、それぞれ不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気特性を有するトランジスタを作製することができ好ましい。ここでは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著し

く小さく、チャネル幅が１×１０^{6}μｍでチャネル長Ｌが１０μｍの素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が１Ｖから１０Ｖの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち１×１０$^{-13}$Ａ以下という特性を得ることができる。

［０３０５］

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができる。なお、酸化物半導体膜のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

［０３０６］

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体膜１０８は水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜１０８において、ＳＩＭＳ分析により得られる水素濃度を、２×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは１×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０３０７］

また、第１の酸化物半導体膜１０８ａは、第２の酸化物半導体膜１０８ｂよりも水素濃度が少ない部分を有すると好ましい。第１の酸化物半導体膜１０８ａの方が、第２の酸化物半導体膜１０８ｂよりも水素濃度が少ない部分を有すことにより、信頼性の高い半導体装置とすることができる。

［０３０８］

また、第１酸化物半導体膜１０８ａにおいて、第１４族元素の一つであるシリコンや炭素が含まれると、第１の酸化物半導体膜１０８ａにおいて酸素欠損が増加し、ｎ型化してしまう。このため、第１の酸化物半導体膜１０８ａにおけるシリコンや炭素の濃度と、第１の酸化物半導体膜１０８ａとの界面近傍のシリコンや炭素の濃度（ＳＩＭＳ分析により得られる濃度）を、２×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０３０９］

また、第１の酸化物半導体膜１０８ａにおいて、ＳＩＭＳ分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、第１の酸化物半導体膜１０８ａのアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

［０３１０］

また、第１の酸化物半導体膜１０８ａに窒素が含まれていると、キャリアである電子が生じ、キャリ

ア密度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、ＳＩＭＳ分析により得られる窒素濃度は、５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下にすることが好ましい。

［０３１１］

また、第１の酸化物半導体膜１０８ａ、及び第２の酸化物半導体膜１０８ｂは、それぞれ非単結晶構造でもよい。非単結晶構造は、例えば、ＣＡＡＣ－ＯＳ（Ｃ　Ａｘｉｓ　Ａｌｉｇｎｅｄ　Ｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、ＣＡＡＣ－ＯＳは最も欠陥準位密度が低い。よって、チャネルが形成される半導体膜に酸化物半導体膜を用いる場合は、ＣＡＡＣ－ＯＳを用いることが好ましい。

［０３１２］

ＣＡＡＣ－ＯＳは、ｃ軸配向した複数の結晶部を有する酸化物半導体の一つである。ＣＡＡＣ－ＯＳは誘電率異方性を有する。具体的には、ＣＡＡＣ－ＯＳはａ軸方向およびｂ軸方向の誘電率よりも、ｃ軸方向の誘電率が大きい。チャネルが形成される半導体層にＣＡＡＣ－ＯＳを用いて、ゲート電極をｃ軸方向に配置したトランジスタは、ｃ軸方向の誘電率が大きいため、ゲート電極から生じる電界がＣＡＡＣ－ＯＳ全体に届きやすい。よって、サブスレッショルドスイング値（Ｓ値）を小さくすることができる。また、半導体層にＣＡＡＣ－ＯＳを用いたトランジスタは、微細化によるＳ値の増大が生じにくい。

［０３１３］

また、ＣＡＡＣ－ＯＳはａ軸方向およびｂ軸方向の誘電率が小さいため、ソースとドレイン間に生じる電界の影響が緩和される。よって、チャネル長変調効果や、短チャネル効果、などが生じにくく、トランジスタの信頼性を高めることができる。

［０３１４］

ここで、チャネル長変調効果とは、ドレイン電圧がしきい値電圧よりも高い場合に、ドレイン側から空乏層が広がり、実効上のチャネル長が短くなる現象を言う。また、短チャネル効果とは、チャネル長が短くなることにより、しきい値電圧の低下などの電気特性の悪化が生じる現象を言う。微細なトランジスタほど、これらの現象による電気特性の劣化が生じやすい。

［０３１５］

〔トランジスタの保護絶縁膜として機能する絶縁膜〕

絶縁膜１１４、１１６は、酸化物半導体膜１０８に酸素を供給する機能を有する。また、絶縁膜１１８は、トランジスタ１００の保護絶縁膜としての機能を有する。また、絶縁膜１１４、１１６は、酸素を有する。また、絶縁膜１１４は、酸素を透過することのできる絶縁膜である。なお、絶縁膜１１４は、後に形成する絶縁膜１１６を形成する際の、酸化物半導体膜１０８へのダメージ緩和膜としても機能する。

［０３１６］

絶縁膜１１４としては、厚さが５ｎｍ以上１５０ｎｍ以下、好ましくは５ｎｍ以上５０ｎｍ以下の酸化シリコン、酸化窒化シリコン等を用いることができる。

［０３１７］

また、絶縁膜１１４は、欠陥量が少ないことが好ましく、代表的には、電子スピン共鳴（ＥＳＲ：Ｅｌｅｃｔｒｏｎ　Ｓｐｉｎ　Ｒｅｓｏｎａｎｃｅ）測定により、シリコンのダングリングボンドに由来するｇ＝２．００１に現れる信号のスピン密度が３×１０^{17}ｓｐｉｎｓ／ｃｍ^{3}以下であることが好ましい。これは、絶縁膜１１４に含まれる欠陥密度が多いと、該欠陥に酸素が結合してしまい、絶縁膜１１４における酸素の透過量が減少してしまう。

[０３１８]

なお、絶縁膜１１４においては、外部から絶縁膜１１４に入った酸素が全て絶縁膜１１４の外部に移動せず、絶縁膜１１４にとどまる酸素もある。また、絶縁膜１１４に酸素が入ると共に、絶縁膜１１４に含まれる酸素が絶縁膜１１４の外部へ移動することで、絶縁膜１１４において酸素の移動が生じる場合もある。絶縁膜１１４として酸素を透過することができる酸化物絶縁膜を形成すると、絶縁膜１１４上に設けられる、絶縁膜１１６から脱離する酸素を、絶縁膜１１４を介して酸化物半導体膜１０８に移動させることができる。

[０３１９]

また、絶縁膜１１４は、窒素酸化物に起因する準位密度が低い酸化物絶縁膜を用いて形成することができる。なお、当該窒素酸化物に起因する準位密度は、酸化物半導体膜の価電子帯の上端のエネルギー（Ｅｖ＿ｏｓ）と酸化物半導体膜の伝導帯の下端のエネルギー（Ｅｃ＿ｏｓ）の間に形成され得る場合がある。上記酸化物絶縁膜として、窒素酸化物の放出量が少ない酸化窒化シリコン膜、または窒素酸化物の放出量が少ない酸化窒化アルミニウム膜等を用いることができる。

[０３２０]

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、昇温脱離ガス分析法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が１×１０^{18}／ｃｍ^{3}以上５×１０^{19}／ｃｍ^{3}以下である。なお、アンモニアの放出量は、膜の表面温度が５０℃以上６５０℃以下、好ましくは５０℃以上５５０℃以下の加熱処理による放出量とする。

[０３２１]

窒素酸化物（NO_X、Ｘは０より大きく２以下、好ましくは１以上２以下。）、代表的にはNO_2またはNOは、絶縁膜１１４などに準位を形成する。当該準位は、酸化物半導体膜１０８のエネルギーギャップ内に位置する。そのため、窒素酸化物が、絶縁膜１１４及び酸化物半導体膜１０８の界面に拡散すると、当該準位が絶縁膜１１４側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁膜１１４及び酸化物半導体膜１０８界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。

[０３２２]

また、窒素酸化物は、加熱処理においてアンモニア及び酸素と反応する。絶縁膜１１４に含まれる窒素酸化物は、加熱処理において、絶縁膜１１６に含まれるアンモニアと反応するため、絶縁膜１１４に含まれる窒素酸化物が低減される。このため、絶縁膜１１４及び酸化物半導体膜１０８の界面において、電子がトラップされにくい。

[０３２３]

絶縁膜１１４として、上記酸化物絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

[０３２４]

なお、トランジスタの作製工程の加熱処理、代表的には３００℃以上３５０℃未満の加熱処理により、絶縁膜１１４は、１００Ｋ以下のＥＳＲで測定して得られたスペクトルにおいてｇ値が２．０３７以上２．０３９以下の第１のシグナル、ｇ値が２．００１以上２．００３以下の第２のシグナル、及びｇ値が１．９６４以上１．９６６以下の第３のシグナルが観測される。なお、第１のシグナル及び第２のシグナルのスプリット幅、並びに第２のシグナル及び第３のシグナルのスプリット幅は、Ｘバンドの ＥＳＲ測定において約５ｍＴである。また、ｇ値が２．０３７以上２．０３９以下の第１のシグナル、ｇ値が２．００１以上２．００３以下の第２のシグナル、及びｇ値が１．９６４以上１．９６６以下である第３のシグナルのスピンの密度の合計が１×１０^{18}ｓｐｉｎｓ／ｃｍ^{3}未満であり、代表的には１×１０^{17}ｓｐｉｎｓ／ｃｍ^{3}以上１×１０^{18}ｓｐｉｎｓ／ｃｍ^{3}未満である。

［０３２５］

なお、１００Ｋ以下のＥＳＲスペクトルにおいてｇ値が２．０３７以上２．０３９以下の第１シグナル、ｇ値が２．００１以上２．００３以下の第２のシグナル、及びｇ値が１．９６４以上１．９６６以下の第３のシグナルは、窒素酸化物起因のシグナルに相当する。窒素酸化物の代表例としては、一酸化窒素、二酸化窒素等がある。即ち、ｇ値が２．０３７以上２．０３９以下の第１のシグナル、ｇ値が２．００１以上２．００３以下の第２のシグナル、及びｇ値が１．９６４以上１．９６６以下である第３のシグナルのスピンの密度の合計が少ないほど、酸化物絶縁膜に含まれる窒素酸化物の含有量が少ないといえる。

［０３２６］

また、上記酸化物絶縁膜は、ＳＩＭＳで測定される窒素濃度が６×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以下である。

［０３２７］

膜の表面温度が２２０℃以上３５０℃以下であり、シラン及び一酸化二窒素を用いたＰＥＣＶＤ法を用いて、上記酸化物絶縁膜を形成することで、緻密であり、且つ硬度の高い膜を形成することができる。

［０３２８］

絶縁膜１１６は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いて形成する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、加熱により酸素の一部が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、ＴＤＳ分析にて、酸素原子に換算しての酸素の脱離量が１．０×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは３．０×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物絶縁膜である。なお、上記ＴＤＳにおける膜の表面温度としては１００℃以上７００℃以下、または１００℃以上５００℃以下の範囲が好ましい。

［０３２９］

絶縁膜１１６としては、厚さが３０ｎｍ以上５００ｎｍ以下、好ましくは５０ｎｍ以上４００ｎｍ以下の、酸化シリコン、酸化窒化シリコン等を用いることができる。

［０３３０］

また、絶縁膜１１６は、欠陥量が少ないことが好ましく、代表的には、ＥＳＲ測定により、シリコンのダングリングボンドに由来するｇ＝２．００１に現れる信号のスピン密度が１．５×１０^{18}ｓｐｉｎｓ／ｃｍ^{3}未満、さらには１×１０^{18}ｓｐｉｎｓ／ｃｍ^{3}以下であることが好ましい。なお、絶縁膜１１６は、絶縁膜１１４と比較して酸化物半導体膜１０８から離れているため、絶縁膜１１４よ

り、欠陥密度が多くともよい。

[０３３１]

また、絶縁膜１１４、１１６は、同種の材料の絶縁膜を用いることができるため、絶縁膜１１４と絶縁膜１１６の界面が明確に確認できない場合がある。したがって、本実施の形態においては、絶縁膜１１４と絶縁膜１１６の界面は、破線で図示している。なお、本実施の形態においては、絶縁膜１１４と絶縁膜１１６の２層構造について説明したが、これに限定されず、例えば、絶縁膜１１４の単層構造としてもよい。

[０３３２]

絶縁膜１１８は、窒素を有する。また、絶縁膜１１８は、窒素及びシリコンを有する。また、絶縁膜１１８は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜１１８を設けることで、酸化物半導体膜１０８からの酸素の外部への拡散と、絶縁膜１１４、１１６に含まれる酸素の外部への拡散と、外部から酸化物半導体膜１０８への水素、水等の入り込みを防ぐことができる。絶縁膜１１８としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有する窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

[０３３３]

なお、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜は、スパッタリング法やＰＥＣＶＤ法により形成することができるが、他の方法、例えば、熱ＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法により形成してもよい。熱ＣＶＤ法の例としてＭＯＣＶＤ（Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法やＡＬＤ法を用いても良い。

[０３３４]

熱ＣＶＤ法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

[０３３５]

熱ＣＶＤ法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

[０３３６]

また、ＡＬＤ法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次チャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて２種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第１の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第２の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第２の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第１の原料ガスを排

出した後、第２の原料ガスを導入してもよい。第１の原料ガスが基板の表面に吸着して第１の層を成膜し、後から導入される第２の原料ガスと反応して、第２の層が第１の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なＦＥＴを作製する場合に適している。

[０３３７]

ＭＯＣＶＤ法やＡＬＤ法などの熱ＣＶＤ法は、上記実施形態の導電膜、絶縁膜、酸化物半導体膜、金属酸化膜などの様々な膜を形成することができ、例えば、Ｉｎ－Ｇａ－ＺｎＯ膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、Ｉｎ（CH_3）$_3$である。また、トリメチルガリウムの化学式は、Ｇａ（CH_3）$_3$である。また、ジメチル亜鉛の化学式は、Ｚｎ（CH_3）$_2$である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式Ｇａ（C_2H_5）$_3$）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式Ｚｎ（C_2H_5）$_2$）を用いることもできる。

[０３３８]

例えば、ＡＬＤを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（ＴＤＭＡＨ）などのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（O_3）の２種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は$Hf[N(CH_3)_2]_4$である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

[０３３９]

例えば、ＡＬＤを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（ＴＭＡ）など）を気化させた原料ガスと、酸化剤としてH_2Oの２種類のガスを用いる。なお、トリメチルアルミニウムの化学式は$Al(CH_3)_3$である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオナート）などがある。

[０３４０]

例えば、ＡＬＤを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（O_2、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

[０３４１]

例えば、ＡＬＤを利用する成膜装置によりタングステン膜を成膜する場合には、WF_6ガスとB_2H_6ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、WF_6ガスとH_2ガスを用いてタングステン膜を形成する。なお、B_2H_6ガスに代えてSiH_4ガスを用いてもよい。

[０３４２]

例えば、ＡＬＤを利用する成膜装置により酸化物半導体膜、例えばＩｎ－Ｇａ－ＺｎＯ膜を成膜する場合には、Ｉｎ（CH_3）$_3$ガスとO_3ガスを順次繰り返し導入してＩｎ－Ｏ層を形成し、その後、Ｇａ（CH_3）$_3$ガスとO_3ガスを用いてＧａＯ層を形成し、更にその後Ｚｎ（CH_3）$_2$ガスとO_3ガスを用いてＺｎＯ層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを

混ぜてＩｎ－Ｇａ－Ｏ層やＩｎ－Ｚｎ－Ｏ層、Ｇａ－Ｚｎ－Ｏ層などの混合化合物層を形成しても良い。なお、O_3ガスに変えてＡｒ等の不活性ガスで水をバブリングして得られたH_2Oガスを用いても良いが、Ｈを含まないO_3ガスを用いる方が好ましい。また、Ｉｎ（CH_3）$_3$ガスにかえて、Ｉｎ（C_2H_5）$_3$ガスを用いても良い。また、Ｇａ（CH_3）$_3$ガスにかえて、Ｇａ（C_2H_5）$_3$ガスを用いても良い。また、Ｚｎ（CH_3）$_2$ガスを用いても良い。

［０３４３］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３４４］

（実施の形態３）

本実施の形態では、本発明の一態様の表示パネルに用いることができるトランジスタの構成について、図１０を参照しながら説明する。

［０３４５］

＜半導体装置の構成例＞

図１０（Ａ）は、トランジスタ１００の上面図であり、図１０（Ｂ）は、図１０（Ａ）に示す切断線Ｘ１－Ｘ２間における切断面の断面図に相当し、図１０（Ｃ）は、図１０（Ａ）に示す切断線Ｙ１－Ｙ２間における切断面の断面図に相当する。なお、図１０（Ａ）において、煩雑になることを避けるため、トランジスタ１００の構成要素の一部（ゲート絶縁膜として機能する絶縁膜等）を省略して図示している。また、切断線Ｘ１－Ｘ２方向をチャネル長方向、切断線Ｙ１－Ｙ２方向をチャネル幅方向と呼称する場合がある。なお、トランジスタの上面図においては、以降の図面においても図１０（Ａ）と同様に、構成要素の一部を省略して図示する場合がある。

［０３４６］

なお、トランジスタ１００を実施の形態１において説明する表示パネル７００等に用いることができる。

［０３４７］

例えば、トランジスタ１００をトランジスタＭまたはトランジスタＭＤに用いる場合は、基板１０２を第２の絶縁膜５０１Ｃに、導電膜１０４を導電膜５０４に、絶縁膜１０６および絶縁膜１０７が積層された積層膜を絶縁膜５０６に、酸化物半導体膜１０８を半導体膜５０８に、導電膜１１２ａを導電膜５１２Ａに、導電膜１１２ｂを導電膜５１２Ｂに、絶縁膜１１４および絶縁膜１１６が積層された積層膜を絶縁膜５１６に、絶縁膜１１８を絶縁膜５１８に、導電膜１２０ｂを導電膜５２４に、それぞれ読み替えることができる。

［０３４８］

トランジスタ１００は、基板１０２上の第１のゲート電極として機能する導電膜１０４と、基板１０２及び導電膜１０４上の絶縁膜１０６と、絶縁膜１０６上の絶縁膜１０７と、絶縁膜１０７上の酸化物半導体膜１０８と、酸化物半導体膜１０８に電気的に接続されるソース電極として機能する導電膜１１２ａと、酸化物半導体膜１０８に電気的に接続されるドレイン電極として機能する導電膜１１２ｂと、酸化物半導体膜１０８、導電膜１１２ａ、及び１１２ｂ上の絶縁膜１１４、１１６と、絶縁膜１１６上に設けられ、且つ導電膜１１２ｂと電気的に接続される導電膜１２０ａと、絶縁膜１１６上の導電膜１２０ｂと、絶縁膜１１６及び導電膜１２０ａ、１２０ｂ上の絶縁膜１１８と、を有する。

［０３４９］

また、トランジスタ１００において、絶縁膜１０６、１０７は、トランジスタ１００の第１のゲート絶縁膜としての機能を有し、絶縁膜１１４、１１６は、トランジスタ１００の第２のゲート絶縁膜としての機能を有し、絶縁膜１１８は、トランジスタ１００の保護絶縁膜としての機能を有する。なお、本明細書等において、絶縁膜１０６、１０７を第１の絶縁膜と、絶縁膜１１４、１１６を第２の絶縁膜と、絶縁膜１１８を第３の絶縁膜と、それぞれ呼称する場合がある。

[０３５０]

なお、導電膜１２０ｂをトランジスタ１００の第２のゲート電極に用いることができる。

[０３５１]

また、トランジスタ１００を表示パネルの画素部に用いる場合は、導電膜１２０ａを表示素子の電極等に用いることができる。

[０３５２]

また、酸化物半導体膜１０８は、第１のゲート電極として機能する導電膜１０４側の酸化物半導体膜１０８ｂと、酸化物半導体膜１０８ｂ上の酸化物半導体膜１０８ｃと、を有する。また、酸化物半導体膜１０８ｂ及び酸化物半導体膜１０８ｃは、Ｉｎと、Ｍ（ＭはＡｌ、Ｇａ、Ｙ、またはＳｎ）と、Ｚｎと、を有する。

[０３５３]

例えば、酸化物半導体膜１０８ｂとしては、Ｉｎの原子数比がＭの原子数比より多い領域を有すると好ましい。また、酸化物半導体膜１０８ｃとしては、酸化物半導体膜１０８ｂよりもＩｎの原子数が少ない領域を有すると好ましい。

[０３５４]

酸化物半導体膜１０８ｂが、Ｉｎの原子数比がＭの原子数比より多い領域を有することで、トランジスタ１００の電界効果移動度（単に移動度、またはμＦＥという場合がある）を高くすることができる。具体的には、トランジスタ１００の電界効果移動度が１０ｃｍ^2／Ｖｓを超える、さらに好ましくはトランジスタ１００の電界効果移動度が３０ｃｍ^2／Ｖｓを超えることが可能となる。

[０３５５]

例えば、上記の電界効果移動度が高いトランジスタを、ゲート信号を生成するゲートドライバ（とくに、ゲートドライバが有するシフトレジスタの出力端子に接続されるデマルチプレクサ）に用いることで、額縁幅の狭い（狭額縁ともいう）半導体装置または表示装置を提供することができる。

[０３５６]

一方で、酸化物半導体膜１０８ｂが、Ｉｎの原子数比がＭの原子数比より多い領域を有する場合、光照射時にトランジスタ１００の電気特性が変動しやすくなる。しかしながら、本発明の一態様の半導体装置においては、酸化物半導体膜１０８ｂ上に酸化物半導体膜１０８ｃが形成されている。また、酸化物半導体膜１０８ｃは、酸化物半導体膜１０８ｂよりもＩｎの原子数比が少ない領域を有するため、酸化物半導体膜１０８ｂよりもＥｇが大きくなる。したがって、酸化物半導体膜１０８ｂと、酸化物半導体膜１０８ｃとの積層構造である酸化物半導体膜１０８は、光負バイアスストレス試験による耐性を高めることが可能となる。

[０３５７]

また、酸化物半導体膜１０８中、特に酸化物半導体膜１０８ｂのチャネル領域に混入する水素または水分などの不純物は、トランジスタ特性に影響を与えるため問題となる。したがって、酸化物半導体

膜１０８ｂ中のチャネル領域においては、水素または水分などの不純物が少ないほど好ましい。また、酸化物半導体膜１０８ｂ中のチャネル領域に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。例えば、酸化物半導体膜１０８ｂのチャネル領域中に酸素欠損が形成されると、該酸素欠損に水素が結合し、キャリア供給源となる。酸化物半導体膜１０８ｂのチャネル領域中にキャリア供給源が生成されると、酸化物半導体膜１０８ｂを有するトランジスタ１００の電気特性の変動、代表的にはしきい値電圧のシフトが生じる。したがって、酸化物半導体膜１０８ｂのチャネル領域においては、酸素欠損が少ないほど好ましい。

[０３５８]

そこで、本発明の一態様においては、酸化物半導体膜１０８に接する絶縁膜、具体的には、酸化物半導体膜１０８の下方に形成される絶縁膜１０７、及び酸化物半導体膜１０８の上方に形成される絶縁膜１１４、１１６が過剰酸素を含有する構成である。絶縁膜１０７、及び絶縁膜１１４、１１６から酸化物半導体膜１０８へ酸素または過剰酸素を移動させることで、酸化物半導体膜中の酸素欠損を低減することが可能となる。よって、トランジスタ１００の電気特性、特に光照射におけるトランジスタ１００の変動を抑制することが可能となる。

[０３５９]

また、本発明の一態様においては、絶縁膜１０７、及び絶縁膜１１４、１１６に過剰酸素を含有させるために、作製工程の増加がない、または作製工程の増加が極めて少ない作製方法を用いる。よって、トランジスタ１００の歩留まりを高くすることが可能である。

[０３６０]

具体的には、酸化物半導体膜１０８ｂを形成する工程において、スパッタリング法を用い、酸素ガスを含む雰囲気にて酸化物半導体膜１０８ｂを形成することで、酸化物半導体膜１０８ｂの被形成面となる、絶縁膜１０７に酸素または過剰酸素を添加する。

[０３６１]

また、導電膜１２０ａ、１２０ｂを形成する工程において、スパッタリング法を用い、酸素ガスを含む雰囲気にて導電膜１２０ａ、１２０ｂを形成することで、導電膜１２０ａ、１２０ｂの被形成面となる、絶縁膜１１６に酸素または過剰酸素を添加する。なお、絶縁膜１１６に酸素または過剰酸素を添加する際に、絶縁膜１１６の下方に位置する絶縁膜１１４、及び酸化物半導体膜１０８にも酸素または過剰酸素が添加される場合がある。

[０３６２]

＜酸化物導電体＞

次に、酸化物導電体について説明する。導電膜１２０ａ、１２０ｂを形成する工程において、導電膜１２０ａ、１２０ｂは、絶縁膜１１４、１１６から酸素の放出を抑制する保護膜として機能する。また、導電膜１２０ａ、１２０ｂは、絶縁膜１１８を形成する工程の前においては、半導体としての機能を有し、絶縁膜１１８を形成する工程の後においては、導電膜１２０ａ、１２０ｂは、導電体としての機能を有する。

[０３６３]

導電膜１２０ａ、１２０ｂを導電体として機能させるためには、導電膜１２０ａ、１２０ｂに酸素欠損を形成し、該酸素欠損に絶縁膜１１８から水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、導電膜１２０ａ、１２０ｂは、導電性が高くなり導電体化する。導電体化された導電

膜１２０ａ、１２０ｂを、それぞれ酸化物導電体ということができる。一般に、酸化物半導体は、エネルギーギャップが大きいため、可視光に対して透光性を有する。一方、酸化物導電体は、伝導帯近傍にドナー準位を有する酸化物半導体である。したがって、酸化物導電体は、ドナー準位による吸収の影響は小さく、可視光に対して酸化物半導体と同程度の透光性を有する。

［０３６４］

＜半導体装置の構成要素＞

以下に、本実施の形態の半導体装置に含まれる構成要素について、詳細に説明する。

［０３６５］

なお、以下の材料については、実施の形態２において説明する材料と同様の材料を用いることができる。

［０３６６］

実施の形態２において説明する基板１０２に用いることができる材料を基板１０２に用いることができる。また、実施の形態２において説明する絶縁膜１０６、１０７に用いることができる材料を絶縁膜１０６、１０７に用いることができる。

［０３６７］

また、実施の形態２において説明するゲート電極、ソース電極、及びドレイン電極として機能する導電膜に用いることができる材料を、第１のゲート電極、ソース電極、及びドレイン電極として機能する導電膜に用いることができる。

［０３６８］

〔酸化物半導体膜〕

酸化物半導体膜１０８としては、先に示した材料を用いることができる。

［０３６９］

酸化物半導体膜１０８ｂがＩｎ－Ｍ－Ｚｎ酸化物の場合、Ｉｎ－Ｍ－Ｚｎ酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、Ｉｎ＞Ｍを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、Ｉｎ：Ｍ：Ｚｎ＝２：１：３、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１等が挙げられる。

［０３７０］

また、酸化物半導体膜１０８ｃがＩｎ－Ｍ－Ｚｎ酸化物の場合、Ｉｎ－Ｍ－Ｚｎ酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、Ｉｎ≦Ｍを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２、Ｉｎ：Ｍ：Ｚｎ＝１：３：２、Ｉｎ：Ｍ：Ｚｎ＝１：３：４、Ｉｎ：Ｍ：Ｚｎ＝１：３：６、Ｉｎ：Ｍ：Ｚｎ＝１：４：５等が挙げられる。

［０３７１］

また、酸化物半導体膜１０８ｂ及び酸化物半導体膜１０８ｃがＩｎ－Ｍ－Ｚｎ酸化物の場合、スパッタリングターゲットとしては、多結晶のＩｎ－Ｍ－Ｚｎ酸化物を含むターゲットを用いると好ましい。多結晶のＩｎ－Ｍ－Ｚｎ酸化物を含むターゲットを用いることで、結晶性を有する酸化物半導体膜１０８ｂ及び酸化物半導体膜１０８ｃを形成しやすくなる。なお、成膜される酸化物半導体膜１０８ｂ及び酸化物半導体膜１０８ｃの原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス４０％の変動を含む。例えば、酸化物半導体膜１０８

ｂのスパッタリングターゲットとして、原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：４．１を用いる場合、成膜される酸化物半導体膜１０８ｂの原子数比は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３近傍となる場合がある。

[０３７２]

また、酸化物半導体膜１０８は、エネルギーギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上、より好ましくは３ｅＶ以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ１００のオフ電流を低減することができる。とくに、酸化物半導体膜１０８ｂには、エネルギーギャップが２ｅＶ以上、好ましくは２ｅＶ以上３．０ｅＶ以下の酸化物半導体膜を用い、酸化物半導体膜１０８ｃには、エネルギーギャップが２．５ｅＶ以上３．５ｅＶ以下の酸化物半導体膜を用いると、好適である。また、酸化物半導体膜１０８ｂよりも酸化物半導体膜１０８ｃのエネルギーギャップが大きい方が好ましい。

[０３７３]

また、酸化物半導体膜１０８ｂ、及び酸化物半導体膜１０８ｃの厚さは、それぞれ３ｎｍ以上２００ｎｍ以下、好ましくは３ｎｍ以上１００ｎｍ以下、さらに好ましくは３ｎｍ以上５０ｎｍ以下とする。

[０３７４]

また、酸化物半導体膜１０８ｃとしては、キャリア密度の低い酸化物半導体膜を用いる。例えば、第２の酸化物半導体膜１０８ｃは、キャリア密度が１×１０^{17}／ｃｍ^{3}以下、好ましくは１×１０^{15}／ｃｍ^{3}以下、さらに好ましくは１×１０^{13}／ｃｍ^{3}以下、より好ましくは１×１０^{11}／ｃｍ^{3}以下とする。

[０３７５]

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体膜１０８ｂ、及び酸化物半導体膜１０８ｃのキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

[０３７６]

なお、酸化物半導体膜１０８ｂ、及び酸化物半導体膜１０８ｃとしては、それぞれ不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気特性を有するトランジスタを作製することができ好ましい。ここでは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が１×１０^{6}μｍでチャネル長Ｌが１０μｍの素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が１Ｖから１０Ｖの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち１×１０^{-13}Ａ以下という特性を得ることができる。

[０３７７]

したがって、上記高純度真性、または実質的に高純度真性の酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとすることができる。なお、酸化物半導体膜のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

[０３７８]

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体膜１０８は水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜１０８において、ＳＩＭＳ分析により得られる水素濃度を、２×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは１×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下とする。

[０３７９]

また、酸化物半導体膜１０８ｂは、酸化物半導体膜１０８ｃよりも水素濃度が少ない領域を有すると好ましい。酸化物半導体膜１０８ｂの方が、酸化物半導体膜１０８ｃよりも水素濃度が少ない領域を有すことにより、信頼性の高い半導体装置とすることができる。

[０３８０]

また、酸化物半導体膜１０８ｂにおいて、第１４族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜１０８ｂにおいて酸素欠損が増加し、ｎ型化してしまう。このため、酸化物半導体膜１０８ｂにおけるシリコンや炭素の濃度と、酸化物半導体膜１０８ｂとの界面近傍のシリコンや炭素の濃度（ＳＩＭＳ分析により得られる濃度）を、２×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

[０３８１]

また、酸化物半導体膜１０８ｂにおいて、ＳＩＭＳ分析により得られるアルカリ金属またはアルカリ土類金属の濃度を、１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、酸化物半導体膜１０８ｂのアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

[０３８２]

また、酸化物半導体膜１０８ｂに窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、ＳＩＭＳ分析により得られる窒素濃度は、５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下にすることが好ましい。

[０３８３]
また、酸化物半導体膜１０８ｂ、及び酸化物半導体膜１０８ｃは、それぞれ非単結晶構造でもよい。非単結晶構造は、例えば、ＣＡＡＣ－ＯＳ、多結晶構造、微結晶構造、または非晶質構造を含む。
[０３８４]
〔第２のゲート絶縁膜として機能する絶縁膜〕
絶縁膜１１４、１１６は、トランジスタ１００の第２のゲート絶縁膜として機能する。また、絶縁膜１１４、１１６は、酸化物半導体膜１０８に酸素を供給する機能を有する。すなわち、絶縁膜１１４、１１６は、酸素を有する。また、絶縁膜１１４は、酸素を透過することのできる絶縁膜である。なお、絶縁膜１１４は、後に形成する絶縁膜１１６を形成する際の、酸化物半導体膜１０８へのダメージ緩和膜としても機能する。
[０３８５]
例えば、実施の形態２において説明する絶縁膜１１４、１１６を絶縁膜１１４、１１６に用いることができる。
[０３８６]
〔導電膜として機能する酸化物半導体膜、及び第２のゲート電極として機能する酸化物半導体膜〕
先に記載の酸化物半導体膜１０８と同様の材料を、導電膜として機能する導電膜１２０ａ、及び第２のゲート電極として機能する導電膜１２０ｂに用いることができる。
[０３８７]
すなわち、導電膜として機能する導電膜１２０ａ、及び第２のゲート電極として機能する導電膜１２０ｂは、酸化物半導体膜１０８（酸化物半導体膜１０８ｂ及び酸化物半導体膜１０８ｃ）に含まれる金属元素を有する。例えば、第２のゲート電極として機能する導電膜１２０ｂと、酸化物半導体膜１０８（酸化物半導体膜１０８ｂ及び酸化物半導体膜１０８ｃ）と、が同一の金属元素を有する構成とすることで、製造コストを抑制することが可能となる。
[０３８８]
例えば、導電膜として機能する導電膜１２０ａ、及び第２のゲート電極として機能する導電膜１２０ｂとしては、Ｉｎ－Ｍ－Ｚｎ酸化物の場合、Ｉｎ－Ｍ－Ｚｎ酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、Ｉｎ≧Ｍを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、Ｉｎ：Ｍ：Ｚｎ＝２：１：３、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１等が挙げられる。
[０３８９]
また、導電膜として機能する導電膜１２０ａ、及び第２のゲート電極として機能する導電膜１２０ｂの構造としては、単層構造または２層以上の積層構造とすることができる。なお、導電膜１２０ａ、１２０ｂが積層構造の場合においては、上記のスパッタリングターゲットの組成に限定されない。
[０３９０]
〔トランジスタの保護絶縁膜として機能する絶縁膜〕
絶縁膜１１８は、トランジスタ１００の保護絶縁膜として機能する。
[０３９１]
絶縁膜１１８は、水素及び窒素のいずれか一方または双方を有する。または、絶縁膜１１８は、窒素及びシリコンを有する。また、絶縁膜１１８は、酸素、水素、水、アルカリ金属、アルカリ土類金属

等のブロッキングできる機能を有する。絶縁膜１１８を設けることで、酸化物半導体膜１０８からの酸素の外部への拡散と、絶縁膜１１４、１１６に含まれる酸素の外部への拡散と、外部から酸化物半導体膜１０８への水素、水等の入り込みを防ぐことができる。

[０３９２]

また、絶縁膜１１８は、導電膜として機能する導電膜１２０ａ、及び第２のゲート電極として機能する導電膜１２０ｂに、水素及び窒素のいずれか一方または双方を供給する機能を有する。特に絶縁膜１１８としては、水素を含み、当該水素を導電膜１２０ａ、１２０ｂに供給する機能を有すると好ましい。絶縁膜１１８から導電膜１２０ａ、１２０ｂに水素が供給されることで、導電膜１２０ａ、１２０ｂは、導電体としての機能を有する。

[０３９３]

絶縁膜１１８としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。

[０３９４]

なお、上記記載の、導電膜、絶縁膜、酸化物半導体膜などの様々な膜は、スパッタリング法やＰＥＣＶＤ法により形成することができるが、他の方法、例えば、熱ＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法により形成してもよい。熱ＣＶＤ法の例としてＭＯＣＶＤ（Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法やＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いても良い。

[０３９５]

熱ＣＶＤ法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

[０３９６]

熱ＣＶＤ法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

[０３９７]

また、ＡＬＤ法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次チャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて２種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第１の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第２の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第２の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第１の原料ガスを排出した後、第２の原料ガスを導入してもよい。第１の原料ガスが基板の表面に吸着して第１の層を成膜し、後から導入される第２の原料ガスと反応して、第２の層が第１の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なＦＥＴを作製する場合に適している。

[０３９８]

ＭＯＣＶＤ法やＡＬＤ法などの熱ＣＶＤ法は、上記実施形態の導電膜、絶縁膜、酸化物半導体膜、金

属酸化膜などの様々な膜を形成することができ、例えば、Ｉｎ－Ｇａ－ＺｎＯ膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、Ｉｎ（CH_3）$_3$である。また、トリメチルガリウムの化学式は、Ｇａ（CH_3）$_3$である。また、ジメチル亜鉛の化学式は、Ｚｎ（CH_3）$_2$である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式Ｇａ（C_2H_5）$_3$）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式Ｚｎ（C_2H_5）$_2$）を用いることもできる。

［０３９９］

例えば、ＡＬＤを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（ＴＤＭＡＨ）などのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（O_3）の２種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は$Hf[N(CH_3)_2]_4$である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

［０４００］

例えば、ＡＬＤを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（ＴＭＡ）など）を気化させた原料ガスと、酸化剤としてH_2Oの２種類のガスを用いる。なお、トリメチルアルミニウムの化学式は$Al(CH_3)_3$である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオナート）などがある。

［０４０１］

例えば、ＡＬＤを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（O_2、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

［０４０２］

例えば、ＡＬＤを利用する成膜装置によりタングステン膜を成膜する場合には、WF_6ガスとB_2H_6ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、WF_6ガスとH_2ガスを用いてタングステン膜を形成する。なお、B_2H_6ガスに代えてＳｉH_4ガスを用いてもよい。

［０４０３］

例えば、ＡＬＤを利用する成膜装置により酸化物半導体膜、例えばＩｎ－Ｇａ－ＺｎＯ膜を成膜する場合には、Ｉｎ（CH_3）$_3$ガスとO_3ガスを順次繰り返し導入してＩｎ－Ｏ層を形成し、その後、Ｇａ（CH_3）$_3$ガスとO_3ガスを用いてＧａＯ層を形成し、更にその後Ｚｎ（CH_3）$_2$ガスとO_3ガスを用いてＺｎＯ層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてＩｎ－Ｇａ－Ｏ層やＩｎ－Ｚｎ－Ｏ層、Ｇａ－Ｚｎ－Ｏ層などの混合化合物層を形成しても良い。なお、O_3ガスに変えてＡｒ等の不活性ガスで水をバブリングして得られたH_2Oガスを用いても良いが、Ｈを含まないO_3ガスを用いる方が好ましい。また、Ｉｎ（CH_3）$_3$ガスに変えて、Ｉｎ（C_2H_5）$_3$ガスを用いても良い。また、Ｇａ（CH_3）$_3$ガスに変えて、Ｇａ（C_2H_5）$_3$ガスを用いても良い。また、Ｚｎ（CH_3）$_2$ガスを用いても良い。

［０４０４］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[０４０５]
（実施の形態４）
本実施の形態では、本発明の一態様の表示パネルの作製方法について、図面を参照しながら説明する。
[０４０６]
図１１は本発明の一態様の表示パネルの作製方法を説明するフロー図である。図１２乃至図１８は作製工程中の本発明の一態様の表示パネルの構成を説明する図である。図１２乃至図１８は図１（Ａ）の切断線Ｘ１－Ｘ２、Ｘ３－Ｘ４、Ｘ５－Ｘ６、Ｘ７－Ｘ８、Ｘ９－Ｘ１０、Ｘ１１－Ｘ１２における断面図である。
[０４０７]
＜表示パネルの作製方法＞
本実施の形態で説明する表示パネルの作製方法は、以下の１１のステップを有する。
[０４０８]
〔第１のステップ〕
第１のステップにおいて、工程用基板と重なる領域を有する絶縁膜７５４を形成する（図１１（Ｕ１）、および図１２（Ａ）参照。）。
[０４０９]
例えば、剥離膜５１０Ｗが積層された基板５１０を工程用基板に用いることができる。また、後のステップで基板５１０から分離することができる材料を絶縁膜７５４に用いる。これにより、基板５１０側に剥離膜５１０Ｗを残して、絶縁膜７５４を基板５１０から分離することができる。または、絶縁膜７５４と共に剥離膜５１０Ｗを基板５１０から分離することができる。
[０４１０]
例えば無機材料または有機樹脂等を剥離膜５１０Ｗに用いることができる。例えば、単膜の材料または複数の膜が積層された材料を剥離膜５１０Ｗに用いることができる。
[０４１１]
具体的には、タングステン、モリブデン、チタン、タンタル、ニオブ、ニッケル、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、シリコンから選択された元素を含む金属、該元素を含む合金または該元素を含む化合物等の無機材料を剥離膜５１０Ｗに用いることができる。
[０４１２]
また、タングステンを含む膜が積層された材料、または、タングステンを含む膜とタングステンの酸化物を含む膜が積層された材料を、剥離膜５１０Ｗに用いてもよい。
[０４１３]
また、タングステンを含む膜に酸素を含む膜を積層すると、両者の間にタングステンの酸化物を含む膜を形成することができる。具体的には、タングステンを含む膜に酸化シリコンを含む膜を積層すればよい。また、タングステンを含む膜の表面に、熱酸化処理、酸素プラズマ処理、亜酸化窒素（N_2O）プラズマ処理または酸化力の強い溶液（例えば、オゾン水等）を用いる処理等を施して、当該膜の表面にタングステンの酸化物を含む膜を形成してもよい。
[０４１４]
また、剥離膜５１０Ｗにポリイミド、ポリエステル、ポリオレフィン、ポリアミド、ポリカーボネー

ト若しくはアクリル樹脂等の有機材料を用いてもよい。例えば、剥離膜５１０Ｗにポリイミドを含む膜を用いてもよい。なお、剥離膜５１０Ｗに用いるポリイミドを含む膜は、２００℃以上、２５０℃以上、３００℃以上、または３５０℃以上の耐熱性を有することが好ましい。

［０４１５］

基板５１０としては、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板、半導体基板などを用いることができる。また、本実施の形態の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。

［０４１６］

例えば、第６世代（１５００ｍｍ×１８５０ｍｍ）、第７世代（１８７０ｍｍ×２２００ｍｍ）、第８世代（２２００ｍｍ×２４００ｍｍ）、第９世代（２４００ｍｍ×２８００ｍｍ）、第１０世代（２９５０ｍｍ×３４００ｍｍ）等の面積が基板を基板５１０に用いることで、大型の表示装置を作製することができる。

［０４１７］

本実施の形態では、基板５１０としてガラス基板を用いる。また、基板５１０に接して剥離膜５１０Ｗを形成する。本実施の形態では剥離膜５１０Ｗとしてタングステン膜を形成する。また、剥離膜５１０Ｗと接して絶縁膜７５４を形成する。なお、絶縁膜７５４は水素を含むことが好ましい。本実施の形態では、絶縁膜７５４として、プラズマＣＶＤ法によりシランガスと亜酸化窒素ガスを用いて酸化窒化シリコン膜を形成する。

［０４１８］

なお、本明細書などにおいて、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。また、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいう。なお、各元素の含有量は、例えば、ラザフォード後方散乱法（ＲＢＳ：Ｒｕｔｈｅｒｆｏｒｄ　Ｂａｃｋｓｃａｔｔｅｒｉｎｇ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）等を用いて測定することができる。

［０４１９］

〔第２のステップ〕

第２のステップにおいて、絶縁膜７５４を加熱する。絶縁膜７５４を加熱することで、絶縁膜７５４に含まれる水素を拡散させて、剥離膜５１０Ｗに到達させる（図１１（Ｕ２）参照。）。これにより、後のステップにおいて絶縁膜７５４と剥離膜５１０Ｗが分離しやすくなる。

［０４２０］

〔第３のステップ〕

第３のステップにおいて、絶縁膜７５４と重なる領域に、第１の導電膜として機能できる第１の電極７５１（ｉ，ｊ）および、同じ層で形成される他の配線または電極を形成する（図１１（Ｕ３）、および図１２（Ａ）参照。）。本実施の形態では、導電膜７５１ａ、導電膜７５１ｂ、および導電膜７５１ｃを積層し、フォトリソグラフィー法およびエッチング法を用いて所定の形状に加工して第１の電極７５１（ｉ，ｊ）を形成する。

[０４２１]
導電膜７５１ａおよび導電膜７５１ｃは可視光を透過する導電性材料で形成する。可視光を透過する導電性材料としては、例えば、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などを用いて形成することができる。また、金、銀、白金、マグネシウム、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、もしくはチタン等の金属材料、これら金属材料を含む合金、又はこれら金属材料の窒化物（例えば、窒化チタン）等も、透光性を有する程度に薄く形成することで用いることができる。
[０４２２]
導電膜７５１ｂは可視光を反射する導電性材料で形成する。可視光を反射する導電性材料としては、例えば、アルミニウム、金、白金、銀、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、もしくはパラジウム等の金属材料、またはこれら金属材料を含む合金を用いることができる。また、上記金属材料や合金に、ランタン、ネオジム、又はゲルマニウム等が添加されていてもよい。また、アルミニウムとチタンの合金、アルミニウムとニッケルの合金、アルミニウムとネオジムの合金等のアルミニウムを含む合金（アルミニウム合金）や、銀と銅の合金、銀とパラジウムと銅の合金、銀とマグネシウムの合金等の銀を含む合金を用いて形成することができる。銀と銅を含む合金は、耐熱性が高いため好ましい。
[０４２３]
なお、フォトリソグラフィー法およびエッチング法を用いて第１の電極７５１を形成する際、開口部７５１Ｈと重なる領域の導電膜７５１ｃは残してもよい。
[０４２４]
〔第４のステップ〕
第４のステップにおいて、開口部５９１Ａ、開口部５９１Ｂ、開口部５９１Ｃを有する絶縁膜５０１Ｃを形成する（図１１（Ｕ４）、および図１２（Ｂ）参照。）。
[０４２５]
絶縁膜５０１Ｃは、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルなどの酸化物材料や、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物材料などを、単層または多層で形成することができる。例えば、絶縁膜５０１Ｃを、酸化シリコンと窒化シリコンを積層した２層構造としてもよいし、上記材料を組み合わせた５層構造としてもよい。絶縁膜５０１Ｃは、スパッタリング法やＣＶＤ法、熱酸化法、塗布法、印刷法等を用いて形成することが可能である。
[０４２６]
絶縁膜５０１Ｃにより、外部からの不純物元素の拡散を防止、または低減することができる。また、絶縁膜５０１Ｃは、透水性の低い絶縁膜を用いて形成することが好ましい。例えば、透水性の低い絶縁膜の水蒸気透過量は、１×１０^{-5}ｇ／（$ｍ^{2}$・ｄａｙ）以下、好ましくは１×１０^{-6}ｇ／（$ｍ^{2}$・ｄａｙ）以下、より好ましくは１×１０^{-7}ｇ／（$ｍ^{2}$・ｄａｙ）以下、さらに好ましくは１×１０^{-8}ｇ／（$ｍ^{2}$・ｄａｙ）以下である。
[０４２７]
開口部５９１Ａ、開口部５９１Ｂおよび開口部５９１Ｃは、例えば、フォトリソグラフィー法および

エッチング法を用いて形成することができる。

[０４２８]

本実施の形態では、絶縁膜５０１Ｃとして、厚さ２００ｎｍ程度の酸化窒化シリコン膜を用いる。なお、開口部５９１Ｂと重なる領域を備える導電膜は端子５１９Ｂとして機能できる。また、開口部５９１Ｃと重なる導電膜は端子５１９Ｃとして機能できる。

[０４２９]

〔第５のステップ〕

第５のステップにおいて、開口部５９１Ａと重なる第２の導電膜（第２の導電膜と同じ層で形成される他の配線または電極を含む。）および画素回路５３０（ｉ，ｊ）を形成する（図１１（Ｕ５）、および図１３（Ａ）参照。）。

[０４３０]

図１３（Ｂ）はトランジスタＭＤおよびトランジスタＭの拡大図であり、図１３（Ｂ）はスイッチＳＷ１の拡大図である。例えば、スイッチＳＷ１に用いることができるトランジスタの導電膜５１２Ｂを第２の導電膜として用いることができる（図１３（Ｃ）参照。）。

[０４３１]

また、開口部５９１Ａに重なる領域を備える他の導電膜を用いて、第１の導電膜（第１の電極７５１（ｉ，ｊ））および第２の導電膜（導電膜５１２Ｂ）を電気的に接続することができる。例えば、導電膜５０４と同一の工程で形成することができる導電膜を、他の導電膜に用いることができる。

[０４３２]

〔第６のステップ〕

第６のステップにおいて、画素回路５３０（ｉ，ｊ）と電気的に接続される第２の表示素子５５０（ｉ，ｊ）を形成する（図１１（Ｕ６）、および図１４参照。）。

[０４３３]

〔第７のステップ〕

第７のステップにおいて、接合層５０５を介して基板５７０を設ける（図１１（Ｕ７）、および図１５参照。）。トランジスタＭＤ、トランジスタＭ、スイッチＳＷ１、および表示素子５５０などは、基板５１０と基板５７０に挟持される。

[０４３４]

基板５７０として金属材料を用いた基板を用いると、表示パネル７００の放熱性を高めることができる。また、基板５７０として樹脂材料を用いた基板を用いると、外部からの衝撃に強く、破損しにくい表示パネルを実現することができる。

[０４３５]

本実施の形態では、基板５７０として厚さ０．２ｍｍのステンレス基板を用いる。

[０４３６]

〔第８のステップ〕

第８のステップにおいて、工程用基板（基板５１０）を絶縁膜７５４から分離する（図１１（Ｕ８）、および図１６参照。）。

[０４３７]

具体的には、絶縁膜７５４から剥離膜５１０Ｗおよび基板５１０の一部が分離した剥離の起点を形成

する。剥離の起点は、例えば、レーザ等を用いる方法（具体的にはレーザアブレーション法）等または鋭利な先端を備える刃物等を用いる方法により形成することができる。

［０４３８］

次いで、剥離の起点から、上記の分離した領域を、徐々に広げ、剥離膜５１０Ｗおよび基板５１０を絶縁膜７５４から分離する。

［０４３９］

〔第９のステップ〕

第９のステップにおいて、絶縁膜７５４を除去する（図１１（Ｕ９）、および図１７参照。）。絶縁膜７５４の除去は、ドライエッチング法やウエットエッチング法などにより行うことができる。

［０４４０］

〔第１０のステップ〕

第１０のステップにおいて、導電膜７５１ａおよび絶縁膜５０１Ｃと隣接して配向膜ＡＦ１を形成する（図１１（Ｕ１０）、および図１８参照。）。

［０４４１］

例えば、印刷法を用いて、配向膜ＡＦ１に用いる可溶性のポリイミドを含む膜を形成する。可溶性のポリイミドを含む膜を用いることにより、配向膜ＡＦ１を形成する際に第２の表示素子５５０（ｉ，ｊ）に加わる温度を、ポリアミック酸等のポリイミド前駆体を用いる方法に比べて低温化することができる。その結果、表示パネルの生産性を向上することができる。また、利便性または信頼性に優れた新規な表示パネルの作製方法を提供することができる。

［０４４２］

〔第１１のステップ〕

第１１のステップにおいて、第１の表示素子７５０（ｉ，ｊ）を形成する（図１１（Ｕ１１）、および図２参照。）。本実施の形態では、基板７７０として樹脂材料を用いた基板を用いる。また、基板７７０として樹脂材料を用いた基板を用いると、外部からの衝撃に強く、破損しにくい表示パネルを実現することができる。

［０４４３］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０４４４］

（実施の形態５）

本実施の形態では、本発明の一態様の入出力装置の構成について、図１９を参照しながら説明する。

［０４４５］

図１９は、入出力装置８００の構成を説明する分解図である。

［０４４６］

入出力装置８００は、表示パネル８０６および表示パネル８０６と重なる領域を備えるタッチセンサ８０４を有する。なお、入出力装置８００は、タッチパネルとして機能できる。

［０４４７］

入出力装置８００は、タッチセンサ８０４および表示パネル８０６を駆動する駆動回路８１０と、駆動回路８１０に電力を供給するバッテリ８１１と、タッチセンサ８０４、表示パネル８０６、駆動回路８１０およびバッテリ８１１を収納する筐体部を有する。

［０４４８］
〔タッチセンサ８０４〕
タッチセンサ８０４は、表示パネル８０６と重なる領域を備える。なお、ＦＰＣ８０３はタッチセンサ８０４に電気的に接続される。
［０４４９］
例えば、抵抗膜方式、静電容量方式または光電変換素子を用いる方式等をタッチセンサ８０４に用いることができる。
［０４５０］
なお、タッチセンサ８０４を表示パネル８０６の一部に用いてもよい。
［０４５１］
〔表示パネル８０６〕
例えば、実施の形態１に示した表示パネルを表示パネル８０６に用いることができる。なお、ＦＰＣ８０５等は、表示パネル８０６に電気的に接続される。
［０４５２］
〔駆動回路８１０〕
例えば、電源回路または信号処理回路等を駆動回路８１０に用いることができる。なお、バッテリまたは外部の商用電源が供給する電力を利用してもよい。
［０４５３］
信号処理回路は、ビデオ信号及びクロック信号等を出力する機能を備える。
［０４５４］
電源回路は、所定の電力を供給する機能を備える。
［０４５５］
〔筐体部〕
例えば、上部カバー８０１と、上部カバー８０１と嵌めあわせられる下部カバー８０２と、上部カバー８０１および下部カバー８０２で囲まれる領域に収納されるフレーム８０９と、を筐体部に用いることができる。
［０４５６］
フレーム８０９は、表示パネル８０６を保護する機能、駆動回路８１０の動作に伴い発生する電磁波を遮断する機能または放熱板としての機能を有する。
［０４５７］
金属、樹脂またはエラストマー等を、上部カバー８０１、下部カバー８０２またはフレーム８０９に用いることができる。
［０４５８］
〔バッテリ８１１〕
バッテリ８１１は、電力を供給する機能を備える。
［０４５９］
なお、偏光板、位相差板、プリズムシートなどの機能性部材を入出力装置８００に用いることができる。
［０４６０］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[０４６１]

（実施の形態６）

本実施の形態では、本発明の一態様の情報処理装置の構成について、図２０乃至図２３を参照しながら説明する。

[０４６２]

図２０（Ａ）は、情報処理装置２００の構成を説明するブロック図である。図２０（Ｂ）および図２０（Ｃ）は、情報処理装置２００の外観の一例を説明する投影図である。

[０４６３]

図２１（Ａ）は、表示部２３０の構成を説明するブロック図である。図２１（Ｂ）は、表示部２３０Ｂの構成を説明するブロック図である。図２１（Ｃ）は、画素２３２（ｉ，ｊ）の構成を説明する回路図である。

[０４６４]

＜情報処理装置の構成例＞

本実施の形態で説明する情報処理装置２００は、演算装置２１０と入出力装置２２０と、を有する（図２０（Ａ）参照）。

[０４６５]

そして、演算装置２１０は、位置情報Ｐ１を供給され、画像情報Ｖおよび制御情報を供給する機能を備える。

[０４６６]

入出力装置２２０は、位置情報Ｐ１を供給する機能を備え、画像情報Ｖおよび制御情報を供給される。

[０４６７]

入出力装置２２０は、画像情報Ｖを表示する表示部２３０および位置情報Ｐ１を供給する入力部２４０を備える。

[０４６８]

また、表示部２３０は、第１の表示素子および第１の表示素子と重なる第２の表示素子を備える。また、第１の表示素子を駆動する第１の画素回路および第２の表示素子を駆動する第２の画素回路を備える。

[０４６９]

入力部２４０は、ポインタの位置を検知して、位置に基づいて決定された位置情報Ｐ１を供給する機能を備える。

[０４７０]

演算装置２１０は、位置情報Ｐ１に基づいてポインタの移動速度を決定する機能を備える。

[０４７１]

演算装置２１０は、画像情報Ｖのコントラストまたは明るさを移動速度に基づいて決定する機能を備える。

[０４７２]

本実施の形態で説明する情報処理装置２００は、位置情報Ｐ１を供給し、画像情報を供給される入出力装置２２０と、位置情報Ｐ１を供給され画像情報Ｖを供給する演算装置２１０と、を含んで構成さ

れ、演算装置２１０は、位置情報Ｐ１の移動速度に基づいて画像情報Ｖのコントラストまたは明るさを決定する機能を備える。

［０４７３］

これにより、画像情報の表示位置を移動する際に、使用者の目に与える負担を軽減することができ、使用者の目にやさしい表示をすることができる。また、消費電力を低減し、直射日光下等の明るい場所においても優れた視認性を提供できる。その結果、利便性または信頼性に優れた新規な情報処理装置を提供することができる。

［０４７４］

＜構成＞

本発明の一態様は、演算装置２１０または入出力装置２２０を備える。

［０４７５］

〔演算装置２１０〕

演算装置２１０は、演算部２１１および記憶部２１２を備える。また、伝送路２１４および入出力インターフェース２１５を備える（図２０（Ａ）参照）。

［０４７６］

〔演算部２１１〕

演算部２１１は、例えばプログラムを実行する機能を備える。例えば、実施の形態７で説明するＣＰＵを用いることができる。これにより、消費電力を十分に低減することができる。

［０４７７］

〔記憶部２１２〕

記憶部２１２は、例えば演算部２１１が実行するプログラム、初期情報、設定情報または画像等を記憶する機能を有する。

［０４７８］

具体的には、ハードディスク、フラッシュメモリまたは酸化物半導体を含むトランジスタを用いたメモリ等を用いることができる。

［０４７９］

〔入出力インターフェース２１５、伝送路２１４〕

入出力インターフェース２１５は端子または配線を備え、情報を供給し、情報を供給される機能を備える。例えば、伝送路２１４と電気的に接続することができる。また、入出力装置２２０と電気的に接続することができる。

［０４８０］

伝送路２１４は配線を備え、情報を供給し、情報を供給される機能を備える。例えば、入出力インターフェース２１５と電気的に接続することができる。また、演算部２１１、記憶部２１２または入出力インターフェース２１５と電気的に接続することができる。

［０４８１］

〔入出力装置２２０〕

入出力装置２２０は、表示部２３０、入力部２４０、検知部２５０または通信部２９０を備える。

［０４８２］

〔表示部２３０〕

表示部２３０は、表示領域２３１と、駆動回路ＧＤと、駆動回路ＳＤと、を有する（図２１（Ａ）参照）。例えば、実施の形態１に示した表示パネルを用いることができる。これにより、消費電力を低減することができる。

［０４８３］

表示領域２３１は、単数または複数の画素２３２（ｉ，ｊ）と、行方向に配設される画素２３２（ｉ，ｊ）と電気的に接続される走査線Ｇ１（ｉ）および走査線Ｇ２（ｉ）と、行方向と交差する列方向に配設される画素２３２（ｉ，ｊ）と電気的に接続される信号線Ｓ１（ｊ）および信号線Ｓ２（ｊ）と、を備える。なお、ｉは１以上ｍ以下の整数であり、ｊは１以上ｎ以下の整数であり、ｍおよびｎは１以上の整数である。

［０４８４］

なお、画素２３２（ｉ，ｊ）は、走査線Ｇ１（ｉ）、走査線Ｇ２（ｉ）、信号線Ｓ１（ｊ）信号線Ｓ２（ｊ）、配線ＡＮＯ、配線ＣＳＣＯＭ、配線ＶＣＯＭ１および配線ＶＣＯＭ２と電気的に接続される（図２１（Ｃ）参照）。

［０４８５］

また、表示部は、複数の駆動回路を有することができる。例えば、表示部２３０Ｂは、駆動回路ＧＤＡおよび駆動回路ＧＤＢを有することができる（図２１（Ｂ）参照）。

［０４８６］

〔駆動回路ＧＤ〕

駆動回路ＧＤは、制御情報に基づいて選択信号を供給する機能を有する。

［０４８７］

一例を挙げれば、制御情報に基づいて、３０Ｈｚ以上、好ましくは６０Ｈｚ以上の頻度で一の走査線に選択信号を供給する機能を備える。これにより、動画像をなめらかに表示することができる。

［０４８８］

例えば、制御情報に基づいて、３０Ｈｚ未満、好ましくは１Ｈｚ未満より好ましくは一分に一回未満の頻度で一の走査線に選択信号を供給する機能を備える。これにより、フリッカーが抑制された状態で静止画像を表示することができる。

［０４８９］

また、例えば、複数の駆動回路を備える場合、駆動回路ＧＤＡが選択信号を供給する頻度と、駆動回路ＧＤＢが選択信号を供給する頻度を、異ならせることができる。具体的には、動画像を滑らかに表示する領域に、静止画像をフリッカーが抑制された状態で表示する領域より高い頻度で選択信号を供給することができる。

［０４９０］

〔駆動回路ＳＤ〕

駆動回路ＳＤは、画像情報Ｖに基づいて画像信号を供給する機能を有する。

［０４９１］

〔画素２３２（ｉ，ｊ）〕

画素２３２（ｉ，ｊ）は、第１の表示素子２３５ＬＣおよび第１の表示素子２３５ＬＣと重なる第２の表示素子２３５ＥＬを備える。また、第１の表示素子２３５ＬＣおよび第２の表示素子２３５ＥＬを駆動する画素回路を備える（図２１（Ｃ）参照）。

［０４９２］
〔第１の表示素子２３５ＬＣ〕
例えば、光の反射または透過を制御する機能を備える表示素子を、表示素子２３５ＬＣに用いることができる。例えば、液晶素子と偏光板を組み合わせた構成またはシャッター方式のＭＥＭＳ表示素子等を用いることができる。反射型の表示素子を用いることにより、表示パネルの消費電力を抑制することができる。具体的には、反射型の液晶表示素子を表示素子２３５ＬＣに用いることができる。
［０４９３］
第１の表示素子２３５ＬＣは、第１電極と、第２電極と、液晶層と、を有する。液晶層は、第１電極および第２電極の間の電圧を用いて配向を制御することができる液晶材料を含む。例えば、液晶層の厚さ方向（縦方向ともいう）、横方向または斜め方向の電界を、液晶材料の配向を制御する電界に用いることができる。
［０４９４］
〔第２の表示素子２３５ＥＬ〕
例えば、光を射出する機能を備える表示素子を第２の表示素子２３５ＥＬに用いることができる。具体的には、有機ＥＬ素子を用いることができる。
［０４９５］
具体的には、白色の光を射出する機能を備える有機ＥＬ素子を第２の表示素子２３５ＥＬに用いることができる。または、青色の光、緑色の光または赤色の光を射出する有機ＥＬ素子を第２の表示素子２３５ＥＬに用いることができる。
［０４９６］
〔画素回路〕
第１の表示素子または第２の表示素子を駆動する機能を備える回路を画素回路に用いることができる。
［０４９７］
スイッチ、トランジスタ、ダイオード、抵抗素子、インダクタまたは容量素子等を画素回路に用いることができる。
［０４９８］
例えば、単数または複数のトランジスタをスイッチに用いることができる。または、並列に接続された複数のトランジスタ、直列に接続された複数のトランジスタ、直列と並列が組み合わされて接続された複数のトランジスタを、一のスイッチに用いることができる。
［０４９９］
〔トランジスタ〕
例えば、同一の工程で形成することができる半導体膜を駆動回路および画素回路のトランジスタに用いることができる。
［０５００］
例えば、ボトムゲート型のトランジスタ、またはトップゲート型のトランジスタなどを用いることができる。
［０５０１］
ところで、例えば、アモルファスシリコンを半導体に用いるボトムゲート型のトランジスタの製造ラ

インは、酸化物半導体を半導体に用いるボトムゲート型のトランジスタの製造ラインに容易に改造できる。また、例えばポリシリコンを半導体に用いるトップゲート型の製造ラインは、酸化物半導体を半導体に用いるトップゲート型のトランジスタの製造ラインに容易に改造できる。

[０５０２]

例えば、１４族の元素を含む半導体を用いるトランジスタを利用することができる。具体的には、シリコンを含む半導体を半導体膜に用いることができる。例えば、単結晶シリコン、ポリシリコン、微結晶シリコンまたはアモルファスシリコンなどを半導体膜に用いたトランジスタを用いることができる。

[０５０３]

なお、半導体にポリシリコンを用いるトランジスタの作製に要する温度は、半導体に単結晶シリコンを用いるトランジスタに比べて低い。

[０５０４]

また、ポリシリコンを半導体に用いるトランジスタの電界効果移動度は、アモルファスシリコンを半導体に用いるトランジスタに比べて高い。これにより、画素の開口率を向上することができる。また、極めて高い精細度で設けられた画素と、ゲート駆動回路およびソース駆動回路を同一の基板上に形成することができる。その結果、電子機器を構成する部品数を低減することができる。

[０５０５]

また、ポリシリコンを半導体に用いるトランジスタの信頼性は、アモルファスシリコンを半導体に用いるトランジスタに比べて優れる。

[０５０６]

例えば、酸化物半導体を用いるトランジスタを利用することができる。具体的には、インジウムを含む酸化物半導体またはインジウムとガリウムと亜鉛を含む酸化物半導体を半導体膜に用いることができる。

[０５０７]

一例を挙げれば、オフ状態におけるリーク電流が、半導体膜にアモルファスシリコンを用いたトランジスタより小さいトランジスタを用いることができる。具体的には、半導体膜に酸化物半導体を用いたトランジスタを用いることができる。

[０５０８]

これにより、画素回路が画像信号を保持することができる時間を、アモルファスシリコンを半導体膜に用いたトランジスタを利用する画素回路が保持することができる時間より長くすることができる。具体的には、フリッカーの発生を抑制しながら、選択信号を３０Ｈｚ未満、好ましくは１Ｈｚ未満より好ましくは一分に一回未満の頻度で供給することができる。その結果、情報処理装置の使用者に蓄積する疲労を低減することができる。また、駆動に伴う消費電力を低減することができる。

[０５０９]

また、例えば、化合物半導体を用いるトランジスタを利用することができる。具体的には、ガリウムヒ素を含む半導体を半導体膜に用いることができる。

[０５１０]

例えば、有機半導体を用いるトランジスタを利用することができる。具体的には、ポリアセン類またはグラフェンを含む有機半導体を半導体膜に用いることができる。

[０５１１]
〔入力部２４０〕
さまざまなヒューマンインターフェイス等を入力部２４０に用いることができる(図２０(Ａ)参照)。
[０５１２]
例えば、キーボード、ポインティングデバイス、タッチセンサ、マイクまたはカメラ等を入力部２４０に用いることができる。なお、表示部２３０に重なる領域を備えるタッチセンサを用いることができる。表示部２３０と表示部２３０に重なる領域を備えるタッチセンサを備える入出力装置を、タッチパネルということができる。
[０５１３]
例えば、使用者は、タッチパネルに触れた指をポインタに用いて様々なジェスチャー（タップ、ドラッグ、スワイプまたはピンチイン等）をすることができる。
[０５１４]
例えば、演算装置２１０は、タッチパネルに接触する指の位置または軌跡等の情報を解析し、解析結果が所定の条件を満たすとき、特定のジェスチャーが供給されたとすることができる。これにより、使用者は、所定のジェスチャーにあらかじめ関連付けられた所定の操作命令を、当該ジェスチャーを用いて供給できる。
[０５１５]
一例を挙げれば、使用者は、画像情報の表示位置を変更する「スクロール命令」を、タッチパネルに沿ってタッチパネルに接触する指を移動するジェスチャーを用いて供給できる。
[０５１６]
〔検知部２５０〕
検知部２５０は、周囲の状態を検知して情報Ｐ２を取得する機能を備える。
[０５１７]
例えば、カメラ、加速度センサ、方位センサ、圧力センサ、温度センサ。湿度センサ、照度センサまたはＧＰＳ（Ｇｌｏｂａｌ　ｐｏｓｉｔｉｏｎｉｎｇ　Ｓｙｓｔｅｍ）信号受信回路等を、検知部２５０に用いることができる。
[０５１８]
例えば、検知部２５０の照度センサが検知した周囲の明るさを、演算装置２１０が、所定の照度と比較して十分に明るいと判断した場合、画像情報を第１の表示素子２３５ＬＣを使用して表示する。または、薄暗いと判断した場合、画像情報を第１の表示素子２３５ＬＣおよび第２の表示素子２３５ＥＬを使用して表示する。または、暗いと判断した場合、画像情報を第２の表示素子２３５ＥＬを使用して表示する。
[０５１９]
具体的には、反射型の液晶素子または／および有機ＥＬ素子を用いて、周囲の明るさに基づいて画像を表示する。
[０５２０]
これにより、例えば、外光の強い環境において反射型の表示素子を用い、薄暗い環境において自発光型の表示素子を用いて画像情報を表示することができる。その結果、消費電力が低減された、利便性または信頼性に優れた新規な情報処理装置を提供することができる。

［０５２１］
例えば、環境光の色度を検出する機能を備えるセンサを検知部２５０に用いることができる。具体的には、ＣＣＤカメラ等を用いることができる。これにより、例えば、検知部２５０が検出した環境光の色度に基づいて、ホワイトバランスの偏りを補うことができる。
［０５２２］
具体的には、第１のステップにおいて、環境光のホワイトバランスの偏りを検知する。
［０５２３］
第２のステップにおいて、第１の表示素子を用いて環境光を反射して表示する画像に不足する色の光の強さを予測する。
［０５２４］
第３のステップにおいて、第１の表示素子を用いて環境光を反射し、第２の表示素子を用いて不足する色の光を補うように光を射出して、画像を表示する。
［０５２５］
これにより、ホワイトバランスが偏った環境光を第１の表示素子が反射する光と、第２の表示素子が射出する光を用いて、ホワイトバランスの偏りが補正された表示をすることができる。その結果、消費電力が低減された、またはホワイトバランスが整えられた画像を表示することができる、利便性または信頼性に優れた新規な情報処理装置を提供することができる。
［０５２６］
〔通信部２９０〕
通信部２９０は、ネットワークに情報を供給し、ネットワークから情報を取得する機能を備える。
［０５２７］
〔プログラム〕
図２２および図２３を参照しながら、本発明の一態様を、本発明の一態様のプログラムを用いて説明する。
［０５２８］
図２２（Ａ）は、本発明の一態様のプログラムの主の処理を説明するフローチャートであり、図２２（Ｂ）は、割り込み処理を説明するフローチャートである。
［０５２９］
図２３は、表示部２３０に画像情報を表示する方法を説明する模式図である。
［０５３０］
本発明の一態様のプログラムは、下記のステップを有するプログラムである（図２２（Ａ）参照）。
［０５３１］
第１のステップにおいて、設定を初期化する（図２２（Ａ）（Ｓ１）参照）。
［０５３２］
一例を挙げれば、所定の画像情報と第２のモードを初期設定に用いることができる。
［０５３３］
例えば、静止画像を所定の画像情報に用いることができる。または、選択信号を３０Ｈｚ未満、好ましくは１Ｈｚ未満より好ましくは一分に一回未満の頻度で供給するモードを第２のモードに用いることができる。

[０５３４]
第２のステップにおいて、割り込み処理を許可する（図２２（Ａ）（Ｓ２）参照)。なお、割り込み処理が許可された演算装置は、主の処理と並行して割り込み処理を行うことができる。割り込み処理から主の処理に復帰した演算装置は、割り込み処理をして得た結果を主の処理に反映することができる。
[０５３５]
なお、カウンタの値が初期値であるとき、演算装置に割り込み処理をさせ、割り込み処理から復帰する際に、カウンタを初期値以外の値としてもよい。これにより、プログラムを起動した後に常に割り込み処理をさせることができる。
[０５３６]
第３のステップにおいて、第１のステップまたは割り込み処理において選択された、所定のモードで画像情報を表示する（図２２（Ａ）（Ｓ３）参照)。
[０５３７]
一例を挙げれば、初期設定に基づいて、第２のモードで所定の画像情報を表示する。
[０５３８]
具体的には、３０Ｈｚ未満、好ましくは１Ｈｚ未満より好ましくは一分に一回未満の頻度で一の走査線に選択信号を供給するモードを用いて、所定の画像情報を表示する。
[０５３９]
例えば、時刻Ｔ１に選択信号を供給し、表示部２３０に第１の画像情報ＰＩＣ１を表示する（図２３参照)。また、例えば１秒後の時刻Ｔ２に選択信号を供給し所定の画像情報を表示する。
[０５４０]
または、割り込み処理において所定のイベントが供給されない場合において、第２のモードで一の画像情報を表示する。
[０５４１]
例えば、時刻Ｔ５に選択信号を供給し、表示部２３０に第４の画像情報ＰＩＣ４を表示する。また、例えば１秒後の時刻Ｔ６に選択信号を供給し同一の画像情報を表示する。なお、時刻Ｔ５から時刻Ｔ６までの期間は、時刻Ｔ１から時刻Ｔ２までの期間と同じにすることができる。
[０５４２]
一例を挙げれば、割り込み処理において、所定のイベントが供給された場合、第１のモードで所定の画像情報を表示する。
[０５４３]
具体的には、割り込み処理において、「ページめくり命令」と関連付けられたイベントが供給された場合、３０Ｈｚ以上、好ましくは６０Ｈｚ以上の頻度で一の走査線に選択信号を供給するモードを用いて、表示されている一の画像情報から他の画像情報に表示を切り替える。
[０５４４]
または、割り込み処理において、「スクロール命令」と関連付けられたイベントが供給された場合、３０Ｈｚ以上、好ましくは６０Ｈｚ以上の頻度で一の走査線に選択信号を供給するモードを用いて、表示されていた第１の画像情報ＰＩＣ１の一部およびそれに連続する部分を含む第２の画像情報ＰＩＣ２を表示する。
[０５４５]

これにより、例えば「ページめくり命令」に伴って画像が徐々に切り替わる動画像を滑らかに表示することができる。または、「スクロール命令」に伴って画像が徐々に移動する動画像を滑らかに表示することができる。

[０５４６]

具体的には、「スクロール命令」と関連付けられたイベントが供給された後の時刻Ｔ３に選択信号を供給し、表示位置等が変更された第２の画像情報ＰＩＣ２を表示する（図２３参照）。また、時刻Ｔ４に選択信号を供給し、さらに表示位置等が変更された第３の画像情報ＰＩＣ３を表示する。なお、時刻Ｔ２から時刻Ｔ３までの期間、時刻Ｔ３から時刻Ｔ４までの期間および時刻Ｔ４から時刻Ｔ５までの期間は、時刻Ｔ１から時刻Ｔ２までの期間より短い。

[０５４７]

第４のステップにおいて、終了命令が供給された場合は第５のステップに進み、終了命令が供給されなかった場合は第３のステップに進むように選択する（図２２（Ａ）（Ｓ４）参照）。

[０５４８]

なお、例えば、割り込み処理において、終了命令を供給することができる。

[０５４９]

第５のステップにおいて、終了する（図２２（Ａ）（Ｓ５）参照）。

[０５５０]

割り込み処理は以下の第６のステップ乃至第９のステップを備える（図２２（Ｂ）参照）。

[０５５１]

第６のステップにおいて、所定の期間の間に所定のイベントが供給された場合は、第７のステップに進み、所定のイベントが供給されなかった場合は、第８のステップに進む（図２２（Ｂ）（Ｓ６）参照）。

[０５５２]

例えば、０．５秒未満好ましくは０．１秒未満を所定の期間とすることができる。

[０５５３]

また、例えば終了命令を関連付けたイベントを所定のイベントに含めることができる。

[０５５４]

第７のステップにおいて、第１のモードを選択する（図２２（Ｂ）（Ｓ７）参照）。

[０５５５]

第８のステップにおいて、第２のモードを選択する（図２２（Ｂ）（Ｓ８）参照）。

[０５５６]

第９のステップにおいて、割り込み処理から復帰する（図２２（Ｂ）（Ｓ９）参照）。

[０５５７]

〔所定のイベント〕

様々な命令に様々なイベントを関連付けることができる。

[０５５８]

例えば、表示されている一の画像情報から他の画像情報に表示を切り替える「ページめくり命令」、一の画像情報の表示されている一部分の表示位置を移動して、一部分に連続する他の部分を表示する「スクロール命令」などがある。

[０５５９]
例えば、マウス等のポインティング装置を用いて供給する、「クリック」や「ドラッグ」等のイベント、指等をポインタに用いてタッチパネルに供給する、「タップ」、「ドラッグ」または「スワイプ」等のイベントを用いることができる。
[０５６０]
例えば、ポインタを用いて指し示すスライドバーの位置、スワイプの速度、ドラッグの速度等を用いて、さまざまな命令に引数を与えることができる。
[０５６１]
具体的には、「ページめくり命令」を実行する際に用いるページをめくる速度などを決定する引数や、「スクロール命令」を実行する際に用いる表示位置を移動する速度などを決定する引数を与えることができる。
[０５６２]
また、例えば、ページをめくる速度または／およびスクロール速度に応じて、表示の明るさ、コントラストまたは色味を変化してもよい。
[０５６３]
具体的には、ページをめくる速度または／およびスクロール速度が所定の速度より速い場合に、速度と同期して表示の明るさが暗くなるように表示してもよい。
[０５６４]
または、ページをめくる速度または／およびスクロール速度が所定の速度より速い場合に、速度と同期してコントラストが低下するように表示してもよい。
[０５６５]
例えば、表示されている画像を目で追いかけ難い速度を、所定の速度に用いることができる。
[０５６６]
また、画像情報に含まれる明るい階調の領域を暗い階調に近づけてコントラストを低下する方法を用いることができる。
[０５６７]
また、画像情報に含まれる暗い階調の領域を明るい階調に近づけてコントラストを低下する方法を用いることができる。
[０５６８]
具体的には、ページをめくる速度または／およびスクロール速度が所定の速度より速い場合に、速度と同期して黄色味が強くなるように表示してもよい。または、青みが弱くなるように表示してもよい。
[０５６９]
ところで、検知部２５０を用いて情報処理装置の使用環境を検知して、検知された情報に基づいて、画像情報を生成してもよい。例えば、環境の明るさ等を検知して、画像情報の背景に使用者の嗜好に合わせた色を用いることができる（図２０（Ｂ）参照）。
[０５７０]
ところで、通信部２９０を用いて特定の空間に配信された情報を受信して、受信した情報に基づいて、画像情報を生成してもよい。例えば、学校または大学等の教室で配信される教材を受信して表示して、教科書に用いることができる。または、企業等の会議室で配信される資料を受信して表示することが

できる（図２０（Ｃ）参照）。

［０５７１］

これにより、情報処理装置２００を使用する使用者に好適な環境を提供することができる。

［０５７２］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０５７３］

（実施の形態７）

本実施の形態では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）、およびそれを含むＣＰＵについて説明する。本実施の形態で説明するＣＰＵは、例えば、実施の形態６で説明する情報処理装置に用いる事が出来る。

［０５７４］

＜記憶装置＞

電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図２４に示す。なお、図２４（Ｂ）は図２４（Ａ）を回路図で表したものである。

［０５７５］

図２４（Ａ）及び（Ｂ）に示す半導体装置は、第１の半導体材料を用いたトランジスタ３２００と第２の半導体材料を用いたトランジスタ３３００、および容量素子３４００を有している。

［０５７６］

第１の半導体材料と第２の半導体材料は異なるエネルギーギャップを持つ材料とすることが好ましい。例えば、第１の半導体材料を酸化物半導体以外の半導体材料（シリコン（歪シリコン含む）、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体など）とし、第２の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

［０５７７］

トランジスタ３３００としては、チャネルが形成される半導体層に酸化物半導体を用いたトランジスタ（「ＯＳトランジスタ」ともいう。）が好ましい。ＯＳトランジスタはオフ電流が小さいため、トランジスタ３３００にＯＳトランジスタを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

［０５７８］

なお、本明細書などにおける回路図において、ＯＳトランジスタを用いることが好ましいトランジスタに「ＯＳ」の記号を付している。

［０５７９］

図２４（Ｂ）において、第１の配線３００１はトランジスタ３２００のソース電極と電気的に接続され、第２の配線３００２はトランジスタ３２００のドレイン電極と電気的に接続されている。また、第３の配線３００３はトランジスタ３３００のソース電極またはドレイン電極の一方と電気的に接続され、第４の配線３００４はトランジスタ３３００のゲート電極と電気的に接続されている。そし

て、トランジスタ３２００のゲート電極、トランジスタ３３００のソース電極またはドレイン電極の他方、および容量素子３４００の電極の一方はノードＦＮと電気的に接続され、容量素子３４００の電極の他方は第５の配線３００５と電気的に接続されている。

［０５８０］

図２４（Ａ）に示す半導体装置では、トランジスタ３２００のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

［０５８１］

情報の書き込みおよび保持について説明する。まず、第４の配線３００４の電位を、トランジスタ３３００がオン状態となる電位にして、トランジスタ３３００をオン状態とする。これにより、第３の配線３００３の電位が、ノードＦＮに与えられる。すなわち、トランジスタ３２００のゲートに所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Ｌｏｗレベル電荷、Ｈｉｇｈレベル電荷という）のいずれかが与えられるものとする。その後、第４の配線３００４の電位を、トランジスタ３３００がオフ状態となる電位にして、トランジスタ３３００をオフ状態とすることにより、ノードＦＮに与えられた電荷が保持される（保持）。

［０５８２］

トランジスタ３３００のオフ電流は極めて小さいため、ノードＦＮに与えられた電荷は長時間にわたって保持される。

［０５８３］

次に情報の読み出しについて説明する。第１の配線３００１に所定の電位（定電位）を与えた状態で、第５の配線３００５に適切な電位（読み出し電位）を与えると、ノードＦＮに保持された電荷量に応じて、第２の配線３００２は異なる電位をとる。一般に、トランジスタ３２００をｎチャネル型とすると、トランジスタ３２００のゲート電極（ノードＦＮ）にＨｉｇｈレベル電荷が与えられている場合の見かけのしきい値Ｖｔｈ＿Ｈは、トランジスタ３２００のゲート電極にＬｏｗレベル電荷が与えられている場合の見かけのしきい値Ｖｔｈ＿Ｌより低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ３２００を「オン状態」とするために必要な第５の配線３００５の電位をいうものとする。したがって、第５の配線３００５の電位をＶｔｈ＿ＨとＶｔｈ＿Ｌの間の電位Ｖ０とすることにより、ノードＦＮに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードＦＮにＨｉｇｈレベル電荷が与えられていた場合には、第５の配線３００５の電位がＶ０（＞Ｖｔｈ＿Ｈ）となれば、トランジスタ３２００は「オン状態」となる。Ｌｏｗレベル電荷が与えられていた場合には、第５の配線３００５の電位がＶ０（＜Ｖｔｈ＿Ｌ）となっても、トランジスタ３２００は「オフ状態」のままである。このため、第２の配線３００２の電位を判別することで、保持されている情報を読み出すことができる。

［０５８４］

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。例えば、情報を読み出さないメモリセルにおいては、ゲートに与えられている電位にかかわらずトランジスタ３２００が「オフ状態」となるような電位を第５の配線３００５に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。または、ゲートに与えられている電位にかかわらずトランジスタ３２００が「オン状態」となるような電位を第５の配線３００５に与えればよい。

[０５８５]
次に、図２４（Ｃ）に示す半導体装置の情報の読み出しについて説明する。図２４（Ｃ）に示す半導体装置は、トランジスタ３２００を設けていない点で図２４（Ａ）と相違している。ただし、この場合も上記と同様の動作により情報の書き込みおよび保持動作が可能である。
[０５８６]
トランジスタ３３００がオン状態となると、浮遊状態である第３の配線３００３と容量素子３４００とが導通し、第３の配線３００３と容量素子３４００の間で電荷が再分配される。その結果、第３の配線３００３の電位が変化する。第３の配線３００３の電位の変化量は、容量素子３４００の電極の一方の電位（または容量素子３４００に蓄積された電荷）によって、異なる値をとる。
[０５８７]
例えば、容量素子３４００の電極の一方の電位をＶ、容量素子３４００の容量をＣ、第３の配線３００３が有する容量成分をＣＢ、電荷が再分配される前の第３の配線３００３の電位をＶＢ０とすると、電荷が再分配された後の第３の配線３００３の電位は、（ＣＢ×ＶＢ０＋Ｃ×Ｖ）／（ＣＢ＋Ｃ）となる。従って、メモリセルの状態として、容量素子３４００の電極の一方の電位がＶ１とＶ０（Ｖ１＞Ｖ０）の２状態をとるとすると、電位Ｖ１を保持している場合のビット線ＢＬの電位（＝（ＣＢ×ＶＢ０＋Ｃ×Ｖ１）／（ＣＢ＋Ｃ））は、電位Ｖ０を保持している場合のビット線ＢＬの電位（＝（ＣＢ×ＶＢ０＋Ｃ×Ｖ０）／（ＣＢ＋Ｃ））よりも高くなることがわかる。
[０５８８]
そして、第３の配線３００３の電位を所定の電位と比較することで、情報を読み出すことができる。
[０５８９]
この場合、メモリセルを駆動させるための駆動回路に上記第１の半導体材料が適用されたトランジスタを用い、トランジスタ３３００として第２の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。
[０５９０]
本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。
[０５９１]
また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、本実施の形態に示す半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。
[０５９２]
なお、上記の記憶装置は、例えば、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）の

他に、ＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）、カスタムＬＳＩ、ＰＬＤ（Ｐｒｏｇｒａｍｍａｂｌｅ　Ｌｏｇｉｃ　Ｄｅｖｉｃｅ）等のＬＳＩ、ＲＦ－ＩＤ（Ｒａｄｉｏ　Ｆｒｅｑｕｅｎｃｙ　Ｉｄｅｎｔｉｆｉｃａｔｉｏｎ）にも応用可能である。

［０５９３］

＜ＣＰＵ＞

以下で、上記の記憶装置を含むＣＰＵについて説明する。

［０５９４］

図２５は、上記の記憶装置を含むＣＰＵの一例の構成を示すブロック図である。

［０５９５］

図２５に示すＣＰＵは、基板１１９０上に、ＡＬＵ１１９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ、演算回路）、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、タイミングコントローラ１１９５、レジスタ１１９６、レジスタコントローラ１１９７、バスインターフェース１１９８（Ｂｕｓ　Ｉ／Ｆ）、書き換え可能なＲＯＭ１１９９、及びＲＯＭインターフェース１１８９（ＲＯＭ　Ｉ／Ｆ）を有している。基板１１９０は、半導体基板、ＳＯＩ基板、ガラス基板などを用いる。ＲＯＭ１１９９及びＲＯＭインターフェース１１８９は、別チップに設けてもよい。もちろん、図２５に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。例えば、図２５に示すＣＰＵまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、ＣＰＵが内部演算回路やデータバスで扱えるビット数は、例えば８ビット、１６ビット、３２ビット、６４ビットなどとすることができる。

［０５９６］

バスインターフェース１１９８を介してＣＰＵに入力された命令は、インストラクションデコーダ１１９３に入力され、デコードされた後、ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５に入力される。

［０５９７］

ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５は、デコードされた命令に基づき、各種制御を行なう。具体的にＡＬＵコントローラ１１９２は、ＡＬＵ１１９１の動作を制御するための信号を生成する。また、インタラプトコントローラ１１９４は、ＣＰＵのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ１１９７は、レジスタ１１９６のアドレスを生成し、ＣＰＵの状態に応じてレジスタ１１９６の読み出しや書き込みを行なう。

［０５９８］

また、タイミングコントローラ１１９５は、ＡＬＵ１１９１、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、及びレジスタコントローラ１１９７の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ１１９５は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

［０５９９］

図２５に示すＣＰＵでは、レジスタ１１９６に、メモリセルが設けられている。

［０６００］

図２５に示すＣＰＵにおいて、レジスタコントローラ１１９７は、ＡＬＵ１１９１からの指示に従い、レジスタ１１９６における保持動作の選択を行う。すなわち、レジスタ１１９６が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ１１９６内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ１１９６内のメモリセルへの電源電圧の供給を停止することができる。

［０６０１］

図２６は、レジスタ１１９６として用いることのできる記憶素子の回路図の一例である。記憶素子１２００は、電源遮断で記憶データが揮発する回路１２０１と、電源遮断で記憶データが揮発しない回路１２０２と、スイッチ１２０３と、スイッチ１２０４と、論理素子１２０６と、容量素子１２０７と、選択機能を有する回路１２２０と、を有する。回路１２０２は、容量素子１２０８と、トランジスタ１２０９と、トランジスタ１２１０と、を有する。なお、記憶素子１２００は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

［０６０２］

ここで、回路１２０２には、上述した記憶装置を用いることができる。記憶素子１２００への電源電圧の供給が停止した際、回路１２０２のトランジスタ１２０９のゲートには接地電位（０Ｖ）、またはトランジスタ１２０９がオフする電位が入力され続ける構成とする。例えば、トランジスタ１２０９のゲートが抵抗等の負荷を介して接地される構成とする。

［０６０３］

スイッチ１２０３は、一導電型（例えば、ｎチャネル型）のトランジスタ１２１３を用いて構成され、スイッチ１２０４は、一導電型とは逆の導電型（例えば、ｐチャネル型）のトランジスタ１２１４を用いて構成した例を示す。ここで、スイッチ１２０３の第１の端子はトランジスタ１２１３のソースとドレインの一方に対応し、スイッチ１２０３の第２の端子はトランジスタ１２１３のソースとドレインの他方に対応し、スイッチ１２０３はトランジスタ１２１３のゲートに入力される制御信号ＲＤによって、第１の端子と第２の端子の間の導通または非導通（つまり、トランジスタ１２１３のオン状態またはオフ状態）が選択される。スイッチ１２０４の第１の端子はトランジスタ１２１４のソースとドレインの一方に対応し、スイッチ１２０４の第２の端子はトランジスタ１２１４のソースとドレインの他方に対応し、スイッチ１２０４はトランジスタ１２１４のゲートに入力される制御信号ＲＤによって、第１の端子と第２の端子の間の導通または非導通（つまり、トランジスタ１２１４のオン状態またはオフ状態）が選択される。

［０６０４］

トランジスタ１２０９のソースとドレインの一方は、容量素子１２０８の一対の電極のうちの一方、及びトランジスタ１２１０のゲートと電気的に接続される。ここで、接続部分をノードＭ２とする。トランジスタ１２１０のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばＧＮＤ線）に電気的に接続され、他方は、スイッチ１２０３の第１の端子（トランジスタ１２１３のソースとドレインの一方）と電気的に接続される。スイッチ１２０３の第２の端子（トランジスタ

１２１３のソースとドレインの他方）はスイッチ１２０４の第１の端子（トランジスタ１２１４のソースとドレインの一方）と電気的に接続される。スイッチ１２０４の第２の端子（トランジスタ１２１４のソースとドレインの他方）は電源電位ＶＤＤを供給することのできる配線と電気的に接続される。スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）と、スイッチ１２０４の第１の端子（トランジスタ１２１４のソースとドレインの一方）と、論理素子１２０６の入力端子と、容量素子１２０７の一対の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノードＭ１とする。容量素子１２０７の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（ＧＮＤ等）または高電源電位（ＶＤＤ等）が入力される構成とすることができる。容量素子１２０７の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えばＧＮＤ線）と電気的に接続される。容量素子１２０８の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（ＧＮＤ等）または高電源電位（ＶＤＤ等）が入力される構成とすることができる。容量素子１２０８の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えばＧＮＤ線）と電気的に接続される。

［０６０５］

なお、容量素子１２０７及び容量素子１２０８は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

［０６０６］

トランジスタ１２０９の第１ゲート（第１のゲート電極）には、制御信号ＷＥが入力される。スイッチ１２０３及びスイッチ１２０４は、制御信号ＷＥとは異なる制御信号ＲＤによって第１の端子と第２の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第１の端子と第２の端子の間が導通状態のとき他方のスイッチの第１の端子と第２の端子の間は非導通状態となる。

［０６０７］

トランジスタ１２０９のソースとドレインの他方には、回路１２０１に保持されたデータに対応する信号が入力される。図２６では、回路１２０１から出力された信号が、トランジスタ１２０９のソースとドレインの他方に入力される例を示した。スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）から出力される信号は、論理素子１２０６によってその論理値が反転された反転信号となり、回路１２２０を介して回路１２０１に入力される。

［０６０８］

なお、図２６では、スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）から出力される信号は、論理素子１２０６及び回路１２２０を介して回路１２０１に入力する例を示したがこれに限定されない。スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路１２０１に入力されてもよい。例えば、回路１２０１内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ１２０３の第２の端子（トランジスタ１２１３のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

［０６０９］

また、図２６において、記憶素子１２００に用いられるトランジスタのうち、トランジスタ１２０９以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板１１９０にチャネルが形成さ

れるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子１２００に用いられるトランジスタ全てを、チャネルが酸化物半導体膜で形成されるトランジスタとすることもできる。または、記憶素子１２００は、トランジスタ１２０９以外にも、チャネルが酸化物半導体膜で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板１１９０にチャネルが形成されるトランジスタとすることもできる。

[０６１０]

図２６における回路１２０１には、例えばフリップフロップ回路を用いることができる。また、論理素子１２０６としては、例えばインバータやクロックドインバータ等を用いることができる。

[０６１１]

本実施の形態に示す半導体装置では、記憶素子１２００に電源電圧が供給されない間は、回路１２０１に記憶されていたデータを、回路１２０２に設けられた容量素子１２０８によって保持することができる。

[０６１２]

また、酸化物半導体膜にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体膜にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、酸化物半導体膜にチャネルが形成されるトランジスタをトランジスタ１２０９として用いることによって、記憶素子１２００に電源電圧が供給されない間も容量素子１２０８に保持された信号は長期間にわたり保たれる。こうして、記憶素子１２００は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

[０６１３]

また、スイッチ１２０３及びスイッチ１２０４を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路１２０１が元のデータを保持しなおすまでの時間を短くすることができる。

[０６１４]

また、回路１２０２において、容量素子１２０８によって保持された信号はトランジスタ１２１０のゲートに入力される。そのため、記憶素子１２００への電源電圧の供給が再開された後、容量素子１２０８によって保持された信号に応じてトランジスタ１２１０の状態（オン状態、またはオフ状態）が決まり、回路１２０２から読み出すことができる。それ故、容量素子１２０８に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

[０６１５]

このような記憶素子１２００を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

[０６１６]

なお、本実施の形態では、記憶素子１２００をＣＰＵに用いる例として説明したが、記憶素子１２０

０は、ＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）、カスタムＬＳＩ、ＰＬＤ（Ｐｒｏｇｒａｍｍａｂｌｅ　Ｌｏｇｉｃ　Ｄｅｖｉｃｅ）等のＬＳＩ、ＲＦ－ＩＤ（Ｒａｄｉｏ　Ｆｒｅｑｕｅｎｃｙ　Ｉｄｅｎｔｉｆｉｃａｔｉｏｎ）にも応用可能である。

［０６１７］

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

［０６１８］

（実施の形態８）

本実施の形態では、本発明の一態様の表示パネルを有する表示モジュール及び電子機器について、図２７を用いて説明を行う。

［０６１９］

図２７（Ａ）乃至図２７（Ｇ）は、電子機器を示す図である。これらの電子機器は、筐体５０００、表示部５００１、スピーカ５００３、ＬＥＤランプ５００４、操作キー５００５（電源スイッチ、又は操作スイッチを含む）、接続端子５００６、センサ５００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン５００８、等を有することができる。

［０６２０］

図２７（Ａ）はモバイルコンピュータであり、上述したものの他に、スイッチ５００９、赤外線ポート５０１０、等を有することができる。図２７（Ｂ）は記録媒体を備えた携帯型の画像再生装置（たとえば、ＤＶＤ再生装置）であり、上述したものの他に、第２表示部５００２、記録媒体読込部５０１１、等を有することができる。図２７（Ｃ）はゴーグル型ディスプレイであり、上述したものの他に、第２表示部５００２、支持部５０１２、イヤホン５０１３、等を有することができる。図２７（Ｄ）は携帯型遊技機であり、上述したものの他に、記録媒体読込部５０１１、等を有することができる。図２７（Ｅ）はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ５０１４、シャッターボタン５０１５、受像部５０１６、等を有することができる。図２７（Ｆ）は携帯型遊技機であり、上述したものの他に、第２表示部５００２、記録媒体読込部５０１１、等を有することができる。図２７（Ｇ）は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器５０１７、等を有することができる。

［０６２１］

図２７（Ａ）乃至図２７（Ｇ）に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画

を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図２７（Ａ）乃至図２７（Ｇ）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

［０６２２］

図２７（Ｈ）は、スマートウオッチであり、筐体７３０２、表示パネル７３０４、操作ボタン７３１１、７３１２、接続端子７３１３、バンド７３２１、留め金７３２２、等を有する。

［０６２３］

ベゼル部分を兼ねる筐体７３０２に搭載された表示パネル７３０４は、非矩形状の表示領域を有している。なお、表示パネル７３０４としては、矩形状の表示領域としてもよい。表示パネル７３０４は、時刻を表すアイコン７３０５、その他のアイコン７３０６等を表示することができる。

［０６２４］

なお、図２７（Ｈ）に示すスマートウオッチは、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。

［０６２５］

また、筐体７３０２の内部に、スピーカ、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン等を有することができる。なお、スマートウオッチは、発光素子をその表示パネル７３０４に用いることにより作製することができる。

［０６２６］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０６２７］

（実施の形態９）

＜ＣＡＣ－ＯＳの構成＞

以下では、上記実施の形態に示したトランジスタに用いることができるＣＡＣ（Ｃｌｏｕｄ　Ａｌｉｇｎｅｄ　Ｃｏｍｐｌｅｍｅｎｔａｒｙ）－ＯＳの構成について説明する。

［０６２８］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む)、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒまたは単にＯＳともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、ＯＳ　ＦＥＴと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

［０６２９］

本明細書において、金属酸化物が、導電体の機能を有する領域と、誘電体の機能を有する領域とが混合し、金属酸化物全体では半導体として機能する場合、ＣＡＣ（Ｃｌｏｕｄ　Ａｌｉｇｎｅｄ　Ｃｏｍｐｌｅｍｅｎｔａｒｙ）－ＯＳ（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、またはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅと定義する。

［０６３０］

つまり、ＣＡＣ－ＯＳとは、例えば、酸化物半導体を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、０．５ｎｍ以上３ｎｍ以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の元素が偏在し、該元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、０．５ｎｍ以上３ｎｍ以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

［０６３１］

特定の元素が偏在した領域は、該元素が有する性質により、物理特性が決定する。例えば、金属酸化物を構成する元素の中でも比較的、絶縁体となる傾向がある元素が偏在した領域は、誘電体領域となる。一方、金属酸化物を構成する元素の中でも比較的、導体となる傾向がある元素が偏在した領域は、導電体領域となる。また、導電体領域、および誘電体領域がモザイク状に混合することで、材料としては、半導体として機能する。

［０６３２］

つまり、本発明の一態様における金属酸化物は、物理特性が異なる材料が混合した、マトリックス複合材（ｍａｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）、または金属マトリックス複合材（ｍｅｔａｌ　ｍａｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）の一種である。

［０６３３］

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、元素Ｍ（Ｍは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）が含まれていてもよい。

［０６３４］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳ（ＣＡＣ－ＯＳの中でもＩｎ－Ｇａ－Ｚｎ酸化物を、特にＣＡＣ－ＩＧＺＯと呼称してもよい。）とは、インジウム酸化物（以下、InO_{X1}（Ｘ１は０よりも大きい実数）とする。）、またはインジウム亜鉛酸化物（以下、$In_{X2}Zn_{Y2}O_{Z2}$（Ｘ２、Ｙ２、およびＺ２は０よりも大きい実数）とする。）と、ガリウム酸化物（以下、GaO_{X3}（Ｘ３は０よりも大きい実数）とする。）、またはガリウム亜鉛酸化物（以下、$Ga_{X4}Zn_{Y4}O_{Z4}$（Ｘ４、Ｙ４、およびＺ４は０よりも大きい実数）とする。）などと、に材料が分離することでモザイク状となり、モザイク状のInO_{X1}、または$In_{X2}Zn_{Y2}O_{Z2}$が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

［０６３５］

つまり、ＣＡＣ－ＯＳは、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第１の領域の元素Ｍに対するＩｎの原子数比が、第２の領域の元素Ｍに対するＩｎの

原子数比よりも大きいことを、第１の領域は、第２の領域と比較して、Ｉｎの濃度が高いとする。

［０６３６］

なお、ＩＧＺＯは通称であり、Ｉｎ、Ｇａ、Ｚｎ、およびＯによる１つの化合物をいう場合がある。代表例として、$InGaO_3(ZnO)_{m1}$（ｍ１は自然数）、または$In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$（－１≦ｘ０≦１、ｍ０は任意数）で表される結晶性の化合物が挙げられる。

［０６３７］

上記結晶性の化合物は、単結晶構造、多結晶構造、またはＣＡＡＣ構造を有する。なお、ＣＡＡＣ構造とは、複数のＩＧＺＯのナノ結晶がｃ軸配向を有し、かつａ－ｂ面においては配向せずに連結した結晶構造である。

［０６３８］

一方、ＣＡＣ－ＯＳは、酸化物半導体の材料構成に関する。ＣＡＣ－ＯＳとは、Ｉｎ、Ｇａ、Ｚｎ、およびＯを含む材料構成において、一部にＧａを主成分とするナノ粒子状領域が観察され、一部にＩｎを主成分とするナノ粒子状領域が観察され、それぞれモザイク状にランダムに分散している構成をいう。従って、ＣＡＣ－ＯＳにおいて、結晶構造は副次的な要素である。

［０６３９］

なお、ＣＡＣ－ＯＳは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Ｉｎを主成分とする膜と、Ｇａを主成分とする膜との２層からなる構造は、含まない。

［０６４０］

なお、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とは、明確な境界が観察できない場合がある。

［０６４１］

なお、ガリウムの代わりに、アルミニウム、シリコン、ホウ素、イットリウム、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、ＣＡＣ－ＯＳは、一部に該元素を主成分とするナノ粒子状領域が観察され、一部にＩｎを主成分とするナノ粒子状領域が観察され、それぞれモザイク状にランダムに分散している構成をいう。

［０６４２］

＜ＣＡＣ－ＯＳの解析＞

続いて、各種測定方法を用い、基板上に成膜した酸化物半導体について測定を行った結果について説明する。

［０６４３］

〔試料の構成と作製方法〕

以下では、本発明の一態様に係る９個の試料について説明する。各試料は、それぞれ、酸化物半導体を成膜する際の基板温度、および酸素ガス流量比を異なる条件で作製する。なお、試料は、基板と、基板上の酸化物半導体と、を有する構造である。

［０６４４］

各試料の作製方法について、説明する。

［０６４５］

まず、基板として、ガラス基板を用いる。続いて、スパッタリング装置を用いて、ガラス基板上に酸化物半導体として、厚さ１００ｎｍのＩｎ－Ｇａ－Ｚｎ酸化物を形成する。成膜条件は、チャンバー内の圧力を０．６Ｐａとし、ターゲットには、酸化物ターゲット（Ｉｎ：Ｇａ：Ｚｎ＝４：２：４．１［原子数比］）を用いる。また、スパッタリング装置内に設置された酸化物ターゲットに２５００ＷのＡＣ電力を供給する。

［０６４６］

なお、酸化物を成膜する際の条件として、基板温度を、意図的に加熱しない温度（以下、室温またはＲ．Ｔ．ともいう。）、１３０℃、または１７０℃とした。また、Ａｒと酸素の混合ガスに対する酸素ガスの流量比（以下、酸素ガス流量比ともいう。）を、１０％、３０％、または１００％とすることで、９個の試料を作製する。

［０６４７］

〔Ｘ線回折による解析〕

本項目では、９個の試料に対し、Ｘ線回折（ＸＲＤ：Ｘ－ｒａｙ　ｄｉｆｆｒａｃｔｉｏｎ）測定を行った結果について説明する。なお、ＸＲＤ装置として、Ｂｒｕｋｅｒ社製Ｄ８　ＡＤＶＡＮＣＥを用いた。また、条件は、Ｏｕｔ－ｏｆ－ｐｌａｎｅ法によるθ／2θスキャンにて、走査範囲を１５ｄｅｇ．乃至５０ｄｅｇ．、ステップ幅を０．０２ｄｅｇ．、走査速度を３．０ｄｅｇ．／分とした。

［０６４８］

図２８にＯｕｔ－ｏｆ－ｐｌａｎｅ法を用いてＸＲＤスペクトルを測定した結果を示す。なお、図２８において、上段には成膜時の基板温度条件が１７０℃の試料における測定結果、中段には成膜時の基板温度条件が１３０℃の試料における測定結果、下段には成膜時の基板温度条件がＲ．Ｔ．の試料における測定結果を示す。また、左側の列には酸素ガス流量比の条件が１０％の試料における測定結果、中央の列には酸素ガス流量比の条件が３０％の試料における測定結果、右側の列には酸素ガス流量比の条件が１００％の試料における測定結果、を示す。

［０６４９］

図２８に示すＸＲＤスペクトルは、成膜時の基板温度を高くする、または、成膜時の酸素ガス流量比の割合を大きくすることで、2θ＝３１°付近のピーク強度が高くなる。なお、2θ＝３１°付近のピークは、被形成面または上面に略垂直方向に対してｃ軸に配向した結晶性ＩＧＺＯ化合物（ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）－ＩＧＺＯともいう。）であることに由来することが分かっている。

［０６５０］

また、図２８に示すＸＲＤスペクトルは、成膜時の基板温度が低い、または、酸素ガス流量比が小さいほど、明確なピークが現れなかった。従って、成膜時の基板温度が低い、または、酸素ガス流量比が小さい試料は、測定領域のａ－ｂ面方向、およびｃ軸方向の配向は見られないことが分かる。

［０６５１］

〔電子顕微鏡による解析〕

本項目では、成膜時の基板温度Ｒ．Ｔ．、および酸素ガス流量比１０％で作製した試料を、ＨＡＡＤＦ（Ｈｉｇｈ－Ａｎｇｌｅ　Ａｎｎｕｌａｒ　Ｄａｒｋ　Ｆｉｅｌｄ）－ＳＴＥＭ（Ｓｃａｎｎｉｎｇ　Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）によって観察、および解析した結果について説明する（以下、ＨＡＡＤＦ－ＳＴＥＭによって取得した像は、ＴＥＭ像とも

いう。)。

[０６５２]

ＨＡＡＤＦ－ＳＴＥＭによって取得した平面像（以下、平面ＴＥＭ像ともいう。)、および断面像（以下、断面ＴＥＭ像ともいう。）の画像解析を行った結果について説明する。なお、ＴＥＭ像は、球面収差補正機能を用いて観察した。なお、ＨＡＡＤＦ－ＳＴＥＭ像の撮影には、日本電子株式会社製原子分解能分析電子顕微鏡ＪＥＭ－ＡＲＭ２００Ｆを用いて、加速電圧２００ｋＶ、ビーム径約０．１ｎｍφの電子線を照射して行った。

[０６５３]

図２９（Ａ）は、成膜時の基板温度Ｒ．Ｔ.、および酸素ガス流量比１０％で作製した試料の平面ＴＥＭ像である。図２９（Ｂ）は、成膜時の基板温度Ｒ．Ｔ.、および酸素ガス流量比１０％で作製した試料の断面ＴＥＭ像である。

[０６５４]

〔電子線回折パターンの解析〕

本項目では、成膜時の基板温度Ｒ．Ｔ.、および酸素ガス流量比１０％で作製した試料に、プローブ径が１ｎｍの電子線（ナノビーム電子線ともいう。）を照射することで、電子線回折パターンを取得した結果について説明する。

[０６５５]

図２９（Ａ）に示す、成膜時の基板温度Ｒ．Ｔ.、および酸素ガス流量比１０％で作製した試料の平面ＴＥＭ像において、黒点ａ１、黒点ａ２、黒点ａ３、黒点ａ４、および黒点ａ５で示す電子線回折パターンを観察する。なお、電子線回折パターンの観察は、電子線を照射しながら０秒の位置から３５秒の位置まで一定の速度で移動させながら行う。黒点ａ１の結果を図２９（Ｃ)、黒点ａ２の結果を図２９（Ｄ)、黒点ａ３の結果を図２９（Ｅ)、黒点ａ４の結果を図２９（Ｆ)、および黒点ａ５の結果を図２９（Ｇ）に示す。

[０６５６]

図２９（Ｃ)、図２９（Ｄ)、図２９（Ｅ)、図２９（Ｆ)、および図２９（Ｇ）より、円を描くように（リング状に)輝度の高い領域が観測できる。また、リング状の領域に複数のスポットが観測できる。

[０６５７]

また、図２９（Ｂ）に示す、成膜時の基板温度Ｒ．Ｔ.、および酸素ガス流量比１０％で作製した試料の断面ＴＥＭ像において、黒点ｂ１、黒点ｂ２、黒点ｂ３、黒点ｂ４、および黒点ｂ５で示す電子線回折パターンを観察する。黒点ｂ１の結果を図２９（Ｈ)、黒点ｂ２の結果を図２９（Ｉ)、黒点ｂ３の結果を図２９（Ｊ)、黒点ｂ４の結果を図２９（Ｋ)、および黒点ｂ５の結果を図２９（Ｌ）に示す。

[０６５８]

図２９（Ｈ)、図２９（Ｉ)、図２９（Ｊ)、図２９（Ｋ)、および図２９（Ｌ）より、リング状に輝度の高い領域が観測できる。また、リング状の領域に複数のスポットが観測できる。

[０６５９]

ここで、例えば、ＩｎＧａＺｎO_4の結晶を有するＣＡＡＣ－ＯＳに対し、試料面に平行にプローブ径が３００ｎｍの電子線を入射させると、ＩｎＧａＺｎO_4の結晶の（００９）面に起因するスポットが含まれる回折パターンが見られる。つまり、ＣＡＡＣ－ＯＳは、ｃ軸配向性を有し、ｃ軸が被形

成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が３００ｎｍの電子線を入射させると、リング状の回折パターンが確認される。つまり、ＣＡＡＣ－ＯＳは、ａ軸およびｂ軸は配向性を有さないことがわかる。

[０６６０]

また、微結晶を有する酸化物半導体（ｎａｎｏ　ｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ。以下、ｎｃ－ＯＳという。）に対し、大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折を行うと、ハローパターンのような回折パターンが観測される。また、ｎｃ－ＯＳに対し、小さいプローブ径の電子線（例えば５０ｎｍ未満）を用いるナノビーム電子線回折を行うと、輝点（スポット）が観測される。また、ｎｃ－ＯＳに対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域に複数の輝点が観測される場合がある。

[０６６１]

成膜時の基板温度Ｒ．Ｔ．、および酸素ガス流量比１０％で作製した試料の電子線回折パターンは、リング状に輝度の高い領域と、該リング領域に複数の輝点を有する。従って、成膜時の基板温度Ｒ．Ｔ．、および酸素ガス流量比１０％で作製した試料は、電子線回折パターンが、ｎｃ－ＯＳになり、平面方向、および断面方向において、配向性は有さない。

[０６６２]

以上より、成膜時の基板温度が低い、または、酸素ガス流量比が小さい酸化物半導体は、アモルファス構造の酸化物半導体膜とも、単結晶構造の酸化物半導体膜とも明確に異なる性質を有すると推定できる。

[０６６３]

〔元素分析〕

本項目では、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　ｓｐｅｃｔｒｏｓｃｏｐｙ）を用い、ＥＤＸマッピングを取得し、評価することによって、成膜時の基板温度Ｒ．Ｔ．、および酸素ガス流量比１０％で作製した試料の元素分析を行った結果について説明する。なお、ＥＤＸ測定には、元素分析装置として日本電子株式会社製エネルギー分散型Ｘ線分析装置ＪＥＤ－２３００Ｔを用いる。なお、試料から放出されたＸ線の検出にはＳｉドリフト検出器を用いる。

[０６６４]

ＥＤＸ測定では、試料の分析対象領域の各点に電子線照射を行い、これにより発生する試料の特性Ｘ線のエネルギーと発生回数を測定し、各点に対応するＥＤＸスペクトルを得る。本実施の形態では、各点のＥＤＸスペクトルのピークを、Ｉｎ原子のＬ殻への電子遷移、Ｇａ原子のＫ殻への電子遷移、Ｚｎ原子のＫ殻への電子遷移及びＯ原子のＫ殻への電子遷移に帰属させ、各点におけるそれぞれの原子の比率を算出する。これを試料の分析対象領域について行うことにより、各原子の比率の分布が示されたＥＤＸマッピングを得ることができる。

[０６６５]

図３０には、成膜時の基板温度Ｒ．Ｔ．、および酸素ガス流量比１０％で作製した試料の断面におけるＥＤＸマッピングを示す。図３０（Ａ）は、Ｇａ原子のＥＤＸマッピング（全原子に対するＧａ原子の比率は１．１８乃至１８．６４［ａｔｏｍｉｃ％］の範囲とする。）である。図３０（Ｂ）は、

Ｉｎ原子のＥＤＸマッピング（全原子に対するＩｎ原子の比率は９．２８乃至３３．７４［ａｔｏｍｉｃ％］の範囲とする。）である。図３０（Ｃ）は、Ｚｎ原子のＥＤＸマッピング（全原子に対するＺｎ原子の比率は６．６９乃至２４．９９［ａｔｏｍｉｃ％］の範囲とする。）である。また、図３０（Ａ）、図３０（Ｂ）、および図３０（Ｃ）は、成膜時の基板温度Ｒ．Ｔ．、および酸素ガス流量比１０％で作製した試料の断面において、同範囲の領域を示している。なお、ＥＤＸマッピングは、範囲における、測定元素が多いほど明るくなり、測定元素が少ないほど暗くなるように、明暗で元素の割合を示している。また、図３０に示すＥＤＸマッピングの倍率は７２０万倍である。

［０６６６］

図３０（Ａ）、図３０（Ｂ）、および図３０（Ｃ）に示すＥＤＸマッピングでは、画像に相対的な明暗の分布が見られ、成膜時の基板温度Ｒ．Ｔ．、および酸素ガス流量比１０％で作製した試料において、各原子が分布を持って存在している様子が確認できる。ここで、図３０（Ａ）、図３０（Ｂ）、および図３０（Ｃ）に示す実線で囲む範囲と破線で囲む範囲に注目する。

［０６６７］

図３０（Ａ）では、実線で囲む範囲は、相対的に暗い領域を多く含み、破線で囲む範囲は、相対的に明るい領域を多く含む。また、図３０（Ｂ）では実線で囲む範囲は、相対的に明るい領域を多く含み、破線で囲む範囲は、相対的に暗い領域を多く含む。

［０６６８］

つまり、実線で囲む範囲はＩｎ原子が相対的に多い領域であり、破線で囲む範囲はＩｎ原子が相対的に少ない領域である。ここで、図３０（Ｃ）では、実線で囲む範囲において、右側は相対的に明るい領域であり、左側は相対的に暗い領域である。従って、実線で囲む範囲は、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}などが主成分である領域である。

［０６６９］

また、実線で囲む範囲はＧａ原子が相対的に少ない領域であり、破線で囲む範囲はＧａ原子が相対的に多い領域である。図３０（Ｃ）では、破線で囲む範囲において、左上の領域は、相対的に明るい領域であり、右下側の領域は、相対的に暗い領域である。従って、破線で囲む範囲は、GaO_{X3}、または$Ga_{X4}Zn_{Y4}O_{Z4}$などが主成分である領域である。

［０６７０］

また、図３０（Ａ）、図３０（Ｂ）、および図３０（Ｃ）より、Ｉｎ原子の分布は、Ｇａ原子よりも、比較的、均一に分布しており、InO_{X1}が主成分である領域は、$In_{X2}Zn_{Y2}O_{Z2}$が主成分となる領域を介して、互いに繋がって形成されているように見える。このように、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域は、クラウド状に広がって形成されている。

［０６７１］

このように、GaO_{X3}などが主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とが、偏在し、混合している構造を有するＩｎ－Ｇａ－Ｚｎ酸化物を、ＣＡＣ－ＯＳと呼称することができる。

［０６７２］

また、ＣＡＣ－ＯＳにおける結晶構造は、ｎｃ構造を有する。ＣＡＣ－ＯＳが有するｎｃ構造は、電子線回折像において、単結晶、多結晶、またはＣＡＡＣ構造を含むＩＧＺＯに起因する輝点（スポット）以外にも、数か所以上の輝点（スポット）を有する。または、数か所以上の輝点（スポット）に

加え、リング状に輝度の高い領域が現れるとして結晶構造が定義される。

[０６７３]

また、図３０（Ａ）、図３０（Ｂ）、および図３０（Ｃ）より、GaO_{X3}などが主成分である領域、及び$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域のサイズは、０．５ｎｍ以上１０ｎｍ以下、または１ｎｍ以上３ｎｍ以下で観察される。なお、好ましくは、ＥＤＸマッピングにおいて、各元素が主成分である領域の径は、１ｎｍ以上２ｎｍ以下とする。

[０６７４]

以上より、ＣＡＣ－ＯＳは、金属元素が均一に分布したＩＧＺＯ化合物とは異なる構造であり、ＩＧＺＯ化合物と異なる性質を有する。つまり、ＣＡＣ－ＯＳは、GaO_{X3}などが主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

[０６７５]

ここで、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域は、GaO_{X3}などが主成分である領域と比較して、導電性が高い領域である。つまり、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。従って、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度（μ）が実現できる。

[０６７６]

一方、GaO_{X3}などが主成分である領域は、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域と比較して、絶縁性が高い領域である。つまり、GaO_{X3}などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

[０６７７]

従って、ＣＡＣ－ＯＳを半導体素子に用いた場合、GaO_{X3}などに起因する絶縁性と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}に起因する導電性とが、相補的に作用することにより、高いオン電流（I_{on}）、および高い電界効果移動度（μ）を実現することができる。

[０６７８]

また、ＣＡＣ－ＯＳを用いた半導体素子は、信頼性が高い。従って、ＣＡＣ－ＯＳは、ディスプレイをはじめとするさまざまな半導体装置に最適である。

[０６７９]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[０６８０]

１００　トランジスタ
１０２　基板
１０４　導電膜
１０６　絶縁膜
１０７　絶縁膜
１０８　酸化物半導体膜
１１４　絶縁膜

１１６　絶縁膜
１１８　絶縁膜
１５０　トランジスタ
２００　情報処理装置
２１０　演算装置
２１１　演算部
２１２　記憶部
２１４　伝送路
２１５　入出力インターフェース
２２０　入出力装置
２３０　表示部
２３１　表示領域
２３２　画素
２４０　入力部
２５０　検知部
２９０　通信部
５０４　導電膜
５０５　接合層
５０６　絶縁膜
５０８　半導体膜
５１０　基板
５１６　絶縁膜
５１８　絶縁膜
５２０　機能層
５２１　絶縁膜
５２２　接続部
５２４　導電膜
５２８　絶縁膜
５３０　画素回路
５５０　表示素子
５５１　電極
５５２　電極
５５３　層
５７０　基板
５７１　電極
７００　表示パネル
７０２　画素
７０５　封止材
７１０　表示領域

７５０　表示素子
７５１　電極
７５２　電極
７５３　液晶材料を含む層
７５４　絶縁膜
７７０　基板
７７１　絶縁膜
８００　入出力装置
８０１　上部カバー
８０２　下部カバー
８０３　ＦＰＣ
８０４　タッチセンサ
８０５　ＦＰＣ
８０６　表示パネル
８０９　フレーム
８１０　駆動回路
８１１　バッテリ
１１８９　ＲＯＭインターフェース
１１９０　基板
１１９１　ＡＬＵ
１１９２　ＡＬＵコントローラ
１１９３　インストラクションデコーダ
１１９４　インタラプトコントローラ
１１９５　タイミングコントローラ
１１９６　レジスタ
１１９７　レジスタコントローラ
１１９８　バスインターフェース
１１９９　ＲＯＭ
１２００　記憶素子
１２０１　回路
１２０２　回路
１２０３　スイッチ
１２０４　スイッチ
１２０６　論理素子
１２０７　容量素子
１２０８　容量素子
１２０９　トランジスタ
１２１０　トランジスタ
１２１３　トランジスタ

１２１４　トランジスタ
１２２０　回路
３００１　配線
３００２　配線
３００３　配線
３００４　配線
３００５　配線
３２００　トランジスタ
３３００　トランジスタ
３４００　容量素子
５０００　筐体
５００１　表示部
５００２　表示部
５００３　スピーカ
５００４　ＬＥＤランプ
５００５　操作キー
５００６　接続端子
５００７　センサ
５００８　マイクロフォン
５００９　スイッチ
５０１０　赤外線ポート
５０１１　記録媒体読込部
５０１２　支持部
５０１３　イヤホン
５０１４　アンテナ
５０１５　シャッターボタン
５０１６　受像部
５０１７　充電器
７３０２　筐体
７３０４　表示パネル
７３０５　アイコン
７３０６　アイコン
７３１１　操作ボタン
７３１２　操作ボタン
７３１３　接続端子
７３２１　バンド
７３２２　留め金
１０８ａ　酸化物半導体膜
１０８ｂ　酸化物半導体膜

１０８ｃ　酸化物半導体膜
１１２ａ　導電膜
１１２ｂ　導電膜
１２０ａ　導電膜
１２０ｂ　導電膜
２３０Ｂ　表示部
２３５ＥＬ　表示素子
２３５ＬＣ　表示素子
５０１Ｃ　絶縁膜
５０８Ａ　領域
５０８Ｂ　領域
５０８Ｃ　領域
５１１Ｂ　導電膜
５１１Ｃ　導電膜
５１２Ａ　導電膜
５１２Ｂ　導電膜
５１９Ｂ　端子
５１９Ｃ　端子
５９１Ａ　開口部
５９１Ｂ　開口部
５９１Ｃ　開口部
７００ａ　表示パネル
７５１ａ　導電膜
７５１ｂ　導電膜
７５１ｃ　導電膜
７５１Ｈ　開口部
７７０Ｐ　機能膜

請求の範囲

[請求項１]

樹脂基板と、金属基板と、画素と、を有する表示パネルであって、

前記樹脂基板と前記金属基板は、前記画素を介して互いに重なる領域を有し、

前記画素は、第１の表示素子と、第２の表示素子と、を有し、

前記第１の表示素子は反射型の表示素子であり、

前記第２の表示素子は自発光型の表示素子であることを特徴とする表示パネル。

[請求項２]

樹脂基板と、金属基板と、画素と、を有する表示パネルであって、

前記樹脂基板と前記金属基板は、前記画素を介して互いに重なる領域を有し、

前記画素は、第１の表示素子と、第２の表示素子と、

前記第１の表示素子を駆動する機能を有する第１の回路と、

前記第２の表示素子を駆動する機能を有する第２の回路と、を有し、

前記第１の表示素子は反射型の表示素子であり、

前記第２の表示素子は自発光型の表示素子であることを特徴とする表示パネル。

[請求項３]

請求項２において、

前記第１の回路は、酸化物半導体を用いたトランジスタを含むことを特徴とする表示パネル。

[請求項４]

請求項２または請求項３において、

前記第２の回路は、酸化物半導体を用いたトランジスタを含むことを特徴とする表示パネル。

[請求項５]

請求項１または請求項２において、

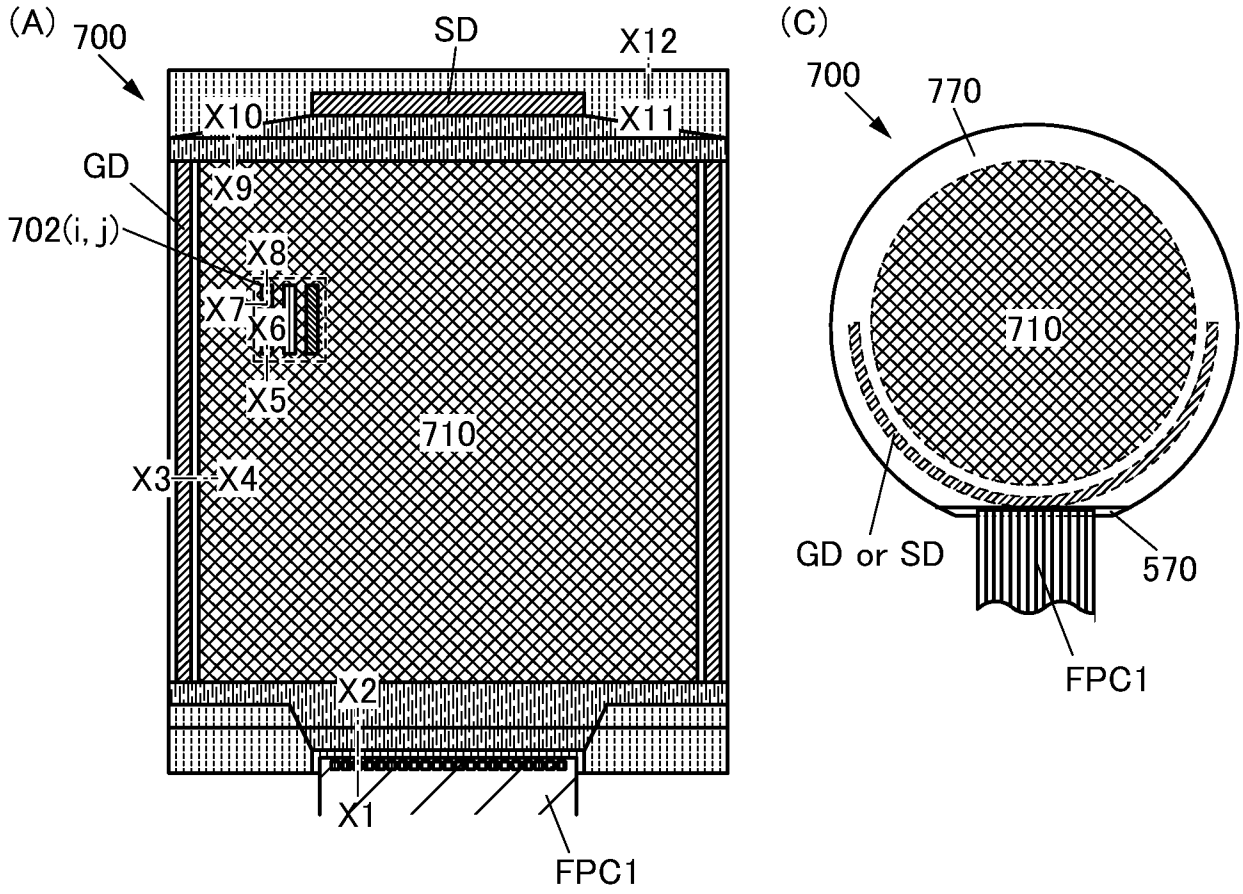
マトリクス状に配置された複数の前記画素を有することを特徴とする表示パネル。

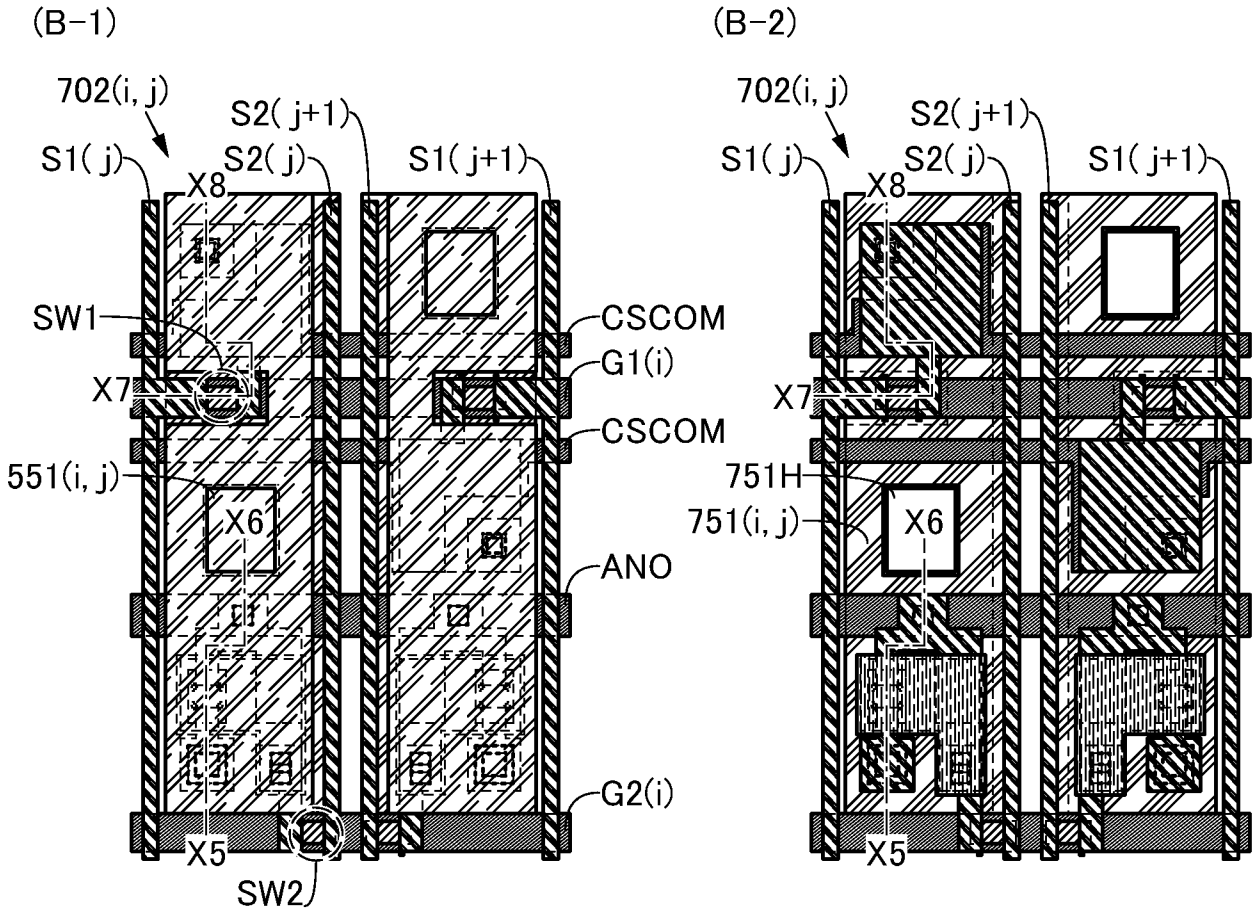
[請求項６]

請求項１または請求項２において、

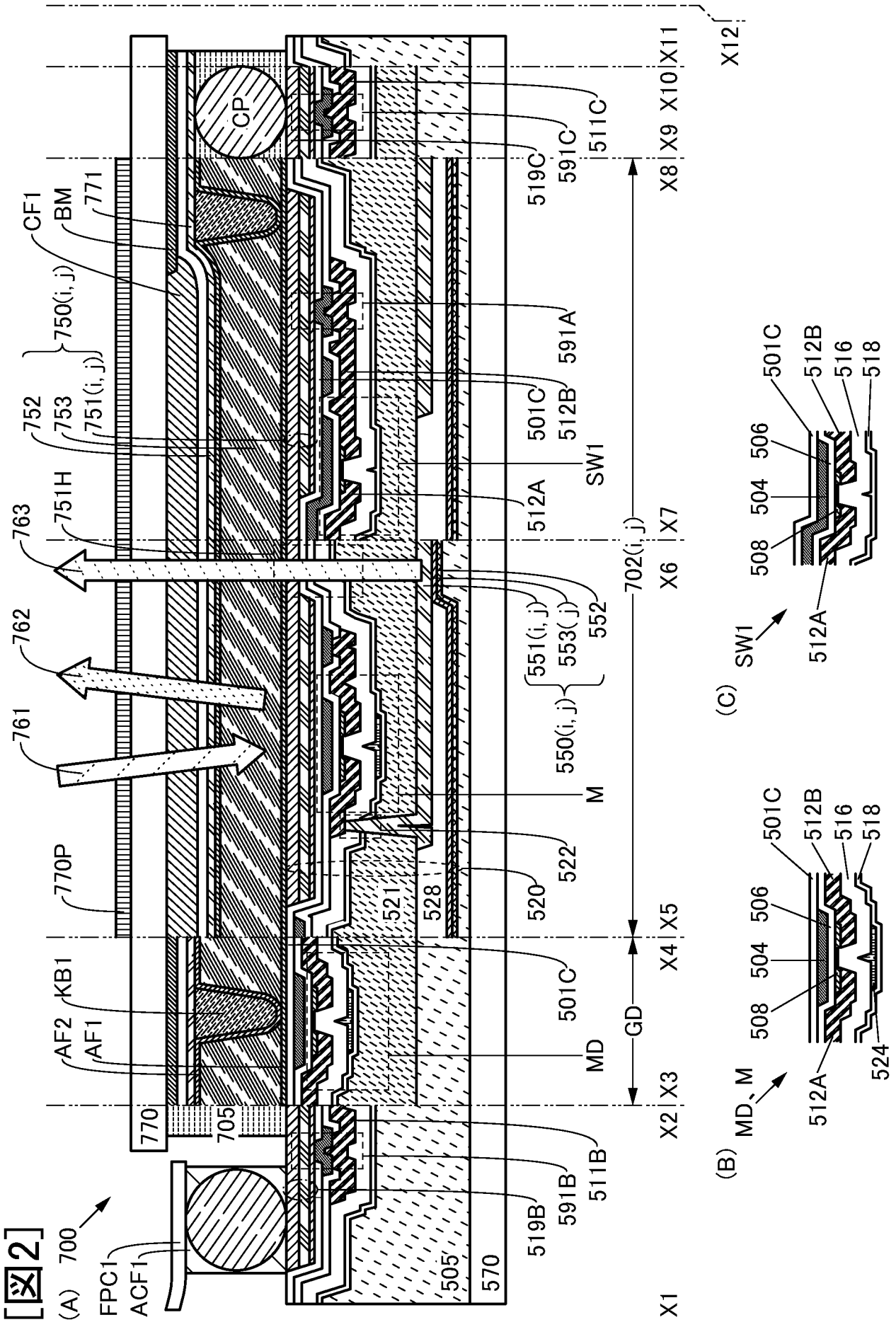
前記樹脂基板は透光性を備えることを特徴とする表示パネル。

[図1]

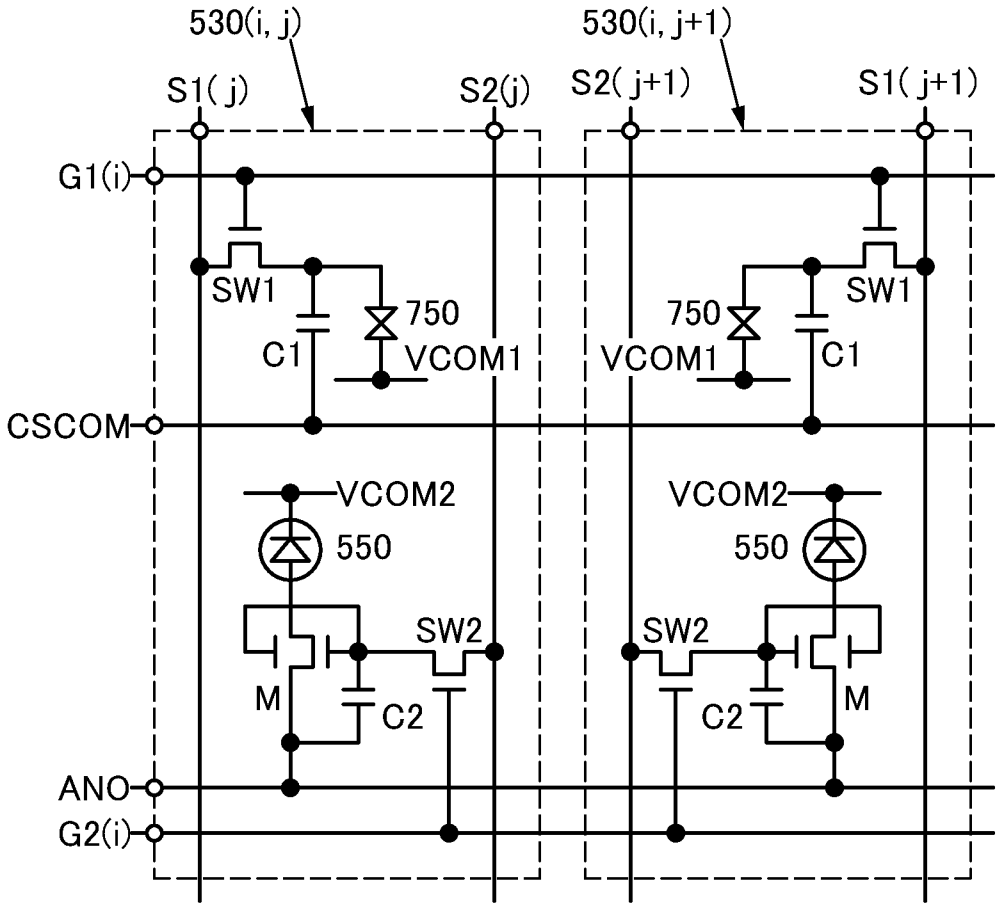

(A)
700
SD
X12
X10
X11
GD
X9
702(i, j)
X8
X7
X6
X5
710
X3
X4
X2
X1
FPC1
(C)
700
770
710
GD or SD
570
FPC1


(B-1)
702(i, j)
S2(j+1)
S1(j)
S2(j)
S1(j+1)
X8
SW1
CSCOM
G1(i)
X7
CSCOM
551(i, j)
X6
ANO
G2(i)
X5
SW2
(B-2)
702(i, j)
S2(j+1)
S1(j)
S2(j)
S1(j+1)
X8
X7
751H
751(i, j)
X6
X5

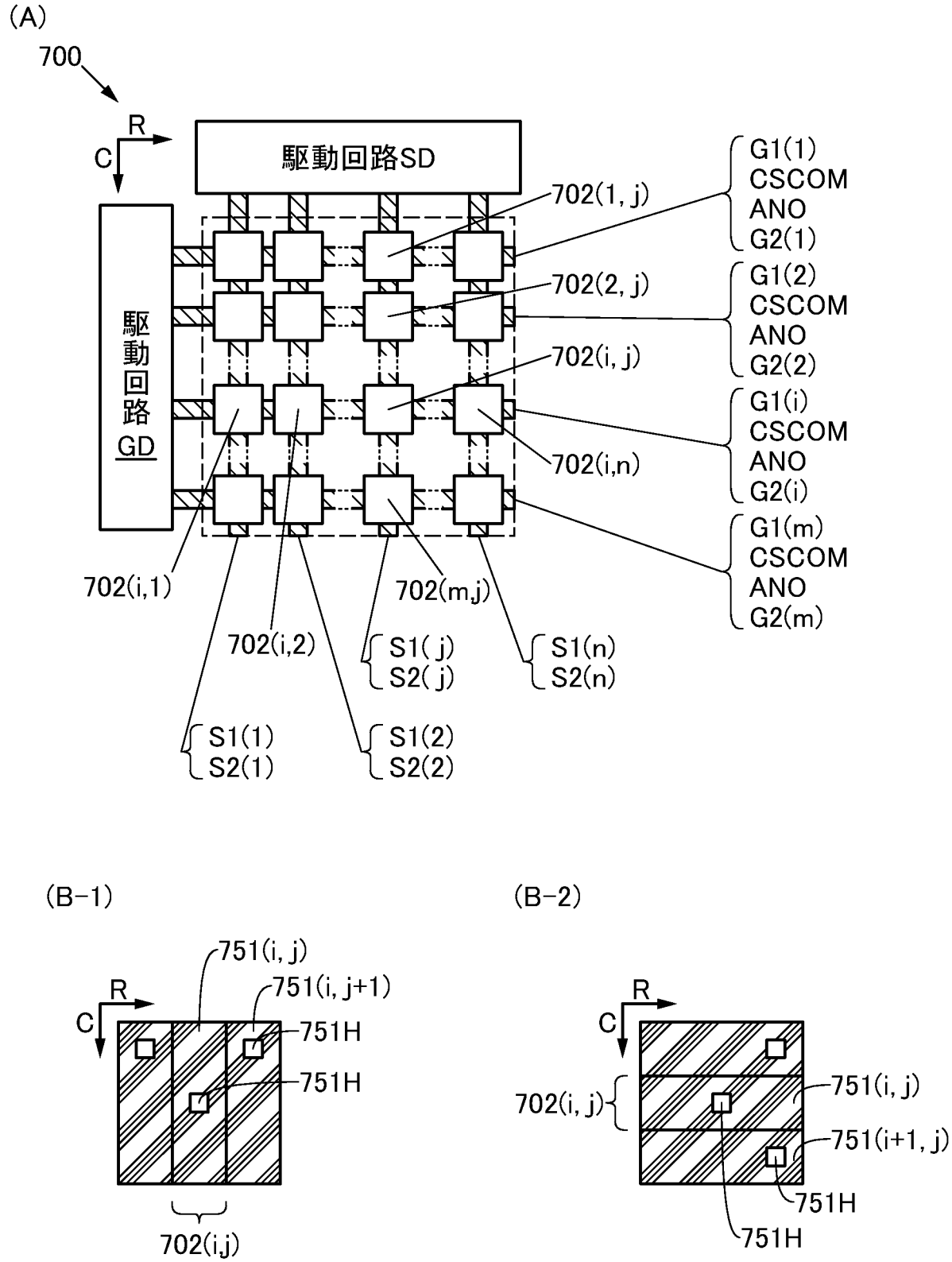
[図2]


(A)
700
FPC1
ACF1
770
705
AF2
AF1
KB1
770P
761
762
763
751H
752
753
751(i, j)
750(i, j)
CF1
BM
771
CP
505
570
519B
591B
511B
MD
501C
GD
521
528
520
522
M
550(i, j)
551(i, j)
553(j)
552
702(i, j)
512A
SW1
512B
501C
591A
519C
591C
511C
X1
X2
X3
X4
X5
X6
X7
X8
X9
X10
X11
X12
(B)
MD、M
508
504
506
512A
524
(C)
SW1
508
504
506
512A
501C
512B
516
518

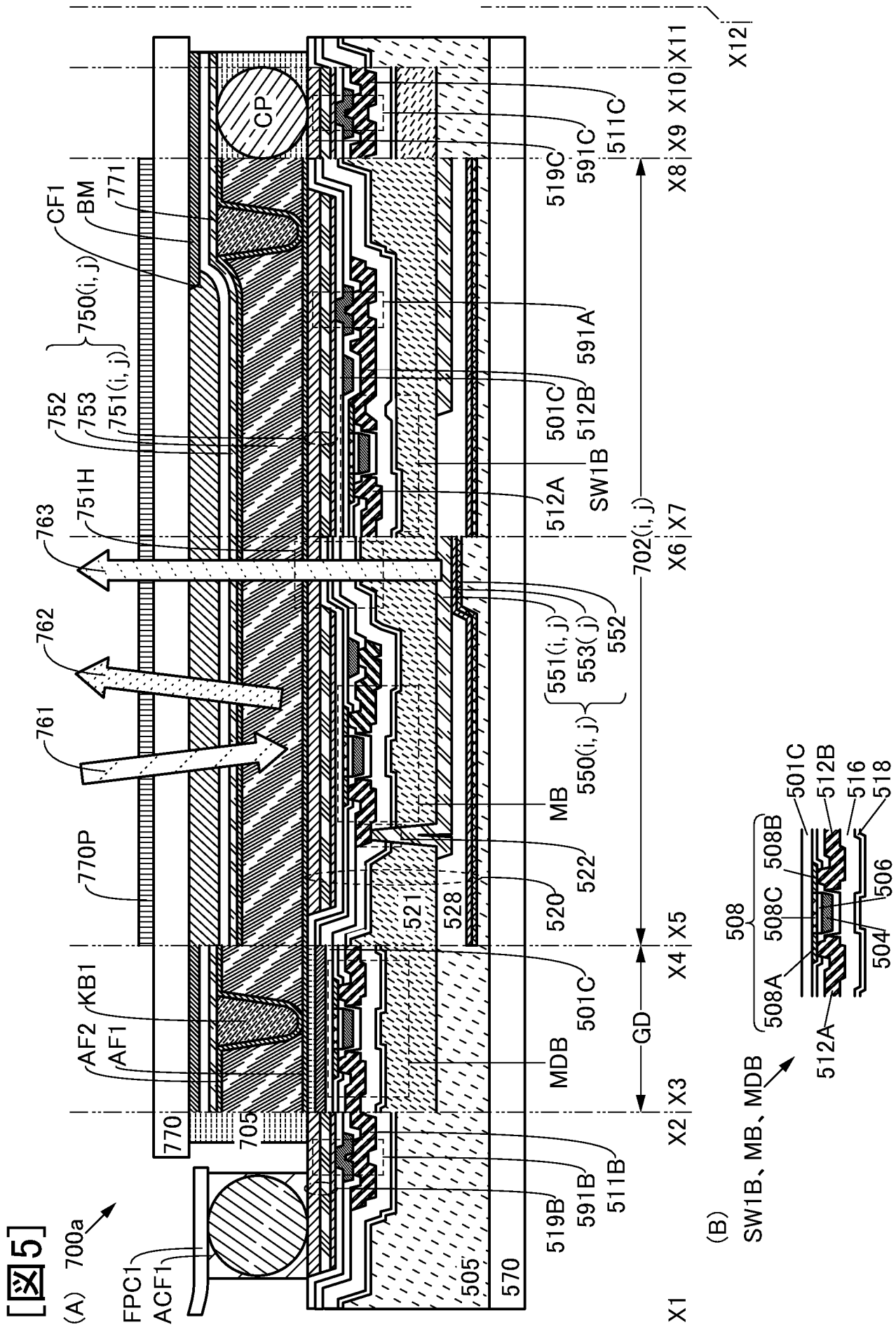
[図3]


530(i, j)
530(i, j+1)
S1(j)
S2(j)
S2(j+1)
S1(j+1)
G1(i)
SW1
750
C1
VCOM1
CSCOM
VCOM2
550
SW2
M
C2
ANO
G2(i)

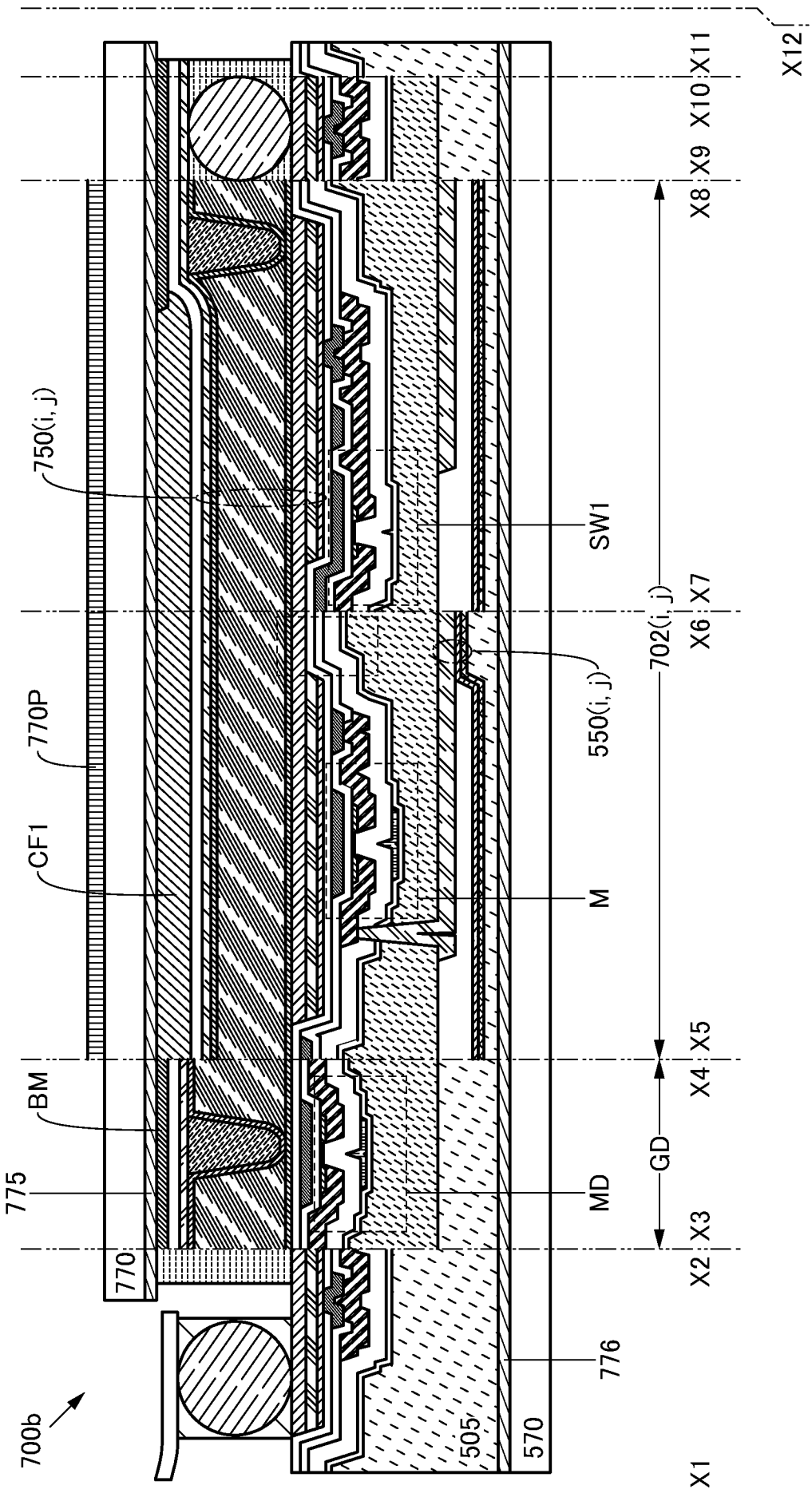
[図4]


(A)
700
R
C
駆動回路SD
駆動回路GD
702(1, j)
702(2, j)
702(i, j)
702(i,n)
702(i,1)
702(i,2)
702(m,j)
G1(1)
CSCOM
ANO
G2(1)
G1(2)
CSCOM
ANO
G2(2)
G1(i)
CSCOM
ANO
G2(i)
G1(m)
CSCOM
ANO
G2(m)
S1(j)
S2(j)
S1(n)
S2(n)
S1(1)
S2(1)
S1(2)
S2(2)
(B-1)
751(i, j)
751(i, j+1)
751H
751H
702(i,j)
(B-2)
R
C
702(i, j)
751(i, j)
751(i+1, j)
751H
751H

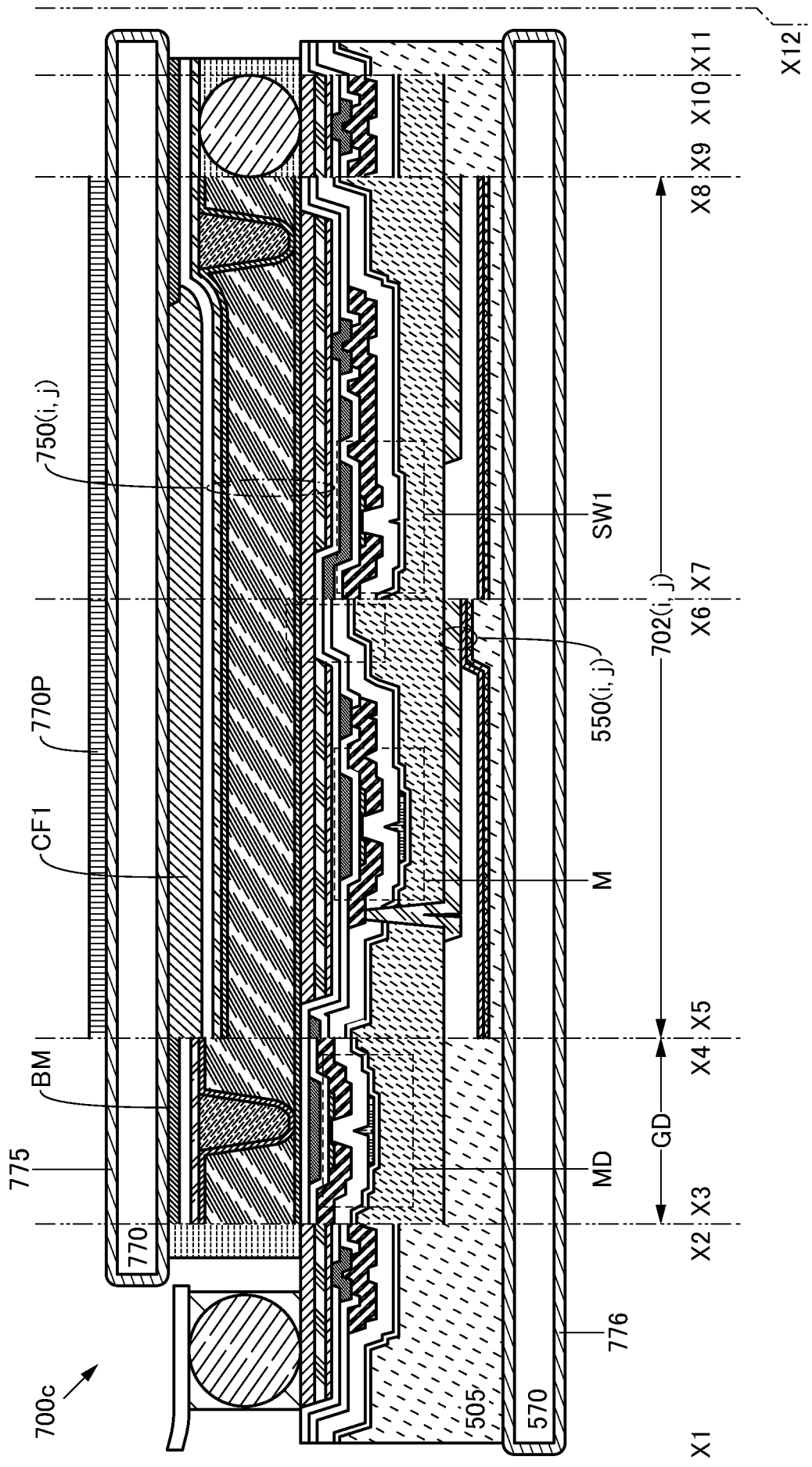
[図5]


(A)
700a
FPC1
ACF1
505
570
519B
591B
511B
770
705
AF2
AF1
KB1
770P
761
762
763
751H
752
753
751(i, j)
750(i, j)
CF1
BM
771
CP
X1
X2
X3
X4
X5
X6
X7
X8
X9
X10
X11
X12
MDB
GD
501C
520
521
528
522
MB
550(i, j)
551(i, j)
553(j)
552
512A
SW1B
501C
512B
591A
519C
591C
511C
702(i, j)
(B)
SW1B、MB、MDB
508
508A
508C
508B
501C
512B
516
518
506
504
512A

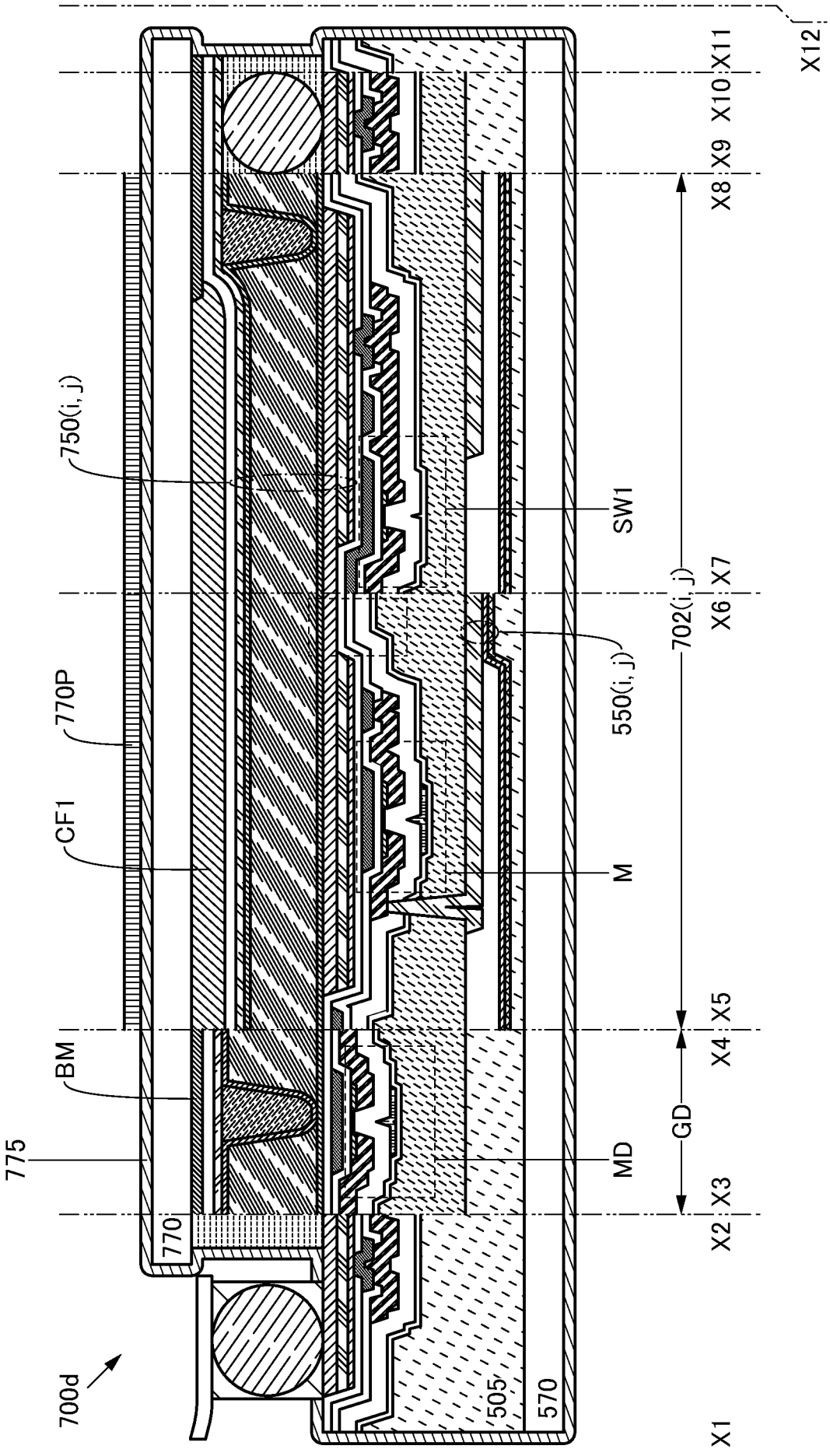
[図6]


X12
X11
X10
X9
X8
X7
X6
X5
X4
X3
X2
X1
750(i, j)
SW1
770P
CF1
BM
775
770
700b
550(i, j)
M
MD
776
505
570
702(i, j)
GD

[図7]

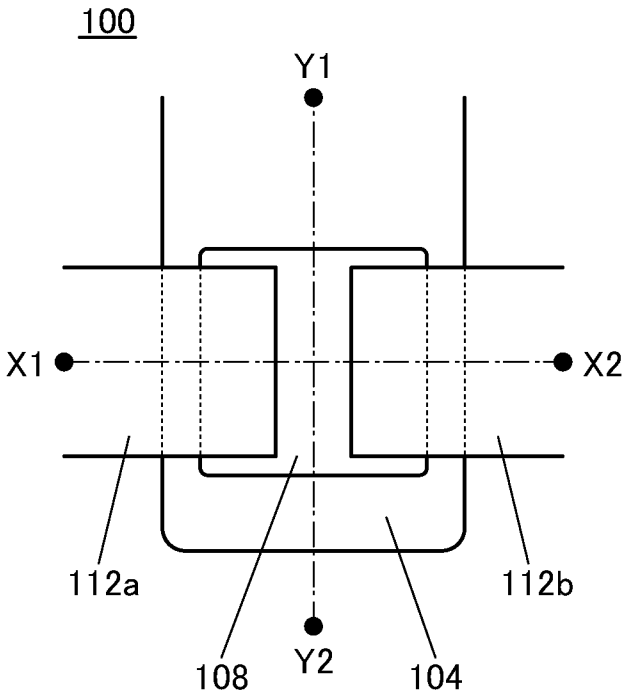

X12
X11
X10
X9
X8
X7
X6
X5
X4
X3
X2
X1
750(i, j)
SW1
770P
CF1
BM
775
770
700c
550(i, j)
M
MD
GD
702(i, j)
776
505
570

[図8]

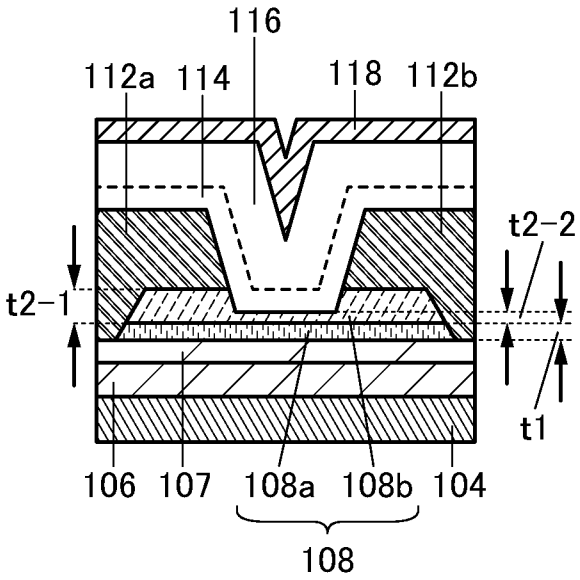

700d
775
770
BM
CF1
770P
750(i, j)
505
570
MD
M
SW1
550(i, j)
GD
702(i, j)
X1
X2
X3
X4
X5
X6
X7
X8
X9
X10
X11
X12

[図9]

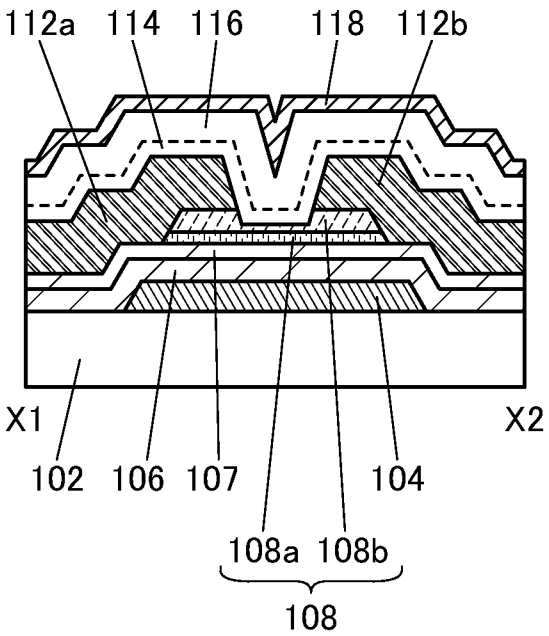
(A)


100
Y1
X1
X2
112a
112b
108
Y2
104

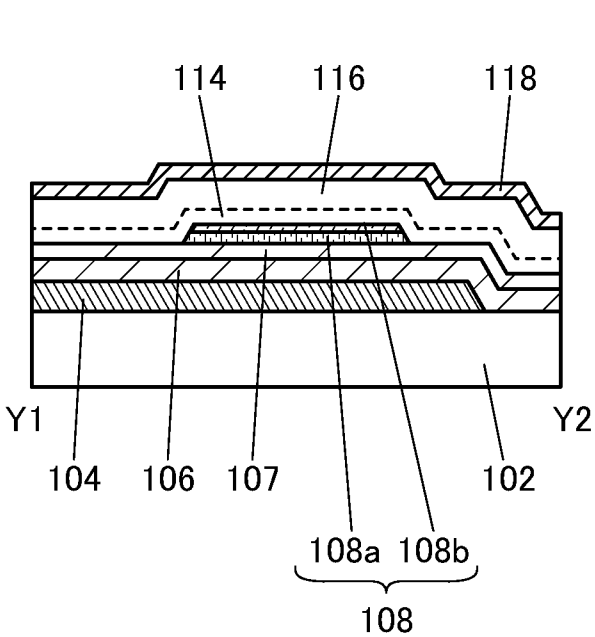
(B)


116
112a
114
118
112b
t2-2
t2-1
t1
106
107
108a
108b
104
108

(C)

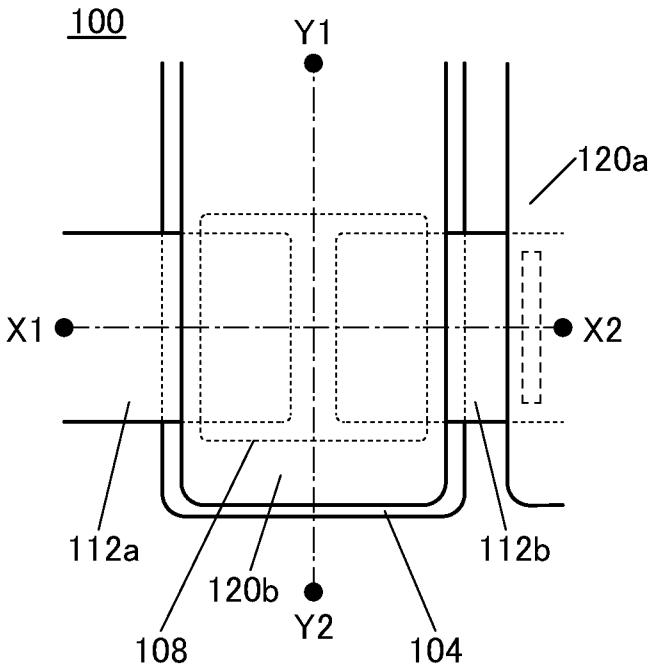

100
112a
114
116
118
112b
X1
X2
102
106
107
104
108a
108b
108

(D)

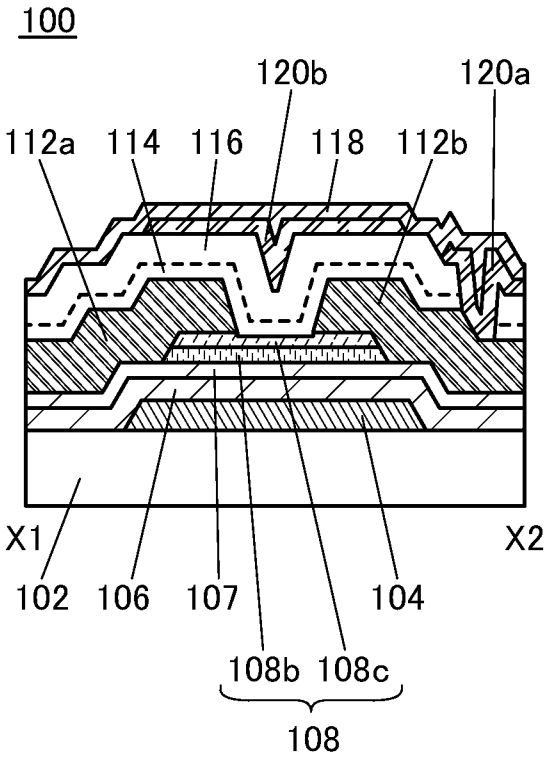

100
114
116
118
Y1
Y2
104
106
107
102
108a
108b
108

[図10]

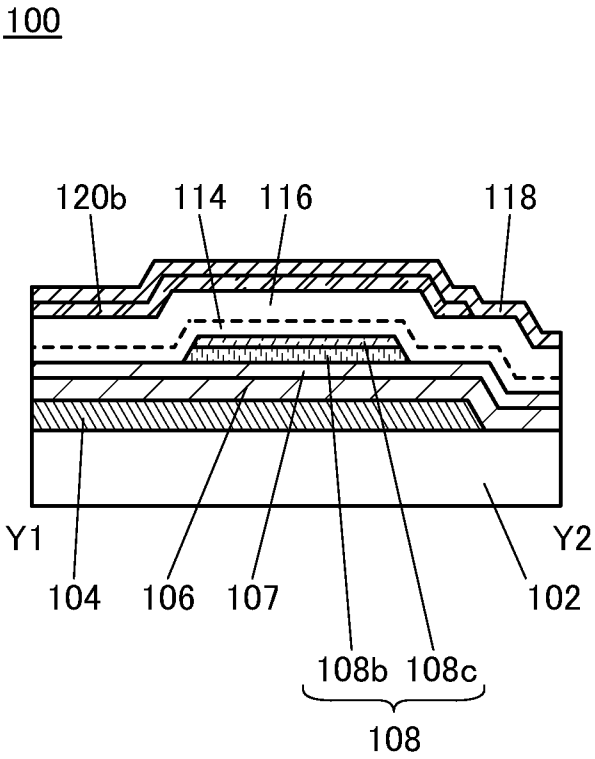
(A)


100
Y1
120a
X1
X2
112a
120b
Y2
112b
108
104

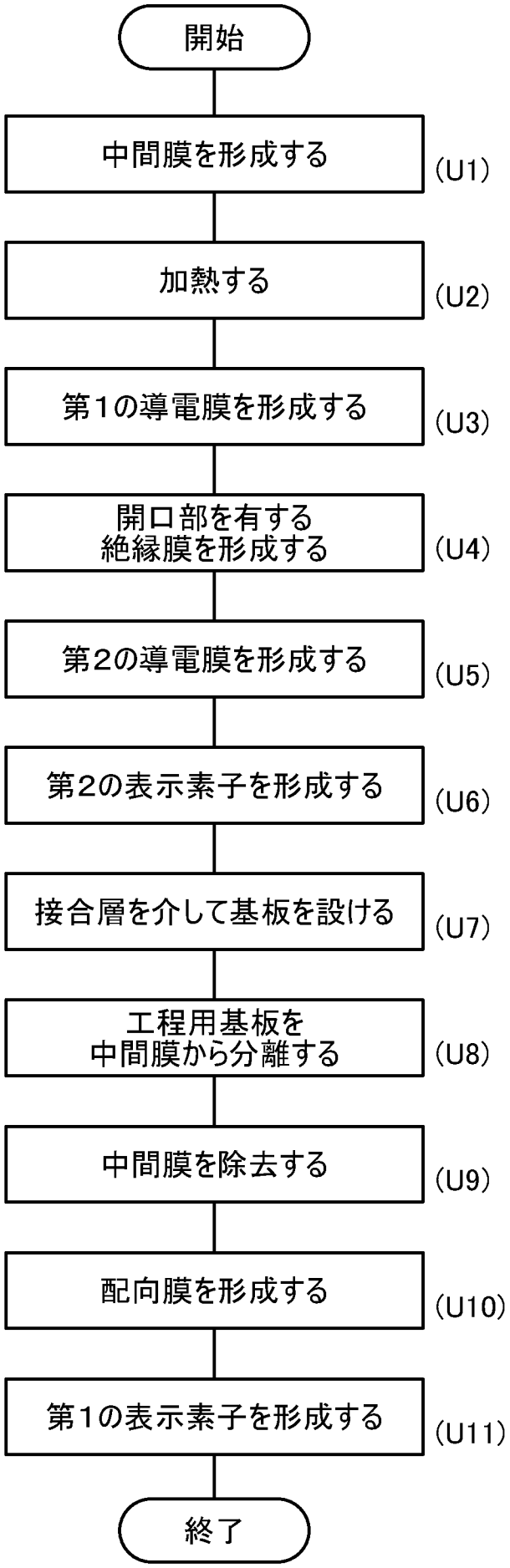
(B)


100
120b
120a
112a
114
116
118
112b
X1
X2
102
106
107
104
108b
108c
108

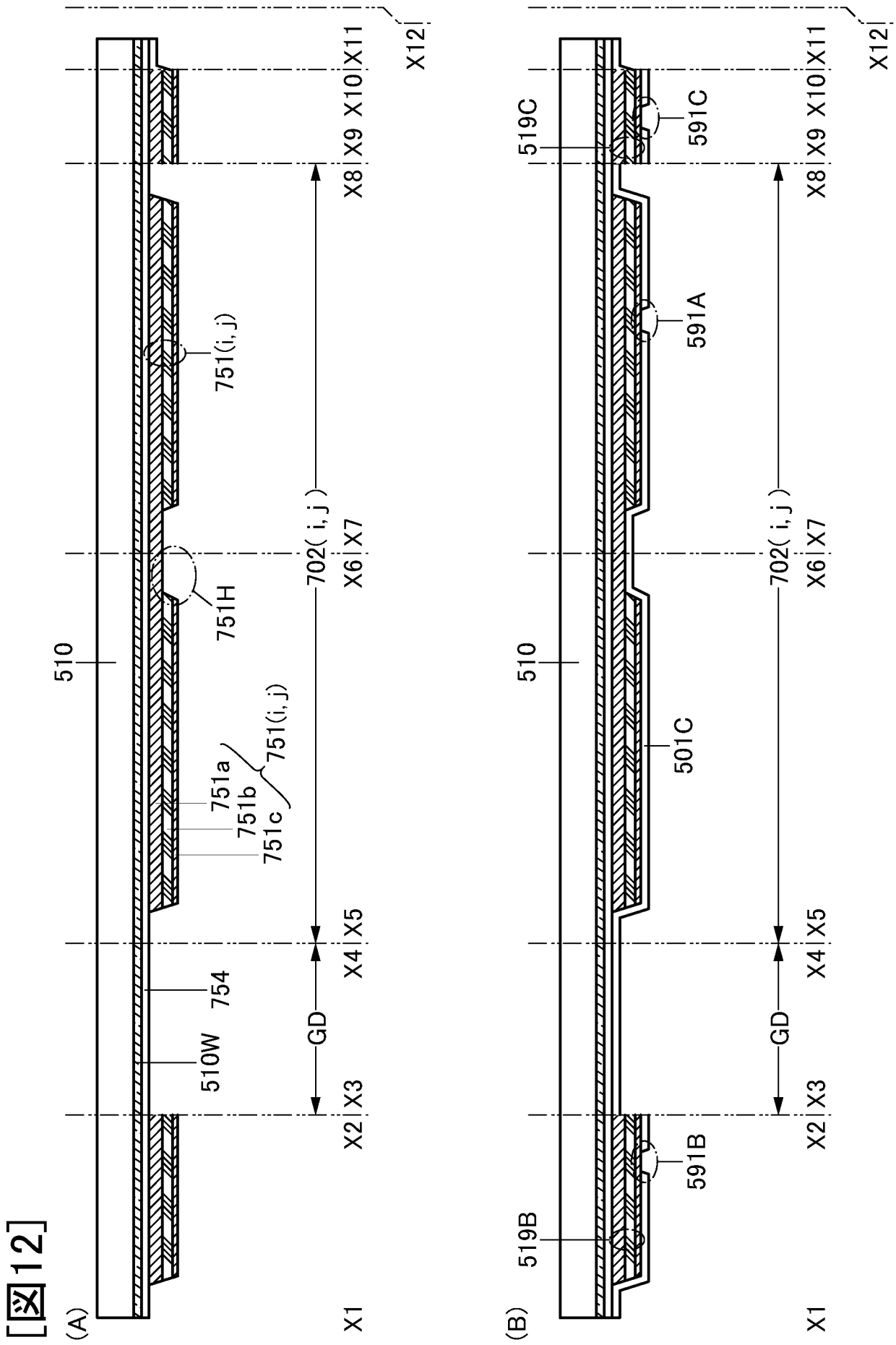
(C)


100
120b
114
116
118
Y1
Y2
104
106
107
102
108b
108c
108

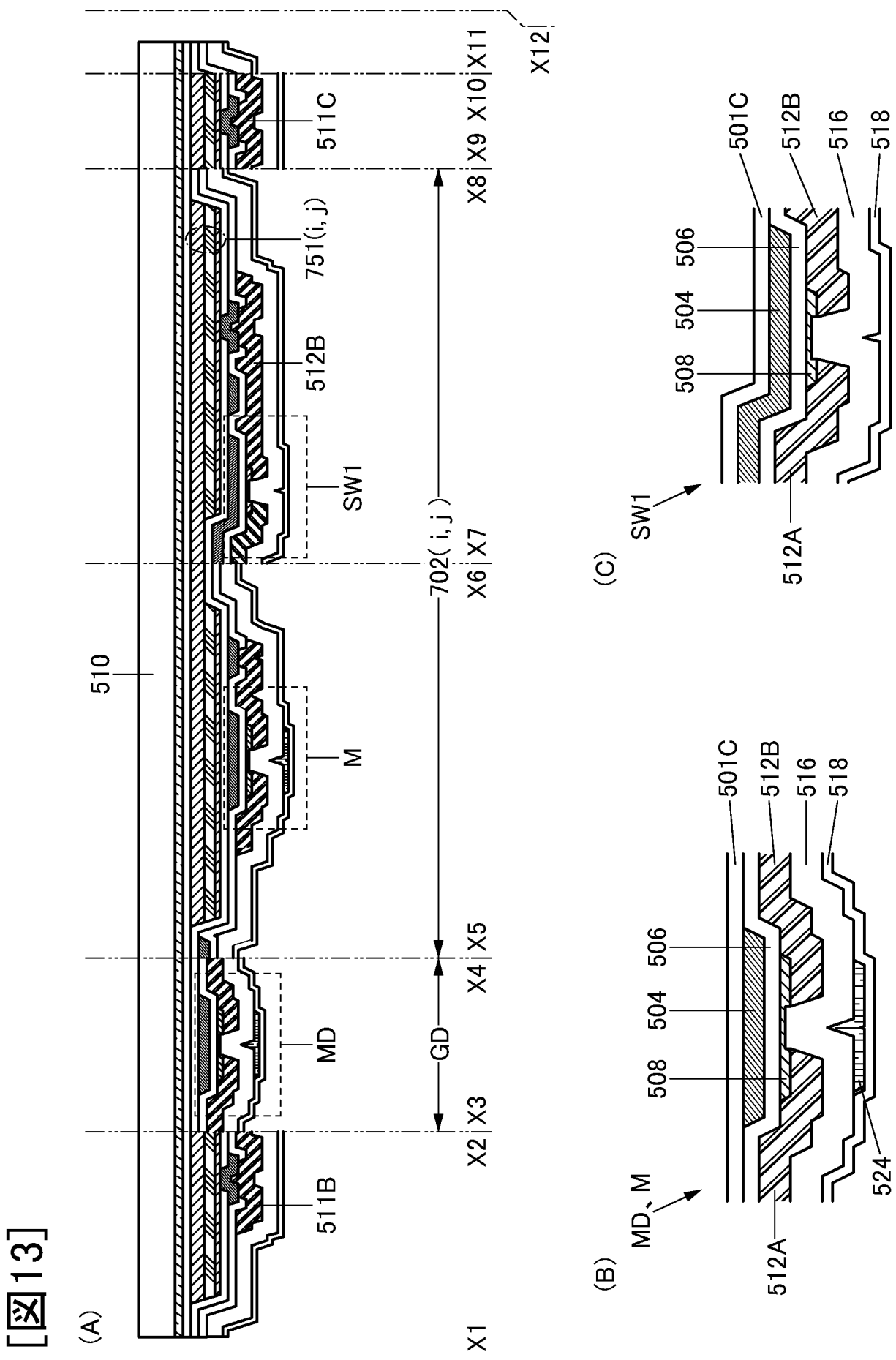
[図11]


開始
中間膜を形成する
(U1)
加熱する
(U2)
第1の導電膜を形成する
(U3)
開口部を有する
絶縁膜を形成する
(U4)
第2の導電膜を形成する
(U5)
第2の表示素子を形成する
(U6)
接合層を介して基板を設ける
(U7)
工程用基板を
中間膜から分離する
(U8)
中間膜を除去する
(U9)
配向膜を形成する
(U10)
第1の表示素子を形成する
(U11)
終了

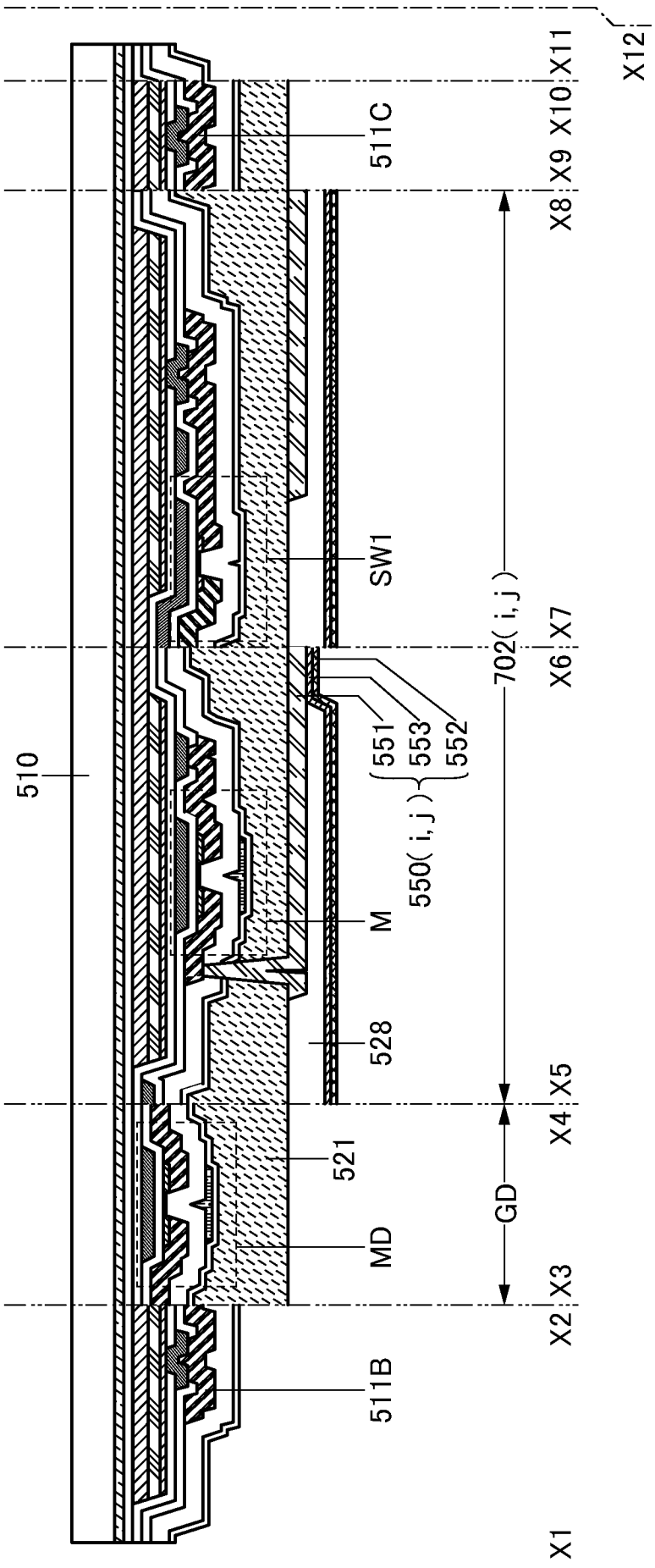
[図12]


(A)
X1
X2
X3
X4
X5
X6
X7
X8
X9
X10
X11
X12
GD
702(i,j)
510
510W
754
751(i,j)
751H
751a
751b
751c
751(i,j)
(B)
519B
519C
591A
591B
591C
501C

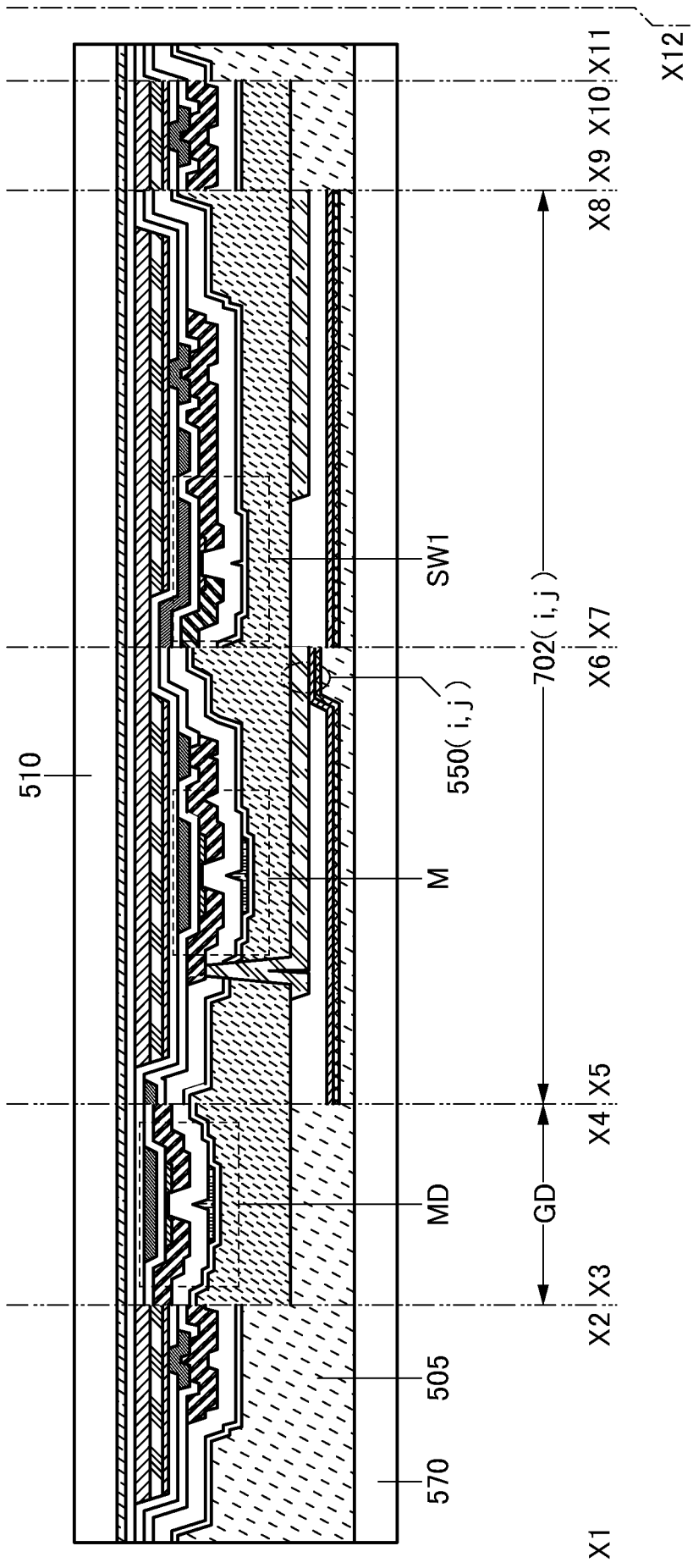
[図13]


(A)
X1
X2
X3
X4
X5
X6
X7
X8
X9
X10
X11
X12
510
511B
511C
512B
751(i, j)
SW1
M
MD
GD
702(i, j)
(B)
MD、M
501C
512B
516
518
506
504
508
512A
524
(C)
SW1
501C
512B
516
518
506
504
508
512A

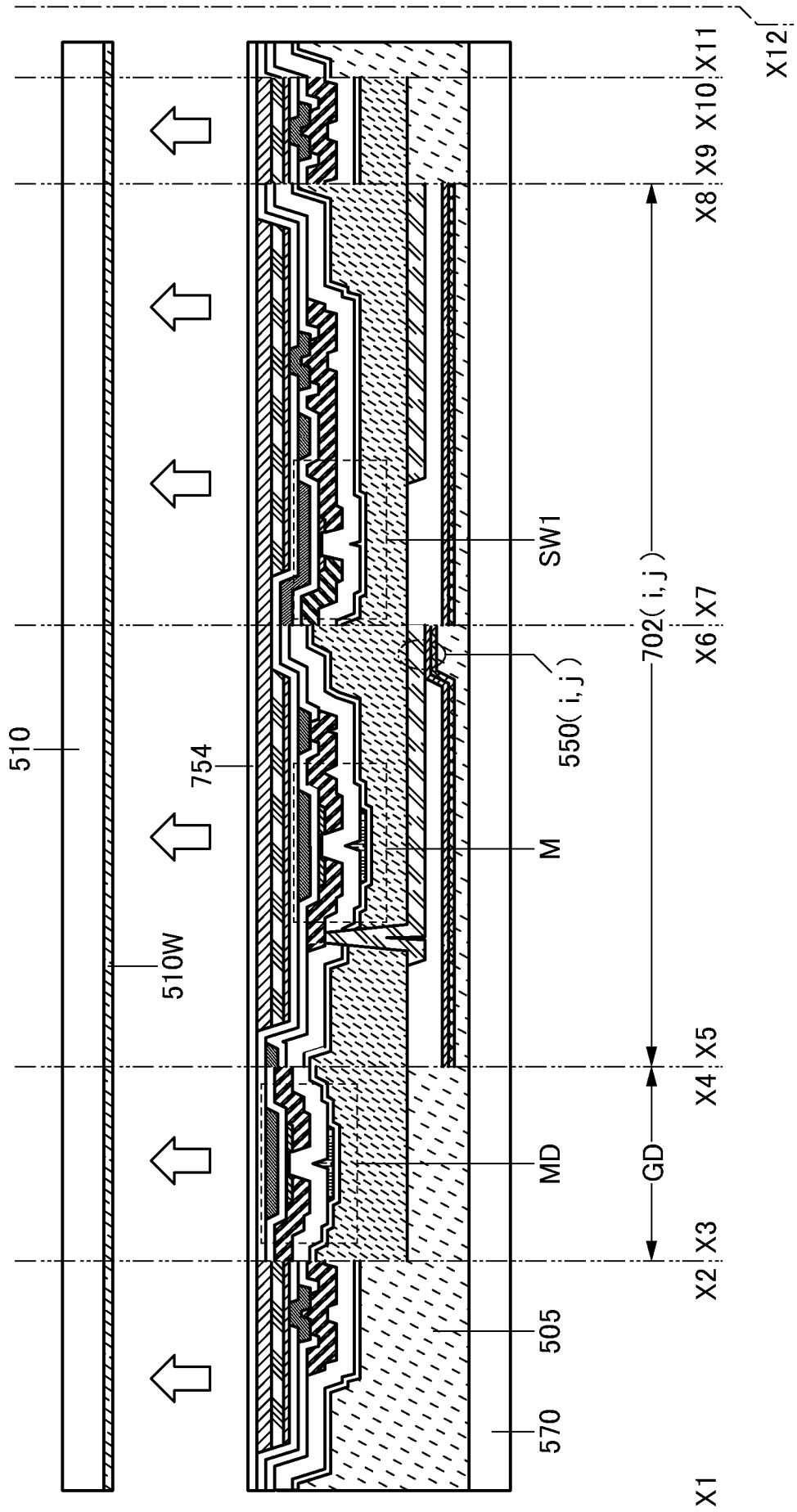
[図14]


X12
X11
X10
X9
X8
X7
X6
X5
X4
X3
X2
X1
511C
SW1
510
551
553
552
550(i, j)
M
528
521
MD
511B
702(i, j)
GD

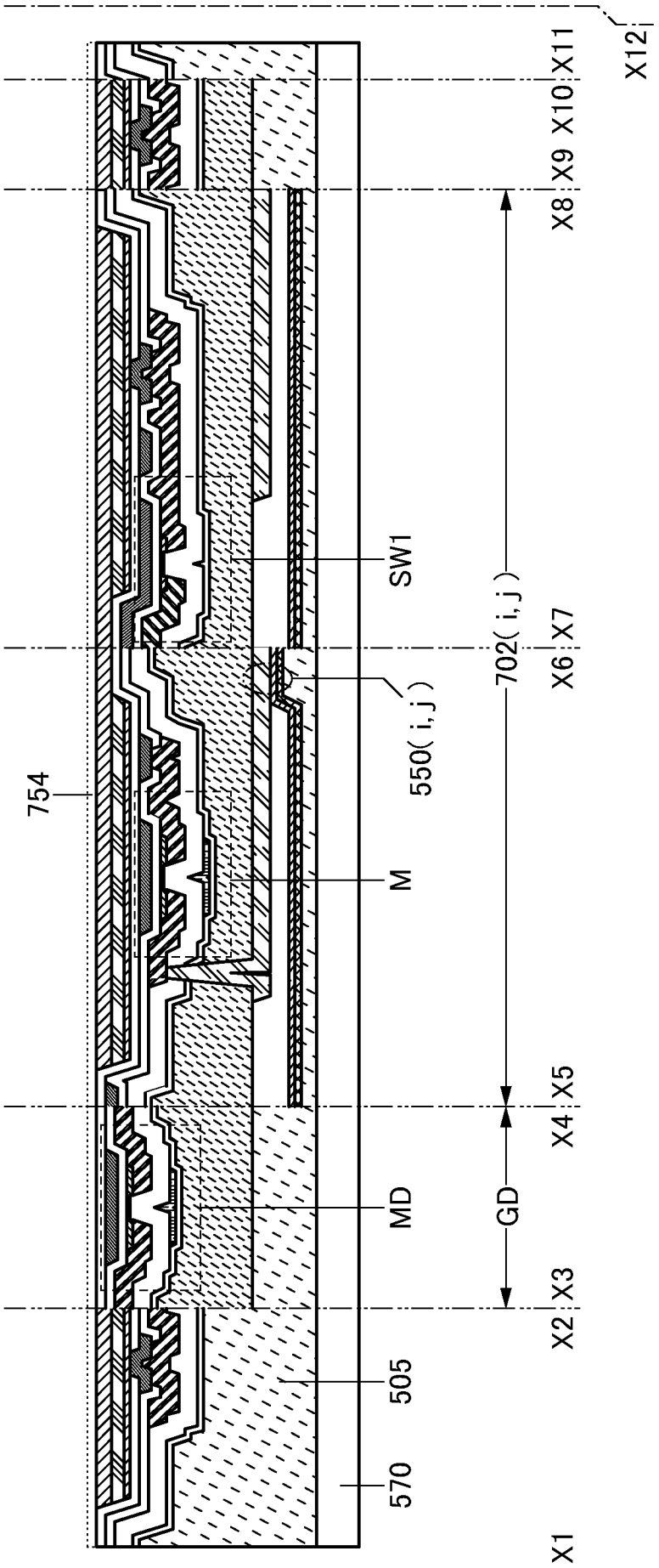
[図15]


X12
X11
X10
X9
X8
X7
X6
X5
X4
X3
X2
X1
SW1
550(i, j)
702(i, j)
510
M
MD
GD
505
570

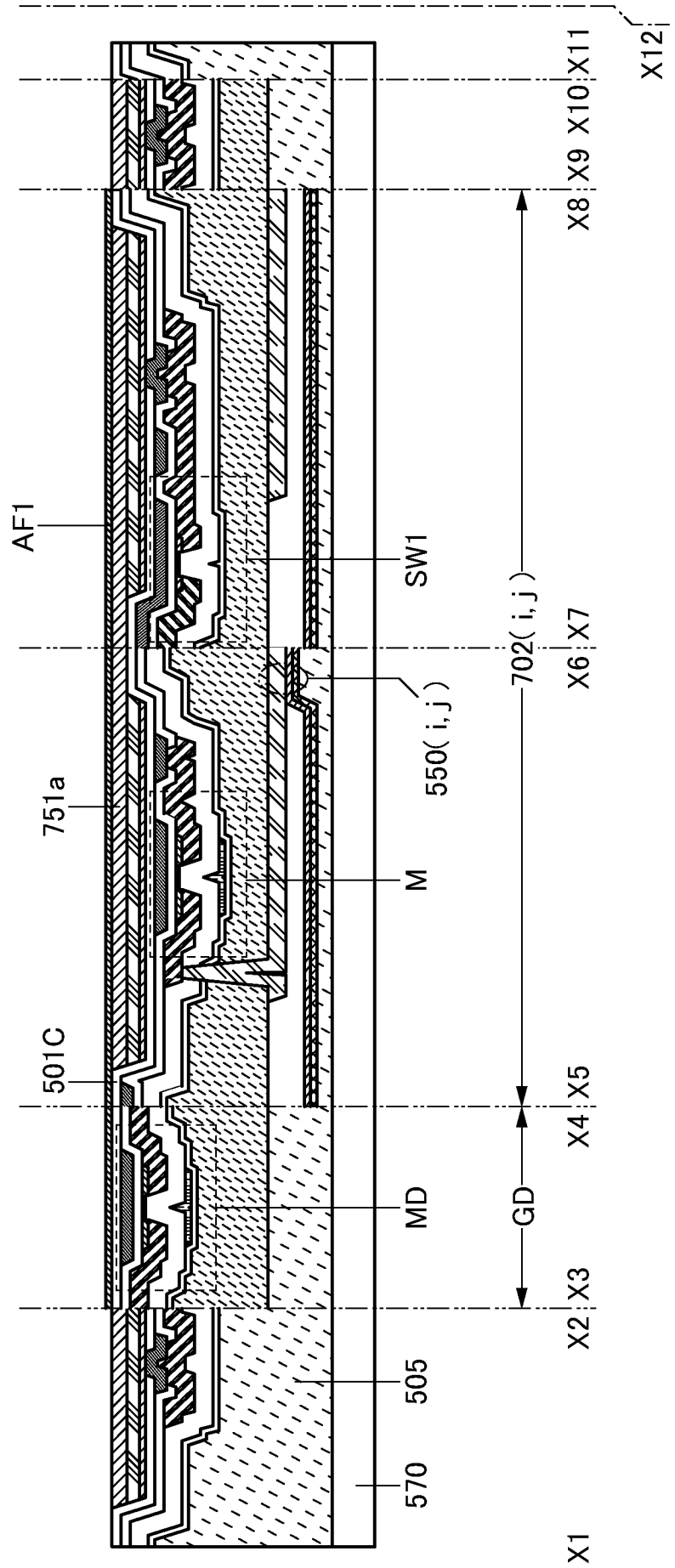
[図16]


X1
X2
X3
X4
X5
X6
X7
X8
X9
X10
X11
X12
510
510W
754
505
570
MD
M
SW1
550(i, j)
702(i, j)
GD

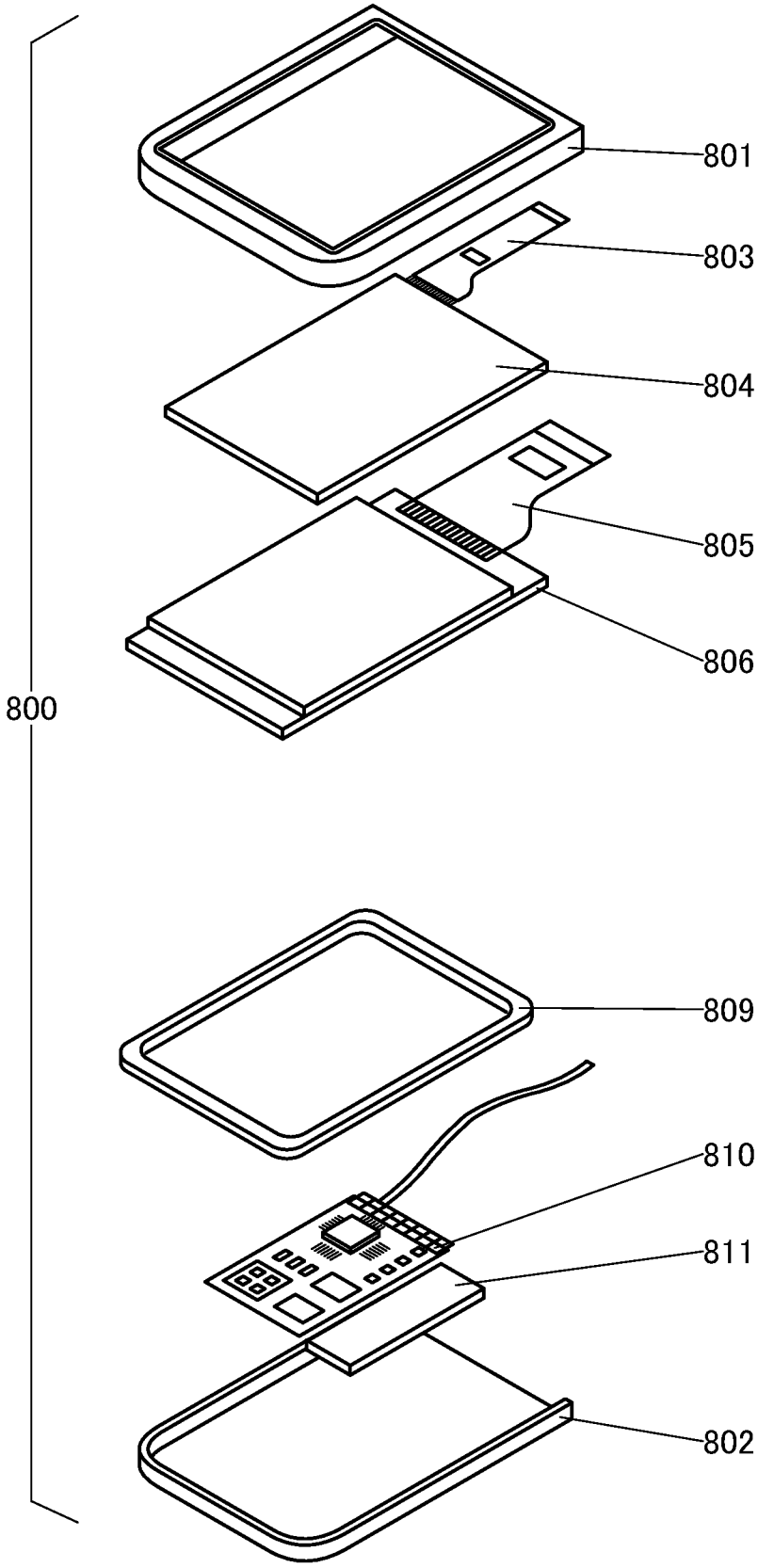
[図17]


X12
X11
X10
X9
X8
X7
X6
X5
X4
X3
X2
X1
SW1
702(i, j)
550(i, j)
754
M
MD
GD
505
570

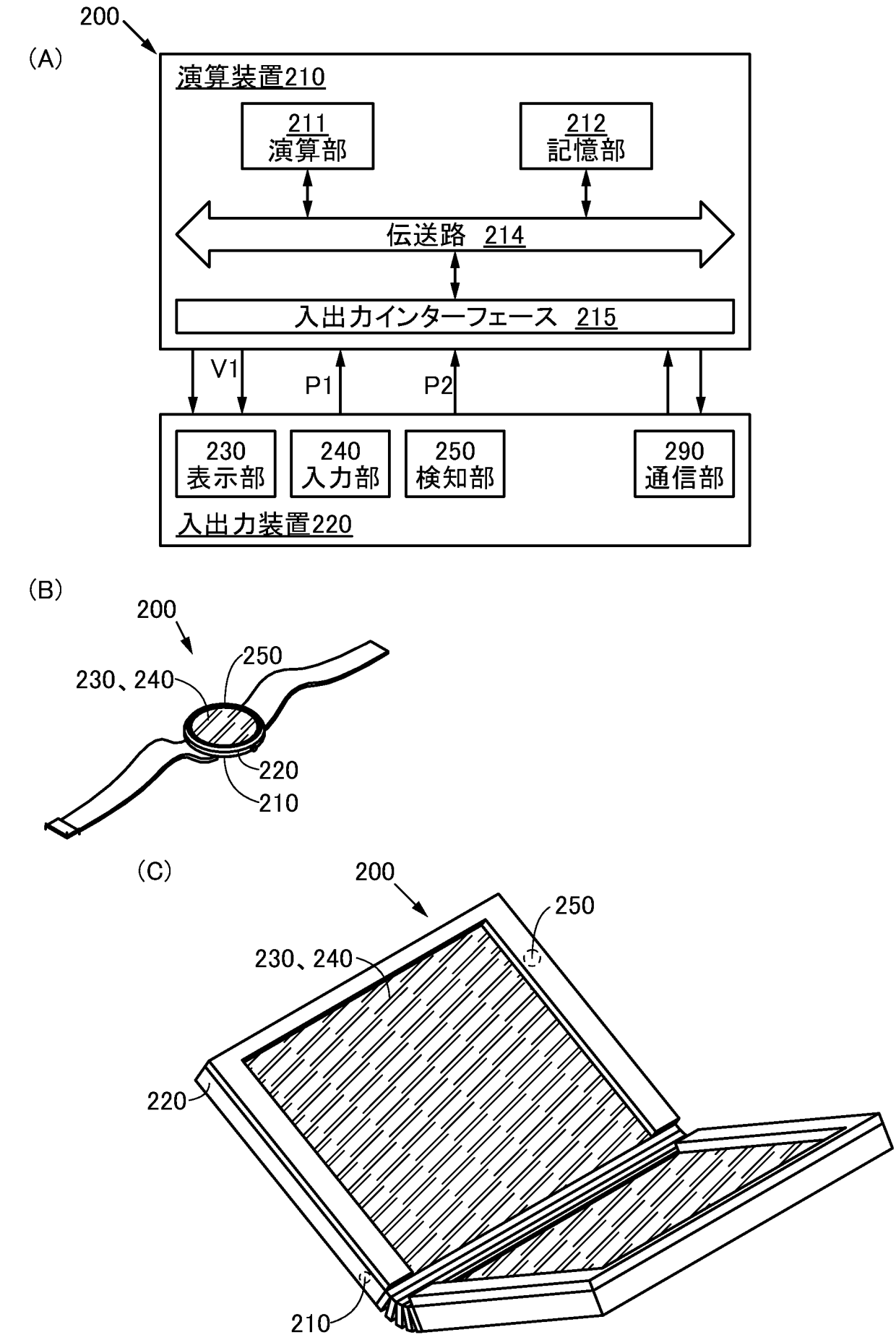
[図18]


X12
X11
X10
X9
X8
X7
X6
X5
X4
X3
X2
X1
AF1
SW1
702(i, j)
550(i, j)
751a
M
501C
MD
GD
505
570

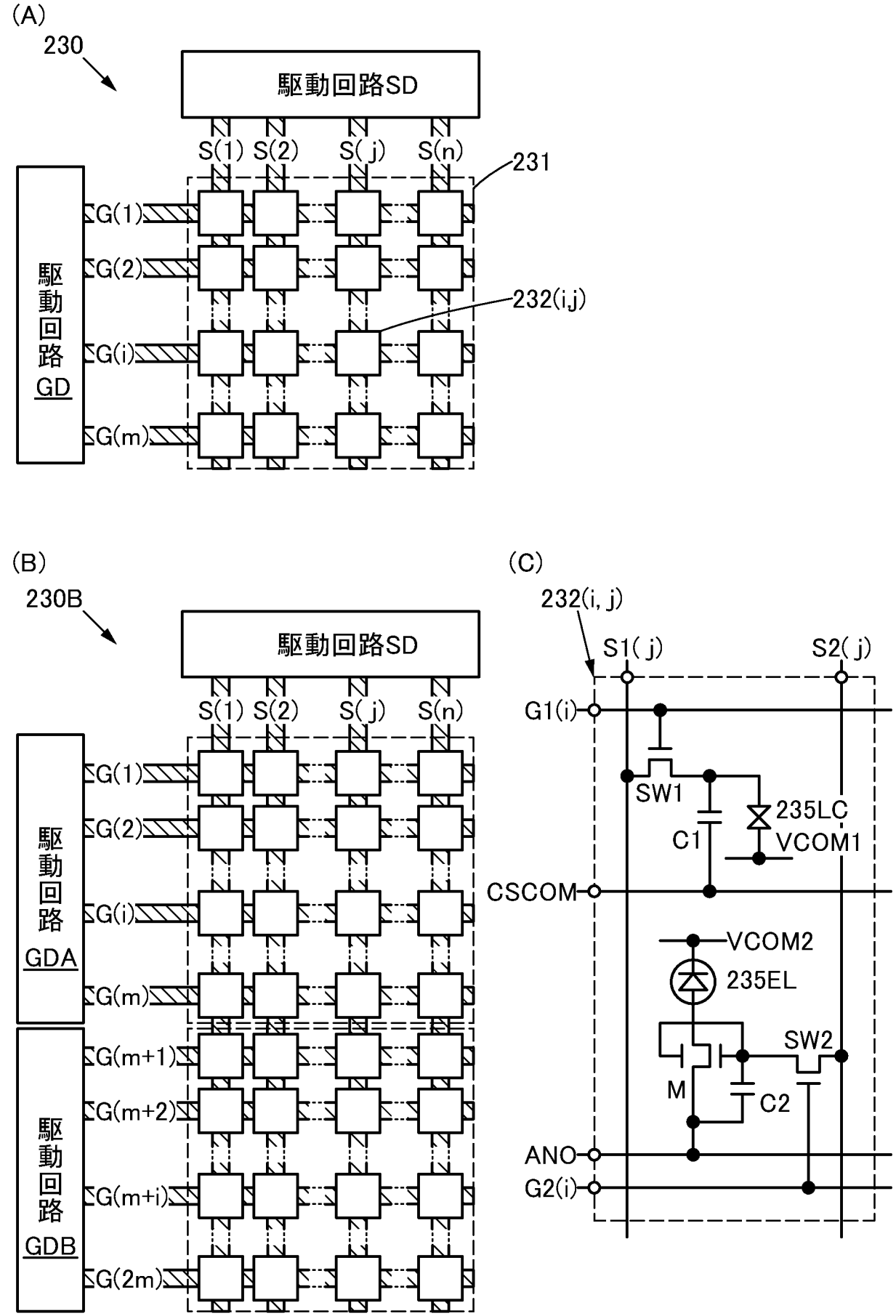
[図19]



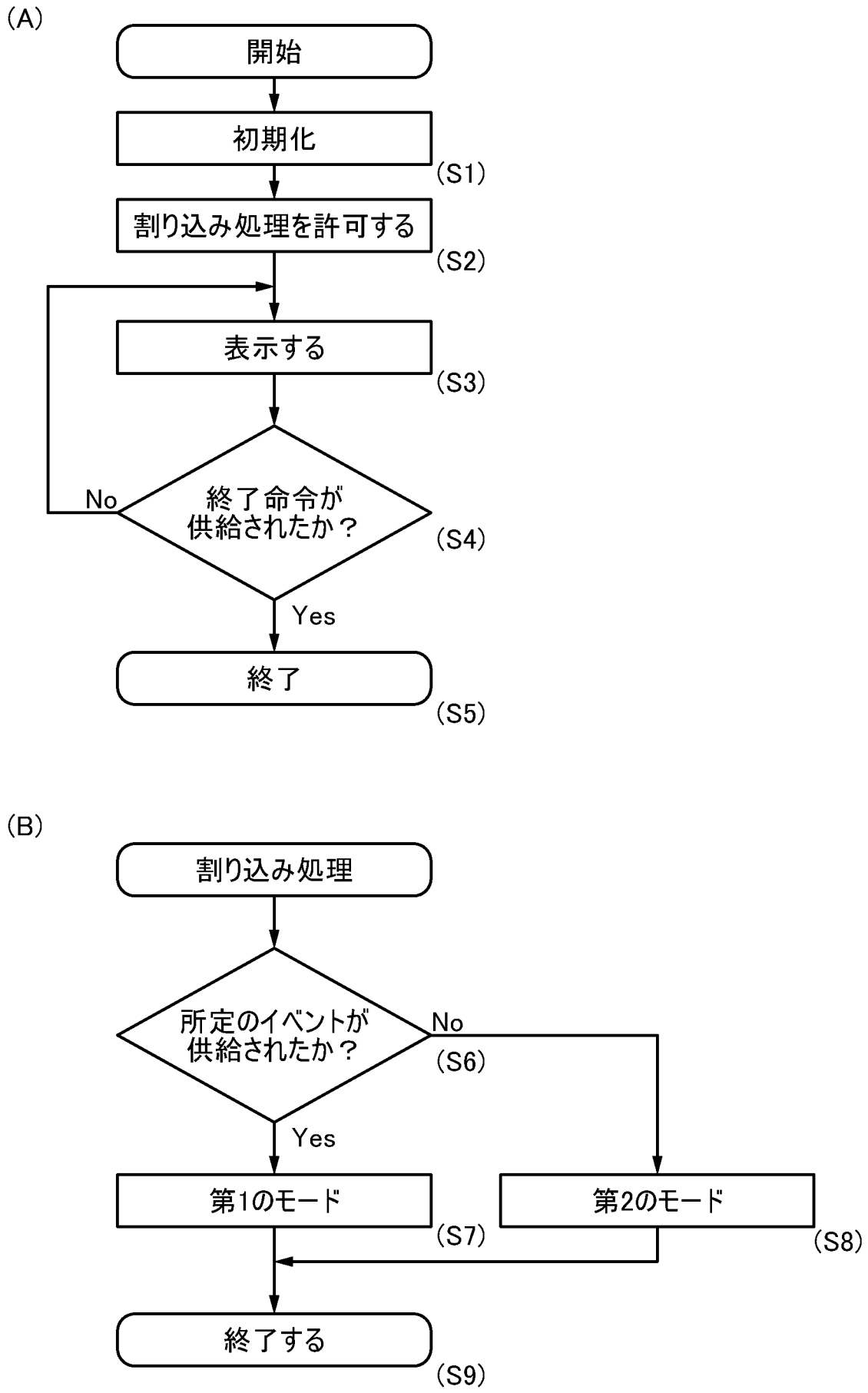
[図20]


(A)
200
演算装置210
211
演算部
212
記憶部
伝送路 214
入出力インターフェース 215
V1
P1
P2
230
表示部
240
入力部
250
検知部
290
通信部
入出力装置220
(B)
200
250
230、240
220
210
(C)
200
250
230、240
220
210

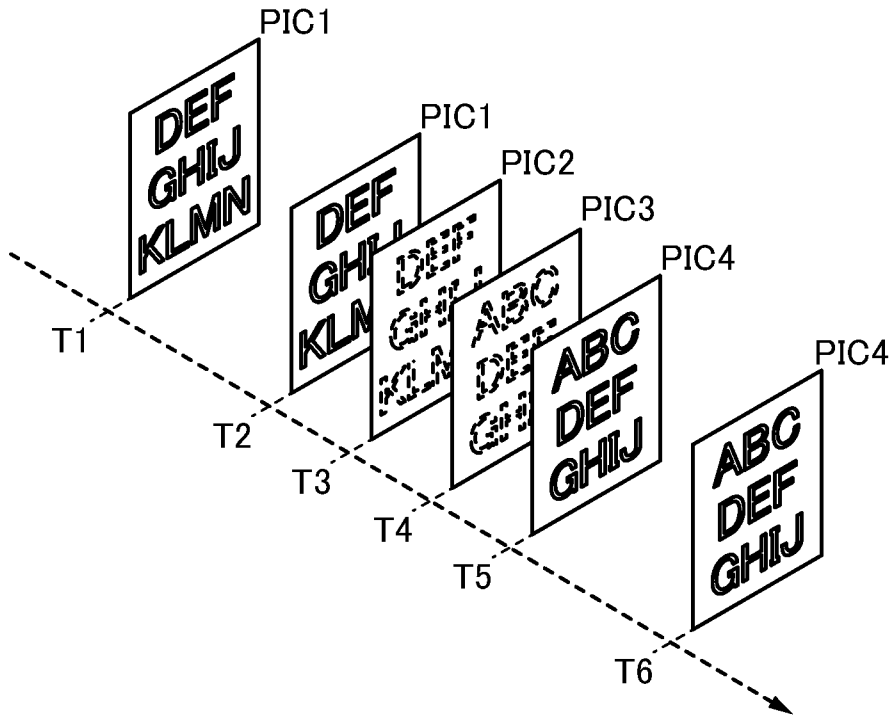
[図21]


(A)
230
駆動回路SD
S(1) S(2) S(j) S(n)
231
G(1)
G(2)
G(i)
G(m)
駆動回路GD
232(i,j)
(B)
230B
駆動回路SD
S(1) S(2) S(j) S(n)
G(1)
G(2)
G(i)
G(m)
駆動回路GDA
G(m+1)
G(m+2)
G(m+i)
G(2m)
駆動回路GDB
(C)
232(i, j)
S1(j)
S2(j)
G1(i)
SW1
C1
235LC
VCOM1
CSCOM
VCOM2
235EL
SW2
M
C2
ANO
G2(i)

[図22]

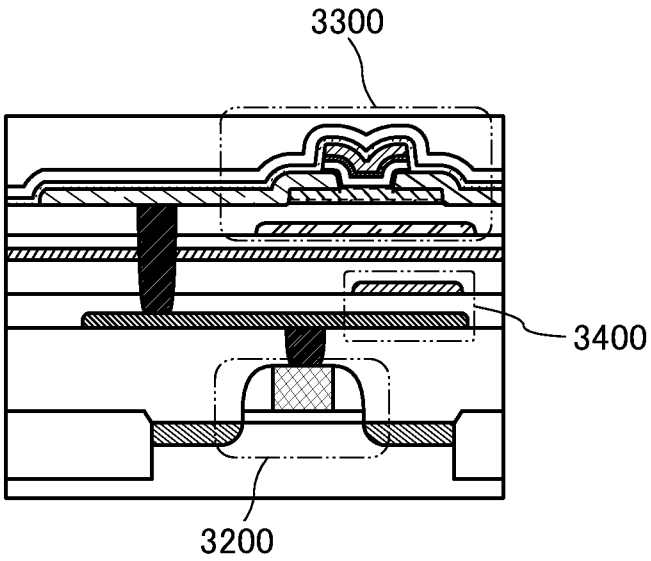

(A)
開始
初期化
(S1)
割り込み処理を許可する
(S2)
表示する
(S3)
終了命令が
供給されたか？
No
(S4)
Yes
終了
(S5)
(B)
割り込み処理
所定のイベントが
供給されたか？
No
(S6)
Yes
第1のモード
(S7)
第2のモード
(S8)
終了する
(S9)

[図23]

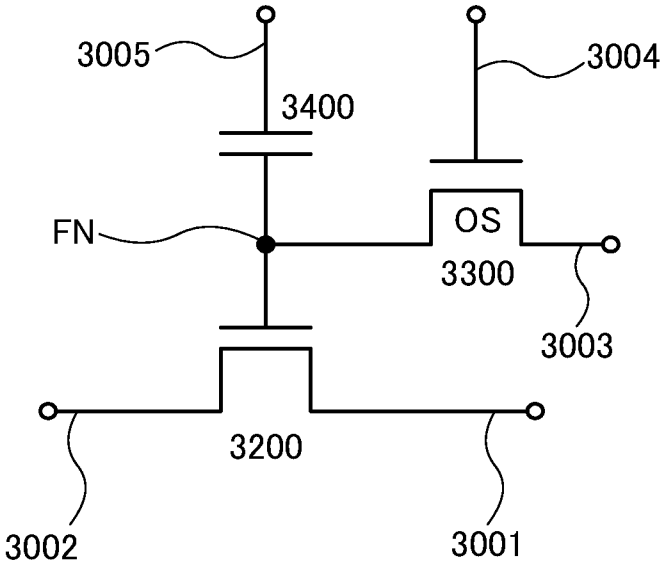

PIC1
DEF
GHIJ
KLMN
PIC1
PIC2
PIC3
PIC4
ABC
DEF
GHIJ
PIC4
ABC
DEF
GHIJ
T1
T2
T3
T4
T5
T6

[図24]

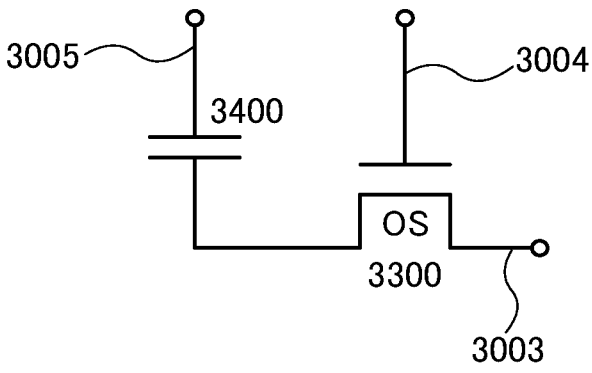
(A)


3300
3400
3200

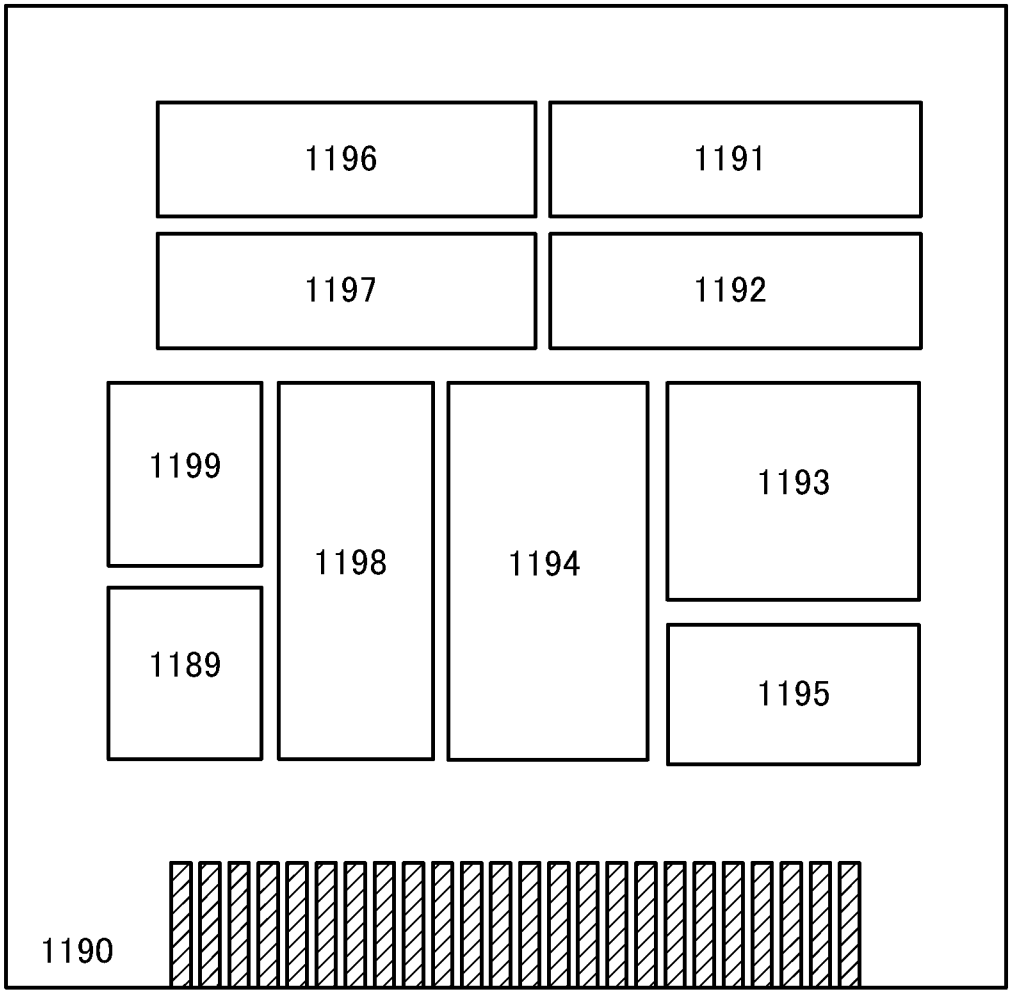
(B)


3005
3400
3004
FN
OS
3300
3003
3200
3002
3001

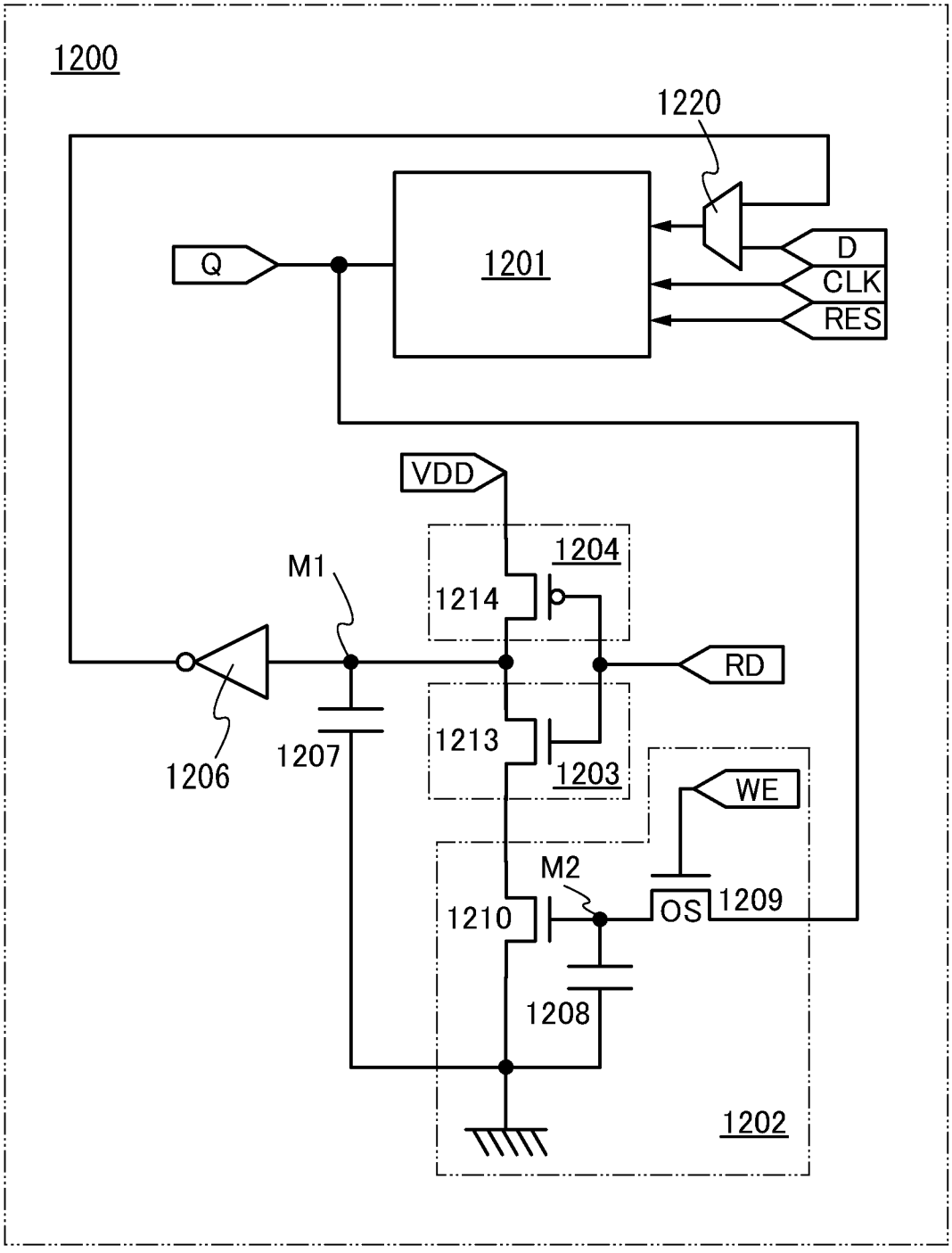
(C)


3005
3400
3004
OS
3300
3003

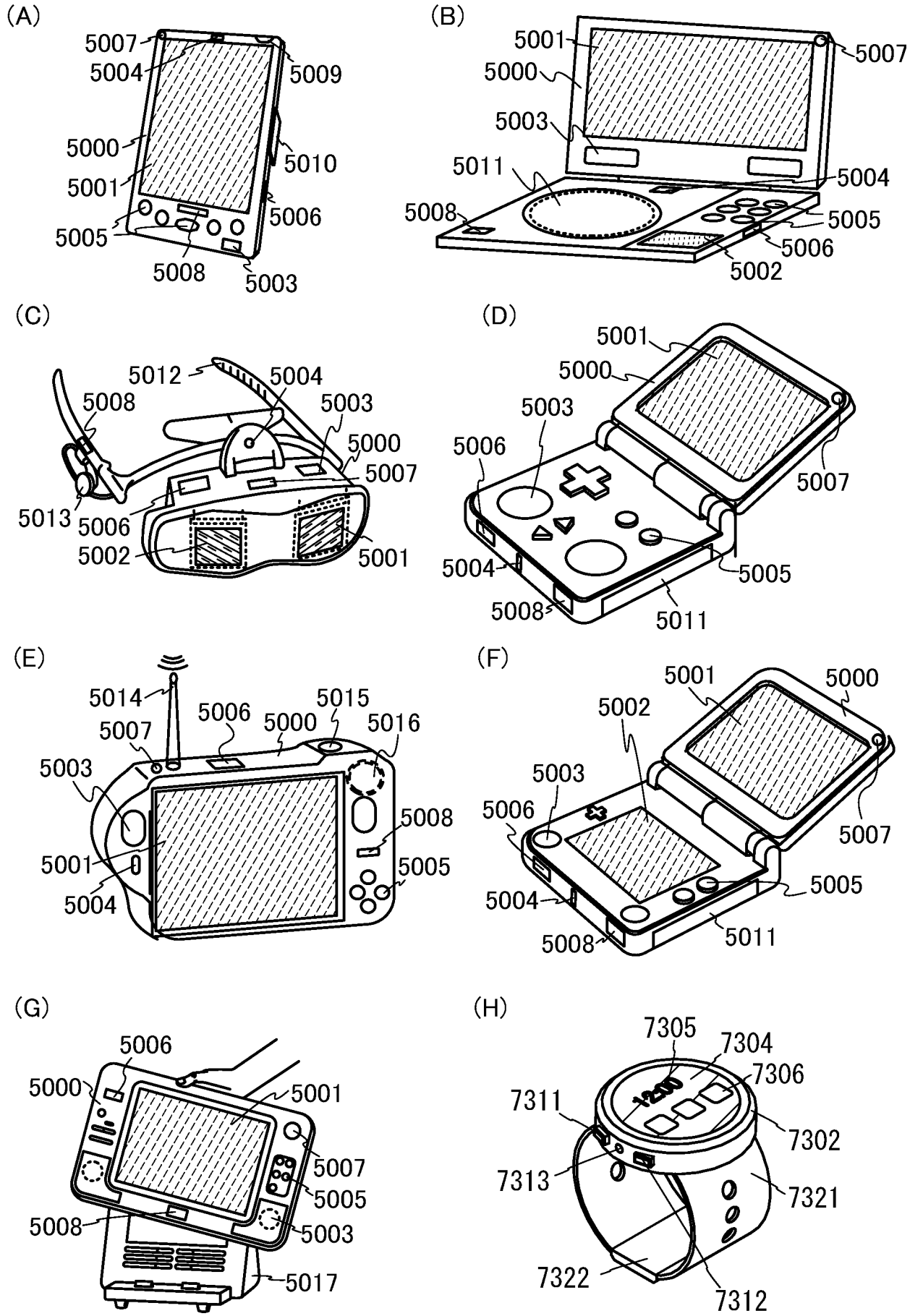
[図25]



[図26]


1200
1220
1201
Q
D
CLK
RES
VDD
1204
M1
1214
RD
1206
1207
1213
1203
WE
M2
1210
OS
1209
1208
1202

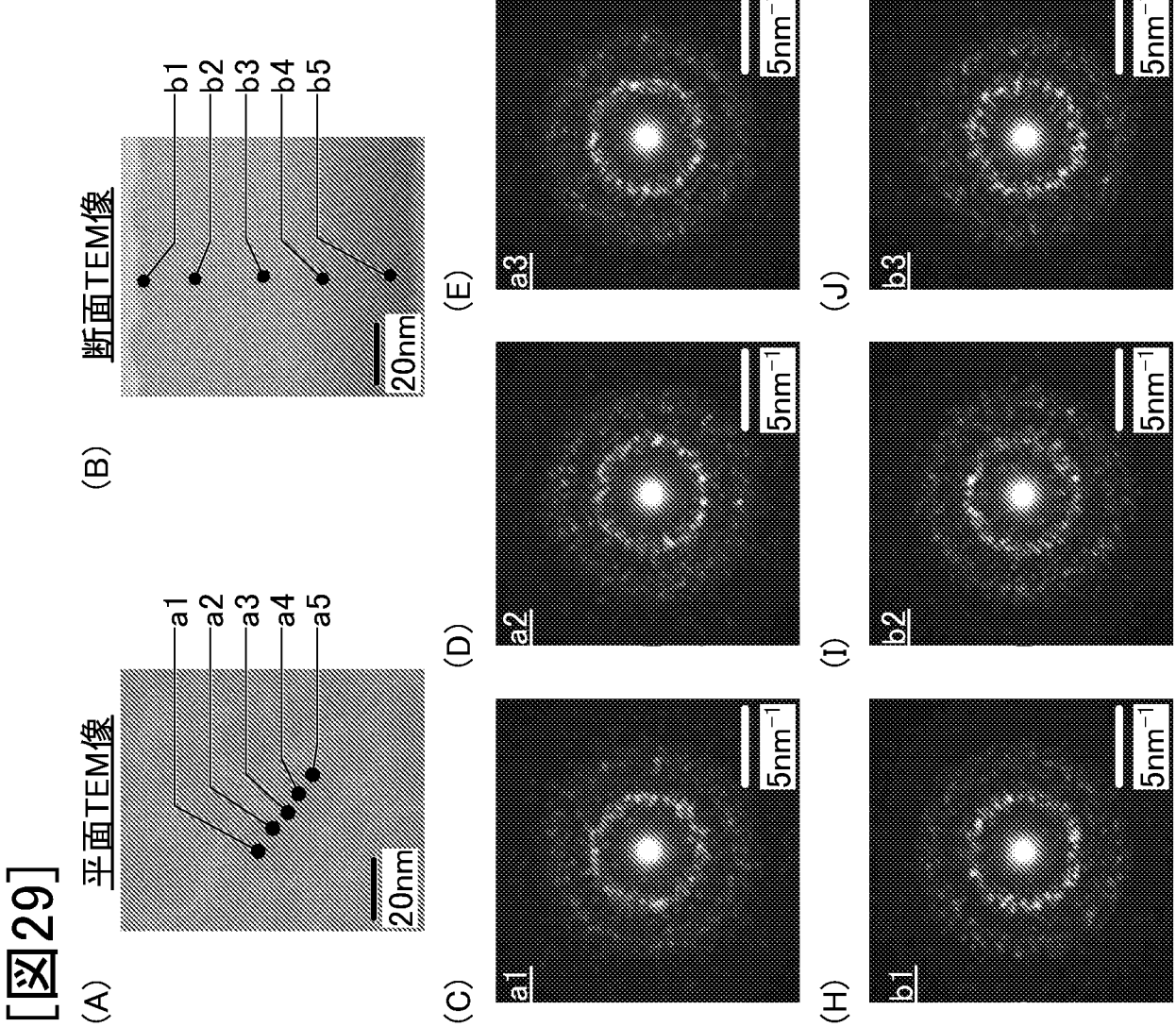
[図27]


(A)
5007
5004
5009
5000
5010
5001
5006
5005
5008
5003
(B)
5001
5007
5000
5003
5011
5004
5008
5005
5006
5002
(C)
5012
5004
5008
5003
5000
5007
5013
5006
5002
5001
(D)
5001
5000
5003
5006
5007
5004
5005
5008
5011
(E)
5014
5006
5015
5007
5000
5016
5003
5008
5001
5005
5004
(F)
5001
5000
5002
5003
5006
5007
5004
5005
5008
5011
(G)
5006
5000
5001
5007
5005
5008
5003
5017
(H)
7305
7304
7306
7311
7302
7313
7321
7322
7312

[図28]

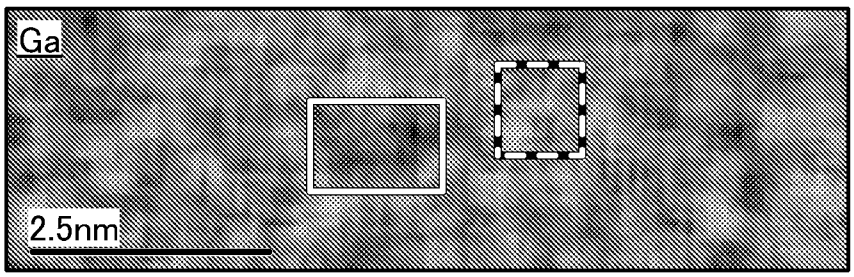
O2=10%
O2=30%
O2=100%
Tsub.=R.T.
Tsub.=130°C
Tsub.=170°C
強度[a.u.]
15 25 35 45
2θ [deg.]

[図29]

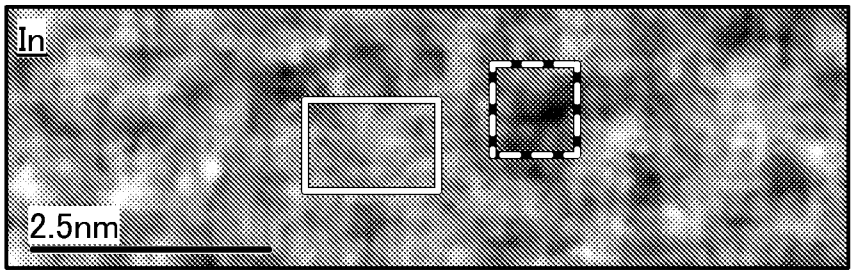

(A)
平面TEM像
a1
a2
a3
a4
a5
20nm
(B)
断面TEM像
b1
b2
b3
b4
b5
20nm
(C)
a1
(D)
a2
(E)
a3
(F)
a4
(G)
a5
(H)
b1
(I)
b2
(J)
b3
(K)
b4
(L)
b5
5nm⁻¹

[図30]

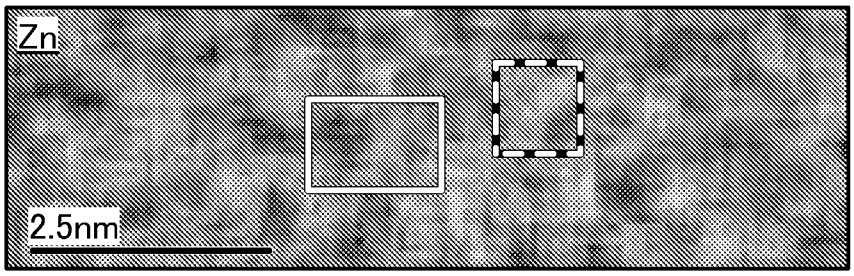
(A)



(B)



(C)



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2016/054471

A. CLASSIFICATION OF SUBJECT MATTER
G09F9/46(2006.01)i, *G09F9/30*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09F9/46, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-076302 A (Sharp Corp.), 14 March 2003 (14.03.2003), paragraphs [0049] to [0059]; fig. 1 & TW 588185 B & KR 10-2003-0022049 A & CN 1403856 A	1-6
Y	JP 2008-108616 A (Fujifilm Corp.), 08 May 2008 (08.05.2008), paragraph [0022] (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 October 2016 (11.10.16)	18 October 2016 (18.10.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2016/054471

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-155320 A (Semiconductor Energy Laboratory Co., Ltd.), 16 August 2012 (16.08.2012), paragraphs [0043] to [0044] & US 2012/0176570 A1 paragraphs [0056] to [0057] & KR 10-2012-0081943 A	3-4
A	JP 2010-276706 A (Seiko Epson Corp.), 09 December 2010 (09.12.2010), entire text; all drawings (Family: none)	1-6
A	JP 2004-045769 A (Toyota Industries Corp.), 12 February 2004 (12.02.2004), entire text; all drawings & US 2004/0027518 A1 & EP 1380879 A1 & TW 200403004 A & KR 10-2004-0007316 A & CN 1482585 A	1-6
A	JP 2002-328630 A (Sharp Corp.), 15 November 2002 (15.11.2002), entire text; all drawings & US 2002/0145687 A1	1-6

国際調査報告

国際出願番号　ＰＣＴ／ＩＢ２０１６／０５４４７１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/46(2006.01)i, G09F9/30(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/46, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2003-076302 A（シャープ株式会社）2003.03.14, 段落【００４９】～【００５９】、【図１】 & TW 588185 B & KR 10-2003-0022049 A & CN 1403856 A	1-6
Y	JP 2008-108616 A（富士フイルム株式会社）2008.05.08, 段落【００２２】（ファミリーなし）	1-6

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１１．１０．２０１６	１８．１０．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｉ　４８４３
南川　泰裕
電話番号　０３－３５８１－１１０１　内線　３２７３

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-155320 A (株式会社半導体エネルギー研究所) 2012.08.16, 段落【００４３】～【００４４】 & US 2012/0176570 A1, Pars. [0056]-[0057] & KR 10-2012-0081943 A	3-4
A	JP 2010-276706 A (セイコーエプソン株式会社) 2010.12.09, 全文、全図（ファミリーなし）	1-6
A	JP 2004-045769 A (株式会社豊田自動織機) 2004.02.12, 全文、全図 & US 2004/0027518 A1 & EP 1380879 A1 & TW 200403004 A & KR 10-2004-0007316 A & CN 1482585 A	1-6
A	JP 2002-328630 A (シャープ株式会社) 2002.11.15, 全文、全図 & US 2002/0145687 A1	1-6